

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
H01L 29/78
H01L 21/336
H01L 27/04(11) 공개번호 10-2005-0046568
(43) 공개일자 2005년05월18일(21) 출원번호 10-2004-0091812
(22) 출원일자 2004년11월11일

(30) 우선권주장 JP-P-2003-00384654 2003년11월14일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 야스오카히데끼
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤 르네사스
테크놀로지 지적재산권총괄부 내
요시즈미오이이찌
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤 르네사스
테크놀로지 지적재산권총괄부 내
고우께즈마사미
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤 르네사스
테크놀로지 지적재산권총괄부 내

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

고 내압의 전계 효과 트랜지스터를 갖는 반도체 장치의 킹크 현상을 억제 또는 방지한다. 고 내압 pMISQHp1의 채널 영역의 게이트 폭 방향의 양단의 홈형의 분리부(3)와 반도체 기판(1S)의 경계 영역에, 고 내압 pMISQHp1의 소스 및 드레인 용의 p+ 형의 반도체 영역 P1, P1과는 역의 도전형의 n+ 형의 반도체 영역 NVk를, 고 내압 pMISQHp1의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1, PV1(특히 드레인측)에 접하지 않도록, 그 p-형의 반도체 영역 PV1, PV1로부터 떨어진 위치에 배치했다. 이 n+ 형의 반도체 영역 NVk는, 홈형의 분리부(3)보다도 깊은 위치까지 연장되어 있다.

대표도

도 5

색인어

고 내압 전계 효과 트랜지스터, 분리부, 반도체 기판, 반도체 영역, 활성 영역, 채널 영역, 게이트 전극, 킹크 현상

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태인 반도체 장치의 고 내압 전계 효과 트랜지스터의 주요부 평면도.

도 2는 도 1과 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 전계 완화용의 반도체 영역과 주요부의 반도체 영역의 배치 관계를 도시한 주요부 평면도.

도 3은 도 1과 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 게이트 전극과 활성 영역과 주요부의 반도체 영역의 배치 관계를 도시한 주요부 평면도.

도 4는 도 1과 동일 개소의 평면도이고 특히 분리 영역 및 활성 영역을 도시한 주요부 평면도.

도 5는 도 1 내지 도 4의 X1-X1선의 단면도.

도 6은 도 1 내지 도 4의 X2-X2선의 단면도.

도 7은 도 1 내지 도 4의 Y1-Y1선의 단면도.

도 8은 고 내압 전계 효과 트랜지스터를 이용한 회로의 일례의 회로도.

도 9는 고 내압 전계 효과 트랜지스터를 이용한 회로의 다른 예의 회로도.

도 10은 본 발명의 다른 실시 형태인 반도체 장치의 고 내압 전계 효과 트랜지스터의 일례의 주요부 평면도.

도 11은 도 10과 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 전계 완화 기능을 갖는 반도체 영역과, 소스용의 p+ 형의 반도체 영역과, n+ 형의 반도체 영역의 배치 관계를 도시한 주요부 평면도.

도 12는 도 10과 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 게이트 전극과 활성 영역과 n+ 형의 반도체 영역의 배치 관계를 도시한 주요부 평면도.

도 13은 도 10과 동일 개소의 평면도이고 특히 분리 영역 및 활성 영역을 도시한 주요부 평면도.

도 14는 도 10 내지 도 13의 X3-X3선의 단면도.

도 15는 도 10 내지 도 13의 X4-X4선의 단면도.

도 16은 본 발명의 일 실시 형태인 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제1 형성 영역의 주요부 단면도.

도 17은 도 16과 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제2 형성 영역의 주요부 단면도.

도 18은 도 16과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 19는 도 16 내지 도 18의 주요부 확대 단면도.

도 20은 도 16 내지 도 19에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제1 형성 영역의 주요부 단면도.

도 21은 도 20과 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제2 형성 영역의 주요부 단면도.

도 22는 도 20과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 23은 도 20 내지 도 22의 주요부 확대 단면도.

도 24는 도 20 내지 도 22에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제1 형성 영역의 주요부 단면도.

도 25는 도 24와 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제2 형성 영역의 주요부 단면도.

도 26은 도 24와 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 27은 도 24 내지 도 26의 주요부 확대 단면도.

도 28은 도 23 내지 도 27에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제1 형성 영역의 주요부 단면도.

도 29는 도 28과 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제2 형성 영역의 주요부 단면도.

도 30은 도 28과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 58은 도 55 내지 도 57에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제1 형성 영역의 주요부 단면도.

도 59는 도 58과 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제2 형성 영역의 주요부 단면도.

도 60은 도 58과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 61은 도 58 내지 도 60에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제1 형성 영역의 주요부 단면도.

도 62는 도 61과 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제2 형성 영역의 주요부 단면도.

도 63은 도 61과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 64는 본 발명의 다른 실시 형태인 반도체 장치의 고 내압 전계 효과 트랜지스터의 일례의 주요부 평면도.

도 65는 도 64와 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 전계 완화 기능을 갖는 p-형의 반도체 영역과 카운터 도핑 영역의 배치 관계를 도시한 주요부 평면도.

도 66은 도 64와 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 각 반도체 영역의 모습을 도시한 주요부 평면도.

도 67은 도 64와 동일 개소의 평면도이고 활성 영역 내에 있어서의 반도체 영역의 모습을 도시한 주요부 평면도.

도 68은 도 64 내지 도 67의 X5-X5선의 단면도.

도 69는 도 64 내지 도 67의 X6-X6선의 단면도.

도 70은 도 64 내지 도 67의 Y4-Y4선의 단면도.

도 71은 도 64의 고 내압 전계 효과 트랜지스터를 복수 배치한 경우의 일례의 주요부 평면도.

도 72는 본 발명의 또 다른 실시 형태인 반도체 장치의 고 내압 전계 효과 트랜지스터의 일례의 주요부 평면도.

도 73은 도 72와 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 전계 완화 기능을 갖는 p-형의 반도체 영역과 카운터 도핑 영역의 배치 관계를 도시한 주요부 평면도.

도 74는 도 72와 동일 개소의 평면도이고 특히 고 내압 전계 효과 트랜지스터의 각 반도체 영역의 모습을 도시한 주요부 평면도.

도 75는 도 72와 동일 개소의 평면도이고 특히 활성 영역 내에 있어서의 반도체 영역의 모습을 도시한 주요부 평면도.

도 76은 도 72 내지 도 75의 X7-X7선의 단면도.

도 77은 도 72 내지 도 75의 X8-X8선의 단면도.

도 78은 본 발명의 일 실시 형태인 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제3 형성 영역의 주요부 단면도.

도 79는 도 78과 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제4 형성 영역의 주요부 단면도.

도 80은 도 78과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 81은 도 78 내지 도 80에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제3 형성 영역의 주요부 단면도.

도 82는 도 81과 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제4 형성 영역의 주요부 단면도.

도 83은 도 81과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 84는 도 81 내지 도 83에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제3 형성 영역의 주요부 단면도.

도 85는 도 84와 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제4 형성 영역의 주요부 단면도.

도 86은 도 84와 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 87은 도 84 내지 도 86에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제3 형성 영역의 도 64 내지 도 67의 X5-X5선에 상당하는 개소를 포함하는 단면도.

도 88은 도 87과 동일 제조 공정이고 도 64 내지 도 67의 X6-X6선에 상당하는 개소를 포함하는 단면도.

도 89는 도 87과 동일 제조 공정이고 도 72 내지 도 75의 X7-X7선에 상당하는 개소를 포함하는 단면도.

도 90은 도 87과 동일 제조 공정이고 도 72 내지 도 75의 X8-X8선에 상당하는 개소를 포함하는 단면도.

도 91은 도 87과 동일 제조 공정이고 도 64 내지 도 67의 Y4-Y4선 또는 도 72 내지 도 75의 Y5-Y5선에 상당하는 단면도.

도 92는 도 87과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 93은 도 87 내지 도 92에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제3 형성 영역의 도 64 내지 도 67의 X5-X5선에 상당하는 개소를 포함하는 단면도.

도 94는 도 93과 동일 제조 공정이고 도 64 내지 도 67의 X6-X6선에 상당하는 개소를 포함하는 단면도.

도 95는 도 93과 동일 제조 공정이고 도 72 내지 도 75의 X7-X7선에 상당하는 개소를 포함하는 단면도.

도 96은 도 93과 동일 제조 공정이고 도 72 내지 도 75의 X8-X8선에 상당하는 개소를 포함하는 단면도.

도 97은 도 93과 동일 제조 공정이고 도 64 내지 도 67의 Y4-Y4선 또는 도 72 내지 도 75의 Y5-Y5선에 상당하는 단면도.

도 98은 도 93과 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 99는 도 93 내지 도 99에 계속되는 반도체 장치의 제조 공정 중의 고 내압 전계 효과 트랜지스터의 제3 형성 영역의 도 64 내지 도 67의 X5-X5선에 상당하는 개소를 포함하는 단면도.

도 100은 도 99와 동일 제조 공정이고 반도체 장치의 고 내압 전계 효과 트랜지스터의 제4 형성 영역의 주요부 단면도.

도 101은 도 99와 동일 제조 공정이고 반도체 장치의 저 내압 전계 효과 트랜지스터의 형성 영역의 주요부 단면도.

도 102는 본 발명의 또 다른 실시 형태인 반도체 장치의 고 내압 전계 효과 트랜지스터의 일례이고 도 64 내지 도 67의 X5-X5선에 상당하는 개소의 단면도.

도 103은 도 102의 고 내압 전계 효과 트랜지스터이고 도 64 내지 도 67의 X6-X6선에 상당하는 개소의 단면도.

도 104는 도 102의 고 내압 전계 효과 트랜지스터이고 도 64 내지 도 67의 Y4-Y4선에 상당하는 개소의 단면도.

도 105는 본 발명의 또 다른 실시 형태인 반도체 장치의 고 내압 전계 효과 트랜지스터의 일례이고 도 72 내지 도 75의 X7-X7선에 상당하는 개소의 단면도.

도 106은 도 105의 고 내압 전계 효과 트랜지스터이고 도 72 내지 도 75의 X8-X8선에 상당하는 개소의 단면도.

도 107은 고 내압 전계 효과 트랜지스터로 발생한 킥 파형의 파형도.

도 108은 도 107의 킥 파형의 설명도.

도 109는 킥 대책이 없는 고 내압 전계 효과 트랜지스터의 주요부 평면도.

도 110은 도 109의 Y50-Y50선의 단면도.

도 111은 본 발명의 일 실시 형태인 반도체 장치의 도 1의 고 내압 전계 효과 트랜지스터를 복수 배치한 경우의 일례의 주요부 평면도.

<도면의 주요부분에 대한 부호의 설명>

1S : 반도체 기판

2 : 실리사이드층

3 : 분리부

5 : 측벽

6 : 게이트 절연막

6a, 6b : 절연막

HG : 게이트 전극

QHp1 : 고 내압 p 채널형 MIS-FET

P1 : p+ 형의 반도체 영역

PV1 : p-형의 반도체 영역

NV_k : n+ 형의 반도체 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 기술에 관한 것으로, 특히, 고 내압 전계 효과 트랜지스터를 갖는 반도체 장치 및 그 제조 기술에 관한 것이다.

최근, 반도체 장치에서는, 소자 분리 구조로서, 분리 폭을 작게 할 수 있는 등, 소자 집적도를 향상시키는 데에 있어서 유리한 STI(Shallow Trench Isolation) 또는 SGI(Shallow Groove Isolation)라고 칭하는 홈형의 분리 구조가 채용되고 있다. 그러나, 소자 사이즈가 작고, 인가 전압이 낮은, 저 내압 MIS-FET의 채널 영역을 홈형의 분리부에서 규정하면, 정상적인 턴 온 과형 외에, 이상한 킹크 현상이 발생하기 쉽게 된다. 킹크 현상은, 드레인 전류의 드레인 전압 의존성을 측정했을 때에, 드레인 전류가, 어떤 전압치로부터 불규칙한 폭 형상으로 변화하여, 계단 형상의 과형이 형성되는 현상이다. 저 내압 MIS-FET에서 상기 킹크 현상이 발생하는 주된 원인은, 반도체 기판의 주면과 상기 홈형의 분리부의 측면이 이루는 건부에, 홈형의 분리부로부터의 기계적인 응력이 집중하고, 그 건부의 실리콘의 격자 상수가 변화하는 결과, 그 건부에서의 캐리어의 이동도가 부분적으로 상승하는 것에 의한 것이 알려져 있다.

이와 같이, 저 내압 MIS-FET의 킹크 발생의 원인은, 분리부의 측벽의 반도체 기판의 건부의 형상이 급경사이기 때문에, 그 건부에 라운딩을 갖게 하는 것이 킹크 현상의 대책의 주류로 되고 있다.

또한, 그 이외의 저 내압 MIS-FET의 킹크 대책으로서, 예를 들면 일본 특허 공개 평성 9-237829호 공보에는, 홈형의 분리부와 반도체 기판의 경계부에 웰과 동일 도전형의 고 농도의 불순물 영역을 마련하는 기술이 개시되어 있다(특허 문헌1 참조).

또한, 예를 들면 일본 특허 공개 2001-144189호 공보에는, 트렌치 소자 분리 영역에 의해 구획된 저 내압 MOSFET에 있어서, 채널 영역의 중앙부를 임계치 전압이 낮은 P-형의 채널 영역으로 하고, 트렌치 소자 분리 영역과의 경계 근방의 양단 부분을 각각 임계치 전압이 높은 p+ 형의 채널 영역으로 하는 기술이 개시되어 있다(특허 문헌2 참조).

또한, 예를 들면 일본 특허 공개 평성 10-65153호 공보에는, 홈형의 소자 분리막에 의해 획정된 활성 영역의 외주부에, 저 내압 MIS-FET의 소스/드레인 접합보다 얇고, 채널 영역과 동일 도전형으로, 채널 영역보다 고 농도의 불순물층을 마련하는 기술이 개시되어 있다(특허 문헌3 참조).

또한, 예를 들면 일본 특허 공개 2001-160623호 공보에는, 트렌치 소자 분리법으로 형성된 소자 분리막으로 획정된 활성 영역에 저 내압 MOSFET을 형성하고, 그 MOSFET의 게이트 전극 아래의 활성 영역의 채널 엣지 부분이, 소스·드레인 영역을 형성하기 위한 고 농도 불순물 이온의 주입 영역의 밖에 배치되도록 하고, 채널 엣지가 동작부로부터 벗어나도록 함으로써 킹크 현상을 방지하는 기술이 개시되어 있다(특허 문헌4 참조).

또한, 킹크 현상의 또 다른 대책 방법으로서, n 채널형의 MOSFET에 있어서, 홈형의 분리부와 접하는 반도체 기판과의 엣지부에 질소를 이온 주입하여 SiN 영역을 형성함으로써, 엣지부에서의 붕소의 농도 저하를 방지하고, 킹크 현상에 기인하는 누설 전류를 저감시키는 방법이나 홈형의 분리부 근방의 산화막을 두껍게 함으로써 킹크 현상을 개선하는 방법 등이 제안되어 있다.

<특허 문헌1> 일본 특허 공개 평성 9-237829호 공보

<특허 문헌2> 일본 특허 공개 2001-144189호 공보

<특허 문헌3> 일본 특허 공개 평성 10-65153호 공보

<특허 문헌4> 일본 특허 공개 2001-160623호 공보

발명이 이루고자 하는 기술적 과제

그런데, 고 내압 MIS-FET라도 상기 키크 현상이 발생하지만, 그 원인이 저 내압 MIS-FET에서 발생하는 키크 현상과는 다르고, 고 내압 MIS-FET의 경우, 상기 반도체 기관의 건부에 라운딩을 형성하는 것만으로는 키크 현상을 충분히 억제할 수 없다고 하는 문제가 있음을 본 발명자는 새롭게 발견했다. 따라서, 후술하는 바와 같이 고 내압 MIS-FET에 있어서, 어떻게 해서 키크 현상을 억제할지가 중요한 과제로 되고 있다.

본 발명의 목적은 고 내압 전계 효과 트랜지스터의 키크 현상을 억제 또는 방지할 수 있는 기술을 제공하는 데에 있다.

본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면에서 분명해질 것이다.

본원에서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

즉, 본 발명은, 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 분리부와 반도체 기관과의 경계 영역에, 고 내압 전계 효과 트랜지스터의 드레인용의 반도체 영역과는 역의 도전형의 반도체 영역이고 채널 영역보다도 불순물 농도가 높은 영역을 마련하고, 그 불순물 농도가 높은 영역을, 고 내압 전계 효과 트랜지스터의 드레인용의 반도체 영역으로부터 분리하고 배치하는 것이다.

본원에서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 이하와 같다.

즉, 고 내압 전계 효과 트랜지스터에서의 키크 현상을 억제 또는 방지할 수 있다. 또한, 고 내압 전계 효과 트랜지스터를 갖는 반도체 장치의 특성을 향상시킬 수 있다.

발명의 구성 및 작용

이하의 실시 형태에서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 이들은 상호 무관한 것이 아니고, 한쪽은 다른 쪽의 일부 또는 전부의 변형에, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 량, 범위 등을 포함함)을 언급하는 경우, 특별히 명시한 경우 및 원리적으로 분명히 특정된 수로 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것이 아니며, 특정한 수 이상이어도 이하여도 무방하다. 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 분명히 필수라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아님은 물론이다. 마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등을 언급할 때는, 특별히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등과 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지이다. 또한, 본 실시 형태를 설명하기 위한 전 도면에 있어서 동일 기호를 갖는 것은 동일한 부호를 붙이고, 그 반복 설명은 생략한다. 또한, 이하의 실시 형태에서는, 전계 효과 트랜지스터인 MIS-FET(Metal Insulator Semiconductor-Field Effect Transistor)를 MIS라고 약칭하고, n 채널형 MIS를 nMIS라고 약칭하고, p 채널형 MIS를 pMIS라고 약칭한다. 이하, 본 발명의 실시 형태를 도면에 기초하여 상세히 설명한다. 또한, 상기의 MIS 중에서, 상대적으로 높은 전압으로 구동하는 MIS를 고 내압 MIS라고 칭하고, 상대적으로 낮은 전압으로 구동하는 MIS를 저 내압 MIS라고 칭한다. 고 내압 MIS는 그 드레인 영역에, 예를 들면 40V 정도의 전위가 가해져 동작하는 MIS이고, 내압 100V를 실현 가능한 구조로 되어 있다. 저 내압 MIS는 그 드레인 영역에, 예를 들면 1.5V 정도의 전위가 가해져 동작하는 MIS이다.

처음에, 본 발명자가 새롭게 발견한 고 내압 MIS에서의 상기 키크 현상에 대하여 설명한다. 고 내압 MIS에서도 상기 키크 현상이 발생하지만, 그 원인이 저 내압 MIS에서 발생하는 키크 현상과는 다르며, 고 내압 MIS의 경우, 상기 반도체 기관의 건부에 라운딩을 형성하는 것만으로는 키크 현상을 충분히 억제할 수 없다고 하는 문제가 있는 것을 본 발명자는 발견했다.

도 107은 고 내압 MIS의 게이트 전압 V_G 에 대한 드레인 전류 I_D 의 실제 측정 파형의 일례를 나타내고 있다. 또한, 도 108은 도 107의 측정 파형의 설명도를 도시하고 있다. 도 108의 실선 A는, 고 내압 MIS의 채널 전류를 나타내고, 파선 B는, 고 내압 MIS의 채널 영역의 길이 방향(게이트 폭 방향)의 양단 부분에서의 엡지 전류를 나타내고 있다. 상기와 같이 특히 분리부를 홈형으로 형성한 경우, 채널 영역의 길이 방향 양단에 스트레스나 불순물 농도 저하에 의해서, 그 양단의 활성 영역과 분리부의 경계부에 따라서 미소한 누설 전류($\sim \mu A$)가 흐르고, 키크 현상이 발생하고 있다. 상기와 같이 반도체 기관의 건부에 라운딩을 형성하는 것만으로는, 고 내압 MIS에서의 키크 현상을 충분히 억제할 수 없는 이유는, 고 내압 MIS에서의 키크 현상의 원인이, 고 내압 MIS가 갖는 특유의 구성에 기인하는 것이 있고, 저 내압 MIS의 키크 현상의 원인과는 다른 부분이 있기 때문이다.

제1 이유는, 고 내압 MIS에서는 게이트 절연 내압을 확보하기 위해서 게이트 절연막의 두께를, 저 내압 MIS의 그것보다도 훨씬 두껍게 해야만 하지만, 그와 같은 두꺼운 게이트 절연막에서도 정상적으로 동작시키기 위해서, 임계치 전압을 낮게 하여야 하여, 그 때문에, 채널 영역의 불순물 농도(드레인 영역과는 역의 도전형을 형성하는 불순물의 농도)를 낮게 설정해야 한다. 이 때문에, 킥 현상이 발생하기 쉽다.

제2 이유는 도 109 및 도 110을 이용하여 설명한다. 도 109는 킥 대책이 적용되고 있지 않은 고 내압 MIS(50)의 일례의 평면도, 도 110은 도 109의 Y50-Y50선의 단면도를 각각 도시하고 있다. 또한, 부호의 V0은 고 내압 MIS(50)의 전계 완화 기능을 갖는 반도체 영역, S0은 소스 영역, D0은 드레인 영역을 나타내고 있다. 킥 현상은 채널 영역의 길이 방향(게이트 폭 방향) 양단의 영역 C에서 발생하기 쉽다. 이것은, 다음과 같은 이유 때문이다. 즉, 홈형의 분리부(51)의 상면이 웨트 에칭 처리 등에 의해 반도체 기판(52)의 상면보다도 우묵하게 들어가는(리세스) 경우가 있지만, 그 경우에, 게이트 전극(53)의 양 단부와 홈형의 분리부(51)의 측벽의 반도체 기판(52) 부분의 거리 E가 짧아지는 결과, 게이트 전극(53)에 의한 전계가 홈형의 분리부(51)의 측벽의 반도체 기판(52) 부분에 인가되고, 그 반도체 기판(52) 부분에 캐리어가 유기되어, 홈형의 분리부(51)의 측벽의 반도체 기판(52) 부분에도 채널이 형성된다. 그런데, 고 내압 MIS에서는 깊은 웰(54)의 불순물 농도 프로파일이 반도체 기판(52)의 주면으로부터 깊어짐에 따라서 점차로 낮아지도록 되어 있기 때문에, 홈형의 분리부(51)의 측벽의 반도체 기판(52) 부분에서의 임계치 전압이, 반도체 기판(52)의 주면 부분에서의 임계치 전압보다도 낮아진다. 그리고, 그 분리부(51)의 측벽의 반도체 기판(52) 부분에서의 채널 폭이 좁기 때문에, 포화 전류도 적고, 게이트 전극(53)에 의한 전계의 인가에 의해, 2 종류의 MIS(반도체 기판(52)의 주면부와 측벽부)의 전류의 합으로서 보여, 계단 형상의 킥 파형이 발생한다.

또한, 상기 특허 문헌1 내지 3과 같이, 게이트 폭 방향 양단에 고 농도 영역을 마련함으로써, 저 내압 MIS에서의 킥 현상을 억제 또는 방지하는 방법이 있다. 그러나, 상기와 같이 고 내압 MIS와 저 내압 MIS에서는 구성이 서로 다르고, 또한 그에 따라 킥 현상의 원인이 차이가 있으므로, 상기 게이트 폭 방향의 양단에 고 농도 영역을 형성하는 기술을, 그저 단순히 고 내압 MIS에 그대로 적용할 수는 없다. 예를 들면 상기 특허 문헌1, 2의 기술에서는, 고 농도 영역을 소스 및 드레인에 접하도록 마련하고 있기 때문에, 그대로 고 내압 MIS에 적용하면, 고 내압 MIS에 필요한 드레인 내압을 확보할 수 없는 등의 문제점이 발생하기 때문이다.

(실시 형태 1)

도 1은 본 실시 형태 1의 고 내압 pMISQHp1의 일례의 주요부 평면도, 도 2는 도 1과 동일 개소의 평면도이고 특히 고 내압 pMISQHp1의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1과 n+ 형의 반도체 영역 NVk의 배치 관계를 도시한 주요부 평면도, 도 3은 도 1과 동일 개소의 평면도이고 특히 고 내압 pMISQHp1의 게이트 전극 HG와 활성 영역 L과 n+ 형의 반도체 영역 NVk의 배치 관계를 도시한 주요부 평면도, 도 4는 도 1과 동일 개소의 평면도이고 특히 분리 영역 및 활성 영역 L을 도시한 주요부 평면도, 도 5는 도 1 내지 도 4의 X1-X1선의 단면도, 도 6은 도 1 내지 도 4의 X2-X2선의 단면도, 도 7은 도 1 내지 도 4의 Y1-Y1선의 단면도를 각각 도시하고 있다. 또한 여기서는, 고 내압 pMIS에 본 발명을 적용한 경우에 대해 설명하지만, p, n의 도전형을 반대로 함으로써, 고 내압 nMIS에 적용할 수도 있다. 또, 도 4는 평면도이지만 도면을 보기 쉽게 하기 위해서 분리 영역에 해칭을 가한다. 또한, 제1 방향 X는, 각도의 좌우 가로 방향이며 게이트 길이 방향(채널 길이 방향) 또는 게이트 전극 HG의 짧은 방향을 나타내고, 제2 방향 Y는, 상기 제1 방향 X에 직교하는 방향이며 각도의 상하 세로 방향이고 게이트 폭 방향 또는 게이트 전극 HG의 길이 방향을 나타내고 있다.

본 실시 형태 1의 반도체 장치의 고 내압 pMIS(제1, 제5, 제6 고 내압 전계 효과 트랜지스터) QHp1은, 예를 들면 액정 표시 장치의 드라이버 회로나 고 전류 제어를 행하는 모터 제어 드라이버 회로 등에 적용되고 있다. 고 전위측의 전원 전압은, 예를 들면 40V 정도, 저 전위(기준 전위) 측의 전원 전압은, 예를 들면 1.5(V)이고, 예를 들면 내압 100V를 실현 가능한 구조로 되어 있다.

반도체 기판(이하, 단순히 기판이라고 함)(1S)은, 예를 들면 p형의 실리콘(Si) 단결정으로 이루어지고, 그 주면(디바이스 형성면)에는 상기 고 내압 pMISQHp1이 배치되어 있다. 이 고 내압 pMISQHp1은, 깊은 n형 웰(제3, 제7, 제8 반도체 영역) DNW와, 이것에 전기적으로 접촉된 평면 프레임 형상의 n+ 형 웰 NW1에 의해 평면적으로도 단면적으로도 둘러싸여 있다. 이에 의해, 고 내압 pMISQHp1은 기판(1S)과 전기적으로 분리되어 있다. 깊은 n형 웰 DNW 및 n+ 형 웰 NW1에는 모두, 예를 들면 인(P) 등과 같은 불순물이 도입되어 있지만, n+ 형 웰 NW1의 불순물 농도 쪽이, 깊은 n형 웰 DNW의 불순물 농도보다도 높게 되도록 되어 있다. 또한, n+ 형 웰 NW1의 상부에는, 배선층인 메탈 배선과의 오믹 콘택트를 취하기 위해서, 더욱 불순물 농도가 높은 n+ 형의 반도체 영역 N1이 형성되어 있다. 이 n+ 형의 반도체 영역 N1의 상면에는, 예를 들면 코발트 실리사이드(CoSi₂ 등)와 같은 실리사이드층(2)이 형성되어 있다. 실리사이드층(2)은 코발트 실리사이드 대신에, 티탄 실리사이드(TiSi₂), 플라티넘 실리사이드(PtSi₂), 니켈 실리사이드(NiSi₂) 또는 텅스텐 실리사이드(WSi) 등, 각종의 실리사이드층을 사용하여도 된다.

도 4에 도시한 바와 같이, 상기 기판(1S)의 주면에는, 소자 분리 영역으로서 예를 들면 STI(Shallow trench Isolation) 또는 SGI(Shallow Groove Isolation)라고 칭하는 홈형의 분리부(3)가 형성되어 있고, 이에 의해 활성 영역 L(L1~L4)이 규정되어 있다. 도 4에 있어서, 해칭을 실시한 영역이 분리부(3)가 형성되어 있는 영역이다. 이 홈형의 분리부(3)는, 기판(1S)의 주면에 파진 홈 내에, 예를 들면 산화 실리콘(SiO₂ 등)과 같은 절연막이 매립됨으로써 형성되어 있다.

도 5 내지 7에 도시한 바와 같이, 분리부(3)의 상부에 접하는 기판(1S)의 건부(기판(1S)의 주면과 분리부(3)의 상부 측면으로 형성되는 각부)는 라운딩을 띠도록 형성되어 있다. 분리부(3)를 홈형 구조로 하면, 상기 기판(1S)의 건부에 기계적 응력이 집중하기 때문에, 그 건부에서의 실리콘의 격자 상수가 변화하고, 그 건부에서 캐리어의 이동도가 상승하는 결과, 킥 현상(kink effect)이 발생하기 쉽다는 것이 알려져 있다. 그래서, 상기 기판(1S)의 건부에 라운딩을 형성함으로써, 그 건부에 가해지는 기계적 응력을 완화할 수 있으므로, 고 내압 pMISQHp1에서의 킥 현상의 발생을 억제할 수 있다. 그러나, 상기와 같이, 이 구성만으로는 고 내압 MIS에서의 킥 현상을 충분히 억제할 수는 없다. 또한, 분리부(3)의 홈의 바닥부는, 상기 깊은 n형 웰 DNW보다도 얇은 위치에서 중단되어 있다.

이러한 분리부(3)에서 규정된 상기 활성 영역 L 중, 중앙의 평면 띠 형상의 활성 영역 L1은, 상기 고 내압 pMISQHp1의 채널이 형성되는 영역(채널 영역)을 포함하는 영역이다. 이 활성 영역 L1의 채널 영역에는 상기 깊은 n형 웰 DNW가 배치되어 있다. 즉, 채널 영역은 비 동작 시에는 n형으로 되어 있다. 이 활성 영역 L1의 채널 영역에서의 깊은 n형 웰 DNW의 불순물 농도와, 거기에 도입되는 불순물 농도를 제어함으로써, 고 내압 pMISQHp1의 임계치 전압이 결정되어 있다.

이 중앙의 활성 영역 L1의 좌우의 활성 영역 L2, L3에는, 고 내압 pMISQp1의 소스 및 드레인용의 p+ 형의 반도체 영역(제1, 제11, 제12 반도체 영역) P1, P1이 배치되어 있다. 이 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P1은, 중앙의 활성 영역 L1과 그 좌우의 활성 영역 L2, L3 사이의 분리부(3)의 존재에 의해, 중앙의 활성 영역 L1의 채널 영역과 분리되어 있지만, 그 p+ 형의 반도체 영역 P1, P2를 내포하는 전계 완화 기능을 갖는 p-형의 반도체 영역(제2 반도체 영역) PV1, PV1을 통하여 상기 채널 영역과 전기적으로 접속되어 있다.

이 p-형의 반도체 영역 PV1, PV1은, 평면에서 보면, 제1 방향 X의 일단이 활성 영역 L1과 활성 영역 L2, L3 사이의 분리부(3)를 걸쳐 활성 영역 L1측에(즉, 게이트 전극 HG 아래에), p-형의 반도체 영역 PV1, PV1의 사이에 채널 영역분의 깊은 n형 웰 DNW가 남겨지도록, 원하는 길이 분만큼 돌출되어 있다. 한편, p-형의 반도체 영역 PV1, PV1의 제1 방향 X의 타단 및 제2 방향 Y의 양단은, 상기 n+ 형 웰 NW1에 접하지 않는 위치에서 종단하고 있다. 또한, 이 p-형의 반도체 영역 PV1, PV1은, 단면에서 보면, 그 바닥부가 분리부(3)보다도 깊은 위치까지 연장되어 있지만, 상기 깊은 n형 웰 DNW보다는 얇은 위치에서 종단하고 있다. 이러한 구성으로 함으로써, 고 내압 pMISQHp1의 드레인 내압을 확보할 수 있다.

상기 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P1 및 p-형의 반도체 영역 PV1, PV1에는 모두, 예를 들면 붕소(B) 등과 같은 불순물이 도입되어 있지만, p+ 형의 반도체 영역 P1, P1의 불순물 농도 쪽이, 메탈 배선과의 오믹 콘택트를 취하기 위해서, p-형의 반도체 영역 PV1, PV1의 불순물 농도보다도 높게 되도록 되어 있다. 또한, 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P1의 상면에는, 상기 실리사이드층(2)이 형성되어 있다.

상기 중앙의 활성 영역 L1 상에는, 활성 영역 L1의 전 영역을 피복하도록 고 내압 pMISQHp1의 게이트 전극 HG가 배치되어 있다. 이 게이트 전극 HG의 제2 방향 Y(게이트 폭 방향)의 양단은, 그 일부가 상기 n+ 형 웰 NW1에 평면적으로 중첩되는 위치까지 연장되어 있고, 이로부터, 고 내압 pMISQHp1의 내압을 낮추는 일없이, 게이트 전극 HG가 대향하는 깊은 n형 웰 DNW의 표면에 기생 MIS가 발생하는 것을 억제 또는 방지하는 것이 가능하게 되어 있다. 게이트 전극 HG는 도체막으로 형성되어 있고, 예를 들면 인 등을 도핑한 저 저항의 다결정 실리콘 등으로 이루어지고, 그 상면에는 상기 실리사이드층(2)이 형성되어 있다. 본 실시 형태 1에서는, 이 실리사이드층(2)을 도시하여 나타내고 있지만, 반드시 형성되어 있을 필요는 없으며, 예를 들면, 게이트 전극 HG를, 인 등을 도핑한 저 저항의 다결정 실리콘만으로 형성해도 된다.

또한, 게이트 전극 HG의 측면에는, 절연막으로서 예를 들면 산화 실리콘으로 이루어지는 측벽(5)이 형성되어 있다. 이 게이트 전극 HG와 기관(1S) 주면의 사이에는 게이트 절연막(6)이 형성되어 있다. 게이트 절연막(6)은, 예를 들면 열 산화법 등에 의해 기관(1S)의 주면 상에 형성된 산화 실리콘 등으로 이루어지는 절연막(6a)과, 그 위에, 화학 기상 성장법(Chemical Vapor Deposition: CVD, 여기서는, 예를 들면 감압 CVD법)에 의해 퇴적된 산화 실리콘 등으로 이루어지는 절연막(6b)과의 적층막으로 형성되어 있다. 게이트 절연막(6)의 CVD법으로 형성된 절연막(6b)은, 그 외주가 평면에서 보면, 게이트 전극 HG의 외주로부터 약간 돌출하도록 형성되어 있다.

상기 활성 영역 L 중 최외주의 평면 프레임 형상의 활성 영역 L4에는, 상기 n+ 형의 반도체 영역 N1이 배치되어 있다. 또한, 실제의 반도체 장치에서는, 활성 영역 L4, n+ 형의 반도체 영역 N1 및 n+ 형 웰 NW1은, 복수의 고 내압 MIS를 둘러싸는 것이 일반적이다. 여기서는 설명을 간단히 하기 위해서, 1개의 고 내압 pMISQHp1을 둘러싸는 모습을 예시하고 있다.

그런데, 상기와 같이 고 내압 MIS의 경우, 저 내압 MIS에서의 킹크 현상 대책으로서 예시된, 분리부(3)의 상부에 접하는 기관(1S)의 건부(기관(1S)의 주면과 분리부(3)의 상부 측면으로 형성되는 각부)에 라운딩을 형성하는 기술만으로는, 킹크 현상을 충분히 억제할 수 없다. 그래서, 본 실시 형태 1에서는 도 1 내지 도 5 및 도 7에 도시한 바와 같이, 중앙의 활성 영역 L1의 제2 방향 Y의 양단에, 즉, 고 내압 pMISQHp1의 채널 영역의 제2 방향 Y의 양단의 홈형의 분리부(3)와 기관(1S)의 경계 영역(특히 상기 분리부(3)의 측벽에 접하는 기관(1S) 부분)에, 상기 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P1과는 역의 도전형의 n+ 형의 반도체 영역(제4, 제13, 제14 반도체 영역) NVk를 부분적으로 형성했다. 이에 의해, 상기 채널 영역의 제2 방향 Y의 양단(즉, 상기 측벽부)에서의 임계치 전압을, 채널 영역의 중앙(즉, 상기 주면부)에서의 임계치 전압보다도 높게 할 수 있다. 즉, 채널 영역의 중앙에서는 MIS가 동작하기 쉬운 데 대하여, 채널 영역의 제2 방향 Y의 양단에서는 MIS가 동작하기 어렵게 된다. 이 때문에, 기동 분리부(3)의 상면이 우묵하게 들어갔다고 해도, 상기 킹크 현상의 발생을 억제 또는 방지할 수 있다. 따라서, 고 내압 MIS의 특성을 향상시킬 수 있다. 또한 여기서, 임계치 전압이 높다고 표현했지만, 여기서는 고 내압 pMIS를 예로 설명하고 있기 때문에, 소스 전위(예를 들면 0V)로부터 보아, 마이너스 측을 높다고 표현하고 있다.

또한, 저 내압 MIS에서의 킹크 현상 대책으로서 채널 폭 방향(제2 방향 Y)의 양단에 고 농도 영역을 형성하는 기술을, 본 실시 형태 1의 고 내압 MIS에 그대로 적용하는 것은 불가능하다. 즉, 본 실시 형태 1과 같은 고 내압 MIS에 있어서, 저 내압 MIS에서의 킹크 현상 대책을 그대로 답습하여, n+ 형의 반도체 영역 NVk와 p-형의 반도체 영역 PV1, PV1을 접속시키면 고 농도 영역이 접하기 때문에, 고 내압 MIS에 필요한 드레인 내압을 확보할 수 없다고 하는 문제가 발생하기 때문이다. 특히 목표로 하는 드레인 내압이 높은 제품의 경우에는, 채널 폭 방향의 양 단부의 불순물 농도를 낮출 필요가 있기 때문에, 그저 단순히 n+ 형의 반도체 영역 NVk를 배치할 수 없는 것이다. 그래서, 본 실시 형태 1에서는, 킹크 대책용의 n+ 형의 반도체 영역 NVk가, 상기 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1, PV1(특히 드레인 측)에 접하지 않도록, p-형의 반도체 영역 PV1, PV1로부터 분리된 위치에 배치되어 있다. 이에 의해, 고 내압 pMISQHp1의 드레인 내압의 저하를 방지할 수 있다. 따라서, 본 실시 형태 1에 의하면, 킹크 현상의 억제 또는 방지와, 드레인 내압의 확보의 양립이 가능하다.

킹크 대책용의 n+ 형의 반도체 영역 NVk1은, 활성 영역 L1과 분리부(3)의 쌍방의 영역에 걸쳐도록 배치되어 있다. 이 n+ 형의 반도체 영역 NVk의 n형 불순물의 농도는, 채널 영역의 깊은 n형 웰 DNW의 n형 불순물의 농도보다도 높게 설정되어 있다. 또한, n+ 형의 반도체 영역 NVk1은, 단면에서 보면, 기관(1S)의 주면으로부터 분리부(3)의 바닥부보다도 깊은 위

치까지 연장되어, 거의 상기 p+ 형의 반도체 영역 P1, P1의 바닥부와 같은 정도의 깊이까지 달하고 있지만, 상기 깊은 n형 웰 DNW보다는 얇은 위치에서 중단되어 있다. 이와 같이 킥크 대책용의 n+ 형의 반도체 영역 NVk1을 분리부(3)보다도 깊은 위치까지 형성함으로써, 킥크 현상의 발생을 억제 또는 방지하는 능력을 높일 수 있다. 즉, 분리부(3)의 상부에 접하는 기관(1S)의 전부에 있어서의 임계치를 높게 할 수 있으므로, 킥크 현상의 발생을 억제할 수 있다.

또한, 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P1중의 소스용의 p+ 형의 반도체 영역 P1의 전위가 항상 n형 웰 DNW와 동 전위로 사용하는 경우에 있어서는, 상기 킥크 대책용의 n+ 형의 반도체 영역 NVk를, 그 소스용의 p+ 형의 반도체 영역 P1과 접촉시키더라도 상관없다. 이에 의해, 킥크 대책용의 n+ 형의 반도체 영역 NVk의 위치 정렬 여유를 늘릴 수 있기 때문에, 그 배치를 용이하게 할 수 있다.

다음에, 도 8 및 도 9는 고 내압 MIS를 이용한 회로의 일례를 나타내고 있다. 도 8 및 도 9는 고 내압 MIS를 이용한 차동 회로를 갖는 정전류 회로를 도시하고 있다. 도 8은 아날로그 회로에서 다용되는 정전류원 압출 회로를 도시하고 있다. 이 도 8에서는, 정전류원 압출 회로가, 게이트 전극과 고 전위측의 전원 전위 Vcc를 공통으로 하는 복수의 고 내압 nMISQHN으로 구성되어 있는 경우가 예시되어 있다. 즉, 전원 전위 Vcc는 고 내압 nMISQHN의 드레인 영역에 인가된다. 또한, 도 9는 아날로그 회로에서 다용되는 정전류원 인입 회로를 도시하고 있다. 이 도 9에서는, 정전류원 인입 회로가, 게이트 전극과 기준 전위측의 전원 전위 GND를 공통으로 하는 복수의 고 내압 pMISQHP로 형성되어 있는 경우가 예시되어 있다. 즉, 전원 전위 Vcc는 고 내압 pMISQHP의 게이트 전극 및 드레인 영역에 인가된다. 고 전위측의 전원 전위 Vcc는, 예를 들면 20~100V 정도, 기준 전위측의 전원 전위 GND는, 예를 들면 0(영)V이다. 도 8 및 도 9의 부호 R1, R2는 저항을 나타내고 있다. 이들 회로의 경우, 킥크 현상이 특히 문제로 된다. 이것은, 이들 회로에서는, 상기 킥크 대책을 전혀 실시하지 않는다고 하면, 소정의 전류치를 고 내압 MIS의 사이즈(채널 길이 및 채널 폭)로 설계하려고 하여도, 실제의 전류치가 상기 채널 폭 방향의 양 단부(분리부(3)의 측벽부)에서 흐르는 전류 때문에 설계치로부터 어긋나기 때문이다. 이에 대하여, 본 실시 형태 1에서는, 킥크 현상을 억제 또는 방지할 수 있기 때문에, 상기 회로의 소정의 전류치의 설계치와 실측치의 오차를 저감할 수 있다. 따라서, 이들 회로의 특성을 향상시킬 수 있다.

다음에, 도 111은 고 내압 pMISQHP3을 복수 배치한 경우의 주요부 평면도의 일례를 나타내고 있다. 고 내압 pMISQHP3은 각각의 채널의 방향(전류가 흐르는 방향)이 제1 방향 X를 따르는 상태로 인접하여 배치되어 있다. 상호 인접하는 고 내압 pMISQHP3은, 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P2를 공유하도록 배치되어 있다. 그리고, n+ 형의 반도체 영역 N1 및 n형 웰 NW1은, 그 복수의 고 내압 pMISQHP3의 일군을 둘러싸도록 배치되어 있다.

본 실시 형태 1에서는 미세화에 의해 고 내압 pMISQHP3의 사이즈의 축소를 촉진하는 경우에도, n+ 형의 반도체 영역 NVk1을 마련함으로써 킥크 현상을 억제 또는 방지할 수 있기 때문에, 고 내압 pMISQHP3의 사이즈의 축소에는 유효하다. 따라서, 개개의 고 내압 pMISQHP3의 사이즈 축소량은 작다고 해도 전체적으로 큰 사이즈 축소가 가능하게 되기 때문에, 고 내압 pMISQHP3을 갖는 반도체 칩의 사이즈를 대폭 축소시킬 수 있다.

(실시 형태 2)

상기 실시 형태 1에서는, 소스 및 드레인의 양쪽 모두가 웰과의 사이에서 내압을 확보할 수 있는 구성에 대하여 설명했지만, 본 실시 형태 2에서는, 소스-웰 사이에 큰 내압을 필요로 하지 않는 경우의 고 내압 MIS 구조의 일례를 설명한다. 즉, nMIS의 경우, p형 웰이 공통의 GND(pMIS의 경우에는 n형 웰이 공통의 Vcc)에 접속되어 있는 회로에서는, 소스 전위가 p형 웰 전위와 서로 다르기 때문에, 소스-웰 사이의 내압을 확보하기 위해서 역 바이어스 내압이 필요하게 되기 때문에, 소스측을 드레인측과 동일한 구조로 하고 있다. 즉, 예를 들면 nMIS의 경우, p형 웰에 역 바이어스 내압으로서 -16.5V 정도, nMIS의 소스에 1.5V 정도가 인가되기 때문에 소스-웰 사이의 내압을 확보하기 위해서 소스측을 드레인측과 동일한 구조로 되어 있고, 40V 이상의 내압을 확보할 수 있는 구조로 되어 있다. 이 때, 저 내압 MIS의 소스-웰 사이의 내압은 10V 정도를 확보할 수 있는 구조로 되어 있다. 즉, 고 내압 MIS의 소스-웰 사이의 내압은, 저 내압 MIS의 소스-웰 사이의 내압보다도 커지도록 형성되어 있다. 이러한 회로로서는, 예를 들면 출력 회로나 승압 회로 등을 예시할 수 있다. 그러나, 소스-웰 사이에서 전위차가 발생하지 않는 회로에서는, 소스-웰 사이의 내압을 확보하기 위한 역 바이어스 내압이 필요로 되지 않기 때문에, 드레인측만을 고 내압 구조로 할 수 있다. 이러한 구조로 함으로써, MIS의 사이즈를 축소하는 것이 가능해져, 반도체 칩 면적의 사이즈를 축소할 수 있다.

도 10은 그 고 내압 pMISQHP2의 일례의 주요부 평면도, 도 11은 도 10과 동일 개소의 평면도이고 특히 고 내압 pMISQHP2의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1과, 소스용의 p+ 형의 반도체 영역 P1s와, n+ 형의 반도체 영역 NVk의 배치 관계를 도시한 주요부 평면도, 도 12는 도 10과 동일 개소의 평면도이고 특히 고 내압 pMISQHP2의 게이트 전극 HG와 활성 영역 L과 n+ 형의 반도체 영역 NVk의 배치 관계를 도시한 주요부 평면도, 도 13은 도 10과 동일 개소의 평면도이며 분리 영역 및 활성 영역 L을 도시한 주요부 평면도, 도 14는 도 10 내지 도 13의 X3-X3선의 단면도, 도 15는 도 10 내지 도 13의 X4-X4선의 단면도를 각각 도시하고 있다. 또한, 도 10 내지 도 13의 Y3-Y3선의 단면도는, 도 1 내지 4에 도시하는 Y1-Y1의 단면도인 상기 도 7과 동일하기 때문에 생략한다. 또한, 도 13은 평면도이지만 도면을 보기 쉽게 하기 위해서 분리 영역에 해칭을 가한다. 또한, 본 실시 형태 2에서도 고 내압 pMIS를 예로 설명하지만, 상기 실시 형태 1과 마찬가지로 고 내압 nMIS에도 적용할 수 있다.

본 실시 형태 2의 고 내압 pMIS(제2, 제7, 제8 전계 효과 트랜지스터) QHP2에서는, 드레인용의 p+ 형의 반도체 영역 P1d와 채널 영역의 사이에는, 상기 실시 형태 1과 마찬가지로 분리부(3)가 개재되고, 드레인용의 p+ 형의 반도체 영역 P1d는 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1을 통하여 활성 영역 L5의 채널 영역과 전기적으로 접속되어 있는 데 대하여, 소스용의 p+ 형의 반도체 영역 P1s와 채널 영역의 사이에는 분리부(3)가 개재되어 있지 않고, 소스용의 p+ 형의 반도체 영역 P1s와 채널 영역이 1개의 활성 영역 L5 내에서 인접하여 배치되고 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1을 개재하지 않고서 상호 전기적으로 접속되어 있다. 게이트 전극 HG는, 활성 영역 L5의 전면을 피복하도록 형성되어 있지 않고, 활성 영역 L5에 있어서, 게이트 전극 HG가 평면적으로 중첩되는 부분(드레인측의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1이 배치된 부분을 제외함)에 채널 영역이 형성되고, 게이트 전극 HG가 평면적으로 중첩되고 있지 않은 부분은 소스용의 p+ 형의 반도체 영역 P1s가 배치되어 있다. 또한 이 구조에서는, 소스용의 p+ 형의 반도체 영역 P1s 및 깊은 n형 웰 DNW의 공급 전위가 같아지도록, 즉, p+ 형의 반도체 영역 P1s와 깊은 n형 웰 DNW의 사이에 전위차가 발생하지 않는 회로 구성으로 된다.

이러한 본 실시 형태 2에서는, 소스용의 p+ 형의 반도체 영역 P1s와 채널 영역의 사이에 분리부(3)를 마련하지 않아도 되고, 소스용의 p+ 형의 반도체 영역 P1s측에 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1을 마련하지 않아도 되기 때문에, 고 내압 pMISQHp2의 사이즈를 축소시킬 수 있다. 상기와 같이 실제의 반도체 장치에서는, 기관(1S)의 주면에 복수의 고 내압 MIS를 집적하여 배치하고 있다. 회로의 출력 해당하는 개소에서는, 1000 출력(1000개)의 고 내압 MIS를 배치하는 경우도 있다. 따라서, 가령 1개의 고 내압 pMISQHp2에서는 작은 사이즈 축소이더라도 전체적으로는 큰 사이즈 축소를 실현할 수 있으므로, 고 내압 pMISQHp2를 갖는 반도체 칩의 사이즈를 축소시킬 수 있다.

또한, 이 구성의 경우에는, 킥크 대책용의 n+ 형의 반도체 영역 NVk를, 소스용의 p+ 형의 반도체 영역 P1s와 접촉시키더라도 상관없다. 이에 의해, 킥크 대책용의 n+ 형의 반도체 영역 NVk의 위치 정렬 여유를 늘릴 수 있기 때문에, 그 배치를 용이하게 할 수 있다.

또한, 전술한 실시 형태 1과 마찬가지로, 킥크 대책용의 n+ 형의 반도체 영역 NVk1은, 활성 영역 L1과 분리부(3)의 쌍방의 영역에 걸쳐도록 배치되어 있다. 이 n+ 형의 반도체 영역 NVk의 n형 불순물의 농도는, 채널 영역의 깊은 n형 웰 DNW의 n형 불순물의 농도보다도 높게 설정되어 있다. 또한, n+ 형의 반도체 영역 NVk1은 분리부(3)보다도 깊은 위치까지 형성되어 있고, 이에 따라 킥크 현상의 발생을 더욱 억제 또는 방지하는 능력을 높일 수 있다.

(실시 형태 3)

본 실시 형태 3에서는, 상기 실시 형태 1, 2의 구조의 고 내압 MIS와, 저 내압 MIS를 동일한 기관(1S)에 갖는 반도체 장치의 제조 방법의 일례를 도 16 내지 도 63에 의해 설명한다. 또한, 도 16 내지 도 63 중의 부호 HR1은 상기 실시 형태 1의 구조의 고 내압 MIS의 형성 영역, 부호 HR2는 상기 실시 형태 2의 구조의 고 내압 MIS의 형성 영역, 부호 LR은 저 내압 MIS의 형성 영역을 각각 나타내고 있다. 또한, 고 내압 MIS의 형성 영역 HR1, HR2의 단면은, 각각 도 1의 X-X1선, 도 10의 X3-X3선에 상당하는 개소의 단면도를 도시하고 있다.

우선, 도 16 내지 도 19의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 예를 들면 저항율이 $10\Omega\cdot\text{cm}$ 이하의 p형의 실리콘(Si) 단결정으로 이루어지는 기관(1S)(여기서는 평면 원 형상의 웨이퍼)에 대하여 열 산화 처리를 실시함으로써, 기관(1S)의 주면 상에, 예를 들면 산화 실리콘으로 이루어지는 얇은 절연막(8)(도 19 참조)을 형성한다. 계속해서, 절연막(8) 상에, 예를 들면 질화 실리콘(Si_3N_4 등)으로 이루어지는 절연막(9)을 CVD법 등에 의해 퇴적한 후, 또한, 그 위에 포토레지스트막(이하, 단순히 레지스트막이라고 함)을 도포, 노광 및 현상 등과 같은 일련의 포토리소그래피(이하, 단순히 리소그래피라고 함) 공정을 거쳐, 드라이 에칭 처리를 실시함으로써, 상기 활성 영역의 형성 영역에 절연막(8, 9)의 중첩 패턴을 형성한다. 또한, 도 19는 도 16 내지 도 18의 주요부 확대 단면도를 도시하고 있다.

계속해서, 도 20 내지 도 23의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 절연막(9)을 에칭 마스크로 하여 기관(1S)의 주면(디바이스 형성면)에 홈(3a)을 형성한다. 이 단계에서는, 홈(3a)의 측벽과 기관(1S)의 주면이 이루는 견부가 모나 있다. 도 23은 도 20 내지 도 22의 주요부 확대 단면도를 도시하고 있다. 계속해서, 도 24 내지 도 27의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 기관(1S)(즉, 웨이퍼)에 대하여 드라이 산화 처리를 실시함으로써, 홈(3a)의 내면 등, 기관(1S)의 노출면에 산화 실리콘 등으로 이루어지는 절연막(10)을 형성한다. 이에 의해, 홈(3a)의 측벽과 기관(1S)의 주면이 이루는 견부에 라운딩을 형성한다.

계속해서, 도 28 내지 도 30의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 기관(1S)(즉, 웨이퍼)의 주면 상에, 예를 들면 산화 실리콘으로 이루어지는 절연막(3b)을 CVD법 등에 의해서 퇴적한 후, 이것을 화학 기계 연마(Chemical Mechanical Polishing: CMP)법 등에 의해 연마함으로써 홈(3a)의 밖의 절연막(3b)을 제거하고, 홈(3a) 내에만 절연막(3b)을 매립함으로써 분리부(3)를 형성한다. 계속해서, 절연막(9)을 열 인산 등에 의해 제거하고, 그 하층의 절연막(8)을 웨트 에칭법에 의해 제거하고, 활성 영역의 주면을 노출시킨 후, 기관(1S)에 대하여 열 산화 처리를 실시함으로써, 활성 영역의 주면에, 예를 들면 산화 실리콘으로 이루어지는 얇은 절연막을 형성한다. 이 얇은 절연막은 이온 주입 공정 시의 스루막으로 된다.

계속해서, 레지스트막을 마스크로 하여 기관(1S)이 깊은 n형 웰 형성 영역에, 예를 들면 인을 선택적으로 이온 주입한 후, 그 레지스트막을 제거한다. 계속해서, 다른 레지스트막을 마스크로 하여 기관(1S)이 깊은 p형 웰 형성 영역 및 분리용의 p형 반도체 영역에, 예를 들면 붕소(B)를 선택적으로 이온 주입한 후, 그 레지스트막을 제거한다. 그 후, 기관(1S)에 도입된 상기 인 및 붕소가, 예를 들면 기관(1S)의 주면으로부터 $10\mu\text{m}$ 정도의 깊이까지 확산되도록, 기관(1S)(즉, 웨이퍼)에 대하여 열 처리를 실시함으로써, 도 31 내지 도 33의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 기관(1S)에 깊은 n형 웰 DNW, 깊은 p형 웰(제3, 제7, 제8 반도체 영역) DPW 및 분리용의 p형의 반도체 영역 PIS를 형성한다.

계속해서, 도 34 내지 도 36의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 기관(1S)의 주면 상에, 레지스트막 PR1의 패턴을 상기 리소그래피 공정에 의해 형성한다. 이 레지스트막 PR1의 패턴은, 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역(제2, 제9, 제10 반도체 영역) NV1과 고 내압 pMIS 형성 영역의 킥크 대책용의 n+ 형의 반도체 영역 NVk의 쌍방의 형성 영역이 노출되고, 그 이외가 피복되도록 형성되어 있다. 계속해서, 레지스트막 PR1의 패턴을 마스크로 하여 기관(1S)에, 예를 들면 인을 이온 주입법 등에 의해 선택적으로 도입한다. 이 때, 반도체 영역 NV1 및 반도체 영역 NVk는 분리부(3)보다도 깊게 되도록 형성한다. 이와 같이 반도체 영역 NV1을 형성함으로써, 킥크 현상의 발생을 억제 또는 방지하는 능력을 높일 수 있다. 또한, 이 단계에서는 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역 NV1 및 고 내압 pMIS 형성 영역의 킥크 대책용의 n+ 형의 반도체 영역 NVk는, 이들을 형성하는 불순물이 도입된 단계에서 이들 영역이 완전하게 형성되어 있는 것은 아니지만 설명을 이해하기 쉽게 하기 위해서 이들 영역도 도시한다.

계속해서, 레지스트막 PR1을 제거한 후, 도 37 내지 도 39의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 기관(1S)의 주면 상에, 레지스트막 PR2의 패턴을 상기 리소그래피 공정에 의해 형성한다. 이 레지스트막 PR2의 패턴은, 고 내압 pMIS 형성 영역의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1과 고 내압 nMIS 형성 영역의 킥크 대책용의 p+ 형의 반도체 영역(제4, 제13, 제14 반도체 영역) PVk의 쌍방의 형성 영역이 노출되고, 그 이외가 피복되도록 형성

되어 있다. 계속해서, 레지스트막 PR2의 패턴을 마스크로 하여 기판(1S)에, 예를 들면 봉소를 이온 주입법 등에 의해 선택적으로 도입한다. 이 때, 반도체 영역 NV1 및 반도체 영역 NVk와 마찬가지로, 반도체 영역 PV1 및 반도체 영역 PVk는 분리부(3)보다도 깊게 되도록 형성함으로써, 키크 현상의 발생을 억제 또는 방지하는 능력을 높일 수 있다. 또한 이 단계에서는, 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역 NV1, 고 내압 pMIS 형성 영역의 키크 대책용의 n+ 형의 반도체 영역 NVk, 고 내압 pMIS 형성 영역의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1 및 고 내압 nMIS 형성 영역의 키크 대책용의 p+ 형의 반도체 영역 PVk는 완전하게 형성되어 있는 것은 아니지만, 설명을 이해하기 쉽게 하기 위해서 이들 영역도 도시한다.

계속해서, 레지스트막 PR2를 제거한 후, 기판(1S)에 대하여 연장 확산 처리(열 처리)를 실시함으로써, 도 40 내지 도 42의 동일 제조 공정 중의 기판(1S)의 주요부 단면에 도시한 바와 같이, 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역 NV1, 고 내압 nMIS 형성 영역의 키크 대책용의 p+ 형의 반도체 영역 PVk, 고 내압 pMIS 형성 영역의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1 및 고 내압 pMIS 형성 영역의 키크 대책용의 n+ 형의 반도체 영역 NVk를 형성한다. 이와 같이 본 실시 형태 3에서는, 키크 대책용의 p+ 형의 반도체 영역 PVk 및 n+ 형의 반도체 영역 NVk를, 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1 및 n-형의 반도체 영역 NV1과 동일 형성 공정 시에 형성하기 때문에, 키크 대책용의 p+ 형의 반도체 영역 PVk 및 n+ 형의 반도체 영역 NVk를 마련했다고 해서 제조 공정이 증가하는 것도 아니다. 따라서, 반도체 장치의 제조 시간이나 비용을 증대시키는 일없이, 성능 및 신뢰성이 높은 반도체 장치를 제공할 수 있다. 그 후, 고 내압 MIS의 채널 영역에 얇은 채널주입을 행하고, 각각의 고 내압 MIS의 임계치 전압을 조정해도 된다. 그 후, 상기 이온 주입 시의 스트루막용의 절연막을 웨트 에칭 처리에 의해서 제거한다. 그 후, 기판(1S)에 대하여 열 산화 처리를 실시함으로써, 기판(1S)의 주면(활성 영역의 주면) 상에, 예를 들면 두께가 이산화 실리콘 환산 막 두께로 10nm 정도의 산화 실리콘 등으로 이루어지는 절연막(6a)(본 실시 형태 3에서는 도면을 보기 쉽게 하기 위해서 도시를 생략함)을 형성한다. 이 때, 요구되는 게이트 절연 내압이 낮은 경우에는, 이 열 산화법에 의한 산화 실리콘막만으로 게이트 절연막을 형성하는 것도 가능하지만, 게이트 전극에도 드레인과 마찬가지로의 고전압이 인가되는 경우에는, 상기 열 산화법에 의한 산화 실리콘막 상에 CVD법 등으로 형성된 산화 실리콘 등으로 이루어지는 절연막(6b)을 퇴적하고, 열 산화법에 의한 산화 실리콘막과 CVD법에 의한 산화 실리콘막과의 적층막으로 게이트 절연막(6)을 형성한다. 여기서는, 그 적층막으로 게이트 절연막(6)을 형성한 경우를 나타내고 있다. 이에 의해, 게이트 절연막 두께가 대폭 상이한 고 내압 MIS와 저 내압 MIS를 동일한 기판(1S)에 공존시킬 수 있다. 또한, 이러한 CVD법으로 형성된 절연막(6b)은, 활성 영역 상뿐만 아니라 분리부(3) 상에도 형성되어 있다. 이 CVD법에 의한 절연막(6b)의 퇴적에 의해, 분리부(3)의 상부가 후의 공정에서 에칭되는 랑을 저감할 수 있기 때문에, 분리부(3)의 내압을 확보할 수 있고, 또한 기생 MIS의 발생을 억제 또는 방지할 수 있다. 따라서, 반도체 장치의 신뢰성을 향상시킬 수 있다.

계속해서, 상기 게이트 절연막(6)의 CVD법으로 형성된 절연막(6b) 중, 저 내압 MIS의 형성 영역, 고 내압 MIS의 형성 영역에서도 오픈 콘택트를 취하는 n+ 형의 반도체 영역이나 p+ 형의 반도체 영역이 형성되는 부분 등과 같은 불필요 부분을 상기 리소그래피 공정 및 웨트 에칭 공정을 거쳐서 선택적으로 제거한다. 이 에칭 처리 시에, 상기 게이트 절연막 형성용의 CVD법에 의한 절연막(6b)은, 열 산화막(절연막(6a))에 비교하여 에칭 속도가 빠르다. 에칭이 진행하여 CVD법에 의한 절연막(6b)의 아래의 열 산화막(절연막(6a))이 노출된 시점에, 에칭 속도가 현저히 늦어지기 때문에, 분리부(3)의 절연막(3b)의 막 두께의 저하를 방지할 수 있다. 따라서, 저 내압 MIS의 형성 영역 등과 같이 레지스트막으로 피복되어 있지 않은 분리부(3)는, 게이트 절연막(6)용의 CVD법에 의한 절연막(6b)이 퇴적되기 전의 상태로 복귀하는 것만으로 끝난다. 즉, 고 내압 MIS와 저 내압 MIS를 동일한 기판(1S)에 형성하는 경우에 있어서, 저 내압 MIS 형성 영역의 분리부(3)의 두께를 확보할 수 있기 때문에, 저 내압 MIS에의 악영향을 회피할 수 있다. 따라서, 동일한 기판(1S)에 고 내압 MIS와 저 내압 MIS를 갖는 반도체 장치의 신뢰성을 향상시킬 수 있다. 계속해서, 덴시파이 공정(열 처리 공정)을 거치는 것에 의해, 상기 CVD법에 의한 절연막(6b)은, 막 퇴적 시에 가지고 있던 전자, 정공 등과 같은 트랩이나 막중에 포함되어 있었던 수분(막 조성에 따라서는 반응에 의해 생성되는 수분)도 감소하기 때문에, 열 산화막과 거의 동질의 막으로 변한다. 그 후, 기판(1S)에 대하여 가벼운 열 산화 처리를 실시한다.

계속해서, 기판(1S)(즉, 웨이퍼)의 주면 상에, 예를 들면 저 저항의 다결정 실리콘으로 이루어지는 도체막을 CVD법에 의해 퇴적하고, 그 표면을 산화한 후, 그 위에 질화 실리콘 등으로 이루어지는 절연막을 퇴적하여 또한(더욱) 그 표면을 산화함으로써 절연막을 형성한다. 계속해서, 그 도체막과 절연막의 적층막을, 상기 리소그래피 공정 및 드라이 에칭 공정을 거쳐서 패터닝함으로써, 도 43 내지 도 45의 동일 제조 공정 중의 기판(1S)의 주요부 단면에 도시한 바와 같이, 상기 도체막(13)과 절연막(14)의 적층 패턴을 형성한다. 이 도체막(13)과 절연막(14)의 적층 패턴은, 고 내압 MIS의 형성 영역 HR1, HR2를 피복하고, 저 내압 MIS의 형성 영역 LR은 피복하지 않도록 형성되어 있다. 이 도체막(13)은 고 내압 MIS의 게이트 전극을 형성하기 위한 도체막이다. 이 단계에서 개개의 고 내압 MIS마다 게이트 전극으로서 패터닝하지 않는 이유는, 저 내압 MIS의 게이트 전극을 형성할 때에, 특히 고 내압 MIS의 형성 영역 HR2에서 발생하는 문제점을 회피하기 위해서이다. 이에 대해서는 저 내압 MIS의 게이트 전극의 형성 공정 시에 설명한다.

계속해서, 상기 리소그래피 공정에서 형성된 레지스트막의 패턴을 마스크로 하여, 예를 들면 봉소를 이온 주입법 등에 의해서 기판(1S)에 도입함으로써, 도 46 내지 도 48의 동일 제조 공정 중의 기판(1S)의 주요부 단면에 도시한 바와 같이, 고 내압 nMIS 형성 영역의 p+ 형 웰 PW1 및 저 내압 MIS의 p+ 형 웰 PW2를 형성한다. 여기서, 고 내압 pMIS 측에서는 상기 봉소를 도체막(13)을 통과시켜 기판(1S)에 도입한다. 계속해서, p+ 형 웰 PW1, PW2의 형성용의 레지스트막을 제거한 후, 기판(1S)의 주면 상에 다른 레지스트막의 패턴을 상기 리소그래피 공정에 의해 형성하고, 또한 그 레지스트막의 패턴을 마스크로 하여, 예를 들면 인을 이온 주입법 등에 의해서 기판(1S)에 도입함으로써, 고 내압 pMIS 형성 영역의 n+ 형 웰 NW1 및 저 내압 pMIS 형성 영역의 n+ 형 웰 NW2를 형성한다. 여기서, 고 내압 nMIS 측에서는 상기 인을 도체막(13)을 통과시켜 기판(1S)에 도입한다. 그 후, 레지스트막을 제거 후, 기판(1S)에 대하여 열 처리를 실시함으로써, p+ 형 웰 PW1, PW2 및 n+ 형 웰 NW1, NW2를 활성화시킨다. 이와 같이, 본 실시 형태 3에서는 고 내압 MIS의 웰과 저 내압 MIS의 웰의 형성 공정을 동일 공정에서 행함으로써, 고 내압 MIS의 웰과 저 내압 MIS의 웰을 별개의 레지스트막을 마스크로 하여 형성한 경우에 비교하여, 레지스트 도포, 노광 및 현상 등과 같은 일련의 리소그래피 공정을 저감할 수 있기 때문에, 고 내압 MIS와 저 내압 MIS를 동일한 기판(1S)에 갖는 반도체 장치의 제조 공정의 대폭적인 증대를 회피할 수 있다. 그리고, 고 내압 MIS와 저 내압 MIS를 공존시킬 수 있다.

계속해서, 저 내압 MIS의 형성 영역 LR의 산화 실리콘막을 웨트 에칭법 등에 의해 제거한 후, 열 산화 처리를 실시함으로써, 저 내압 MIS의 형성 영역에 저 내압 MIS용의 게이트 절연막(15)을 형성한다. 게이트 절연막(15)은, 예를 들면 산화 실리콘으로 이루어지고, 그 두께는 이산화 실리콘 환산 막 두께로, 예를 들면 7nm 정도이다. 그 후, 기판(1S)(즉, 웨이퍼)의 주면 상에, 예를 들면 다결정 실리콘막(16)을 CVD법 등에 의해 퇴적한다. 이 때, 다결정 실리콘막(16)은, 고 내압 MIS의

형성 영역의 도체막(13) 및 절연막(14)의 적층 패턴의 표면에도 퇴적되어 있다. 그 후, 그 다결정 실리콘막(16)에 있어서, nMIS 형성 영역에는, 예를 들면 인을, pMIS 형성 영역에는, 예를 들면 붕소를 각각 별개의 레지스트막의 패턴을 마스크로 하여 이온 주입법 등에 의해 도입한 후, 다결정 실리콘막(16)을 상기 리소그래피 공정 및 드라이 에칭 공정을 거쳐서 패턴닝함으로써, 도 49 내지 도 51의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 저 내압 MIS용의 게이트 전극 LG(16)를 형성한다. 저 내압 nMIS의 게이트 전극 LG는 n형으로 되고, 저 내압 pMIS의 게이트 전극 LG는 p형으로 되어 있다. 이 에칭 공정에서는, 고 내압 MIS의 형성 영역의 도체막(13) 및 절연막(14)의 적층 패턴의 표면에도 퇴적되어 있는 다결정 실리콘막(16)도 제거한다. 상기 바와 같이 고 내압 MIS의 게이트 전극을 형성해 두지 않은 것은, 예를 들면 이하의 이유 때문이다. 즉, 이 저 내압 MIS의 게이트 전극 LG의 패턴닝 공정 전에, 고 내압 MIS의 게이트 전극을 형성하면, 저 내압 MIS의 게이트 전극 LG를 패턴닝했을 때에, 이미 형성되어 있는 고 내압 MIS의 게이트 전극의 측면에, 저 내압 MIS의 게이트 전극 LG를 형성하기 위한 다결정 실리콘막(16)이 남아 버리는 경우가 있다. 고 내압 MIS의 형성 영역 HR1에서는, 게이트 전극의 측면에 다결정 실리콘막(16)이 남더라도, 그 아래는 두꺼운 분리부(3)가 있으므로 특히 문제는 발생하지 않지만, 고 내압 MIS의 형성 영역 HR2에서는, 게이트 전극의 한쪽 측면 측에는 분리부(3)가 배치되어 있지 않고, 그 아래는 게이트 절연막(6)만으로 된다. 따라서, 그 고 내압 MIS의 형성 영역 HR의 게이트 전극의 한쪽 측에 다결정 실리콘막(16)이 남겨지면, 그 고 내압 MIS의 소스용의 반도체 영역을 형성할 때에, 그 소스용의 반도체 영역이 다결정 실리콘막(16)의 에칭 잔류가 있기 때문에 그 분만큼 그 고 내압 MIS의 게이트 전극의 측면으로부터 떨어져 버리는 문제가 발생한다. 이러한 문제를 회피하기 위해서, 본 실시 형태 3에서는 저 내압 MIS의 게이트 전극 LG를 패턴닝하기 전에, 고 내압 MIS의 게이트 전극을 패턴닝하지 않도록 하고 있다.

계속해서, 도체막(13), 절연막(14), 게이트 절연막(6)의 CVD법에 의한 절연막(6b)을 상기 리소그래피 공정 및 드라이 에칭 공정을 거쳐서 패턴닝함으로써, 도 52 내지 도 54의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 고 내압 MIS의 형성 영역 HR1, HR2에, 게이트 전극 HG(13)를 형성한다. 게이트 절연막(6)의 CVD법에 의한 절연막(6b)은, 고 내압 MIS의 형성 영역 HR1에서는 게이트 전극 HG의 전 외주로부터 돌출되도록, 또한, 고 내압 MIS의 형성 영역 HR2에서는 게이트 전극 HG의 소스측의 변을 제외한 외주로부터 돌출하도록 형성한다. 계속해서, 예를 들면 붕소를 기관(1S)의 주면에 이온 주입법 등에 의해 도입함으로써, 고 내압 MIS의 형성 영역 HR2에 고 내압 pMIS용의 익스텐션부로 되는 p-형의 반도체 영역(18)을 게이트 전극 HG에 대하여 자기 정합적으로 형성한다. 계속해서, 기관(1S)의 주면 상에 상기 리소그래피 공정을 거쳐서 레지스트막의 패턴을 형성 후, 이것을 마스크로 하여, 예를 들면 인을 기관(1S)의 주면에 이온 주입법 등에 의해 도입함으로써, 고 내압 MIS의 형성 영역 HR2에 고 내압 nMIS용의 익스텐션부로 되는 n-형의 반도체 영역(19)을 게이트 전극 HG에 대하여 자기 정합적으로 형성한다. 계속해서, 상기 레지스트막을 제거 후, 기관(1S)의 주면 상에 상기 리소그래피 공정을 거쳐서 레지스트막의 패턴을 형성하고, 이것을 마스크로 하여, 예를 들면 붕소를 기관(1S)의 주면에 이온 주입법 등에 의해 도입함으로써, 저 내압 MIS의 형성 영역 LR에, 저 내압 pMIS용의 익스텐션부로 되는 p-형의 반도체 영역(20)을 게이트 전극 LG에 대하여 자기 정합적으로 형성한다. 이때, 인을 이온 주입법 등에 의해 도입함으로써, p-형의 반도체 영역(20)의 하부에, 저 내압 pMIS의 펀치 스트루 스톱퍼용의 n형의 반도체 영역(헤일로 영역)을 형성해도 된다. 그 후, 상기 레지스트막을 제거 후, 기관(1S)에 대하여 열 처리를 실시한다. 계속해서, 기관(1S)의 주면 상에 상기 리소그래피 공정을 거쳐서 레지스트막의 패턴을 형성하고, 이것을 마스크로 하여, 예를 들면 인을 기관(1S)의 주면에 이온 주입법 등에 의해 도입함으로써, 저 내압 MIS의 형성 영역 LR에, 저 내압 nMIS용의 익스텐션부로 되는 n-형의 반도체 영역(21)을 게이트 전극 LG에 대하여 자기 정합적으로 형성한다. 이때, 붕소를 이온 주입법 등에 의해 도입함으로써, n-형의 반도체 영역(20)의 하부에, 저 내압 nMIS의 펀치 스트루 스톱퍼용의 p형의 반도체 영역(헤일로 영역)을 형성해도 된다.

계속해서, 기관(1S)(즉, 웨이퍼)의 주면 상에, 예를 들면 산화 실리콘으로 이루어지는 절연막을 CVD법 등에 의해서 퇴적한 후, 이것을 이방성의 드라이 에칭에 의해 에치백함으로써, 도 58 내지 도 60의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 게이트 전극 HG, LG의 측면에, 예를 들면 산화 실리콘 등으로 이루어지는 측벽(5)을 형성한다. 이때, 게이트 전극 HG 상의 절연막(14)도 제거한다. 계속해서, 기관(1S)의 주면 상에 상기 리소그래피 공정을 거쳐서 레지스트막의 패턴을 형성 후, 이것을 마스크로 하여, 예를 들면 인을 기관(1S)의 주면에 이온 주입법 등에 의해 도입함으로써, n+ 형의 반도체 영역 N1, N2, N3을 형성한다. n+ 형의 반도체 영역 N1은, n+ 형 웰 NW1의 인출 영역이다. n+ 형의 반도체 영역(제1, 제11, 제12 반도체 영역) N2는, 고 내압 nMISQHn1, QHn2의 소스 및 드레인용의 반도체 영역이다. n+ 형의 반도체 영역 N3은, 저 내압 nMISQLn1의 소스 및 드레인용의 반도체 영역이다. 계속해서, 상기 레지스트막을 제거 후, 기관(1S)의 주면 상에 상기 리소그래피 공정을 거쳐서 레지스트막의 패턴을 형성하고, 이것을 마스크로 하여, 예를 들면 붕소를 기관(1S)의 주면에 이온 주입법 등에 의해 도입함으로써, p+ 형의 반도체 영역 P1, P2, P3을 형성한다. p+ 형의 반도체 영역 P1은, 고 내압 pMISQHp1, QHp2의 소스 및 드레인용의 반도체 영역이다. p+ 형의 반도체 영역 P2는 p+ 형 웰 PW1의 인출 영역이다. p+ 형의 반도체 영역 P3은 저 내압 pMISQLp1의 소스 및 드레인용의 반도체 영역이다. 그 후, 기관(1S)에 대하여 열 처리를 실시함으로써, n+ 형의 반도체 영역 N1, N2, N3 및 p+ 형의 반도체 영역 P1, P2, P3을 활성화한다. 이와 같이 하여 동일한 기관(1S)에, 고 내압 nMIS(제5 고 내압 전계 효과 트랜지스터) QHn1, 고 내압 nMIS(제7 고 내압 전계 효과 트랜지스터) QHn2, 고 내압 pMIS(제6 고 내압 전계 효과 트랜지스터) QHp1, 고 내압 pMIS(제8 고 내압 전계 효과 트랜지스터) QHp2, 저 내압 nMISQLn1 및 저 내압 pMISQLp1을 형성한다. 여기서는, 저 내압 nMISQLn1 및 저 내압 pMISQLp1의 소스 및 드레인용의 반도체 영역이, LDD(Lightly Doped Drain) 구성을 갖고 있는 경우가 예시되어 있다. 저 내압 nMISQLn1 및 저 내압 pMISQLp1의 동작 전압은, 상기 고 내압 nMISQHp1, QHp2, QHn1, QHn2보다도 낮고, 그 기준 전위측의 전원 전압은, 예를 들면 0V, 고 전위측의 전원 전압은, 예를 들면 1.5V 정도이다.

계속해서, 기관(1S)의 주면에 대하여 라이트 에칭 처리를 실시함으로써, 기관(1S)의 주면(활성 영역의 주면) 및 게이트 전극 HG, LG의 상면을 노출시킨 후, 도 61 내지 도 63의 동일 제조 공정 중의 기관(1S)의 주요부 단면에 도시한 바와 같이, 살리사이드(Self Align Silicide) 프로세스에 의해, 예를 들면 코발트 살리사이드 등과 같은 살리사이드층(2)을 n+ 형의 반도체 영역 N1, N2, N3 및 p+ 형의 반도체 영역 P1, P2, P3 및 게이트 전극 HG, LG의 상면에 자기 정합적으로 형성한다. 상기 살리사이드 프로세스는, 예를 들면 다음과 같이 한다. 우선, 상기 라이트 에칭 처리 후, 기관(1S)의 주면 상에, 예를 들면 코발트(Co) 등과 같은 금속막을 스퍼터링법 등에 의해 퇴적한다. 계속해서, 기관(1S)에 대하여, 예를 들면 400~550도의 온도 범위에서 수 십초 정도의 열 처리를 실시함으로써, 금속막의 코발트와 기관(1S) 및 게이트 전극 HG, LG의 실리콘을 반응시켜, 금속막과 기관(1S) 및 게이트 전극 HG, LG와의 접촉부에 코발트와 실리콘의 혼정으로 형성되는 살리사이드층을 형성한다. 그 후, 예를 들면 암모니아 과산화물 등과 같은 수용액을 이용하여, 미 반응의 코발트만을 선택적으로 웨트 에칭한다. 이때, 상기 살리사이드층은, 에칭되지 않고서 잔류한다. 그 후, 기관(1S)에 대하여, 예를 들면 800도, 90초 정도의 열 처리를 실시함으로써, 코발트와 실리콘의 혼정을 CoSi₂에 상 변화시켜 저 저항화한다. 이와 같이 하여 상기 살리사이드층(2)을 자기 정합적으로 형성한다. 상기 금속막은, 코발트에 한정되는 것이 아니라 여러 가지로 변경 가능하고, 예를 들면 티탄(Ti), 플라티넘(Pt), 니켈(Ni)또는 텅스텐(W)이어도 무방하다. 금속막으로서 티탄을 선택한 경

우, 실리사이드층(2)은 티탄 실리사이드(TiSi₂)라고 되어, 금속막으로서 플라티넘을 선택한 경우, 실리사이드층(2)은 플라티나실리사이드(PtSi₂)로 되고, 금속막으로서 니켈을 선택한 경우, 실리사이드층(2)은, 니켈 실리사이드(NiSi₂)로 되고, 금속막으로서 텅스텐을 선택한 경우에는, 실리사이드층(2)은, 텅스텐 실리사이드(WSi₂)로 된다.

이 이후에는, 반도체 장치의 통상의 메탈 배선 형성 공정을 거친다. 즉, 층간 절연막의 퇴적 공정, 층간 절연막의 평탄화 공정, 컨택트홀 또는 관통 홀의 형성 공정, 플러그 형성 공정, 배선용 메탈의 퇴적 공정 및 배선용 메탈의 패터닝 공정 등을 필요로 하는 배선층 수에 따라서 반복하여 행하고, 그 후, 보호막의 형성 공정, 패드 개구부 형성 공정을 거친다. 그 후, 검사 공정 및 웨이퍼 다이싱 공정을 거쳐서, 웨이퍼를 개개의 반도체 칩으로 분할하고, 동일한 기판(1S)에 고 내압 MIS와 저 내압 MIS의 양방을 갖는 반도체 장치를 제조한다.

이와 같이 본 실시 형태 3에 의하면, 상기 실시 형태 1, 2에서 얻어진 효과 외에, 이하의 효과를 얻을 수 있다.

즉, 저 내압 MIS와 고 내압 MIS를 동일한 기판(1S)에 형성할 수 있다. 또한, 제조 공정의 대폭적인 증대를 초래하는 일없이, 저 내압 MIS와 고 내압 MIS를 동일한 기판(1S)에 갖는 반도체 장치를 제조할 수 있다. 즉, 제조 공정에 있어서, 저 내압 MIS 제조 프로세스와 고 내압 MIS 제조 프로세스를 공용시킴으로써, 제조 공정을 저감할 수 있고, 저 내압 MIS와 고 내압 MIS를 동일한 기판(1S)에 갖는 반도체 장치의 제조 공정의 저감을 도모할 수 있다.

(실시 형태 4)

본 실시 형태 4에서는 고 내압 MIS의 변형예에 대하여 설명한다. 도 64는 그 고 내압 pMISQHp3의 일례의 주요부 평면도, 도 65는 도 64와 동일 개소의 평면도이고 특히 고 내압 pMISQHp3의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1과 카운터 도핑 영역 DR의 배치 관계를 도시한 주요부 평면도, 도 66은 도 64와 동일 개소의 평면도이고 특히 고 내압 pMISQHp3의 각 반도체 영역의 모습을 도시한 주요부 평면도, 도 67은 도 64와 동일 개소의 평면도이고 특히 활성 영역 L 내에 있어서의 반도체 영역의 모습을 도시한 주요부 평면도, 도 68은 도 64 내지 도 67의 X5-X5선의 단면도, 도 69는 도 64 내지 도 67의 X6-X6선의 단면도, 도 70은 도 64 내지 도 67의 Y4-Y4선의 단면도를 각각 나타내고 있다. 또한 여기서도, 고 내압 pMIS에 본 발명을 적용한 경우에 대해 설명하지만, p, n의 도전형을 반대로 함으로써, 고 내압 nMIS에 본 발명을 적용할 수도 있음은 실시 형태 1과 마찬가지로이다. 또한, 도 66 및 도 67은 평면도이지만 도면을 보기 쉽게 하기 위해서 각 반도체 영역에 해칭을 가한다.

본 실시 형태 4의 반도체 장치의 고 내압 pMIS(제3, 제9, 제10 고 내압 전계 효과 트랜지스터) QHp3은, 예를 들면 내압 60 V를 실현 가능한 구조로 되어 있다. 고 전위층의 전원 전압은, 예를 들면 37V 정도, 저 전위(기준 전위) 층의 전원 전압은, 예를 들면 0(영)V이다. 이 고 내압 pMISQHp3에서는, 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1 이외의 소자 영역에 채널 영역(활성 영역 L1)도 포함시키고 n+ 형의 반도체 영역(제5, 제15, 제17 반도체 영역) NV1p가 형성되어 있다. 이 n+ 형의 반도체 영역 NV1p에 의해 고 내압 pMISQHp3의 n형 웰이 형성되어 있다. 이 고 내압 pMISQHp3의 임계치 전압은, 주로, 채널 영역에서의 상기 n형 웰의 불순물 농도(n-형의 반도체 영역 NV1과 깊은 n형 웰 DNW와의 불순물 농도의 합, 즉, n+ 형의 반도체 영역 NV1p의 불순물 농도)와, 기판(1S)의 채널 영역에 도입된 카운터 도핑용의 불순물(예를 들면 붕소)의 농도와, 게이트 절연막(6)의 두께에 의해 결정되어 있다. 상기 카운터 도핑 영역 DR은, 그 카운터 도핑용의 불순물이 도입된 영역을 나타내고 있다. 본 실시 형태 4에서는, 그 카운터 도핑용의 불순물이, 활성 영역 L1의 제2 방향 Y의 양단(즉, 활성 영역 L1과 분리부(3)의 경계이고 분리부(3)의 측벽이 접하는 기판(1S) 부분)에는 도입되어 있지 않지만, 그것에 삽입된 활성 영역 L1에는 도입되어 있다. 그 결과, 카운터 도핑용의 불순물이 도입되지 않은 영역은 n+ 형의 반도체 영역 NV1p로 되어 있는 데 대하여, 카운터 도핑용의 불순물이 도입된 영역(활성 영역 L1의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1, PV1의 배치된 영역을 제외함)은 n-형의 반도체 영역(제6, 제16, 제18 반도체 영역) NV1m으로 되어 있다. 즉, 이 n-형의 반도체 영역 NV1m이 고 내압 pMISQHp3의 실효적인 채널 영역으로 된다. 또한, 이 n-형의 반도체 영역 NV1m은 반도체 기판 표면 부근에 형성되어 있고, n+ 형의 반도체 영역 NV1p의 상부에 형성되어 있다. 즉, n-형의 반도체 영역 NV1m은 n+ 형의 반도체 영역 NV1p보다도 얇은 위치에 형성되어 있다. 이에 의해, 상기 활성 영역 L1의 채널 영역의 중앙(기판(1S)의 주면부)에서의 임계치 전압을, 활성 영역 L1의 제2 방향 Y의 양단(분리부(3)의 측벽에 접하는 기판(1S) 부분)에서의 임계치 전압보다도 낮게 할 수 있다. 즉, 채널 영역의 중앙에서는 MIS가 동작하기 쉬운 데 대하여, 채널 영역의 제2 방향 Y의 양단에서는 MIS가 동작하기 어렵게 된다. 이 때문에, 가령 분리부(3)의 상면이 우묵하게 들어갔다고 해도, 상기 키크 현상의 발생을 억제 또는 방지 할 수 있다(임계치 전압에 대해서는 상기 실시 형태 1에서 설명한 것과 동일함).

여기서, 도 70에 도시한 바와 같이, 활성 영역 L1 내의 게이트 전극의 폭 방향(제2 방향 Y)에 있어서, 게이트 전극 HG 아래의 채널 영역을 형성하는 n-형의 반도체 영역 NV1m의 길이와 n+ 형의 반도체 영역 NV1p의 길이는, n-형의 반도체 영역 NV1m의 길이 쪽이 길어지도록 형성되어 있다. 즉, 저 농도 영역의 반도체 영역 NV1m이, 채널 영역의 절반 이상을 차지하도록 형성되어 있다. 이에 의해, 채널 영역의 제2 방향 Y의 양단에 형성되는 동작하기 어려운 MIS의 영역을 줄일 수 있기 때문에, 본 실시 형태에서의 고 내압 MIS(예를 들면, 고 내압 pMISQHp3)의 실효적인 동작 속도의 저감을 방지할 수 있다.

이 때, 게이트 전극 HG의 게이트 폭 방향에 있어서, 상대적으로 저 농도의 반도체 영역 NV1m은, 상대적으로 고 농도의 반도체 영역 NV1p에 의해서 둘러싸여 있고, 고 농도의 반도체 영역 NV1p는 기판(1S)의 주면에서 저 농도의 반도체 영역 NV1m보다도 깊은 위치로 되도록 형성되어 있다.

또한, n+ 형의 반도체 영역 NVp1은 분리부(3)보다도 깊게 되도록 형성되어 있다. 이와 같이 반도체 영역 NVp1을 형성함으로써, 분리부(3)의 상부에 접하는 기판(1S)의 견부에 있어서의 임계치를 높게 할 수 있다. 이에 의해 키크 현상의 발생을 억제할 수 있다.

또한, 본 실시 형태 4의 고 내압 pMISQHp3에서는, 단면에서 보면, 채널이 형성되는 n-형의 반도체 영역 NV1m의 아래에 n+ 형의 반도체 영역 NV1p가 배치되어 있다. 이에 의해, 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P1(p-형의 반도체 영역 PV1, PV1) 사이의 펀치 스루를 억제 또는 방지하는 능력을 향상시킬 수 있다. 즉, 고 내압 pMISQHp3의 동작시의 실효적인 채널 길이의 단축을 억제할 수 있다. 이 때문에, 고 내압 pMISQHp3의 설계 상의 채널 길이(제1 방향 X의

길이)를 짧게 할 수 있다. 또한, 상기 카운터 도핑 영역 DR은, 패턴이 큰 위, 왼쪽 오른쪽의 영역이 카운터 도핑용의 불순물이 형성하는 것과 동일한 도전형의 p형의 반도체 영역 PV1, PV1이기 때문에 제1 방향 X에 다소 어긋나더라도 문제 없이, 상기 실시 형태 1인 경우보다도 위치 정렬 여유를 크게 취할 수 있다. 즉, 이 카운터 도핑 기술은, 고 내압 pMISQHp3의 사이즈를 작게 해도 충분 대응할 수 있다. 이들에 의해, 본 실시 형태 4에서는, 고 내압 pMISQHp3의 사이즈를 상기 실시 형태 1의 경우보다도 축소시킬 수 있다. 따라서, 본 실시 형태 4의 고 내압 pMISQHp3을 갖는 반도체 칩의 사이즈를 축소시킬 수 있다.

다음에, 도 71은 고 내압 pMISQHp3을 복수 배치한 경우의 주요부 평면도의 일례를 나타내고 있다. 고 내압 pMISQHp3은 각각의 채널의 방향(전류가 흐르는 방향)이 제1 방향 X를 따르는 상태로 인접하여 배치되어 있다. 상호 인접하는 고 내압 pMISQHp3은, 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P2를 공유하도록 배치되어 있다. 그리고, n+ 형의 반도체 영역 N1 및 n형 웰 NW1은, 그 복수의 고 내압 pMISQHp3의 일군을 둘러싸도록 배치되어 있다. 따라서, 개개의 고 내압 pMISQHp3의 사이즈 축소량은 작다고 해도 전체적으로 큰 사이즈 축소가 가능하게 되기 때문에, 고 내압 pMISQHp3을 갖는 반도체 칩의 사이즈를 대폭 축소시킬 수 있다.

(실시 형태 5)

본 실시 형태 5에서는, 상기 실시 형태 4의 고 내압 MIS의 변형예이고, 소스-웰 사이에 큰 내압을 필요로 하지 않는 경우의 고 내압 MIS 구조의 일례를 설명한다.

도 72는 그 고 내압 pMISQHp4의 일례의 주요부 평면도, 도 73은 도 72와 동일 개소의 평면도이고 특히 고 내압 pMISQHp4의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1과 카운터 도핑 영역 DR의 배치 관계를 도시한 주요부 평면도, 도 74는 도 72와 동일 개소의 평면도이고 특히 고 내압 pMISQHp4의 각 반도체 영역의 모습을 도시한 주요부 평면도, 도 75는 도 72와 동일 개소의 평면도이고 특히 활성 영역 내에 있어서의 반도체 영역의 모습을 도시한 주요부 평면도, 도 76은 도 72 내지 도 75의 X7-X7선의 단면도, 도 77은 도 72 내지 도 75의 X8-X8선의 단면도를 각각 나타내고 있다. 또한, 도 72 내지 도 75의 Y5-Y5선의 단면도는 상기 도 70과 동일하기 때문에 생략한다. 또한, 도 74 및 도 75는 평면도이지만 도면을 보기 쉽게 하기 위해서 분리 영역에 해칭을 가한다. 또한, 본 실시 형태 5에서도, 고 내압 pMIS를 예로 설명하지만, 상기 실시 형태 1 내지 4와 마찬가지로, 고 내압 nMIS에도 적용할 수 있다.

본 실시 형태 5의 반도체 장치의 고 내압 pMIS(제4, 제11, 제12 고 내압 전계 효과 트랜지스터) QHp4는, 예를 들면 내압 60V를 실현 가능한 구조로 되어 있다. 고 전위층의 전원 전압은, 예를 들면 37V 정도, 저 전위(기준 전위)층의 전원 전압은, 예를 들면 0(V)이다. 본 실시 형태 5에서는, 킥 대책은 상기 실시 형태 4와 동일하기 때문에 설명을 생략한다. 상기 실시 형태 4와 다른 것은 이하와 같다. 즉, 본 실시 형태 5에서는, 드레인용의 p+ 형의 반도체 영역 P1d와 채널 영역의 사이에는 상기 실시 형태 4와 같이 분리부(3)가 개재되고, 드레인용의 p+ 형의 반도체 영역 P1d는 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1을 통하여 활성 영역 L5의 채널 영역과 전기적으로 접속되어 있는 데 대하여, 소스용의 p+ 형의 반도체 영역 P1s와 채널 영역의 사이에는 분리부(3)가 개재되어 있지 않고, 소스용의 p+ 형의 반도체 영역 P1s와 채널 영역이 1개의 활성 영역 L5 내에서 인접하여 배치되고 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1을 개재하지 않고서 상호 전기적으로 접속되어 있다. 게이트 전극 HG는, 활성 영역 L5의 전면을 피복하도록 형성되어 있지는 않고, 활성 영역 L5에 있어서, 게이트 전극 HG가 평면적으로 중첩되는 부분(드레인층의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1이 배치된 부분을 제외함)에 채널 영역이 형성되고, 게이트 전극 HG가 평면적으로 중첩되어 있지 않은 부분에 소스용의 p+ 형의 반도체 영역 P1s가 배치되어 있다. 단, 본 실시 형태 5에서는, 상기 실시 형태 4와 마찬가지로, 활성 영역 L5에 있어서 카운터 도핑용의 불순물이 도입되지 않은 활성 영역 L5의 제2 방향 Y의 양단의 영역은 n+ 형의 반도체 영역 NV1p로 되어 있는 한편, 카운터 도핑용의 불순물이 도입된 영역(전계 완화 기능을 갖는 p-형의 반도체 영역 PV1, PV1의 배치된 영역을 제외함)은 n-형의 반도체 영역 NV1m으로 되어 있다. 또한, 이 n-형의 반도체 영역 NV1m은 기판(1S) 표면 부근에 형성되어 있고, n+ 형의 반도체 영역 NV1p의 상부에 형성되어 있다. 즉, n-형의 반도체 영역 NV1m은 n+ 형의 반도체 영역 NV1p보다도 얇은 위치에 형성되어 있다. 이 때문에, 게이트 전극 HG가 평면적으로 중첩되는 활성 영역 L5이더라도, 상기 활성 영역 L5의 채널 영역의 중앙(기판(1S)의 주면부)에서의 임계치 전압을, 활성 영역 L5의 제2 방향 Y의 양단(분리부(3)의 측벽에 접하는 기판(1S) 부분)에서의 임계치 전압보다도 낮게 할 수 있으므로, 상기 실시 형태 4와 마찬가지로 상기 킥 현상의 발생을 억제 또는 방지할 수 있다(임계치 전압에 대해서는 상기 실시 형태 1에서 설명한 것과 동일함).

여기서도, 전술한 실시 형태 4와 마찬가지로, 도 70에 도시한 바와 같이, 활성 영역 L5 내의 게이트 전극의 폭 방향(제2 방향 Y)에 있어서, 게이트 전극 HG 아래의 채널 영역을 형성하는 n-형의 반도체 영역 NV1m의 길이와 n+ 형의 반도체 영역 NV1p의 길이는, n-형의 반도체 영역 NV1m의 길이 쪽이 길어지도록 형성되어 있다. 즉, n-형의 반도체 영역 NV1m은, 채널 영역의 절반 이상을 차지하도록 형성되어 있다. 이에 의해, 채널 영역의 제2 방향 Y의 양단에 형성되는 동작하기 어려운 MIS의 영역을 줄일 수 있기 때문에, 본 실시 형태에서의 고 내압 MIS(예를 들면, 고 내압 pMISQHp3)의 실질적인 동작 속도의 저감을 방지할 수 있다.

이 때, 게이트 전극 HG의 게이트 폭 방향에 있어서, 상대적으로 저 농도의 반도체 영역 NV1m은, 상대적으로 고 농도의 반도체 영역 NV1p에 둘러싸여 있고, 고 농도의 반도체 영역 NV1p는 기판(1S)의 주면으로부터 저 농도의 반도체 영역 NV1m보다도 깊은 위치가 되도록 형성되어 있다.

또한, n+ 형의 반도체 영역 NVp1은 분리부(3)보다도 깊게 되도록 형성되어 있다. 이와 같이 반도체 영역 NVp1을 형성함으로써, 분리부(3)의 상부에 접하는 기판(1S)의 견부에 있어서의 임계치를 높게 할 수 있다. 이에 의해 킥 현상의 발생을 억제할 수 있다.

또한, 본 실시 형태 5의 구조에서는, 소스용의 p+ 형의 반도체 영역 P1s, 깊은 n형 웰 DNW, n+ 형의 반도체 영역 NV1p 및 n-형의 반도체 영역 NV1m에의 공급 전위가 같아지도록, 즉, 소스용의 p+ 형의 반도체 영역 P1s, 깊은 n형 웰 DNW, n+ 형의 반도체 영역 NV1p 및 n-형의 반도체 영역 NV1m의 사이에 전위차가 발생하지 않는 회로 구성으로 된다.

이러한 본 실시 형태 5에서는, 상기 실시 형태 2에서 설명한 것과 동일한 이유로 고 내압 pMISQHp4의 사이즈를 축소할 수 있다. 특히 본 실시 형태 5에서는, 상기 실시 형태 4에서 설명한 바와 같이, 펀치 스루의 억제 또는 방지 능력을 향상할 수 있다.

수 있다는 것 등으로부터 상기 실시 형태 2의 경우보다도 더욱 고 내압 pMISQHp4의 사이즈를 축소시킬 수 있다. 따라서, 본 실시 형태 5의 고 내압 pMISQHp4를 갖는 반도체 칩의 사이즈를 상기 실시 형태 2의 경우보다도 더욱 축소시킬 수 있다.

(실시 형태 6)

본 실시 형태 6에서는, 상기 실시 형태 4, 5의 구조의 고 내압 MIS와, 저 내압 MIS를 동일한 기판(1S)에 갖는 반도체 장치의 제조 방법의 일례를 도 78 내지 도 101에 의해 설명한다. 또한, 도 78 내지 도 101 중의 부호 HR3은 상기 실시 형태 4의 구조의 고 내압 MIS의 형성 영역(X5-X5), 부호 HR4는 상기 실시 형태 5의 구조의 고 내압 MIS의 형성 영역(X7-X7), 부호 LR은 저 내압 MIS의 형성 영역을 각각 나타내고 있다.

우선, 상기 실시 형태 3의 도 16 내지 도 33에서 설명한 것과 동일한 공정을 거친 후, 도 78 내지 도 80의 동일 제조 공정 중의 기판(1S)의 주요부 단면에 도시한 바와 같이, 기판(1S)의 주면 상에, 레지스트막 PR3의 패턴을 상기 리소그래피 공정에 의해 형성한다. 이 레지스트막 PR3의 패턴은, 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역과 고 내압 pMIS 형성 영역의 n+ 형의 반도체 영역과의 쌍방의 형성 영역이 노출되고, 그 이외가 피복되도록 형성되어 있다. 계속해서, 레지스트막 PR3의 패턴을 마스크로 하여 기판(1S)에, 예를 들면 인을 이온 주입법 등에 의해 선택적으로 도입한다. 이에 의해, 고 내압 nMIS 형성 영역에서는, 깊은 p형 웰 DPW가 형성되어 있기 때문에, n-형의 반도체 영역 NV1이 형성되고, 고 내압 pMIS 형성 영역에서는, 깊은 n형 웰 DNW가 형성되어 있기 때문에, n+ 형의 반도체 영역 NV1p가 형성된다. 이 때, 반도체 영역 NV1 및 반도체 영역 NV1p는 분리부(3)보다도 깊게 되도록 형성한다. 이와 같이 반도체 영역 NV1p를 형성함으로써, 킥 현상의 발생을 억제 또는 방지하는 능력을 높일 수 있다. 또한, 이 단계에서는 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역 NV1 및 고 내압 pMIS 형성 영역의 n+ 형의 반도체 영역 NV1p는, 이들을 형성하는 불순물이 도입된 단계에서 이들 영역이 완전하게 형성되어 있는 것은 아니지만 설명을 이해하기 쉽게 하기 위해서 이들의 영역도 도시한다.

계속해서, 레지스트막 PR3을 제거한 후, 도 81 내지 도 83의 동일 제조 공정 중의 기판(1S)의 주요부 단면에 도시한 바와 같이, 기판(1S)의 주면 상에, 레지스트막 PR4의 패턴을 상기 리소그래피 공정에 의해 형성한다. 이 레지스트막 PR4의 패턴은, 고 내압 pMIS 형성 영역의 전계 완화 기능을 갖는 p-형의 반도체 영역과 고 내압 nMIS 형성 영역의 p+ 형의 반도체 영역과의 쌍방의 형성 영역이 노출되고, 그 이외가 피복되도록 형성되어 있다. 계속해서, 레지스트막 PR4의 패턴을 마스크로 하여 기판(1S)에, 예를 들면 붕소를 이온 주입법 등에 의해 선택적으로 도입한다. 이에 의해, 고 내압 pMIS 형성 영역에서는, 깊은 n형 웰 DNW가 형성되어 있기 때문에, p-형의 반도체 영역 PV1이 형성되고, 고 내압 nMIS 형성 영역에서는, 깊은 p형 웰 DPW가 형성되어 있기 때문에, p+ 형의 반도체 영역(제5, 제15, 제17 반도체 영역) PV1p가 형성된다. 이 때, 반도체 영역 PV1 및 반도체 영역 PV1p는 분리부(3)보다도 깊게 되도록 형성한다. 이와 같이 반도체 영역 NV1p를 형성함으로써, 킥 현상의 발생을 억제 또는 방지하는 능력을 높일 수 있다. 또한, 이 단계에서는, 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역 NV1, 고 내압 pMIS 형성 영역의 n+ 형의 반도체 영역 NV1p, 고 내압 pMIS 형성 영역의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1 및 고 내압 nMIS 형성 영역의 p+ 형의 반도체 영역 PV1p는 완전하게 형성되어 있는 것은 아니지만, 설명을 이해하기 쉽게 하기 위해서 이들 영역도 도시한다.

계속해서, 레지스트막 PR4를 제거한 후, 기판(1S)에 대하여 지연 확산 처리(열 처리)를 실시함으로써, 도 84 내지 도 86의 동일 제조 공정 중의 기판(1S)의 주요부 단면에 도시한 바와 같이, 고 내압 nMIS 형성 영역의 전계 완화 기능을 갖는 n-형의 반도체 영역 NV1, 고 내압 nMIS 형성 영역의 p+ 형의 반도체 영역 PV1p, 고 내압 pMIS 형성 영역의 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1 및 고 내압 pMIS 형성 영역의 n+ 형의 반도체 영역 NV1p를 분리부(3)보다도 깊고, 깊은 n형 웰 DNW 및 깊은 p형 웰 DPW보다는 얇은 위치 위치까지 연장시킨 상태로 형성한다. 이와 같이 본 실시 형태 6에서는, p+ 형의 반도체 영역 PV1p 및 n+ 형의 반도체 영역 NV1p를, 전계 완화 기능을 갖는 p-형의 반도체 영역 PV1 및 n-형의 반도체 영역 NV1과 동일 형성 공정 시에 형성하기 때문에, p+ 형의 반도체 영역 PV1p 및 n+ 형의 반도체 영역 NV1p를 형성한다고 해서 반도체 장치의 제조 공정을 늘리는 일도 없다. 따라서, 반도체 장치의 제조 시간이나 비용을 대폭 증대시키는 일없이, 성능 및 신뢰성이 높은 반도체 장치를 제공할 수 있다.

계속해서, 카운터 도핑 공정으로 이행한다. 도 87 내지 도 92는, 고 내압 nMIS 형성 영역에 대한 카운터 도핑 공정 시의 기판(1S)의 주요부 단면도를 도시하고 있다. 도 87은 도 64 내지 도 67의 X5-X5선에 상당하는 개소를 포함하는 단면도, 도 88은 도 64 내지 도 67의 X6-X6선에 상당하는 개소를 포함하는 단면도, 도 89는 도 72 내지 도 75의 X7-X7선에 상당하는 개소를 포함하는 단면도, 도 90은 도 72 내지 도 75의 X8-X8선에 상당하는 개소를 포함하는 단면도, 도 91은 도 64 내지 도 67의 Y4-Y4선 또는 도 72 내지 도 75의 Y5-Y5선에 상당하는 단면도, 도 92는 카운터 도핑 공정 시의 저 내압 MIS의 형성 영역의 주요부 단면도를 각각 나타내고 있다. 또한, 이 카운터 도핑 공정 시의 도 64 내지 도 67의 Y4-Y4선 및 도 72 내지 도 75의 Y5-Y5선에 상당하는 개소의 단면도는 동일하기 때문에, 설명을 간단히 하기 위해서 도 91의 1도에만 그 단면도를 도시한다.

우선, 기판(1S)(즉, 웨이퍼)의 주면 상에, 레지스트막 PR5의 패턴을 상기 리소그래피 공정을 거쳐서 형성한다. 레지스트막 PR5의 패턴은, 고 내압 nMIS 형성 영역의 카운터 도핑 영역 DR가 개구되고, 그 이외가 피복되도록 형성되어 있다. 즉, 형성 영역 HR3에서는, 도 87 및 도 91에 도시한 바와 같이, 고 내압 nMIS 층의 활성 영역 L1의 제2 방향 Y의 양단 일부가 레지스트막 PR5로 피복되고, 도 88 및 도 91에 도시한 바와 같이, 그 이외의 고 내압 nMIS 층의 활성 영역 L1이 레지스트막 PR5로부터 노출되어 있다. 또한, 형성 영역 HR4에서는, 도 89 및 도 91에 도시한 바와 같이, 고 내압 nMIS 층의 활성 영역 L5의 제2 방향 Y의 양단 일부가 레지스트막 PR5로 피복되고, 도 90 및 도 91에 도시한 바와 같이, 그 이외의 고 내압 nMIS 층의 활성 영역 L5가 레지스트막 PR5로부터 노출되어 있다. 계속해서, 레지스트막 PR5의 패턴을 마스크로 하여 기판(1S)에, 예를 들면 인 또는 비소(As)를 이온 주입법 등에 의해 선택적으로, 또한 얇게 도입한다. 이에 의해, 레지스트막 PR5로부터 노출된 고 내압 nMIS 층의 활성 영역 L1, L5의 p+ 형의 반도체 영역 PV1p의 상부에 p-형의 반도체 영역(제6, 제16, 제18 반도체 영역) PV1m을 형성한다. 한편, 동일한 고 내압 nMIS 층의 활성 영역 L1, L5에서도 제2 방향 Y의 양단부의 레지스트막 PR5에 의해 피복된 영역의 p+ 형의 반도체 영역 PV1p의 상부는 p+ 형 그대로 된다. 또한, 이 p-형의 반도체 영역 PV1m은 반도체 기판(1S) 표면 부근에 형성되어 있고, p+ 형의 반도체 영역 PV1p의 상부에 형성되어 있다. 즉, p-형의 반도체 영역 PV1m은 p+ 형의 반도체 영역 PV1p보다도 얇은 위치에 형성되어 있다. 이 때문에, 고 내압 nMIS 층의 활성 영역 L1, L5의 채널 영역의 중앙(기판(1S)의 주면부)에서의 임계치 전압을, 활성 영역 L1, L5의 제2 방향 Y의 양단(분리부(3)의 측벽에 접하는 기판(1S) 부분)에서의 임계치 전압보다도 낮게 할 수 있으므로, 상기 킥 현상의 발생을 억제 또는 방지할 수 있다.

여기서, 후에 형성되는 게이트 전극의 폭 방향(제2 방향 Y)에 있어서, 게이트 전극 HG 아래의 채널 영역을 형성하는 반도체 영역 PV1m의 길이와 반도체 영역 PV1p의 길이는, 반도체 영역 PV1m의 길이 쪽이 길어지도록 형성되어 있다. 이에 의해, 채널 영역의 제2 방향 Y의 양단에 형성되는 동작하기 어려운 MIS의 영역을 줄일 수 있기 때문에, 본 실시 형태에서의 고 내압 nMIS의 실효적인 동작 속도의 저감을 방지할 수 있다.

또한, 이 때, 반도체 영역 PVp1은 분리부(3)보다도 깊게 되도록 형성되어 있다. 이와 같이 반도체 영역 PVp1을 형성함으로써, 분리부(3)의 상부에 접하는 기판(1S)의 견부에 있어서의 임계치를 높게 할 수 있다. 이에 의해 킥 현상의 발생을 억제할 수 있다.

계속해서, 레지스트막 PR5를 제거한 후, 고 내압 pMIS 형성 영역에 대한 카운터 도핑 공정으로 이행한다. 도 93 내지 도 98은 고 내압 pMIS 형성 영역에 대한 카운터 도핑 공정 시의 기판(1S)의 주요부 단면도를 도시하고 있다. 도 93은 도 64 내지 도 67의 X5-X5선에 상당하는 개소를 포함하는 단면도, 도 94는 도 64 내지 도 67의 X6-X6선에 상당하는 개소를 포함하는 단면도, 도 95는 도 72 내지 도 75의 X7-X7선에 상당하는 개소를 포함하는 단면도, 도 96은 도 72 내지 도 75의 X8-X8선에 상당하는 개소를 포함하는 단면도, 도 97은 도 64 내지 도 67의 Y4-Y4선 또는 도 72 내지 도 75의 Y5-Y5선에 상당하는 단면도, 도 98은 카운터 도핑 공정 시의 저 내압 MIS의 형성 영역의 주요부 단면도를 각각 도시하고 있다. 또한, 이 카운터 도핑 공정 시의 도 64 내지 도 67의 Y4-Y4선 및 도 72 내지 도 75의 Y5-Y5선에 상당하는 개소의 단면도도 동일하기 때문에, 설명을 간단히 하기 때문에 도 97의 1도에만 그 단면도를 도시한다.

우선, 기판(1S)(즉, 웨이퍼)의 주면 상에, 레지스트막 PR6의 패턴을 상기 리소그래피 공정을 거쳐서 형성한다. 레지스트막 PR6의 패턴은, 고 내압 pMIS 형성 영역의 카운터 도핑 영역 DR가 개구되고, 그 이외가 피복되도록 형성되어 있다. 즉, 형성 영역 HR3에서는, 도 93 및 도 97에 도시한 바와 같이, 고 내압 pMIS 측의 활성 영역 L1의 제2 방향 Y의 양단 일부가 레지스트막 PR6으로부터 피복되고, 도 97 및 도 97에 도시한 바와 같이, 그 이외의 고 내압 pMIS 측의 활성 영역 L1이 레지스트막 PR6으로부터 노출되어 있다. 또한, 형성 영역 HR4에서는, 도 95 및 도 97에 도시한 바와 같이, 고 내압 pMIS 측의 활성 영역 L5의 제2 방향 Y의 양단 일부가 레지스트막 PR6으로 피복되고, 도 96 및 도 97에 도시한 바와 같이, 그 이외의 고 내압 pMIS 측의 활성 영역 L5가 레지스트막 PR6으로부터 노출되어 있다. 계속해서, 레지스트막 PR6의 패턴을 마스크로 하여 기판(1S)에, 예를 들면 붕소를 이온 주입법 등에 의해 선택적으로, 또한 얇게 도입한다. 이에 의해, 레지스트막 PR6으로부터 노출된 고 내압 pMIS 측의 활성 영역 L1, L5의 n+ 형의 반도체 영역 NV1p의 상부에 n-형의 반도체 영역 NV1m을 형성한다. 한편, 동일한 고 내압 pMIS 측의 활성 영역 L1, L5에서도 제2 방향 Y의 양 단부의 레지스트막 PR6으로 피복된 영역의 n+ 형의 반도체 영역 NV1p의 상부는 n+ 형 그대로 된다. 또한, 이 n-형의 반도체 영역 NV1m은 반도체 기판(1S) 표면 부근에 형성되어 있고, n+ 형의 반도체 영역 NV1p의 상부에 형성되어 있다. 즉, n-형의 반도체 영역 NV1m은 n+ 형의 반도체 영역 NV1p보다도 얇은 위치에 형성되어 있다. 이 때문에, 고 내압 pMIS의 활성 영역 L1, L5의 채널 영역의 중앙(기판(1S)의 주면부)에서의 임계치 전압을, 고 내압 pMIS의 활성 영역 L1, L5의 제2 방향 Y의 양단(분리부(3)의 측벽에 접하는 기판(1S) 부분)에서의 임계치 전압보다도 낮게 할 수 있으므로, 상기 킥 현상의 발생을 억제 또는 방지할 수 있다.

여기서, 후에 형성되는 게이트 전극의 폭 방향(제2 방향 Y)에 있어서, 게이트 전극 HG 아래의 채널 영역을 형성하는 반도체 영역 NV1m의 길이와 반도체 영역 NV1p의 길이는, 반도체 영역 NV1m의 길이 쪽이 길어지도록 형성되어 있다. 즉, 반도체 영역 NV1m은, 채널 영역의 절반 이상을 차지하도록 형성되어 있다. 이에 의해, 채널 영역의 제2 방향 Y의 양단에 형성되는 동작하기 어려운 MIS의 영역을 줄일 수 있기 때문에, 본 실시 형태에 있어서의 고 내압 pMIS의 실효적인 동작 속도의 저감을 방지할 수 있다.

또한, 이 때, 반도체 영역 NVp1은 분리부(3)보다도 깊게 되도록 형성되어 있다. 이와 같이 반도체 영역 NVp1을 형성함으로써, 분리부(3)의 상부에 접하는 기판(1S)의 견부에 있어서의 임계치를 높게 할 수 있다. 이에 의해 킥 현상의 발생을 억제할 수 있다.

그 후, 레지스트막 PR6을 제거한 후, 상기 실시 형태 3과 마찬가지로 공정을 거쳐, 도 99 내지 도 101의 동일 제조 공정 중의 기판(1S)의 주요부 단면에 도시한 바와 같이, 동일한 기판(1S)에, 고 내압 nMIS(제9, 제10 고 내압 전계 효과 트랜지스터) QHn3, 고 내압 nMIS(제11, 제12 고 내압 전계 효과 트랜지스터) QHn4, 고 내압 pMISQHhp3, QHp4, 저 내압 nMISQLn1 및 저 내압 pMISQLp1을 형성한다. 또한, 본 실시 형태 6에서도, 도면을 보기 쉽게 하기 위해서 절연막(6a)의 도시를 생략한다. 이에 의해, 제조 공정에서, 저 내압 MIS 제조 프로세스와 고 내압 MIS 제조 프로세스를 공용시킴으로써, 저 내압 MIS와 고 내압 MIS를 동일한 기판(1S)에 갖는 반도체 장치의 제조 공정의 저감을 도모할 수 있다.

(실시 형태 7)

본 실시 형태 7에서는, 상기 실시 형태 4의 반도체 장치의 홈형의 분리부(3)를, LOCOS(Local Oxidization of Silicon)법으로 형성한 분리부로 바꾼 경우에 대해 설명한다.

본 실시 형태 7의 고 내압 MIS의 일례의 주요부 단면도를 도 102 내지 도 104에 도시한다. 평면도는 상기 실시 형태 4의 도 64 내지 도 67과 동일하다. 도 102는 도 64 내지 도 67의 X5-X5선에 상당하는 개소의 단면도, 도 103은 도 64 내지 도 67의 X6-X6선에 상당하는 개소의 단면도, 도 104는 도 64 내지 도 67의 Y4-Y4선에 상당하는 개소의 단면도를 각각 나타내고 있다. 또한, 여기서도, 고 내압 pMISQHhp5에 본 발명을 적용한 경우에 대해 설명하지만, 고 내압 nMIS에 적용할 수도 있다.

본 실시 형태 7의 고 내압 pMISQHhp5는, 분리부(3)가 LOCOS법으로 형성되어 있는 것 이외에는 상기 실시 형태 4와 동일하다. 즉, 기판(1S)의 주면에 홈을 파 절연막으로 매립함으로써 분리부를 형성하는 것이 아니고, 기판(1S)의 주면 위의 활성 영역에, 얇은 산화 실리콘 등으로 이루어지는 절연막과 그 위에 퇴적된 질화 실리콘 등으로 이루어지는 내 산화성의 절연막의 적층 패턴을 형성한 후, 기판(1S)에 대하여 열 산화 처리를 실시함으로써, 상기 적층 패턴으로부터 노출된 분리 영역에 산화 실리콘 등으로 이루어지는 분리부(3)를 형성한다.

본 실시 형태 7에 있어서도, 상기 실시 형태 4에서 설명한 바와 같이, 소스 및 드레인용의 p+ 형의 반도체 영역 P1, P1(p-형의 반도체 영역 PV1, PV1) 사이의 펀치 스루를 억제 또는 방지하는 능력을 향상시킬 수 있기 때문에, 고 내압 pMISQHp5의 설계상의 채널 길이(제1 방향 X의 길이)를 짧게 할 수 있다. 즉, 분리부(3)가 LOCOS법으로 형성되어 있는 고 내압 pMISQH5이더라도, 그 사이즈의 축소가 가능하고, 그 고 내압 pMISQHp5를 갖는 반도체 칩의 사이즈를 축소시키는 것이 가능하게 된다.

또한, 분리부(3) 이외의 구조 및 제조 방법은 전술한 실시 형태 4 및 6과 마찬가지로, 마찬가지로 효과를 얻을 수 있기 때문에, 그 설명은 생략한다.

(실시 형태 8)

본 실시 형태 8에서는, 상기 실시 형태 5의 반도체 장치의 홈형의 분리부(3)를, LOCOS법으로 형성한 분리부에 바꾼 경우에 대해 설명한다.

본 실시 형태 8의 고 내압 MIS의 일례의 주요부 단면도를 도 105, 도 106에 도시한다. 평면도는 상기 실시 형태 5의 도 72 내지 도 75와 동일하다. 도 105는 도 72 내지 도 75의 X7-X7선에 상당하는 개소의 단면도, 도 106은 도 72 내지 도 75의 X8-X8선에 상당하는 개소의 단면도를 각각 나타내고 있다. 도 72 내지 도 75의 Y5-Y5선의 단면도는, 상기 실시 형태 7의 도 104와 동일하기 때문에 생략한다. 또한, 여기서도, 고 내압 pMISQHp5에 본 발명을 적용한 경우에 대해 설명하지만, 고 내압 nMIS에 적용할 수도 있다.

본 실시 형태 8의 고 내압 pMISQHp6은, 분리부(3)가 LOCOS법으로 형성되어 있는 것 이외에는 상기 실시 형태 5와 동일하다. 즉, 상기 실시 형태 7과 마찬가지로, 기관(1S)의 주면 위의 활성 영역에, 얇은 산화 실리콘 등으로 이루어지는 절연막과 그 위에 퇴적된 질화 실리콘 등으로 이루어지는 내 산화성의 절연막의 적층 패턴을 형성한 후, 기관(1S)에 대하여 열 산화 처리를 실시함으로써, 상기 적층 패턴으로부터 노출된 분리 영역에, 산화 실리콘 등으로 이루어지는 분리부(3)를 형성한다.

본 실시 형태 8에서도, 상기 실시 형태 4 내지 6과 마찬가지로, 고 내압 pMISQHp6의 펀치 스루를 억제 또는 방지하는 능력을 향상시킬 수 있기 때문에, 고 내압 pMISQHp6의 설계상의 채널 길이(제1 방향 X의 길이)를 짧게 할 수 있다. 따라서, 분리부(3)가 LOCOS법으로 형성되어 있는 고 내압 pMISQH6의 사이즈의 축소를 할 수 있기 때문에, 그 고 내압 pMISQHp6을 갖는 반도체 칩의 사이즈를 축소시킬 수 있다.

또한, 분리부(3) 이외의 구조 및 제조 방법은, 전술한 실시 형태 5 및 6과 마찬가지로, 마찬가지로 효과를 얻을 수 있기 때문에, 그 설명은 생략한다.

이상, 본 발명자에 의해서 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

예를 들면 상기 실시 형태 1 내지 8에서는, 고 내압 MIS의 게이트 전극과 저 내압 MIS의 게이트 전극을 별도 공정에서 형성한 경우에 대해 설명했지만, 이것에 한정되는 것이 아니고, 고 내압 MIS의 게이트 전극과 저 내압 MIS의 게이트 전극을 동일 공정에서 형성해도 된다. 이 경우에는, 예를 들면 다음과 같이 한다. 우선, 상기 실시 형태 3, 6과 같이 고 내압 MIS의 CVD법에 의한 절연막(6b)을 패터닝한 후, 고 내압 MIS의 형성 영역을 레지스트막으로 피복한다. 계속해서, 저 내압 MIS의 형성 영역의 기관(1S)의 주면의 활성 영역의 실리콘이 노출되도록 에칭한 후, 레지스트막을 제거한다. 그 후, 저 내압 MIS의 게이트 절연막을 열 산화법 등에 의해 형성한 후, 기관(1S)의 주면 전면에, 게이트 전극 형성용의 도체막을 퇴적하고, 이것을 상기 리소그래피 공정 및 드라이 에칭 공정을 거쳐서 패터닝함으로써, 고 내압 MIS와 저 내압 MIS의 형성 영역에 게이트 전극을 형성한다.

또한, 고 내압 MIS의 드레인 내압이, 예를 들면 7~30V 정도의 비교적 낮은 경우, 저 내압 MIS의 웰을 형성하기 위한 이온 주입법 등에 의한 불순물 도입을, 고 내압 MIS의 전계 완화 기능을 갖는 반도체 영역(PV1, NV1) 및 채널 스톱퍼를 형성하기 위한 이온 주입법 등에 의한 불순물 도입과 결합하여도 무방하다. 이 경우, 1회의 도입 공정으로 저 내압 MIS의 웰, 고 내압 MIS의 전계 완화 기능을 갖는 반도체 영역 및 채널 스톱퍼를 형성할 수 있다. 즉, 레지스트 도포, 현상, 노광이라고 하는 일련의 처리를 수반하는 리소그래피 공정을 삭감할 수 있기 때문에, 반도체 장치의 제조 공정을 대폭 저감할 수 있다.

이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경으로 된 이용 분야인 액정 표시 장치의 드라이버 회로나 고 전류 제어 행하는 모터 제어 드라이버 회로 등에 적용되는 반도체 장치의 제조 방법에 적용한 경우에 대해 설명했지만, 그것에 한정되는 것이 아니고 여러 가지로 적용 가능하며, 예를 들면 자동차의 각종 회로 등에 이용하는 등, 다른 전자 기기의 반도체 장치의 제조 방법에도 적용할 수 있다.

발명의 효과

본 발명에 따르면, 고 내압 전계 효과 트랜지스터에서의 킹크 현상을 억제 또는 방지할 수 있다. 또한, 고 내압 전계 효과 트랜지스터를 갖는 반도체 장치의 특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

고 내압 전계 효과 트랜지스터의 제1 도전형의 채널 영역의 게이트 폭 방향의 양단의 홈형의 분리부와 반도체 기관의 경계 영역에, 상기 채널 영역과 동일 도전형이고, 상기 채널 영역보다도 고 불순물 농도의 제1 도전형의 반도체 영역을, 상기 고 내압 전계 효과 트랜지스터의 상기 제1 도전형과는 역의 제2 도전형의 드레인용의 반도체 영역에 접하지 않도록, 상기 드레인용의 반도체 영역으로부터 떨어진 위치에 배치한 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 제1 도전형의 반도체 영역을, 상기 반도체 기관의 주면으로부터 상기 홈형의 분리부보다도 깊은 위치까지 연장시켜 형성한 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항에 있어서,

상기 반도체 기관에, 상기 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 마련한 것을 특징으로 하는 반도체 장치.

청구항 4.

반도체 기관의 주면에 분리부에서 규정된 활성 영역을 구비하고, 상기 활성 영역에 고 내압 전계 효과 트랜지스터를 갖는 반도체 장치에 있어서,

상기 고 내압 전계 효과 트랜지스터의 게이트 전극 아래의 반도체 기관에 형성된 상대적으로 고 농도의 반도체 영역과,

상기 게이트 전극 아래의 반도체 기관에 형성된 상대적으로 저 농도의 반도체 영역을 갖고,

상기 게이트 전극의 게이트 폭 방향에 있어서, 상기 상대적으로 저 농도의 반도체 영역은, 상기 상대적으로 고 농도의 반도체 영역에 의해서 둘러싸여 있는 것을 특징으로 하는 반도체 장치.

청구항 5.

제4항에 있어서,

상기 상대적으로 고 농도의 반도체 영역은, 상기 반도체 기관의 주면으로부터 상기 상대적으로 저 농도의 반도체 영역보다도 깊은 위치까지 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6.

제4항에 있어서,

상기 상대적으로 고 농도의 반도체 영역은, 상기 반도체 기관의 주면으로부터 상기 분리부보다도 깊은 위치까지 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7.

제4항에 있어서,

상기 상대적으로 저 농도의 반도체 영역은, 상기 고 내압 전계 효과 트랜지스터의 채널 영역의 절반 이상을 차지하는 것을 특징으로 하는 반도체 장치.

청구항 8.

제4항에 있어서,

상기 분리부는, 상기 반도체 기판에 형성된 홈 내에 절연막을 매립함으로써 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9.

제4항에 있어서,

상기 반도체 기판에, 상기 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 마련한 것을 특징으로 하는 반도체 장치.

청구항 10.

반도체 기판의 주면에 홈형의 분리부에서 규정된 활성 영역을 구비하고, 상기 활성 영역에 고 내압 전계 효과 트랜지스터의 채널 영역을 배치한 구성을 갖는 반도체 장치에 있어서,

상기 고 내압 전계 효과 트랜지스터는,

(a) 상기 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 활성 영역의 게이트 길이 방향의 양측에 상기 홈형의 분리부를 개재하여 마련된 소스 및 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 소스 및 드레인용의 제1 도전형의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 소스 및 드레인용의 제1 도전형의 제1 반도체 영역 각각과 상기 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 소스 및 드레인용의 제1 도전형의 제2 반도체 영역과,

(d) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 활성 영역의 상기 소스 및 드레인용의 제1 도전형의 제2 반도체 영역의 사이에 일부가 개재되어, 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역을 갖고,

상기 활성 영역의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기판의 경계 영역에, 상기 제3 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제4 반도체 영역을, 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역에 접하지 않도록, 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역으로부터 떨어진 위치에 배치한 것을 특징으로 하는 반도체 장치.

청구항 11.

반도체 기판의 주면에 홈형의 분리부에서 규정된 활성 영역을 구비하고, 상기 활성 영역에 고 내압 전계 효과 트랜지스터의 채널 영역을 배치한 구성을 갖는 반도체 장치에 있어서,

상기 고 내압 전계 효과 트랜지스터는,

(a) 상기 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 홈형의 분리부를 개재하여 마련된 제1 도전형의 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 홈형의 분리부를 개재하지 않고서 인접하여 마련된 소스용의 제1 도전형의 제1 반도체 영역과,

(d) 상기 드레인용의 제1 도전형의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 드레인용의 제1 도전형의 제1 반도체 영역을 내포하고, 또한, 상기 드레인용의 제1 도전형의 제1 반도체 영역과 상기 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 드레인용의 제1 도전형의 제2 반도체 영역과,

(e) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 활성 영역의 상기 소스용의 제1 도전형의 제1 반도체 영역과 상기 드레인용의 제2 반도체 영역의 사이에 일부가 개재되어, 상기 소스용의 제1 도전형의 제1 반도체 영역과 상기 드레인용의 제1 도전형의 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역을 갖고,

상기 활성 영역의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제3 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제4 반도체 영역을, 상기 드레인용의 제1 도전형의 제1, 제2 반도체 영역에 접하지 않도록, 상기 드레인용의 제1 도전형의 제1, 제2 반도체 영역으로부터 떨어진 위치에 배치한 것을 특징으로 하는 반도체 장치.

청구항 12.

제10항 또는 제11항에 있어서,

상기 제4 반도체 영역을, 상기 반도체 기관의 주면으로부터 상기 홈형의 분리부보다도 깊은 위치까지 연장시켜 형성한 것을 특징으로 하는 반도체 장치.

청구항 13.

제10항 또는 제11항에 있어서,

상기 반도체 기관에, 상기 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 마련한 것을 특징으로 하는 반도체 장치.

청구항 14.

반도체 기관의 주면에 홈형의 분리부에서 규정된 제1, 제2 활성 영역을 구비하고, 상기 제1, 제2 활성 영역 각각에 제1, 제2 고 내압 전계 효과 트랜지스터의 각각의 채널 영역을 배치한 구성을 갖는 반도체 장치에 있어서,

상기 제1 고 내압 전계 효과 트랜지스터는,

(a) 상기 제1 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 제1 활성 영역의 게이트 길이 방향의 양측에 상기 홈형의 분리부를 개재하여 마련된 소스 및 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 소스 및 드레인용의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 소스 및 드레인용의 제1 도전형의 제1 반도체 영역 각각과 상기 제1 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 소스 및 드레인용의 제1 도전형의 제2 반도체 영역과,

(d) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 제1 활성 영역의 상기 소스 및 드레인용의 제1 도전형의 제2 반도체 영역의 사이에 일부가 개재되어, 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역과,

(e) 상기 제3 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제1 활성 영역의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역에 접하지 않도록, 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역으로부터 떨어진 상태로 마련된 제2 도전형의 제4 반도체 영역을 갖고,

상기 제2 고 내압 전계 효과 트랜지스터는,

(a) 상기 제2 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 제2 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 홈형의 분리부를 개재하여 마련된 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 제2 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 홈형의 분리부를 개재하지 않고서 인접하여 마련된 소스용의 제1 도전형의 제1 반도체 영역과,

(d) 상기 제2 고 내압 전계 효과 트랜지스터의 상기 드레인용의 제1 도전형의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 제2 고 내압 전계 효과 트랜지스터의 상기 드레인용의 제1 도전형의 제1 반도체 영역과 상기 제2 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 드레인용의 제1 도전형의 제2 반도체 영역과,

(e) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 제2 활성 영역의 상기 소스용의 제1 도전형의 제1 반도체 영역과 상기 제2 고 내압 전계 효과 트랜지스터의 상기 드레인용의 제1 도전형의 제2 반도체 영역의 사이에 일부가 개재되어, 상기 제2 고 내압 전계 효과 트랜지스터의 상기 소스용의 제1 도전형의 제1 반도체 영역과 상기 드레인용의 제1 도전형의 제1, 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역을 갖고,

(f) 상기 제2 고 내압 전계 효과 트랜지스터의 상기 제3 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제2 활성 영역의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제2 고 내압 전계 효과 트랜지스터의 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역에 접하지 않도록, 상기 제2 고 내압 전계 효과 트랜지스터의 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역으로부터 떨어진 상태로 마련된 제2 도전형의 제4 반도체 영역을 갖는 것을 특징으로 하는 반도체 장치.

청구항 15.

제14항에 있어서,

상기 제1, 제2 고 내압 전계 효과 트랜지스터의 상기 제4 반도체 영역을, 상기 반도체 기관의 주면으로부터 상기 홈형의 분리부보다도 깊은 위치까지 연장시켜 형성한 것을 특징으로 하는 반도체 장치.

청구항 16.

제14항에 있어서,

상기 반도체 기관에, 상기 제1, 제2 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 마련한 것을 특징으로 하는 반도체 장치.

청구항 17.

반도체 기관의 주면에 분리부에서 규정된 활성 영역을 구비하고, 상기 활성 영역에 고 내압 전계 효과 트랜지스터의 채널 영역을 배치한 구성을 갖는 반도체 장치에 있어서,

상기 고 내압 전계 효과 트랜지스터는,

(a) 상기 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 활성 영역의 게이트 길이 방향의 양측에 상기 분리부를 개재하여 마련된 소스 및 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 소스 및 드레인용의 제1 도전형의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 소스 및 드레인용의 제1 도전형의 제1 반도체 영역 각각과 상기 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 소스 및 드레인용의 제1 도전형의 제2 반도체 영역과,

(d) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 소스 및 드레인용의 제1 도전형의 제1, 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역을 갖고,

상기 활성 영역의 상기 소스 및 드레인용의 제1 도전형의 제2 반도체 영역의 사이에, 상기 제3 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제5 반도체 영역을 마련하고,

상기 제2 도전형의 제5 반도체 영역의 상부에, 상기 제2 도전형의 제5 반도체 영역보다도 저 불순물 농도의 제2 도전형의 제6 반도체 영역을, 상기 제6 반도체 영역의 게이트 폭 방향의 양단이, 상기 게이트 폭 방향의 양단의 상기 분리부의 측벽으로부터 떨어지도록 마련한 것을 특징으로 하는 반도체 장치.

청구항 18.

반도체 기관의 주면에 분리부에서 규정된 활성 영역을 구비하고, 상기 활성 영역에 고 내압 전계 효과 트랜지스터의 채널 영역을 배치한 구성을 갖는 반도체 장치에 있어서,

상기 고 내압 전계 효과 트랜지스터는,

(a) 상기 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 분리부를 개재하여 마련된 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 분리부를 개재하지 않고서 인접하여 마련된 소스용의 제1 도전형의 제1 반도체 영역과,

(d) 상기 드레인용의 제1 도전형의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 드레인용의 제1 도전형의 제1 반도체 영역과 상기 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 드레인용의 제1 도전형의 제2 반도체 영역과,

(e) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 소스용의 제1 도전형의 제1 반도체 영역 및 상기 드레인용의 제1 도전형의 제1, 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역을 갖고,

상기 활성 영역의 상기 소스용의 제1 도전형의 제1 반도체 영역과, 상기 드레인용의 제1 도전형의 제2 반도체 영역의 사이에, 상기 제3 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제5 반도체 영역을 마련하고,

상기 제5 반도체 영역의 상부에, 상기 제2 도전형의 제5 반도체 영역보다도 저 불순물 농도의 제2 도전형의 제6 반도체 영역을, 상기 제6 반도체 영역의 게이트 폭 방향의 양단이, 상기 게이트 폭 방향의 양단의 상기 분리부의 측벽으로부터 떨어지도록 마련한 것을 특징으로 하는 반도체 장치.

청구항 19.

제17항 또는 제18항에 있어서,

상기 분리부가 상기 반도체 기판에 파진 홈 내에 절연막을 매립함으로써 형성된 홈형의 분리부인 것을 특징으로 하는 반도체 장치.

청구항 20.

제17항 또는 제18항에 있어서,

상기 분리부가 상기 반도체 기판을 선택적으로 산화함으로써 형성된 분리부인 것을 특징으로 하는 반도체 장치.

청구항 21.

제17항 또는 제18항에 있어서,

상기 제5 반도체 영역을, 상기 반도체 기판의 주면으로부터 상기 분리부보다도 깊은 위치까지 연장시켜 형성한 것을 특징으로 하는 반도체 장치.

청구항 22.

제17항 또는 제18항에 있어서,

상기 반도체 기판에, 상기 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 마련한 것을 특징으로 하는 반도체 장치.

청구항 23.

제17항 또는 제18항에 있어서,

상기 제6 반도체 영역은, 상기 채널 영역의 절반 이상을 차지하는 것을 특징으로 하는 반도체 장치.

청구항 24.

반도체 기관의 주면에 분리부에서 규정된 제1, 제2 활성 영역을 구비하고, 상기 제1, 제2 활성 영역 각각에 제3, 제4 고 내압 전계 효과 트랜지스터의 각각의 채널 영역을 배치한 구성을 갖는 반도체 장치에 있어서,

상기 제3 고 내압 전계 효과 트랜지스터는,

(a) 상기 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 활성 영역의 게이트 길이 방향의 양측에 상기 분리부를 개재하여 마련된 소스 및 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 소스 및 드레인용의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 소스 및 드레인용의 제1 도전형의 제1 반도체 영역 각각과 상기 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 소스 및 드레인용의 제1 도전형의 제2 반도체 영역과,

(d) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 소스 및 드레인용의 제1, 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역과,

(e) 상기 제3 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 활성 영역의 상기 소스 및 드레인용의 제1 도전형의 제2 반도체 영역의 사이에 마련된 제2 도전형의 제5 반도체 영역과,

(f) 상기 제5 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 제5 반도체 영역의 상부에, 게이트 폭 방향의 양단의 상기 분리부의 측벽으로부터 떨어지도록 마련된 제2 도전형의 제6 반도체 영역을 갖고,

상기 제4 고 내압 전계 효과 트랜지스터는,

(a) 상기 제2 활성 영역 상에 게이트 절연막을 개재하여 마련된 게이트 전극과,

(b) 상기 제2 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 분리부를 개재하여 마련된 드레인용의 제1 도전형의 제1 반도체 영역과,

(c) 상기 제2 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 분리부를 개재하지 않고서 인접하여 마련된 소스용의 제1 도전형의 제1 반도체 영역과,

(d) 상기 제4 고 내압 전계 효과 트랜지스터의 상기 드레인용의 제1 도전형의 제1 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 제4 고 내압 전계 효과 트랜지스터의 상기 드레인용의 제1 도전형의 제1 반도체 영역과 상기 제2 활성 영역의 채널 영역을 전기적으로 접속하도록 마련된 드레인용의 제1 도전형의 제2 반도체 영역과,

(e) 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 제2 고 내압 전계 효과 트랜지스터의 상기 소스용의 제1 도전형의 제1 반도체 영역 및 상기 드레인용의 제1 도전형의 제1, 제2 반도체 영역을 내포하도록 마련된 제3 반도체 영역과,

(f) 상기 제2 고 내압 전계 효과 트랜지스터의 상기 제3 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제2 활성 영역의 상기 소스용의 제1 도전형의 제1 반도체 영역과 상기 드레인용의 제1 도전형의 제2 반도체 영역의 사이에 마련된 제5 반도체 영역과,

(g) 상기 제2 고 내압 전계 효과 트랜지스터의 상기 제5 반도체 영역보다도 저 불순물 농도의 반도체 영역이고, 상기 제5 반도체 영역의 상부에, 게이트 폭 방향의 양단의 상기 분리부의 측벽으로부터 떨어지도록 마련된 제2 도전형의 제6 반도체 영역을 갖는 것을 특징으로 하는 반도체 장치.

청구항 25.

제24항에 있어서,

상기 분리부가 상기 반도체 기관에 파진 홈 내에 절연막을 매립함으로써 형성된 홈형의 분리부인 것을 특징으로 하는 반도체 장치.

청구항 26.

제24항에 있어서,

상기 분리부가 상기 반도체 기관을 선택적으로 산화함으로써 형성된 분리부인 것을 특징으로 하는 반도체 장치.

청구항 27.

제24항에 있어서,

상기 제3, 제4 고 내압 전계 효과 트랜지스터의 상기 제5 반도체 영역을, 상기 반도체 기판의 주변으로부터 상기 분리부보다도 깊은 위치까지 연장시켜 형성한 것을 특징으로 하는 반도체 장치.

청구항 28.

제24항에 있어서,

상기 반도체 기판에, 상기 제3, 제4 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 마련한 것을 특징으로 하는 반도체 장치.

청구항 29.

제24항에 있어서,

상기 제6 반도체 영역은, 상기 채널 영역의 절반 이상을 차지하는 것을 특징으로 한 반도체 장치.

청구항 30.

반도체 기판에 제5, 제6 고 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기판의 주변에 홈형의 분리부를 형성하고, 상기 홈형의 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기판에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 반도체 기판에 상기 제1 도전형과는 역의 제2 도전형의 제8 반도체 영역을 형성하는 공정과,

(d) 상기 제7 반도체 영역에, 상기 제5 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(e) 상기 제8 반도체 영역에, 상기 제6 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제10 반도체 영역을 형성하는 공정과,

(f) 상기 반도체 기판 상에 게이트 절연막을 형성하는 공정과,

(g) 상기 게이트 절연막 상에 게이트 전극을 형성하는 공정과,

(h) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제5 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

(i) 상기 제10 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제6 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제12 반도체 영역을 형성하는 공정을 포함하고,

상기 제5 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 제5 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 양측에 상기 홈형의 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제6 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제12 반도체 영역은, 상기 소스 및 드레인용의 제2 도전형의 제11 반도체 영역 각각과 상기 제5 고 전압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제6 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제12 반도체 영역은, 상기 제6 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 양측에 상기 홈형의 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제6 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제10 반도체 영역은, 상기 소스 및 드레인용의 제1 도전형의 제12 반도체 영역 각각과 상기 제6 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제5 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제9 반도체 영역을 형성할 때에, 상기 제6 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제8 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제13 반도체 영역을, 상기 제6 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제10, 제12 반도체 영역에 접하지 않도록, 상기 제10, 12 반도체 영역으로부터 떨어지도록 형성하고,

상기 제6 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제10 반도체 영역을 형성할 때에, 상기 제5 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제14 반도체 영역을, 상기 제5 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제9, 제11 반도체 영역에 접하지 않도록, 상기 제9, 11 반도체 영역으로부터 떨어지도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 31.

반도체 기관에 제7, 제8 고 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기관의 주면에 홈형의 분리부를 형성하고, 상기 홈형의 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기관에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 반도체 기관에 상기 제1 도전형과는 역의 제2 도전형의 제8 반도체 영역을 형성하는 공정과,

(d) 상기 제7 반도체 영역에, 상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(e) 상기 제8 반도체 영역에, 상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성하는 공정과,

(f) 상기 반도체 기관 상에 게이트 절연막을 형성하는 공정과,

(g) 상기 게이트 절연막 상에 게이트 전극을 형성하는 공정과,

(h) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역을 형성함과 함께, 상기 제7 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제7 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

(i) 상기 제10 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역을 형성함과 함께, 상기 제8 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제8 고 내압 전계 효과 트랜지스터의 소스용의 제1, 도전형의 제12 반도체 영역을 형성하는 공정을 포함하고,

상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 제7 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 홈형의 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제7 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역은, 상기 제7 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 홈형의 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역은, 상기 드레인용의 제2 도전형의 제11 반도체 영역과 상기 제7 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역은, 상기 제8 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 홈형의 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 소스용의 제1 도전형의 제12 반도체 영역은, 상기 제8 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 홈형의 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역은, 상기 드레인용의 제1 도전형의 제12 반도체 영역과 상기 제8 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성할 때에, 상기 제8 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제8 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제13 반도체 영역을, 상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10, 제12 반도체 영역에 접하지 않도록, 상기 제10, 제12 반도체 영역으로부터 떨어지도록 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성할 때에, 상기 제7 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제14 반도체 영역을, 상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9, 제11 반도체 영역에 접하지 않도록, 상기 제9, 제1 반도체 영역으로부터 떨어지도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 32.

반도체 기관에 제7, 제8 고 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기관의 주면에 홈형의 분리부를 형성하고, 상기 홈형의 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기관에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 반도체 기관에 상기 제1 도전형과는 역의 제2 도전형의 제8 반도체 영역을 형성하는 공정과,

(d) 상기 제7 반도체 영역에, 상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(e) 상기 제8 반도체 영역에, 상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성하는 공정과,

(f) 상기 반도체 기관 상에 상기 제7, 제8 고 내압 전계 효과 트랜지스터용의 게이트 절연막을 형성하는 공정과,

(g) 상기 제7, 제8 고 내압 전계 효과 트랜지스터용의 게이트 절연막 상에 상기 제7, 제8 고 내압 전계 효과 트랜지스터용의 게이트 전극을 형성하는 공정과,

(h) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역을 형성함과 함께, 상기 제7 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제7 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

(i) 상기 제10 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역을 형성함과 함께, 상기 제8 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제8 고 내압 전계 효과 트랜지스터의 소스용의 제1 도전형의 제12 반도체 영역을 형성하는 공정과,

(j) 상기 저 내압 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과,

(k) 상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 공정과,

(l) 상기 저 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제15 반도체 영역을 형성하는 공정을 포함하고,

상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 제7 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 홈형의 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제7 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역은, 상기 제7 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 홈형의 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역은, 상기 드레인용의 제2 도전형의 제11 반도체 영역과 상기 제7 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역은, 상기 제8 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 홈형의 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 소스용의 제1 도전형의 제12 반도체 영역은, 상기 제8 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 홈형의 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역은, 상기 드레인용의 제1 도전형의 제12 반도체 영역과 상기 제8 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성할 때에, 상기 제8 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제8 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제13 반도체 영역을, 상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10, 제12 반도체 영역에 접하지 않도록, 상기 제10, 12 반도체 영역으로부터 떨어지도록 형성하고,

상기 제8 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성할 때에, 상기 제7 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제14 반도체 영역을, 상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9, 제11 반도체 영역에 접하지 않도록, 상기 제9, 11 반도체 영역으로부터 떨어지도록 형성하고,

상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성한 후에, 상기 제7, 제8 고 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 33.

제30항, 제31항 또는 제32항에 있어서,

상기 제13, 제14 반도체 영역을, 상기 반도체 기관의 주면으로부터 상기 분리부보다도 깊은 위치까지 연장하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 34.

반도체 기관에 고 내압 전계 효과 트랜지스터 및 상기 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기관의 주면에 홈형의 분리부를 형성하고, 상기 홈형의 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기관에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 제7 반도체 영역에, 상기 제1 도전형과는 역의 제2 도전형의 반도체 영역이고, 상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(d) 상기 고 내압 전계 효과 트랜지스터의 게이트 폭 방향의 양단의 상기 홈형의 분리부와 상기 반도체 기관의 경계 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제14 반도체 영역을, 상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역에 접하지 않도록, 상기 제9 반도체 영역으로부터 떨어지도록 형성하는 공정과,

(e) 상기 반도체 기관 상에 상기 고 내압 전계 효과 트랜지스터용의 게이트 절연막을 형성하는 공정과,

(f) 상기 고 내압 전계 효과 트랜지스터용의 게이트 절연막 상에 상기 고 내압 전계 효과 트랜지스터용의 게이트 전극을 형성하는 공정과,

(g) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제7 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역을 형성함과 함께, 상기 제7 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

- (h) 상기 저 내압 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과,
- (i) 상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 공정과,
- (j) 상기 저 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제15 반도체 영역을 형성하는 공정을 포함하고,

상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 홈형의 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역은, 상기 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 홈형의 분리부를 개재하지 않고서 인접한 상태로 형성하고, .

상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역은, 상기 드레인용의 제2 도전형의 제11 반도체 영역과 상기 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성한 후에, 상기 고 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 35.

제34항에 있어서,

상기 제14 반도체 영역을, 상기 반도체 기판의 주면으로부터 상기 분리부보다도 깊은 위치까지 연장하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 36.

반도체 기판에 제9, 제10 고 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기판의 주면에 홈형의 분리부를 형성하고, 상기 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기판에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 반도체 기판에 상기 제1 도전형과는 역의 제2 도전형의 제8 반도체 영역을 형성하는 공정과,

(d) 상기 제7 반도체 영역에, 상기 제9 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(e) 상기 제8 반도체 영역에, 상기 제10 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제10 반도체 영역을 형성하는 공정과,

(f) 상기 반도체 기판 상에 게이트 절연막을 형성하는 공정과,

(g) 상기 게이트 절연막 상에 게이트 전극을 형성하는 공정과,

(h) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제9 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

(i) 상기 제10 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제10 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제12 반도체 영역을 형성하는 공정을 포함하고,

상기 제9 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 제9 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 양측에 상기 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제9 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제9 반도체 영역은, 상기 소스 및 드레인용의 제2 도전형의 제11 반도체 영역 각각과 상기 제9 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제10 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제12 반도체 영역은, 상기 제10 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 양측에 상기 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제10 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제10 반도체 영역은, 상기 소스 및 드레인용의 제1 도전형의 제12 반도체 영역 각각과 상기 제10 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제9 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제2 도전형의 제9 반도체 영역을 형성할 때에, 상기 제10 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 영역에, 상기 제8 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제15 반도체 영역을 형성하고,

상기 제15 반도체 영역의 상부에, 상기 제15 반도체 영역과는 역의 도전형을 형성하는 불순물을 도입함으로써, 상기 제15 반도체 영역의 상부에, 상기 제15 반도체 영역보다도 저 불순물 농도의 제2 도전형의 제16 반도체 영역을 형성하고,

상기 제10 고 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제1 도전형의 제10 반도체 영역을 형성할 때에, 상기 제9 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제17 반도체 영역을 형성하고,

상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역과는 역의 도전형을 형성하는 불순물을 도입함으로써, 상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역보다도 저 불순물 농도의 제1 도전형의 제18 반도체 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 37.

반도체 기판에 제11, 제12 고 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기판의 주면에 홈형의 분리부를 형성하고, 상기 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기판에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 반도체 기판에 상기 제1 도전형과는 역의 제2 도전형의 제8 반도체 영역을 형성하는 공정과,

(d) 상기 제7 반도체 영역에, 상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(e) 상기 제8 반도체 영역에, 상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성하는 공정과,

(f) 상기 반도체 기판 상에 게이트 절연막을 형성하는 공정과,

(g) 상기 게이트 절연막 상에 게이트 전극을 형성하는 공정과,

(h) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역을 형성함과 함께, 상기 제7 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제11 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

(i) 상기 제10 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역을 형성함과 함께, 상기 제8 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제12 고 내압 전계 효과 트랜지스터의 소스용의 제1 도전형의 제12 반도체 영역을 형성하는 공정을 포함하고,

상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제11 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역은, 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역은, 상기 드레인용의 제2 도전형의 제11 반도체 영역과 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역은, 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 소스용의 제1 도전형의 제12 반도체 영역은, 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역은, 상기 드레인용의 제1 도전형의 제12 반도체 영역과 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성할 때에, 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 영역에, 상기 제8 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제15 반도체 영역을 형성하고,

상기 제15 반도체 영역의 상부에, 상기 제15 반도체 영역과는 역의 도전형을 형성하는 불순물을 도입함으로써, 상기 제15 반도체 영역의 상부에, 상기 제15 반도체 영역보다도 저 불순물 농도의 제2 도전형의 제16 반도체 영역을 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성할 때에, 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제17 반도체 영역을 형성하고,

상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역과는 역의 도전형을 형성하는 불순물을 도입함으로써, 상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역보다도 저 불순물 농도의 제1 도전형의 제18 반도체 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 38.

반도체 기판에, 제11, 제12 고 내압 전계 효과 트랜지스터와, 상기 제11, 제12 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기판의 주면에 홈형의 분리부를 형성하고, 상기 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기판에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 반도체 기판에 상기 제1 도전형과는 역의 제2 도전형의 제8 반도체 영역을 형성하는 공정과,

(d) 상기 제7 반도체 영역에, 상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(e) 상기 제8 반도체 영역에, 상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성하는 공정과,

(f) 상기 반도체 기판 상에 상기 제11, 제12 고 내압 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과,

(g) 상기 제11, 제12 고 내압 전계 효과 트랜지스터의 게이트 절연막 상에 상기 제11, 제12 고 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 공정과,

(h) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역을 형성함과 함께, 상기 제7 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제11 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

(i) 상기 제10 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역을 형성함과 함께, 상기 제8 반도체 영역 내에, 상기 제10 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 제12 고 내압 전계 효과 트랜지스터의 소스용의 제1 도전형의 제12 반도체 영역을 형성하는 공정과,

(j) 상기 저 내압 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과,

(k) 상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 공정과,

(l) 상기 저 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제15 반도체 영역을 형성하는 공정을 포함하고,

상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제11 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역은, 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역은, 상기 드레인용의 제2 도전형의 제11 반도체 영역과 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제12 반도체 영역은, 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 소스용의 제1 도전형의 제12 반도체 영역은, 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역은, 상기 드레인용의 제1 도전형의 제12 반도체 영역과 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 제11 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성할 때에, 상기 제12 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 영역에, 상기 제8 반도체 영역보다도 고 불순물 농도의 제2 도전형의 제15 반도체 영역을 형성하고,

상기 제15 반도체 영역의 상부에, 상기 제15 반도체 영역과는 역의 도전형을 형성하는 불순물을 도입함으로써, 상기 제15 반도체 영역의 상부에, 상기 제15 반도체 영역보다도 저 불순물 농도의 제2 도전형의 제16 반도체 영역을 형성하고,

상기 제12 고 내압 전계 효과 트랜지스터의 드레인용의 제1 도전형의 제10 반도체 영역을 형성할 때에, 상기 제11 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제17 반도체 영역을 형성하고,

상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역과는 역의 도전형을 형성하는 불순물을 도입함으로써, 상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역보다도 저 불순물 농도의 제1 도전형의 제18 반도체 영역을 형성하고,

상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성한 후에, 상기 제11, 제12 고 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 39.

제36항, 제37항 또는 제38항에 있어서,

상기 제15, 제17 반도체 영역을, 상기 반도체 기관의 주면으로부터 상기 분리부보다도 깊은 위치까지 연장하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 40.

제36항, 제37항 또는 제38항에 있어서,

상기 제15, 제17 반도체 영역은, 상기 채널 영역의 절반 이상을 차지하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 41.

반도체 기판에, 고 내압 전계 효과 트랜지스터와, 상기 고 내압 전계 효과 트랜지스터보다도 동작 전압이 낮은 저 내압 전계 효과 트랜지스터를 형성하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기판의 주면에 홈형의 분리부를 형성하고, 상기 분리부에 의해 규정되는 복수의 활성 영역을 형성하는 공정과,

(b) 상기 반도체 기판에 제1 도전형의 제7 반도체 영역을 형성하는 공정과,

(c) 상기 제7 반도체 영역에, 상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역을 형성하는 공정과,

(d) 제 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 영역에, 상기 제7 반도체 영역보다도 고 불순물 농도의 제1 도전형의 제17 반도체 영역을 형성하는 공정과,

(e) 상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역과는 역의 도전형을 형성하는 불순물을 도입함으로써, 상기 제17 반도체 영역의 상부에, 상기 제17 반도체 영역보다도 저 불순물 농도의 제1 도전형의 제18 반도체 영역을 형성하는 공정과,

(f) 상기 반도체 기판 상에 상기 고 내압 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과,

(g) 상기 고 내압 전계 효과 트랜지스터의 게이트 절연막 상에 상기 고 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 공정과,

(h) 상기 제9 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역을 형성함과 함께, 상기 제7 반도체 영역 내에, 상기 제9 반도체 영역보다도 고 불순물 농도의 반도체 영역이고, 상기 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역을 형성하는 공정과,

(i) 상기 저 내압 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과,

(j) 상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 공정과,

(k) 상기 저 내압 전계 효과 트랜지스터의 소스 및 드레인용의 제15 반도체 영역을 형성하는 공정을 포함하고,

상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제11 반도체 영역은, 상기 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 한쪽 편측에 상기 분리부를 개재하여 배치된 활성 영역에 형성하고,

상기 고 내압 전계 효과 트랜지스터의 소스용의 제2 도전형의 제11 반도체 영역은, 상기 고 내압 전계 효과 트랜지스터의 채널 영역이 배치되는 활성 영역의 게이트 길이 방향의 다른 쪽의 편측에 상기 분리부를 개재하지 않고서 인접한 상태로 형성하고,

상기 고 내압 전계 효과 트랜지스터의 드레인용의 제2 도전형의 제9 반도체 영역은, 상기 드레인용의 제2 도전형의 제11 반도체 영역과 전 고 내압 전계 효과 트랜지스터의 채널 영역을 전기적으로 접속하도록 형성하고,

상기 저 내압 전계 효과 트랜지스터의 게이트 전극을 형성한 후에, 상기 고 내압 전계 효과 트랜지스터의 게이트 전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 42.

제41항에 있어서,

상기 제17 반도체 영역을, 상기 반도체 기판의 주면으로부터 상기 분리부보다도 깊은 위치까지 연장하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 43.

제36항, 제37항, 제38항 또는 제41항에 있어서,

상기 (a) 공정은,

(a1) 상기 반도체 기판에 홈을 형성하는 공정과,

(a2) 상기 홈을 포함하는 반도체 기판 상에 절연막을 퇴적하는 공정과,

(a3) 상기 홈 밖의 상기 절연막을 제거하고, 상기 홈 내에 상기 절연막을 매립함으로써 홈형의 분리부를 형성하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 44.

제36항, 제37항, 제38항 또는 제41항에 있어서,

상기 (a) 공정은,

(a1) 상기 반도체 기판 상의 활성 영역에 내 산화성 절연막의 패턴을 형성하는 공정과,

(a2) 상기 반도체 기판에 대하여 열 산화 처리를 실시함으로써, 상기 내 산화성 절연막의 패턴이 없는 영역에 절연막을 형성하는 것에 의해, 상기 분리부를 형성하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

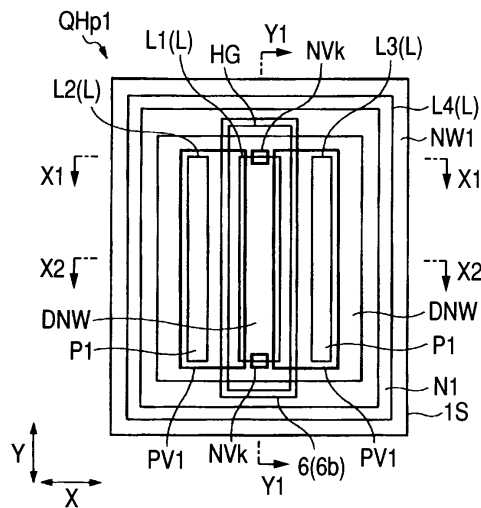
청구항 45.

제41항에 있어서,

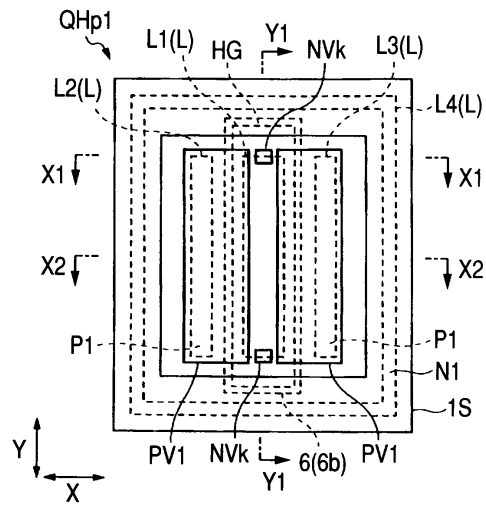
상기 제17 반도체 영역은, 상기 채널 영역의 절반 이상을 차지하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

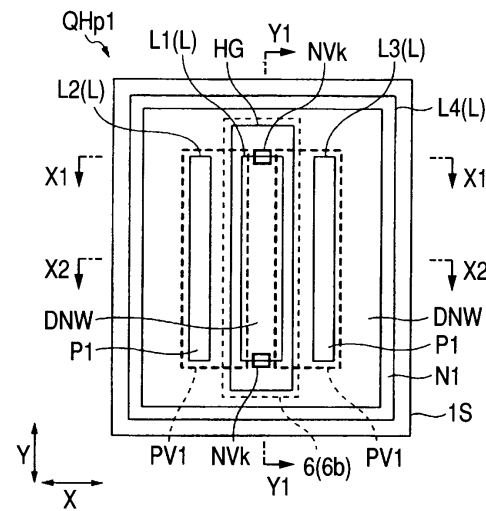
도면1



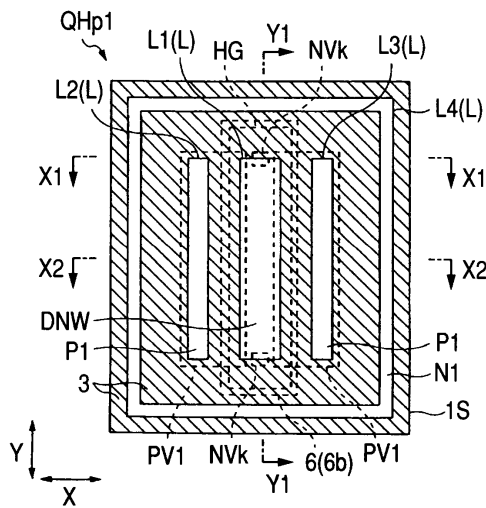
도면2



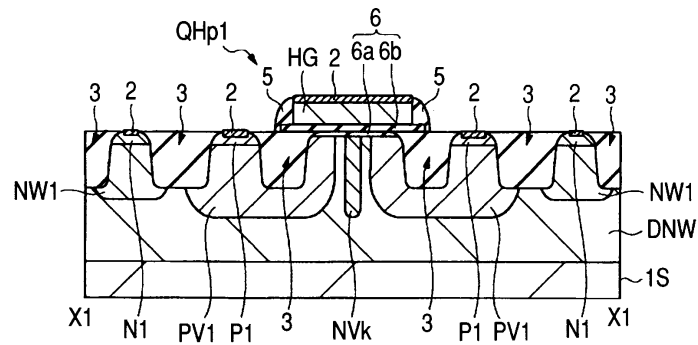
도면3



도면4

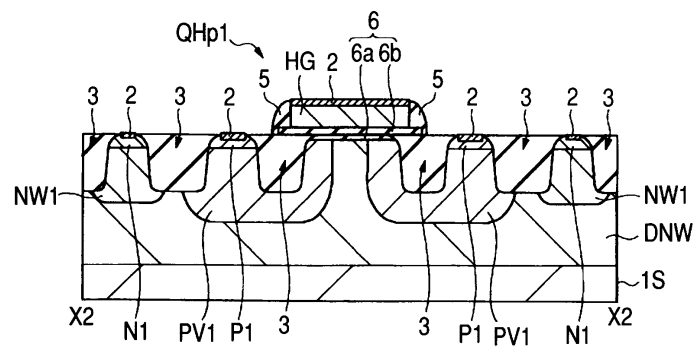


도면5

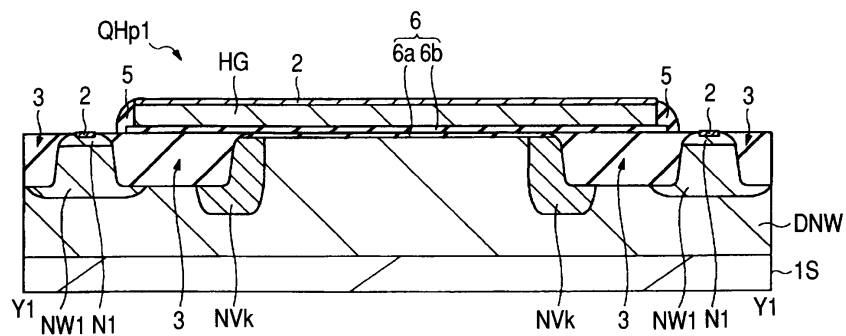


1S : 반도체 기판 QHp1 : 고내압 p 채널형 MIS-FET
 3 : 분리부 PV1 : p-형의 반도체 영역
 6 : 게이트 절연막 P1 : p+ 형의 반도체 영역
 HG : 게이트 전극 NVk : n+ 형의 반도체 영역

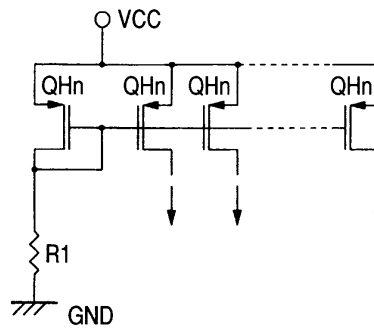
도면6



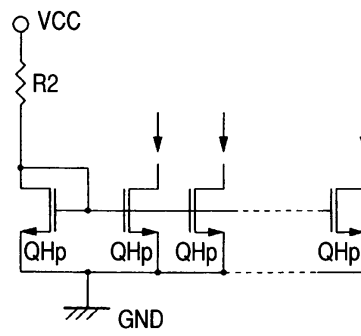
도면7



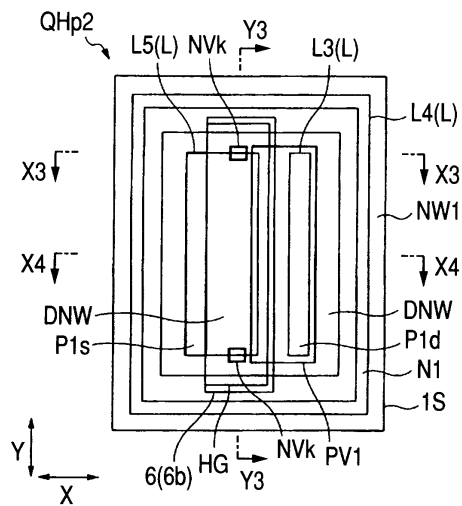
도면8



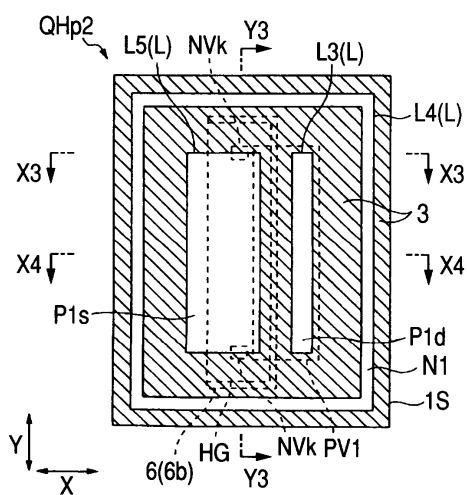
도면9



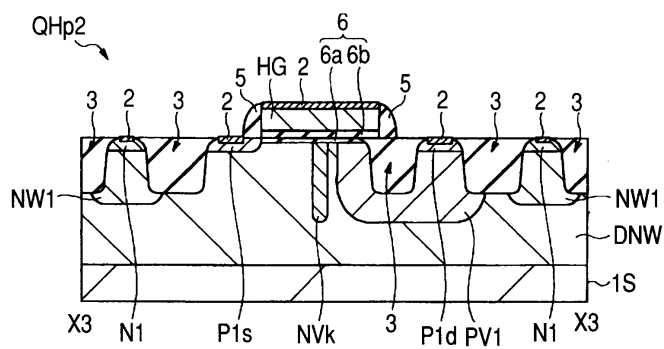
도면10



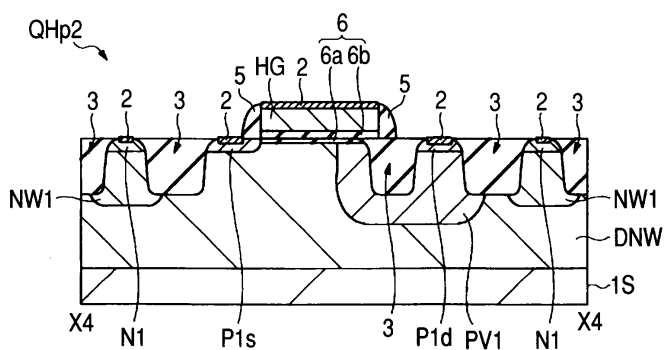
도면13



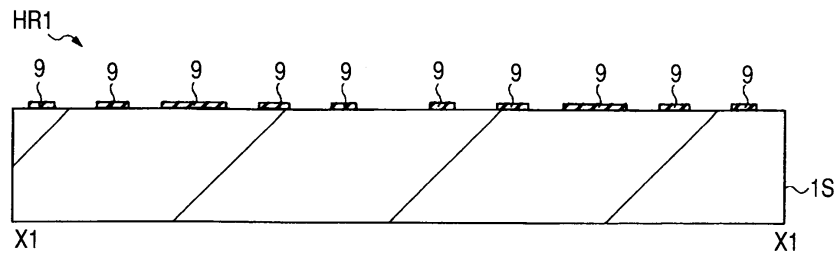
도면14



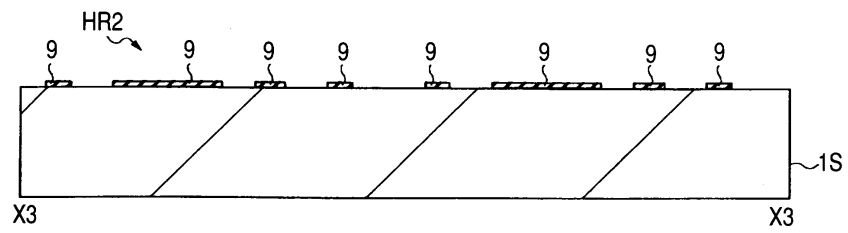
도면15



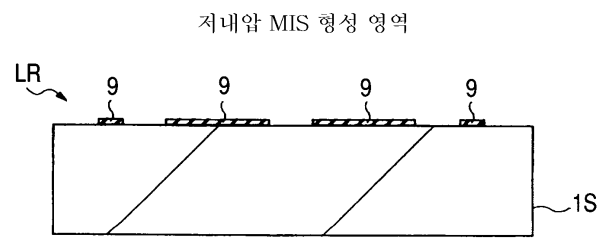
도면16



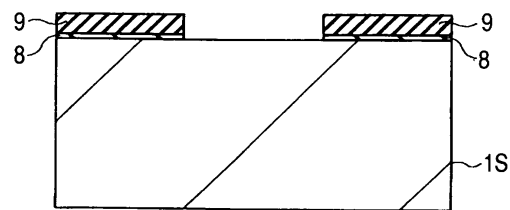
도면17



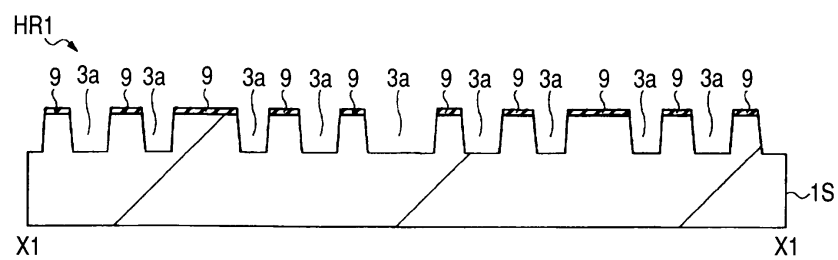
도면18



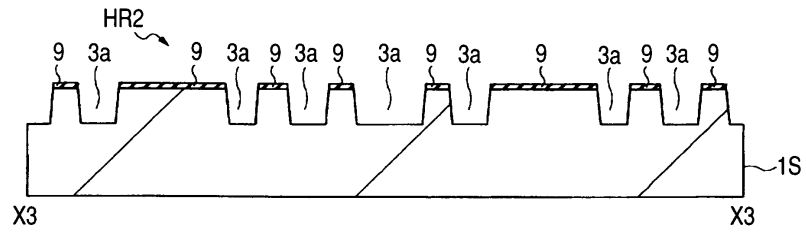
도면19



도면20

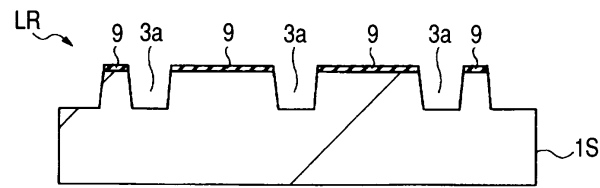


도면21

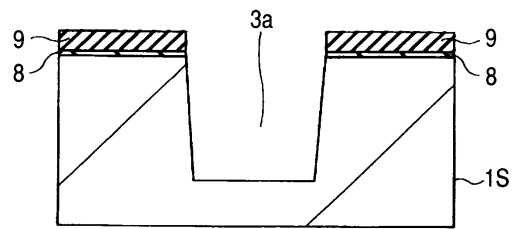


도면22

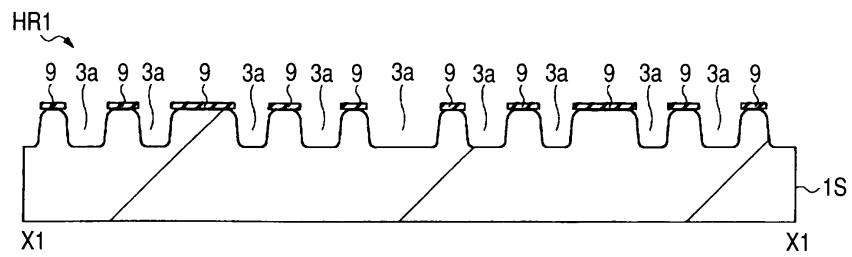
저내압 MIS 형성 영역



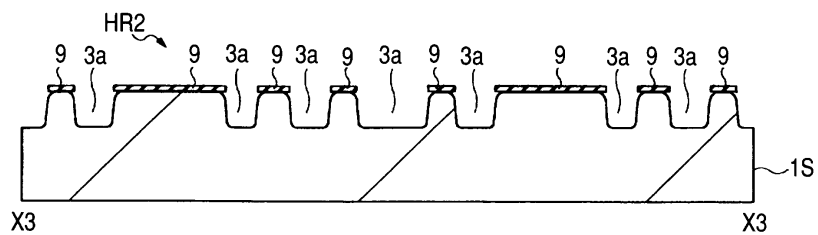
도면23



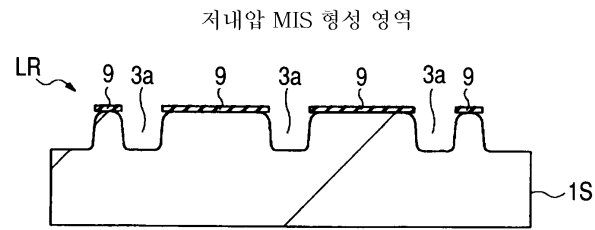
도면24



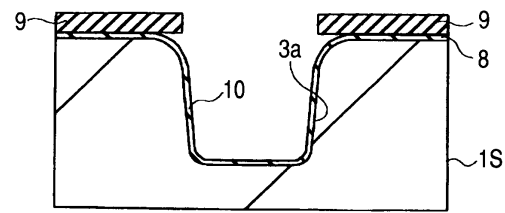
도면25



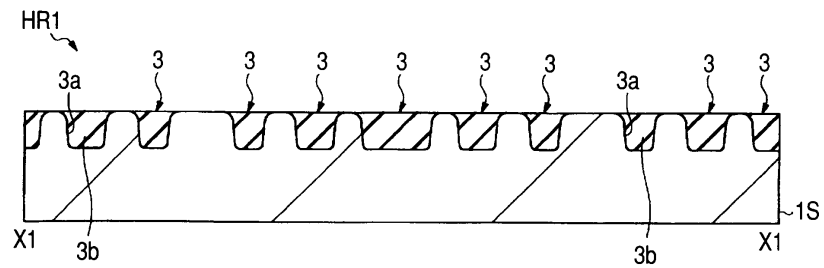
도면26



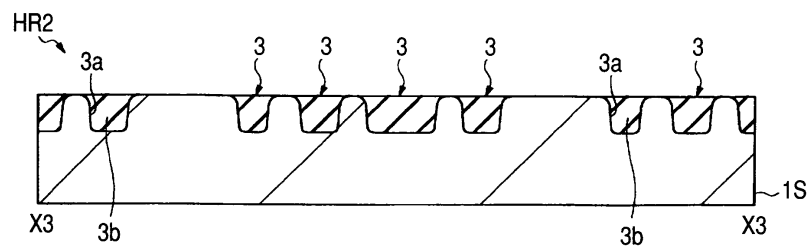
도면27



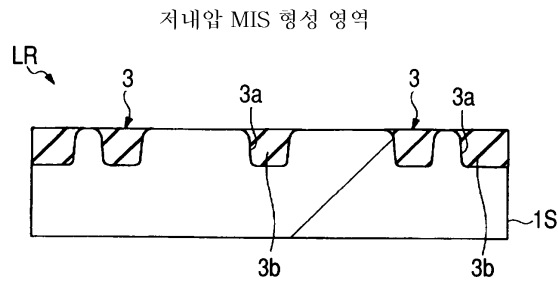
도면28



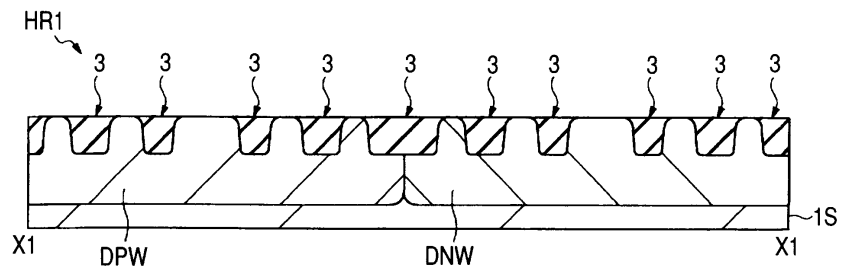
도면29



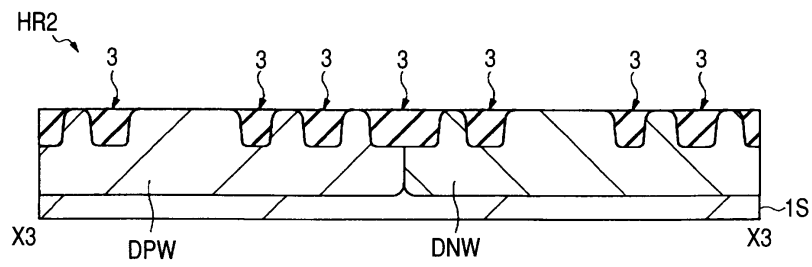
도면30



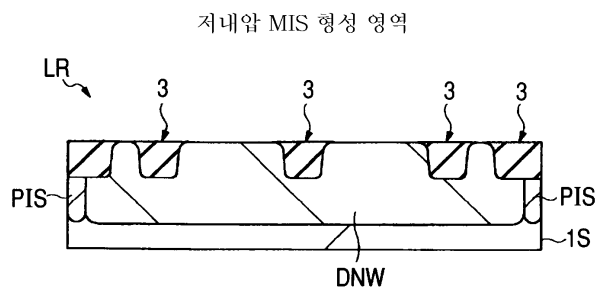
도면31



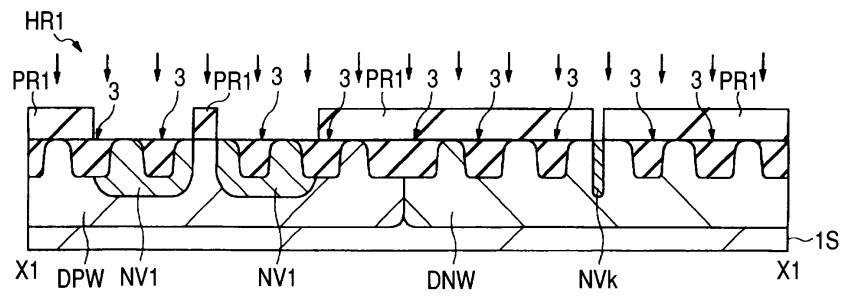
도면32



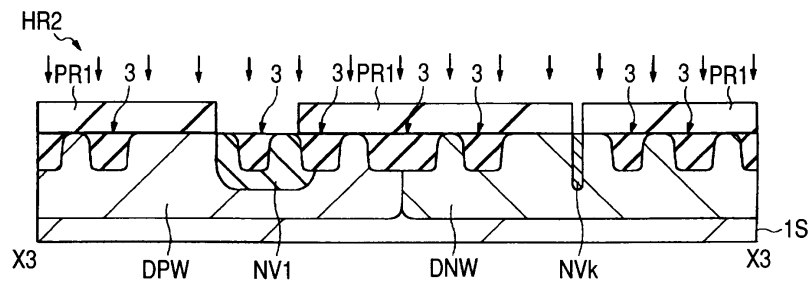
도면33



도면34

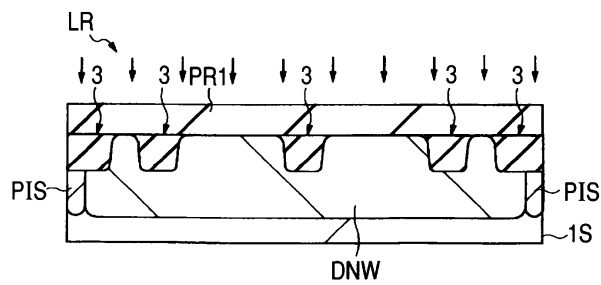


도면35

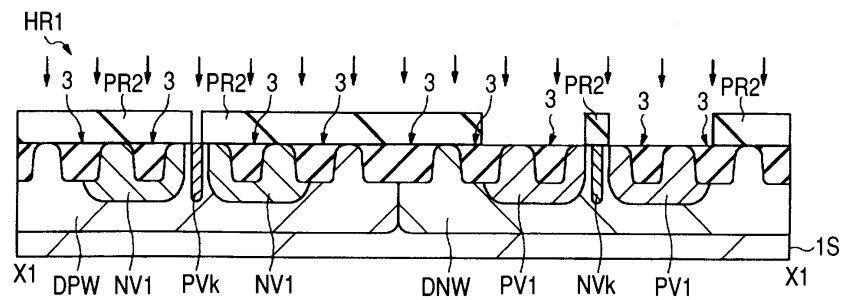


도면36

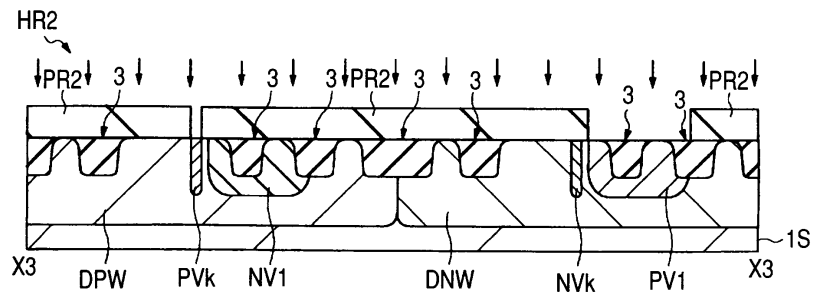
저내압 MIS 형성 영역



도면37

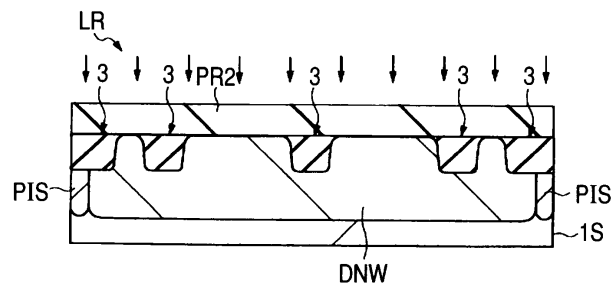


도면38

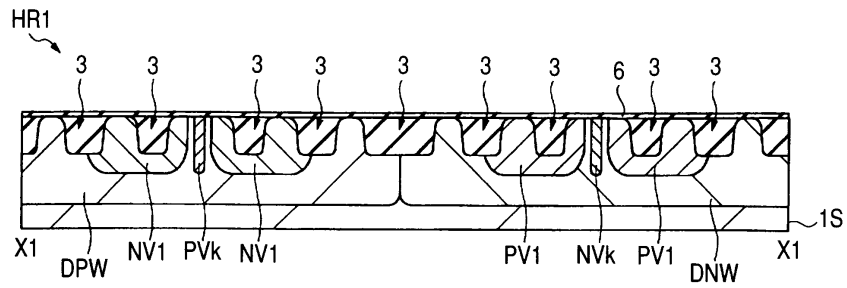


도면39

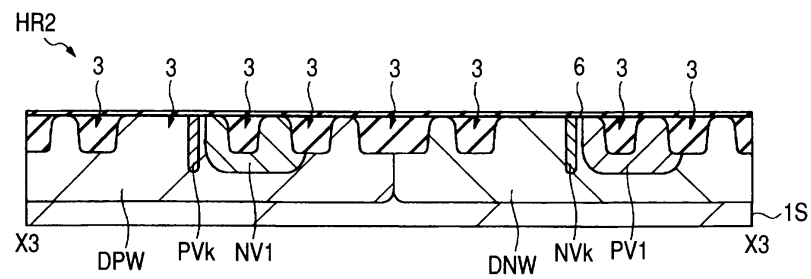
저내압 MIS 형성 영역



도면40

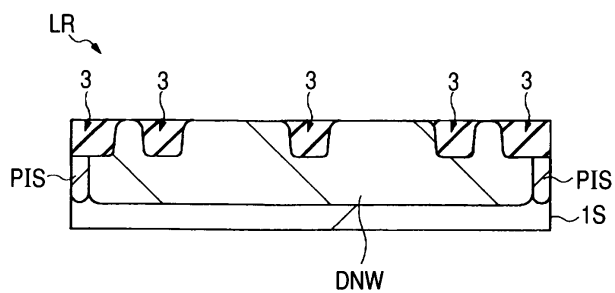


도면41

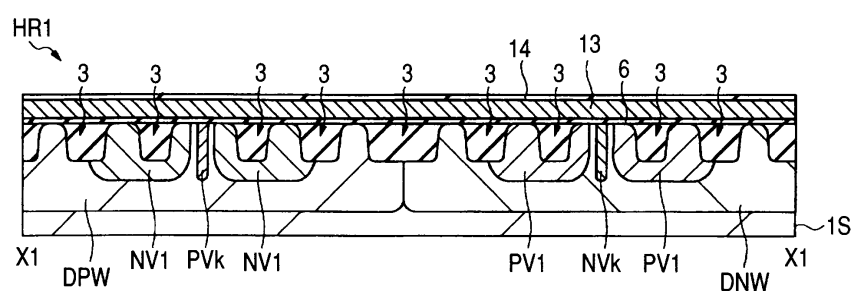


도면42

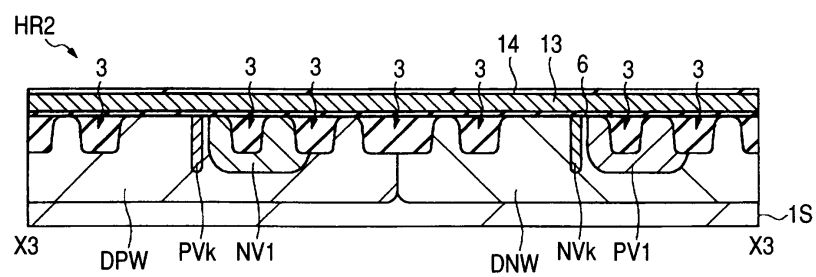
저내압 MIS 형성 영역



도면43

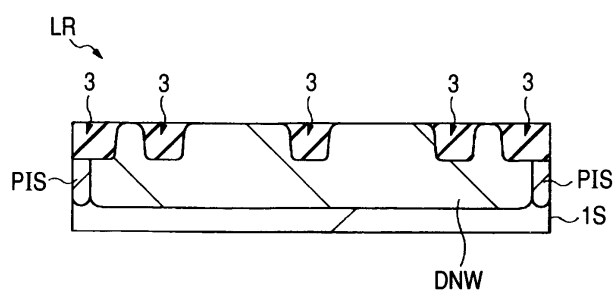


도면44

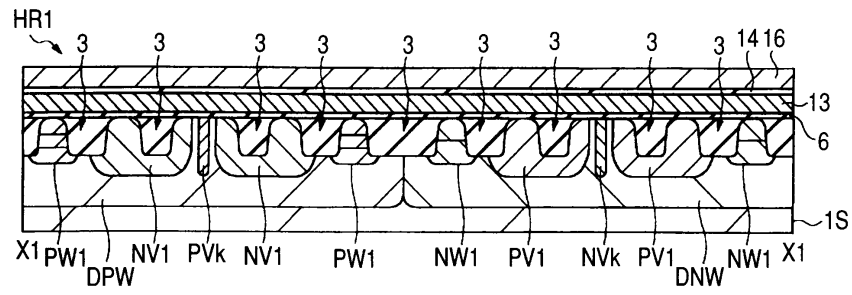


도면45

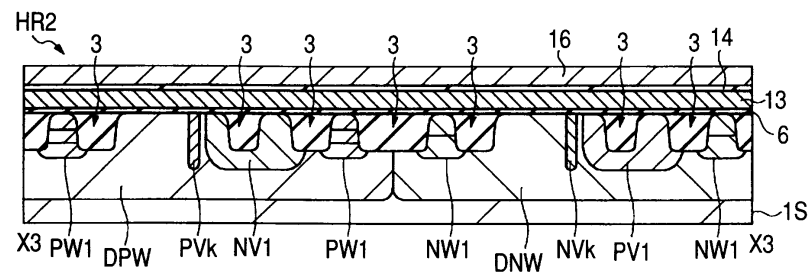
저내압 MIS 형성 영역



도면46

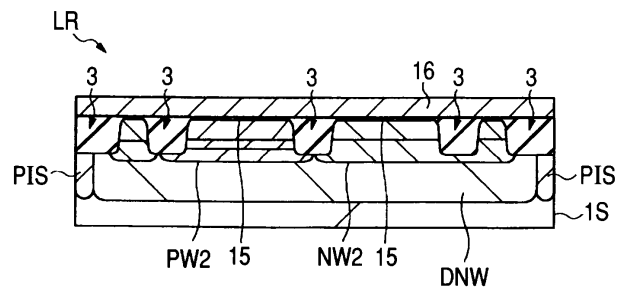


도면47

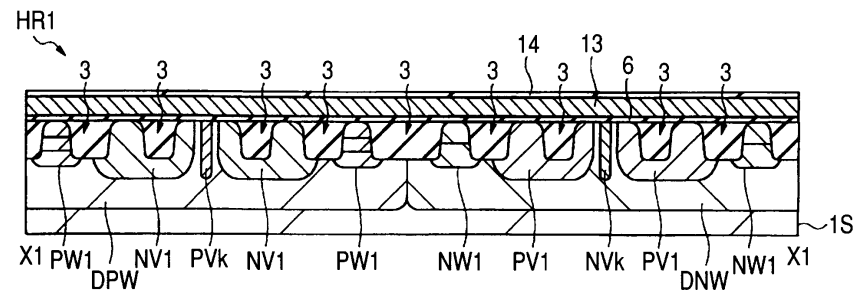


도면48

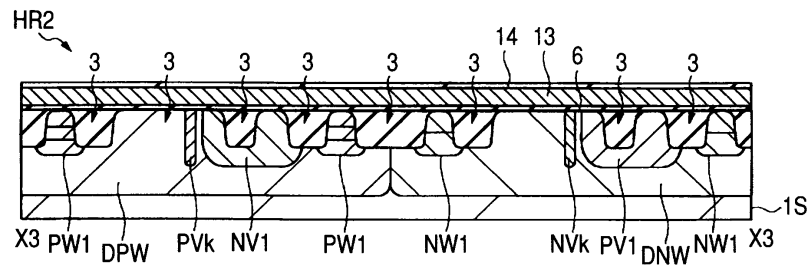
저내압 MIS 형성 영역



도면49

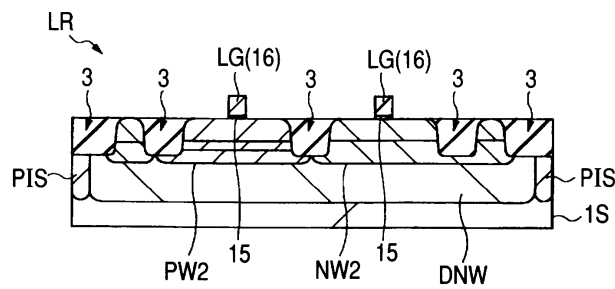


도면50

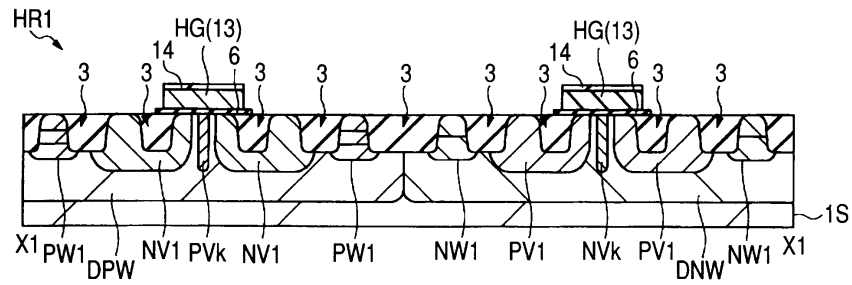


도면51

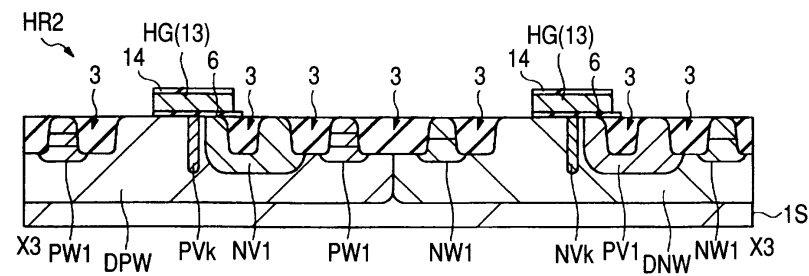
저내압 MIS 형성 영역



도면52

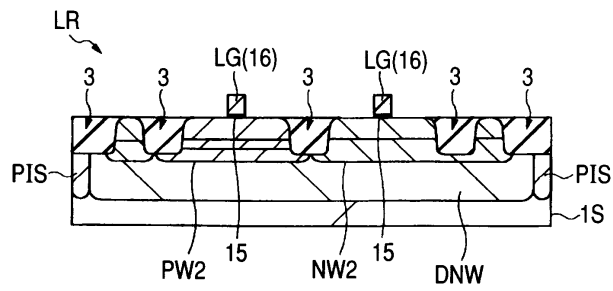


도면53

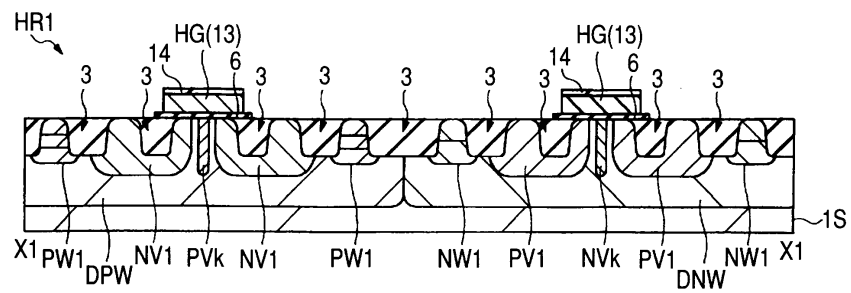


도면54

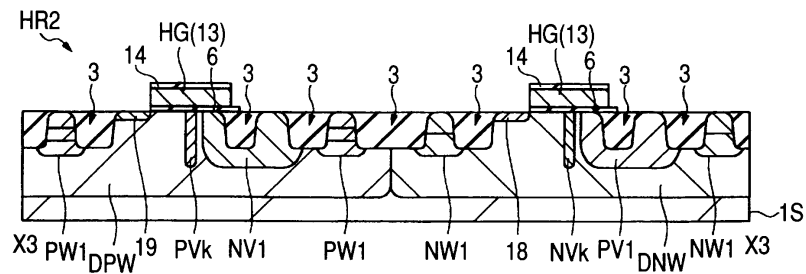
저내압 MIS 형성 영역



도면55

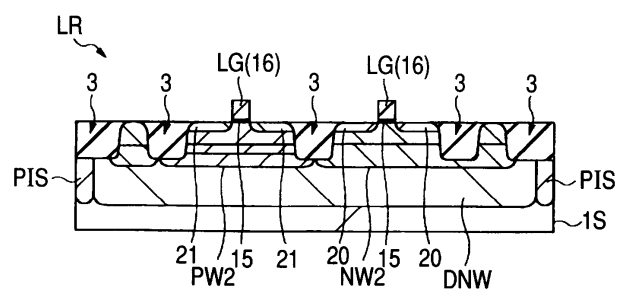


도면56

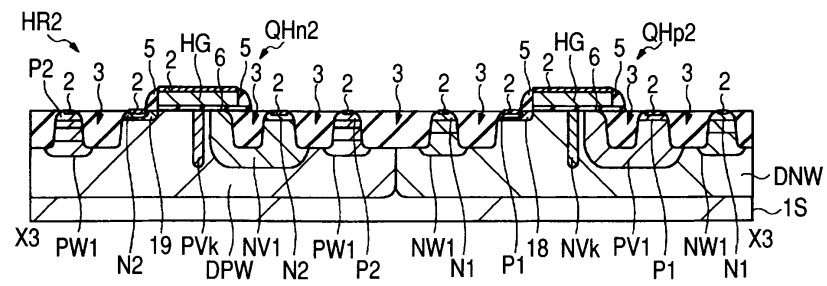


도면57

저내압 MIS 형성 영역

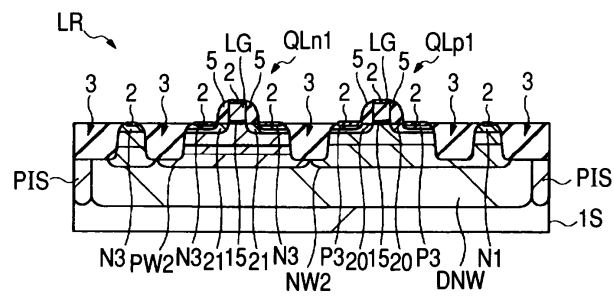


도면62

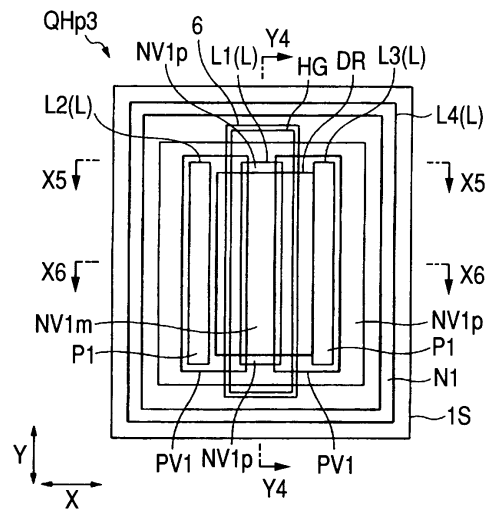


도면63

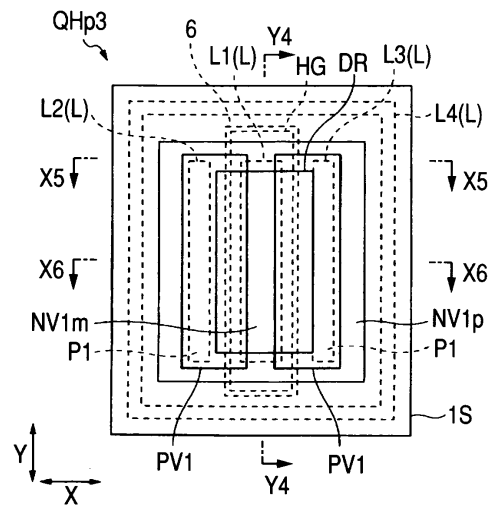
저내압 MIS 형성 영역



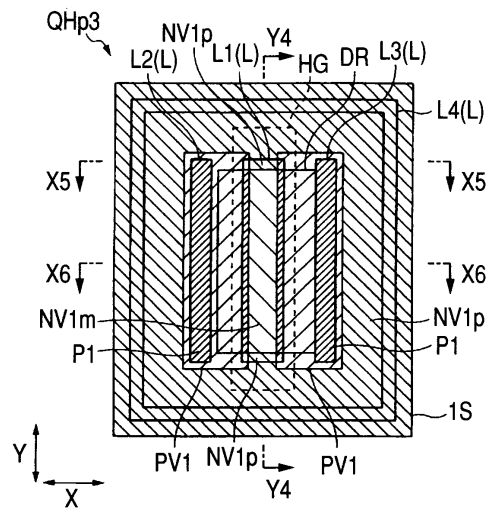
도면64



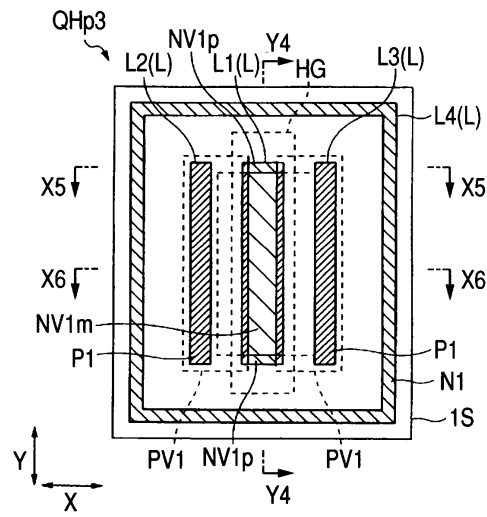
도면65



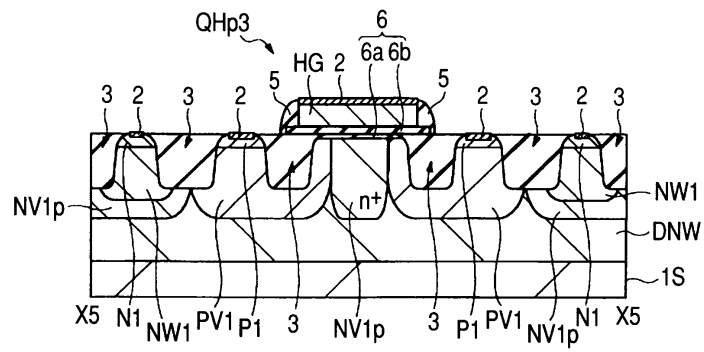
도면66



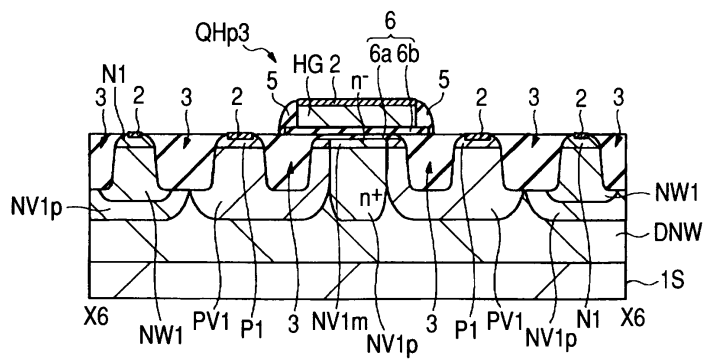
도면67



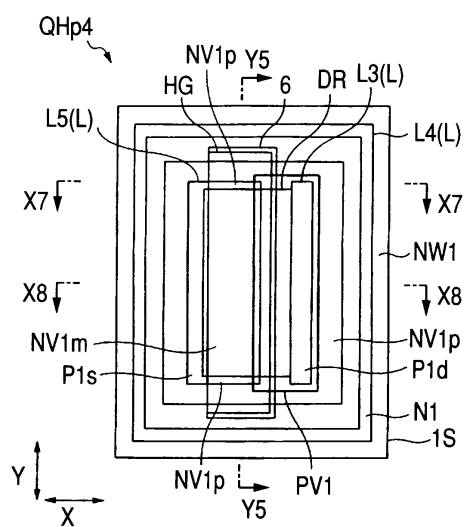
도면68



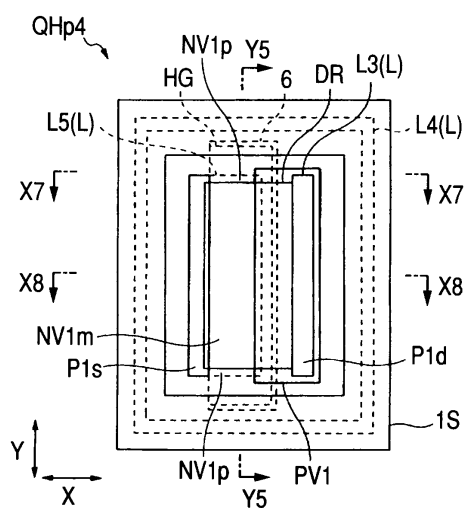
도면69



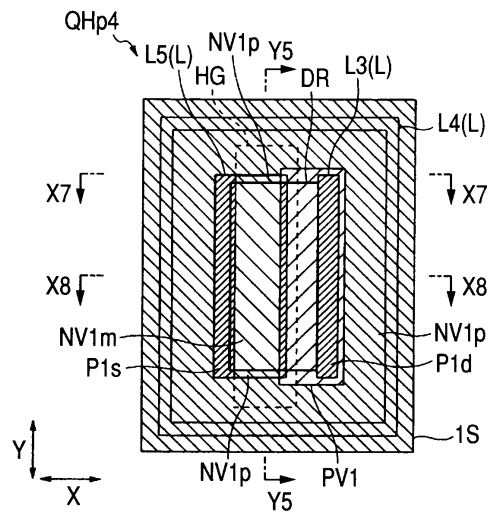
도면72



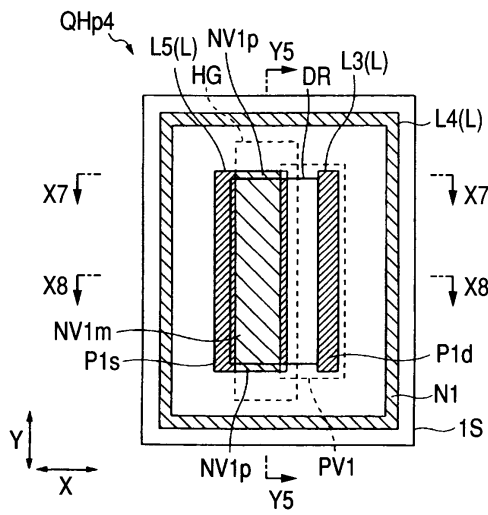
도면73



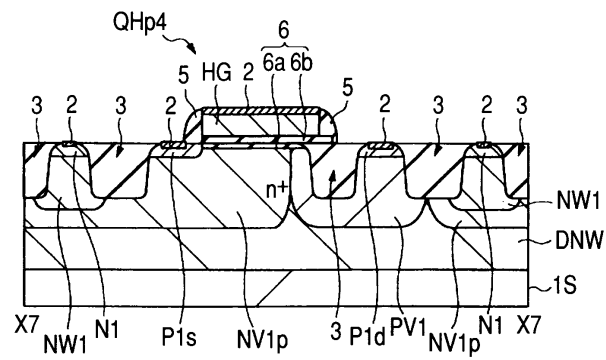
도면74



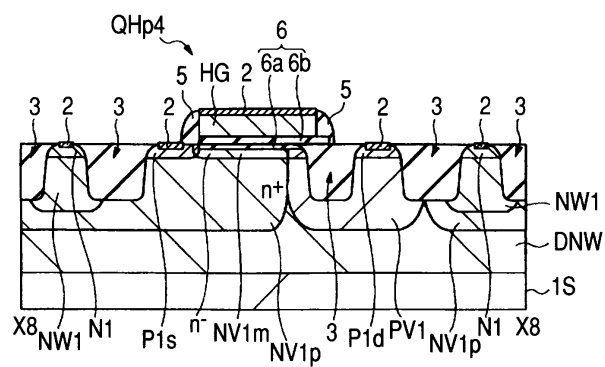
도면75



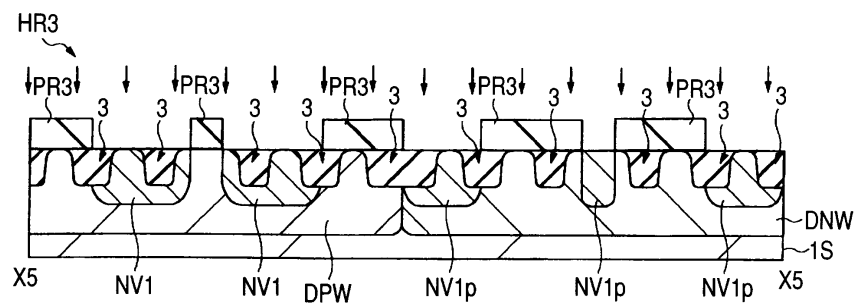
도면76



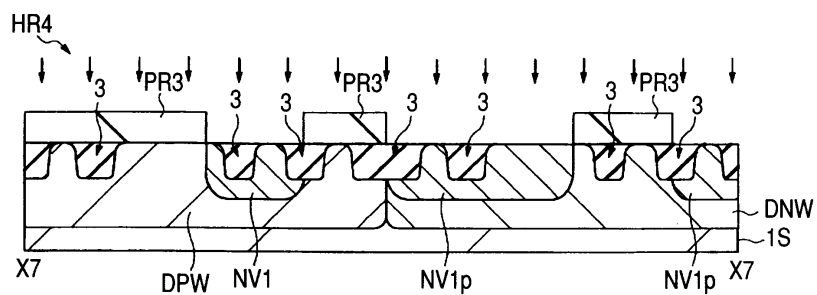
도면77



도면78

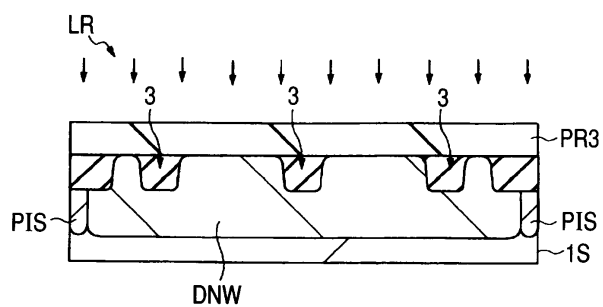


도면79

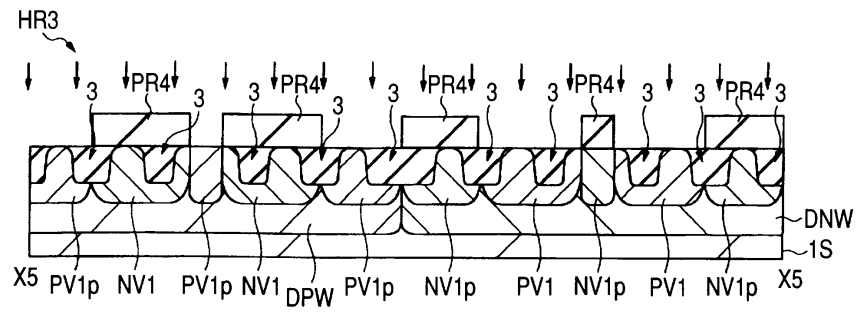


도면80

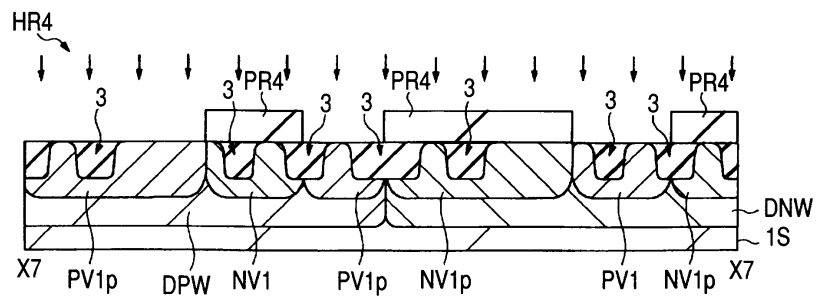
저내압 MIS 형성 영역



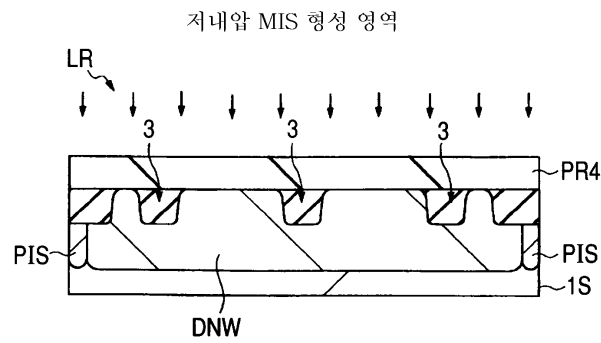
도면81



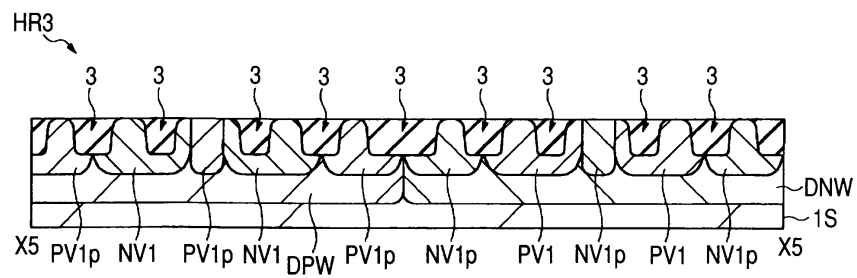
도면82



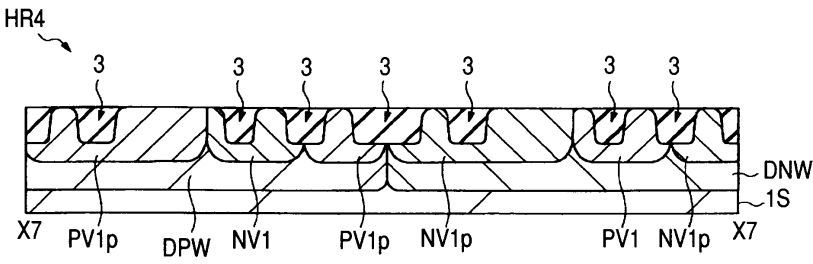
도면83



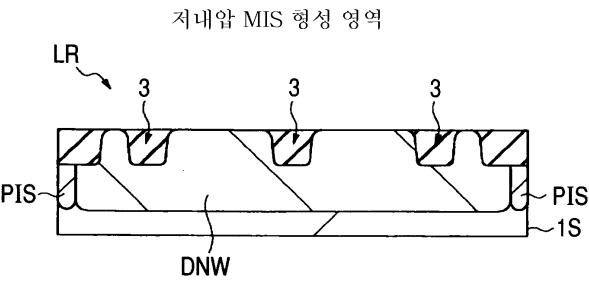
도면84



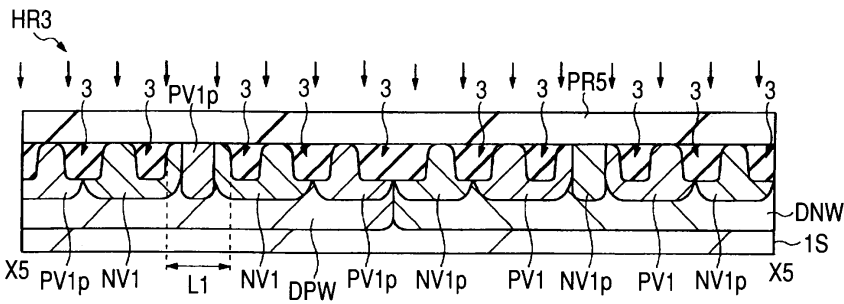
도면85



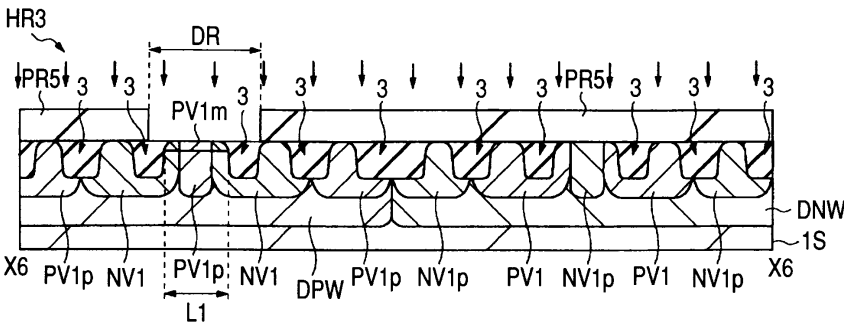
도면86



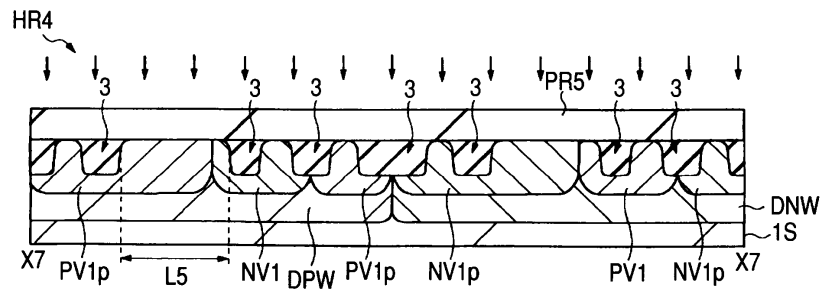
도면87



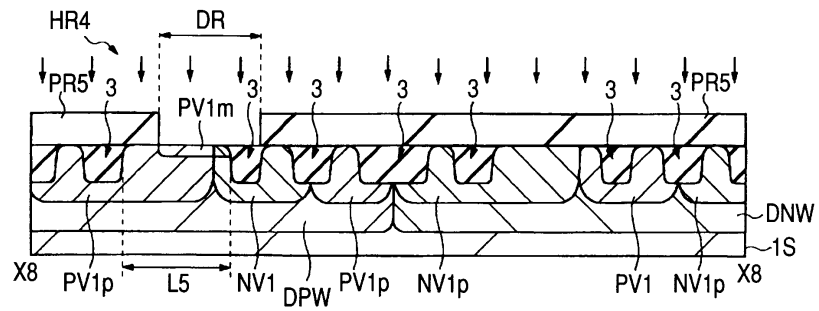
도면88



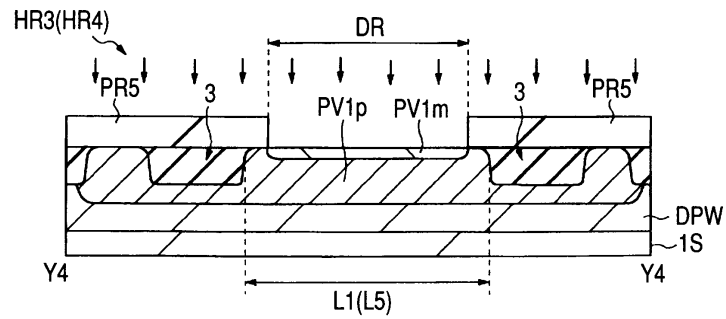
도면89



도면90

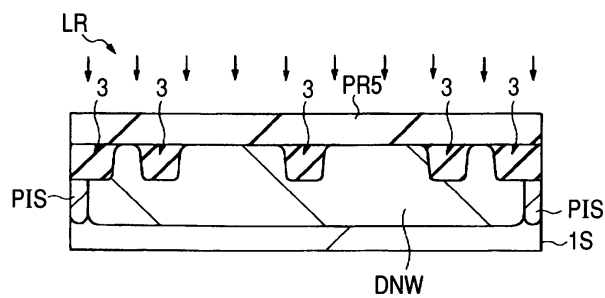


도면91

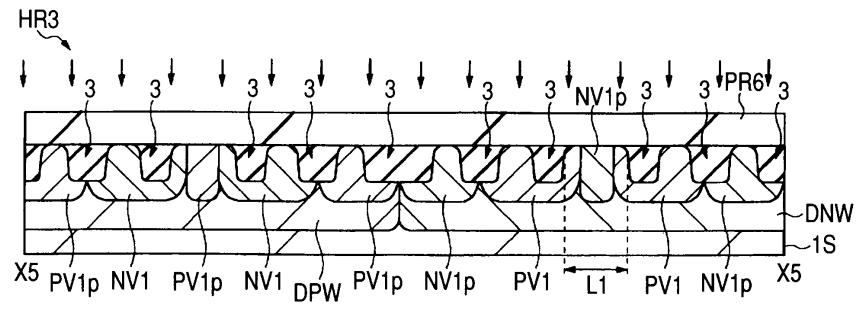


도면92

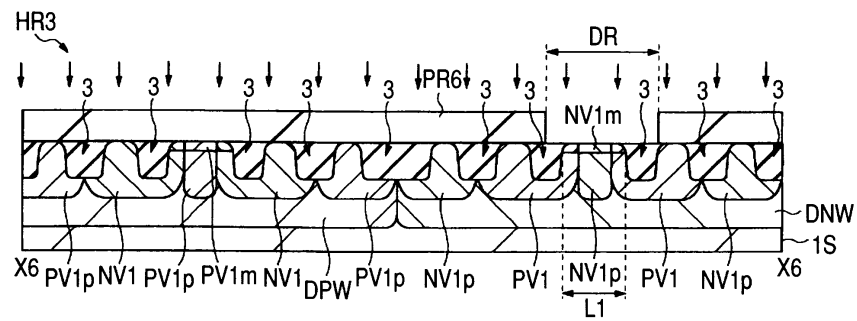
저내압 MIS 형성 영역



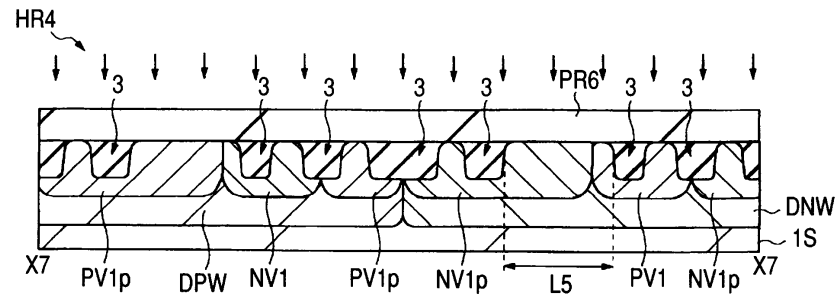
도면93



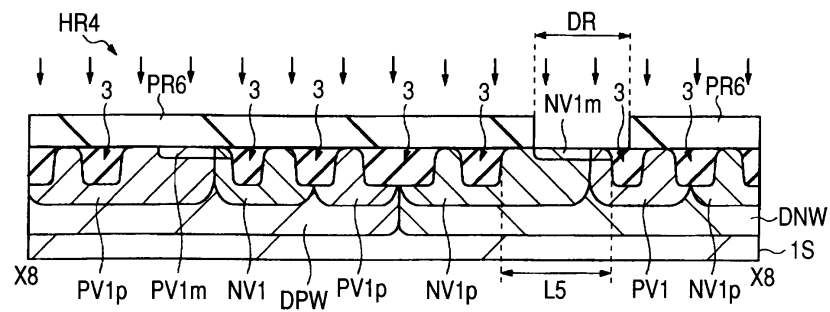
도면94



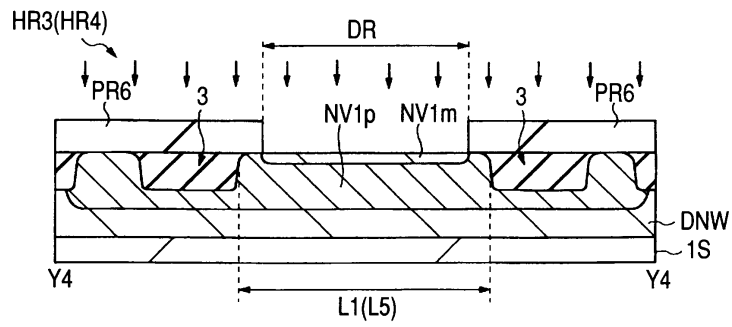
도면95



도면96

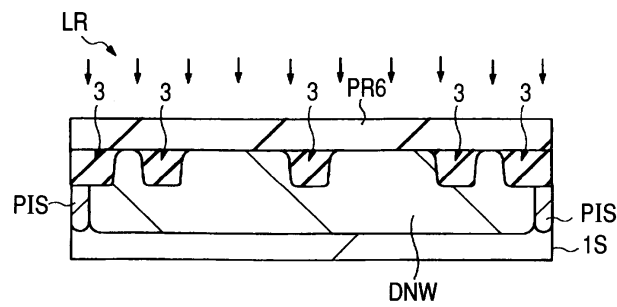


도면97

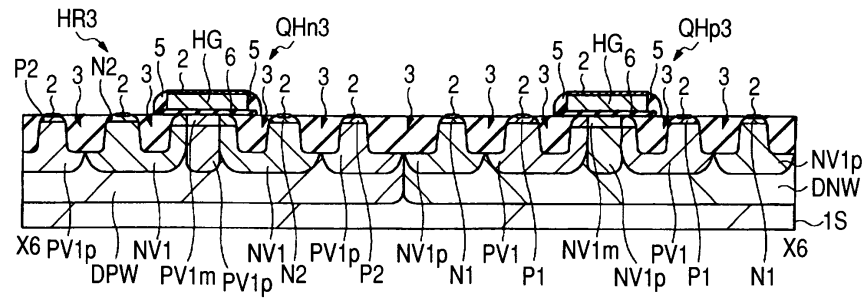


도면98

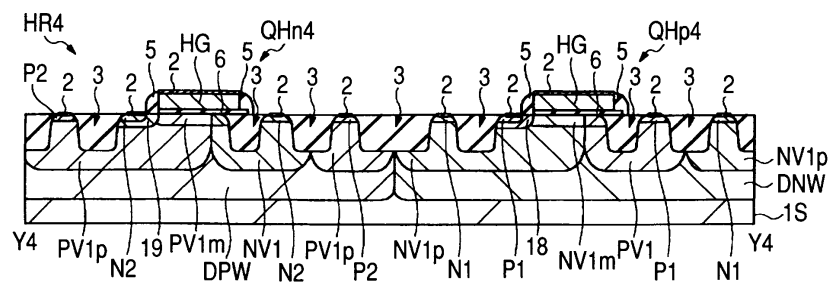
저내압 MIS 형성 영역



도면99

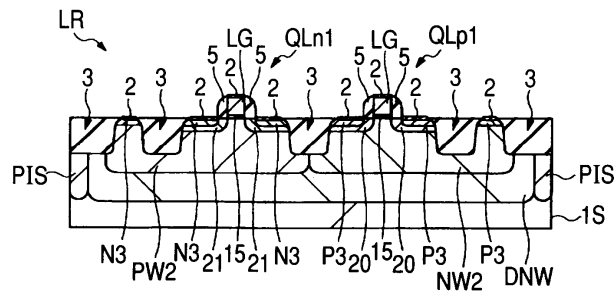


도면100

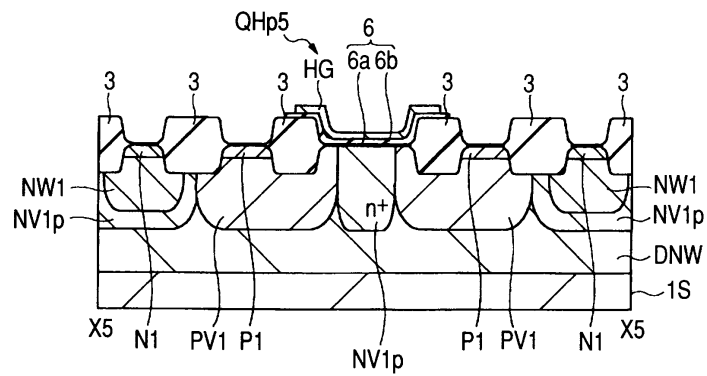


도면101

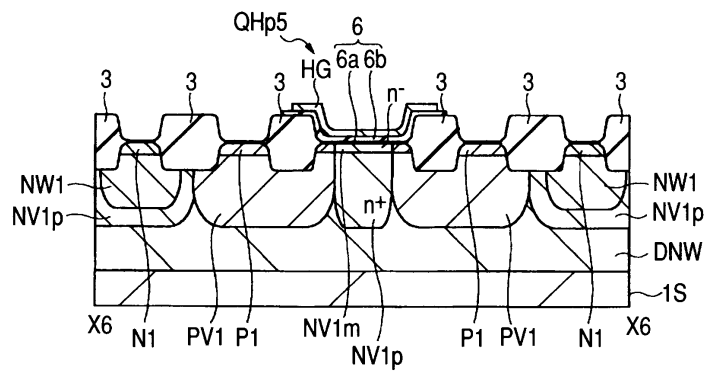
저내압 MIS 형성 영역



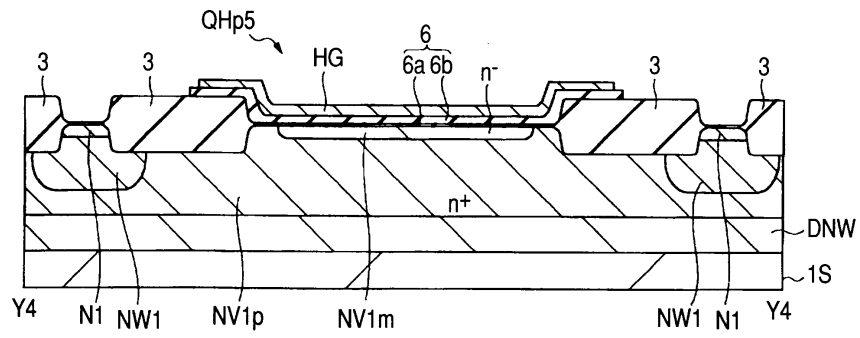
도면102



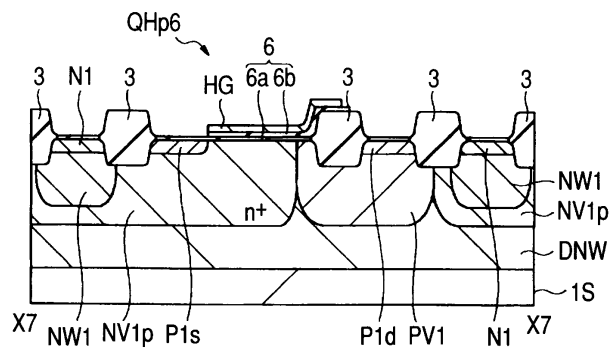
도면103



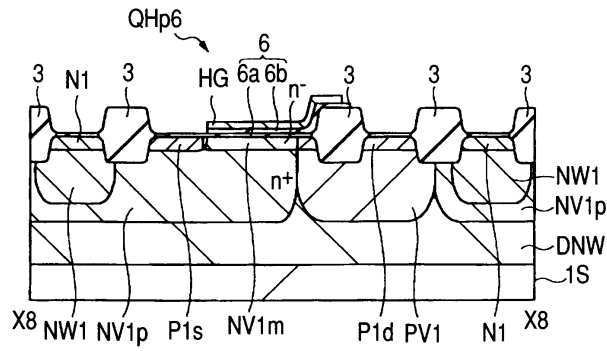
도면104



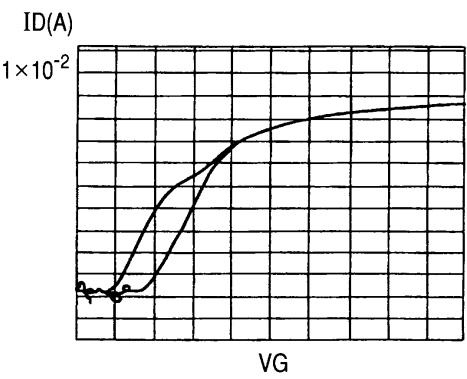
도면105



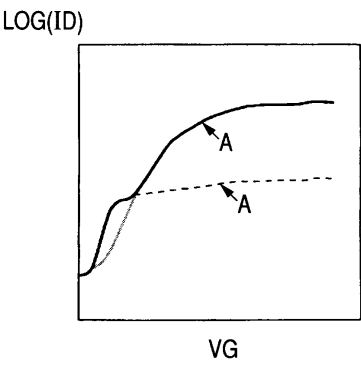
도면106



도면107



도면108



도면109

