(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01J 29/70

(45) 공고일자 2002년10월31일
(11) 등록번호 10-0337695
(24) 등록일자 2002년05월10일

(21) 출원번호 10-1994-0022106
(22) 출원일자 1994년09월02일

(65) 공개번호 특1995-0009873
(43) 공개일자 1995년04월26일

(30) 우선권주장 08/115,612 1993년09월03일 미국(US)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330

(72) 발명자 제임스알버트윌버
미합중국,인디아나,인디아나폴리스,노오스알링톤애비뉴931

(74) 대리인 나영환
이상섭

심사관 : 박영복

# (54) 수직수축모드의수직편향장치

## 요약

한 쌍의 트랜지스터(U01C,U01B)에 의해 형성된 차동 증폭기는 수직 톱니파 신호(VRAMP1)를 수직 편향 증폭기의 입력단에 접속시킨다. 트랜지스터쌍의 비선형성은 수직 방향으로 S 보정을 제공한다. 트랜지스터쌍의 전류는 수직 높이가 조정된 경우에 서비스 동작으로 바뀌어서 비선형성이 변화된다. 수직 수축 동작 모드에서 톱니파 신호의 진폭은 감소된다. 수직 수축 모드에서의 소정 수직 위치에 대응하는 톱니파 신호의 소정 레벨에 따른 비선형성(VRAMP1/VSAW의 비)은 수직 비수축 모드에서의 톱니파 신호의 동일 레벨에 따른 비선형성과 동일하다.

## 대표도
도 1b

## 명세서

## 도면의 간단한 설명

제1a도 내지 제1c도는 수직 편향 회로에 대한 본 발명의 실시예를 도시하는 회로도.

제2a도 내지 제2e도는 제1a도 내지 제1c도에 도시하는 회로 배치의 타이밍 기능을 설명하는데 유용한 이상화된 파형을 도시하는 도면.

제3a도 내지 제3f도는 상부 패닝을 설치했을 경우, 제1a도 내지 제1c도에 도시하는 회로 배치에 대한 동작을 설명하는데 유용한 파형을 도시하는 도면.

제4도는 S자 보정을 제공하는 제1b도의 차동 증폭기 이득이 입력 전압의 함수로서 변화하는 과정에 대한 그래프.

제5도는 제1b도의 회로 배치에 있어서 수직 위치의 함수로서 선형성 오차가 변화하는 과정에 대한 그래프.

제6도는 S자 보정이 제공되지 않은 경우의 선형성 오차 변화에 대한 그래프.

제7도는 2개의 화상의 일부분이 절취된 것을 보여주는 것으로서, 종횡비가 16×9인 표시 장치에서 종횡비가 4×3인 2개의 화상을 표시하는 수직 수축 모드로 동작하는 음극선관 스크린을 도시하는 도면.

제8도는 제7도에 도시된 화상을 얻기 위해 제1a도 내지 제1c도의 회로 배치를 포함하는 텔레비전 수상기 배치에 대한 블록도.

< 도면의 주요 부분에 대한 부호의 설명 >

10a : 마이크로프로세서

10a1, 10a2 : 디지탈/아날로그 변환기

11a : 편향 증폭기

22 : 음극선관

100 : 톱니파 신호 발생기

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 영상 표시 장치 편향 장치에 관한 것이다.

사이드 바이 사이드 픽처(side by side picture)는 특히 폭이 넓은 스크린 표시 장치를 갖는 텔레비전의 큰 특징이다. 이러한 텔레비전에서는 2개의 프로그램을 동일한 사이즈의 픽처로 동시에 시청할 수 있기 때문에, 제2의 부화상이 주화상에 중첩되어 주화상에 비해 매우 작은 표시 영역을 갖는 픽처 인 픽치 형식(picture-in-picture format)보다 훨씬 더 큰 즐거움을 줄 수 있다. 그러나, 화상의 종횡비 왜곡을 방지하기 위해서는 대상의 상당한 부분이 절취될 가능성이 있기 때문에, 폭이 넓은 스크린 표시 장치의 경우에도 사이드 바이 사이드 픽처 표시 형식은 문제가 생길 가능성이 있다.

본 발명의 일특징에 따른 영상 표시 장치에서, 영상 표시 장치의 수직 편향 각도는 사이드 바이 사이드 표시 모드에서 동작할 때에 화상의 종횡비 왜곡을 감소시키기 위하여 축소된다. 이러한 수직 편향 각도의 축소는 수직 편향시에 수직 편향 전류의 진폭을 축소시킴으로써 이루어진다. 본 명세서에서는 수직 편향 각도의 축소를 수직 수축 모드라고 한다.

CRT 디스플레이 스크린의 전체 높이의 대부분이 화상 표시를 위해 사용되는 통상의 동작 모드와 상술한 사이드 바이 사이드 표시 모드를 제공하기 위해 편향각도를 축소시키는 수직 수축 모드의 2가지 모드 모두에서, 수직 편향 전류에 S자 보정을 제공하는 것이 바람직하다.

비선형 이득을 갖는 한 쌍의 트랜지스터로 형성되는 차동 증폭기는 윌버(Wilber)에게 허여된 " S자 보정을 수반하는 수직 편향 배치(A VERTICAL DEFLECTION ARRANGEMENT WITH S-CORRECTION)" 라는 명칭의 미국 특허 제5,229,692호에 개시되어 있다. 상기 차동 증폭기는 수직비 톱니파 신호를 수직 편향 권선에 결합하여, S자 보정을 제공하는 방법으로 편향 전류에 비선형성을 일으킨다. 예컨대, 서비스 동작 중에, 픽처 높이 조정은 톱니파 신호의 진폭을 변화시킴으로써 이루어진다. 픽처 높이를 조정함으로써 증폭기의 이득 비선형성은 다른 픽처 높이 조정 설정에 대하여 톱니파 신호의 소정의 순간값에서 상이하게 될것이다. 증폭기의 이득 비선형성의 변동은, 다른 경우에 픽처 높이의 조정의 결과로부터 얻어지는 편향 전류의 비선형성의 변화를 감소시킨다.

사이드 바이 사이드 표시 모드로 동작시키기 위한 편향 전류의 진폭을 축소하여, S자 보정을 이루기 위해 차동 증폭기를 형성하는 트랜지스터쌍의 비선형성을 이용하는 것이 바람직하다. 또한 사이드 바이 사이드 표시 모드와 CRT 높이 전체가 표시 목적으로 이용되는 통상의 동작 모드에서, 톱니파 신호의 소정의 순간값에서 차동 증폭기의 이득 비선형성이 영향받지 않도록 유지하는 것이 바람직하다.

본 발명의 일특징에 따른 영상 편향 장치는, 음극선관과, 상기 음극선관의 네크에 장착된 수직 편향 권선을 구비한다. 톱니파 신호 발생기는 제1 수직 크기 제어 신호에 따라 수직 비수축 동작 모드를 제공하기 위한 제1 진폭과, 수직 수축 동작 모드를 제공하기 위한 제2 진폭의 제1 톱니파 신호를 발생한다. 편향증폭기는 톱니파 신호에 따라 편향 권선에 수직 편향 전류를 발생하며, 상기 수직 편향 전류는 톱니파 신호에 따라 음극선관 표시 스크린상에서 전자빔의 수직위치를 변화시킨다. 비선형 장치는 톱니파 신호 발생기에 결합되어, 수직 S자보정을 이루기 위해 비선형 방식으로 톱니파 신호를 변화시킨다. 상기 비선형 장치에 의해 톱니파 신호에 나타난 비선형성은 수직 수축 모드와 비수축 모드 모두의 소정의 수직 위치에서 동일하다.

제1b도에 상세하게 도시하는 수직 편향 회로(286)의 톱니파 발생기는, 제1a도에 도시하는 바와 같이, 마이크로프로세서와 귀선 트리거 배치를 통하여 화상이나 픽처의 높이와 중심 위치에 관해 제어되어, 제1c도에 도시하는 바와같이, 출력단을 통하여 수직 편향 코일이나 권선(Ly)에 결합된 수직 편향전류(iy)를 발생한다. 모든 도면에서 대응하는 신호나 장치 또는 기능에는 동일한 도면 부호 또는 기호를 사용한다.

제1a도의 수직 동기 신호(SYNC)는 수직 타이밍 발생기(10)에 결합된다. 동기신호(SYNC)는 예컨대, NTSC 표준 규격을 따르는 기저대역 텔레비전 수상기 신호(SNTSC)를 처리하는 텔레비전 수상기의 영상 검파기(9)에 의해 발생된다. 수상기 신호(SNTSC)내의 등기 신호(SYNC)의 연속적인 발생 사이의 경과 시간은, 소정의 픽처 화상 또는 필드를 정하는 262 1/2개의 수평 영상 라인 간격과 동일한 수직 간격을 차지한다. 발생기(10)는 제1a도에 도시된 마이크로프로세서 (10a)를 구비하며, 마이크로프로세서(10a)는 수직 사이클 동기 펄스 신호(A)를 발생하여 수직 리셋을 트리거한다.

제2a도 내지 제2e도는 제1a도 내지 제1c도의 회로 동작 설명에 유용한 파형을 도시한다. 제1a도 내지 제1c도와 제2a도 내지 제2e도의 동일한 기호와 부호는 동일한 장치 또는 기능을 나타낸다.

제1a도에 도시되어 있지 않은 예컨대, 원격 제어 장치를 통한 사용자 제어에의해 제1a도의 마이크로프로세서(10a)는 제2e도에 도시하는 펄스 신호(SYNC)에 대하여 제어 가능한 양(TD)만큼 지연되는 펄스 신호 (A)를 발생한다. 동기신호(SYNC) 펄스에 대하여 수직 리셋의 발생을 지연시킴으로써, 마이크로프로세서(10a)는 스크린상의 픽처의 패닝(p

anning)을 제어한다. 이러한 지연은, 예컨대 상부 패닝용의 동기 신호(SYNC) 발생 사이의 수직 간격 중에서 짧은 부분이 되거나, 하부 패닝에 대한 최대한의 간격 보다는 짧지만 비교적 긴 부분, 또는 그 사이의 것 중 어느 것이라도 좋다. 제2a도의 펄스 신호(A)가 지연되는 양은 사용자에 의해 요구되는 패닝의 정도에 따라서 변화한다.

제1a도의 신호(A)는 저항(R73)을 통해 펄스 스트레처(Pulse stretcher) 플립플롭(U07)의 트리거 입력에 결합되어 수직 리셋 신호(VRESET)를 발생한다. 트랜지스터(Q04)에 의해 입력 신호(D)와의 OR 논리 연산이 이루어져 줌 동작 모드에서 수직 리셋 신호(VRESEST)의 타이밍을 제어한다. 트랜지스터 (Q04)의 베이스는 제1c도에 따라 발생된 입력 신호(D)에 접속되며, 상기 입력 신호는 오차 전류 표시 신호(IERROR)에서 발생한다. 오차 전류 표시 신호(IERROR)는 수직 출력단에 전압을 공급하는 전원 장치에서 발생하는 평균 수직 편향 전류와 기준 전류 레벨간의 차이를 나타낸다.

아래에 자세히 설명하는 바와 같이, 오차 전류 표시 신호(IERROR)는 수직 블랭킹 펄스(B)의 수직 상승 엣지로, 신호(D)로 표시하는 램프 입력 전압을 공급한다(제2b도, 제2d도 및 제3e도 참조) 신호(D)의 램프 입력 전압이 원-샷(one-shot)(U07)의 트리거 입력의 임계값에 도달한 경우, 신호 라인(C)에서 수직 리셋 신호(VRESET)가 발생한다. 제2c도에 도시하는 펄스 신호(VRESET)의 수직 상승 엣지(LEVRESET)는 수직 귀선(vertical retrace)을 시동한다. 수직 귀선은 전원에 의해 생성되는 편향 전류와 기준 레벨의 차를 함수로 하여 시간적으로 전후하여 생기도록 제어된다. 이 회로는, 수직 편향 전류가 그 극값으로서 수직 소인(vertical trace)에 따르는 시간을 등가화함으로써, 회로는 반전원 배치(half supply arrangement)의 DC 전류 부하를 가장 작게 한다. 이 회로는, 줌량의 변화와 수직 소인 램프의 대응하는 경사 변화로 인한 변화, 즉 수직 소인 램프의 후단부와 입력 영상 신호에서의 다음 번 동기 신호(SYNC)의 발생 사이의 시간 간격의 변화에 적응적으로 응답한다.

수직 리셋 신호(VREST)의 하강 에지(TEVRESET) 직후에, 제1b도의 트랜지스터 (UO1A)는 비도통 상태가 된다. 전압-전류(V/I) 변환기(21)의 트랜지스터(UO6A)의 콜렉터를 흐르는 DC 전류(IURAMP)는, 커패시터(CO3)를 충전시켜 제1b도에 도시하는 수직 편향 톱니파 신호(VSAW)의 소인부(TRACE)를 정하는 전압 램프를 발생한다. 수직 편향 톱니파 신호(VSAW)의 램프 부분(TRACE)의 기울기는, 트랜지스터(UO6A)의 제어 가능한 콜렉터 전류(IURAMP)의 크기에 의해 결정된다.

전압-전류 변환기(21)는 화상 스케일 배율 제어 신호로 기능하는 아날로그전압(ZOOM)에 의해 제어된다. 상기 아날로그 전압(ZOOM)은, 제1a도에 도시하는 바와 같이, 마이크로프로세서(10a)에 결합된 디지탈-아날로그(D/A) 변환기(10al)에 의해 발생된다. 아날로그 전압(ZOOM)은, 사용자에 의해 요구되는 줌량을 나타내고, 제1c도에 도시하는 바와 같이, 수직 편향 권선(Ly)에 인가되는 수직 편향 전류(iy)의 변화율을 바꾸기 위한 회로에 설치된다.

제1b도의 아날로그 전압(ZOOM)은, 제1b도의 저항(R49)을 통하여 전류 제어 트랜지스터(Q07)의 에미터에 결합된다. 전위차계(도시되지 않음)를 사용하여 수동조정할 수 있거나, 마이크로프로세서(10a)의 제어로 조정할 수 있는 가조정 전압 (V-SIZE)은, 저항(R22)을 통해 픽처 높이의 서비스 조정용의 트랜지스터(Q07)의 에미터에 결합된다. 또한, +12V 의 DC 전원 전압은, 저항(R21)을 통해 트랜지스터 (Q07)의 에미터에 결합된다. 트랜지스터(Q07)의 베이스는, 그 순방향 바이어스 전압과 동일한 온도 보상 베이스 전압을 발생하는 다이오드(CR02)에 접속된다. 저항(R21, R22 및 R49)을 통하여 결합된 전압은, 전류원 트랜지스터(U06A)의 베이스 전압을 제어하는 트랜지스터(Q07)에 콜렉터 전류를 발생한다. 트랜지스터(Q07)의 콜렉터 전류에 의해 정해지는 트랜지스터(U06A)의 베이스 전압은, 다이오드로서 기능하도록 그 베이스와 콜렉터가 접속된 온도 보상 트랜지스터(U06C)와, -9V 전원에 접속된 저항기(R14)의 직렬 배치에서 생긴다.

저항(R16)은 트랜지스터(U06A)의 에미터와 -9V 전원 전압 사이에 결합된다. 트랜지스터(U06B)는, 트랜지스터(U06A)의 베이스 전압과 같은 베이스 전압을 갖는다. 전위차계 저항(R43)은, 트랜지스터(U0EB)의 에미터와 -9V 전원 전압사이에 결합된다. 저항(R18)은, 트랜지스터(U06A)의 에미터와 저항(R43)의 가조정적으로 이동 가능한 접점(TAP) 사이에 결합된다.

접점(TAP)이 트랜지스터(U06B)의 에미터와 저항(R43)의 접합점 부근에 있을때, 트랜지스터(U0B)의 에미터 전압은 트랜지스터(U06A)의 에미터 전압과 동일하기 때문에, 저항(R18)은 트랜지스터(U06A)의 에미터 전류에 아무런 영향을 주지 못한다. 한편, 접점(TAP)이 -9V 전원 근처의 위치로 조정될 경우, 저항(R18)은 저항(R16)과 거의 병렬적으로 결합한다. 이에 따라, 전위차계 저항(R43)은, 트랜지스터(U06A)에 의해 전류가 인입되는 때에 신호(VSAW)의 톱니파 전압을 발생하는 커패시터(C03)의 공차를 보상하기 위하여 V/I 변환기(21)의 전류 이득을 조정한다.

커패시터(C03)로부터의 전압 신호(VSAW)는 트랜지스터(U01B)의 베이스에 결합된다. 트랜지스터(U01B)는 트랜지스터(U01C)와 결합되어 차동 증폭기를 형성한다. 트랜지스터(U01C)의 베이스는 저항(R09)의 한 단자에 접속되고, 그 저항(R09)의 다른 쪽 단자는 접지된다. 트랜지스터(U02A)는, 저항(R09)을 통하여 트랜지스터 (U01C)의 베이스 전압을 설정하는 전류(IO)를 인입한다. 트랜지스터(U01C)의 베이스 전압은, 수직 중심 위치를 유지하기 위하여 높이 조정전압(V-SIZE)의 변화에 따른다.

제1b도에서 트랜지스터(U02A)를 흐르는 전류(IO)를 발생시키기 위하여, V/I변환기(21)와 유사한 제2 V/I 변환기(21A)를 사용한다. 트랜지스터(Q09)는, 높이 조정 전압(V-SIZE)에 대한 조정이 이루어질 경우에, 트랜지스터(Q07)의 콜렉터 전류에 따르는 콜렉터 전류를 발생한다. 높이 조정 전압(V-SIZE)은, 저항(R22, R56)을 통하여 각각 트랜지스터(Q07,Q09)의 에미터에 결합된다 트렌지스터(Q07, Q09)의 베이스는, 다이오드(CR02)의 캐소드에 접속되고, 등전위이다. 트랜지스터(U02B)와 저항(R06)은, 트랜지스터(Q09)의 콜렉터 전류에 관해 온도 보상된 주부하를 형성한다. 트랜지스터(Q07)의 콜렉터 전류에 대하여 동일한 부하는, 트랜지스터(U06C)와 저항(R14)의 회로망에 의해 형성된다. V/I 변환기(21A)의 트랜지스터(U02A)는 전류(IO)를 발생한다.

전류(IO)의 이점은, 높이 조정 전압(V-SIZE)에 변화가 생길 때에 수직 중심 위치가 영향을 받지 않고 유지될 수 있도록 트랜지스터(V06A)의 전류(IURAMP)의 변화를 추종하는 것이다. 이 추종은, 예컨대, 트랜지스터(U06A, U02A)의 대칭성과 같은 회로 대칭성 때문에 발생한다. 트랜지스터(U02C)는, 트랜지스터(U01C, U01B)의 에미터 전류를 발생시킨다. 에미터 저항(R17)은, 트랜지스터(U02A)의 베이스 전압 대 콜렉터 전류의 비의 값을 확정한다. 저항(R49A)은, 제1a도의 D/A 변환기(10a2)에서 발생된 전압(CENTER)을 제1b도의 트랜지스터(Q09)의 에미터에 결합시킨다. 전압(CENTER)은, 줌 모드가 선택되어 있지 않은 경우, 트랜지스터(Q09, 07)에 거의 동일한 콜렉터 전류를 발생시키도록 제어된다. 전압(CENTER)은, 줌 모드가 선택되어 있지 않은 경우, 전압(ZOOM)에 대한 0이 아닌 오프셋 값을 보상한다.

제1b도의 트랜지스터(U01C)의 베이스 전압은 전류(IO)에 의해 제어된다. 저항(R09)과 전류(IO)의 값은 통상의 (비줌:non-zoom) 모드가 선택되어 있는 경우, 트랜지스터(U01C)의 베이스 전압이 수직 중심 위치에서 트랜지스터(U01B)의 베이스의 전압(VSAW)의 레벨과 동일하게 되도록 선택된다. V/I 변환기(21,21A) 사이의 추종에 의한 이점은, 사이즈 조정 전압(V-SIZE)과, 12V 전원 전압의 어떠한 변화도 전류(IO, INRAMP) 사이의 비율에 영향을 미치지 못한다는 것이다. 그 결과 얻어지는 전류(IO, IVRAMP)의 변화는, 트랜지스터(U10C)의 베이스 전압을, 사이즈 조정 전압(V-SIZE)과 12V 전원 전압의 각 레벨에 대한 수직 중심 위치에 대응하는 톱니파 전압 신호(VSAW)의 레벨에 유지시킨다. 따라서, 수직 중심 위치는, 픽처 높이의 조정에 사용되는 전압(V-SIZE)의 조정에 의해 영향을 받지 않는다는

장점이 있다. 트랜지스터(U01B, U01C)의 에미터는, 각각 에미터 저항(R07, R08)을 통하여, 에미터 전류의 합을 제어하는 트랜지스터(U02C)의 콜렉터에 접속된다. 트랜지스터 (U02C)의 베이스 전압은 트랜지스터(U02A)의 베이스 전압과 동일하다. 트랜지스터 (U02C)의 에미터 전압은 저항(R05)에 의해 결정되는 에미터 전류를 트랜지스터 (U02C)에 발생시킨다.

제3a도 내지 제3f도는, 제1a도 내지 제1c도의 회로 배치의 동작을 설명하는데 유용한 파형을 도시한다. 제1a도 제1c도, 제2a도 제2c도 및 제3a도 제3f도에서 동일한 기호와 부호는 동일한 장치 또는 기능을 나타낸다. 제3b도의 간격(t0~t1)과 같은 줌 모드의 수직 소인 중에, 제1b도의 트랜지스터(U01B, U01C)는 차동 증폭기를 형성한다. 트랜지스터(U01B, U01C)의 콜렉터 전류는, 톱니파 신호 (VRAMP2, VRAMP1) 각각을 발생시키기 위한 에미터 폴로워 트랜지스터 (71,70)를 통해 결합되어, 톱니파 전압에 대응하는 롤렉터 저항에 발생한다.

제3b도와 제3c도의 신호(VRAMP1, VRAMP2)는, 각각 수직 소인 간격 (t0 t1)사이에서 역방향으로 변화하는 상보적인 신호이다. 점선으로 도시하는 파형은 통상 또는 비줌 동작 모드에서 발생하는데 비하여, 실선으로 도시하는 제3b도 및 제3c도의 파형은, 줌 동작 모드에서 발생한다. 줌량이 아주 많은 경우는 일점 쇄선으로 도시되어 있다. 제3a도 내지 제3d도의 파형으로 도시하는 바와 같이, 수직 소인은, 줌 모드가 선택된 경우에는 t0 t1 시간 사이에서 발생하고, 줌 모드가 선택되지 않은 경우에는 t0 t2 시간 사이에서 발생한다.

제1c도의 DC 결합 편향 회로(11)는 신호(VRAMP1, VRAMP2)에 의해 제어된다. 상기 회로(11)에서 편향 권선(Ly)은 예컨대, W 86 EDV093×710 형과 같이 16×9의 종횡비를 갖는 음극선관(CRT)(22)에 수직 편향을 제공한다.

상기 권선(Ly)은 편향 전류 샘플링 저항(R80)과 직렬로 접속된다. 제1c도의 권신(Ly)과 저항(R80)은 증폭기(11a)의 출력 단자(11b)와 전원 디커플링 커패시터 (Cb)의 접합 단자(11c) 사이에 결합된 직렬 회로 배치를 형성한다. 전류 제한 저항(R70)은, 예컨대 +26V 의 전원 전압 (V+)을 에미터 폴로워 트랜지스터(Q46)를 통하며 단자(11c)에 연결시킨다. 트랜지스터(Q46)는, 상기 전원 전압 (V+)의 약절반, 특히 약 +12.4V와 같은 DC 전압 (+V/2)을 단자(11C)에 발생시킨다. 반전원전압 (+V/2)은 트렌지스터(Q46)의 베이스를 분압 저항(R91, R92)의 접합점에 결합시킴으로써 결정된다. 권선(Ly)과 저항(R80) 사이에 결합된 접합 단자(11d)는, 피드백 저항(R60)을 통하여 증폭기(11a)의 반전 입력 단자에 결합된다. 저항(R80)의 단자(11c)는, 저항(R30)을 통하여 증폭기(11a)의 비반전 입력 단자에 집속된다. 편향 코일(Ly)에서의 전류를 나타내는 마이너스 피드백 전압이 저항(R80)의 양단에 발생하여, 증폭기(11a)의 입력 단자에 인가된다. 증폭기(11a)는, 상보적인 전압 신호(VRAMP1, WRAMP2)를 통해 톱니파 전압 신호(VSAW)를 얻는 방법으로, 필요에 따라, 증폭기에 인가되는 전압 드라이브 신호에 편향 코일전류(iy)를 추종시키기 위한 출력 전압을 발생한다.

상보적인 톱니파 신호(VRAMP1, VRAMP2)는, 저항(R40, R50)을 통하여 편향전류(iy)를 제어하는 증폭기(11a)의 비반전 입력단과 반전 입력단에 각각 결합된다. 성분의 비정합 또는 오프셋 전압 공차에 기인하는 신호(VRAMP1, VRAMP2)의 차이는, 예컨대 트랜지스터(U01B, U01C)의 콜렉터의 사이에 결합된 전위차계(88)에 의해 보상된다. 편향 전류(jy)의 수직 소인 부분은, 제3e도와 제3f도에 도시하는 바와 같이, 시간(t0)에서 시작해서, 신호(VRAMP1, VRAMP2)가 한쪽의 극값으로부터 다른 쪽의 극값을 향하여 경사를 형성하기 시작한다.

상단 패닝(top panning)을 이용하는 경우, 제2c도의 신호(VRESET)는, 제2e도에 도시하는 수직 동기 펄스 신호(SYNC)에서 발생하거나 또는 상기 신호(SYNC)에 동기된다. 동기 신호(SYNC)는, 기저대역 수상기 신호(SNTSC)에서의

동기 신호 (SYNC)에 계속되는 픽처 정보와 관련하여, 신호(SNTSC)의 화상 간격(IMAGE) 직전에 발생한다. 제2e도의 화상 간격(IMAGE)은, 제1c도의 CRT(22)상에 현재 표시되어야 하는 픽처 정보를 포함한다. 편향 전류(iy)의 수직 소인부는, 순차필드 또는 화상 간격의 각각에 있어서, 수직 패닝의 한도는 바꾸는 때에 변경 가능한 수직 동기 펄스에 대한 동일한 지연 시간이 경과한 후에 시작된다. 이에 따라, 제1c도의 편향 전류(iy)는 각 주기에서 적절하게 동기된다. 이것의 이점은, 동기 신호(SYNC)의 필드 사이에서의 변화가, 표시된 픽처의 수직 위치 지터를 일으키지 않는 것이다.

제3a도는, 제1 실시예의 줌량이 선택된 경우 편향 전류(iy)의 파형을 실선으로 도시하고, 다량의 줌량에 대한 편향 전류를 일점 쇄선으로 도시한다. 비줌의 통상 모드를 다른 일점 쇄선으로 도시하고, 편향 전류의 소인부는, 동기신호(SYNC)가 순차 발생하는 중인 16.7 밀리초 간격 또는 거의 15.7 밀리초에 미친다. 제3b도 내지 제3d도는 같은 선의 표시법을 사용하여 각각의 전압을 도시하고, 제3e도는 제3a도 내지 제3d도에 실선으로 도시하는 줌량의 크기를 나타낸 것이다. 제3f도는 제1 실시예의 줌량에 대한 제1a도의 신호(SNTSC)의 타이밍 챠트의 일례를 개략적으로 도시한다. 제3f도에서 간격(IMAGE)의 간격(301)은, 비줌 동작 모드로 표시된 픽처의 상반부에 대한 픽처 정보를 포함한다. 간격(300)은, 이러한 픽처의 하반부의 픽처 정보를 포함한다.

제3f도에 도시하는 시점에서 발생하는 신호(SYNC)는, 이러한 상부 패닝모드의 수직 소인의 개시 시점을 제어한다. 따라서, 수직 소인은 각 수직 필드에서 시점(t0)에서 시작한다. 상부 패닝 동작 모드는, 표시된 픽처의 하위부가 상위부보다 다량 절취되는 경우에 행해진다. 이리하여, 제3a도 내지 제3f도의 실시예는, 최대의 상부 패닝을 도시한다. 그 이유는, 비줌 동작 모드로 픽처 정보를 제공할 수 있는 제3f도의 간격(301)의 최초의 영상 라인인 영상 라인(TOP)이, 동시에 최대의 상부 패닝 모드로 픽처 정보를 제공하기 위한 최초의 영상라인이기 때문이다.

비줌 동작에 있어서, 점선으로 도시된 제3a도의 전류(jy)의 소인부의 개시시점(t0)은, 스크린 상부에서 동일한 영상 픽처 요소를 유지하기 위해서 다소 지연되더라도 좋다. 이 지연의 차이는, 줌 동작 모드에 있어서 제3a도의 전류(jy)의 변화율과, 통상의 비줌 동작 모드에 있어서 변화율 사이에 수직 소인의 최초에 발생하는 차이를 보상한다.

전류 제한 저항(R70)은, 상술한 바와 같이, 트랜지스터 (Q46)를 통하여, 단자(11c)에 반전원 전압(+V/2)을 발생하는 전압(V+)에 결합된다. 전류 제한 저항 (R70)을 흐르는 평균 전류 또는 DC 전류를, 큰 저항을 사용할 수 있도록 감소시킨다. 큰 값의 저항(R70)은, 오조건(誤條件)의 발생시에 과대한 편향전류(iy)를 억제한다. 제3a도를 살펴보면, 줌 모드에서, 저항(R70)의 평균 DC전류를 감소시키는 것은, 소인이 종료하는 시점(t1)과, 다음 수직 소인이 개시하기 직전의 시점(t2) 사이의 중간점 또는 중간점 근방에서 귀선이 시작되도록, 신호(VRESET)의 수직 상승 엣지의 타이밍을 조정함으로써 이루어진다. 따라서, 수직 귀선 간격(ta  tb)은, 비소인 간격(t1  t2)의 범위 내에 있지만, 일반적으로 끝점(t1 또는 t2)의 한편에 근접하지는 않는다. 편향 전류가 그 반대의 극단에 있는 시점을 소정함으로써, 편향 전류의 평균값이 최소화된다.

제1a도의 회로망(200)은, 트랜지스터(Q46)에서의 반전원 전류(IS)의 평균값과 13mA의 기준 레벨 사이의 차이를 나타내는 오차 전류 표시 신호(IERROR)를 발생한다. 오차 전류 신호(IERROR)는, 타이밍 커패시터 (C17)에 결합된다. 타이밍 커패시터(C17)는, 신호(B)가 하이 레벨인 경우를 제외하고는, 타이머 스위치(Q02)와 인버터(Q01)에 의해서 동작이 억제된다. 신호(B)는, 마이크로프로세서(10a)에 의해 발생되는 수직 블랭킹 신호이며, 수직 소인 중에는 하이 레벨이 있다. 이 신호(B)는, CRT(22)의 스크린을 블랭크로 하기 위한 도시하고 있지 않은 블랭킹 회로에 의해 사용된다. 줌 모드에서, 블랭킹 신호(B)의 수직 상승 엣지는, 비줌 모드에서 새로운 수직 소인을 시작하기 위해 마이크로프로세서에 의해 발생되는 수직 타이밍 신호(A)보다 먼저 발생한다.

전류 신호(IERROR)는, 제2d도(제3e도 참조)에 도시하는 바와 같이, 전류신호 (IERROR)에 비례하는 비율로 상향으로 경사를 이루는 전압 신호(D)를 커패시터 (C17)에 생성한다. 타이밍 신호(D)는, 트랜지스터(Q04)를 통해, 집적 회로(U07)의 임계 입력에 결합된다. 버퍼링된 램프가 임계 레벨을 초과한 경우에, 집적 회로(U07)의 플립플롭(FF)의 세트 입력에 트리거를 걸어, 플립플롭(FF)의 Q 출력을 하이 레벨로 올리고, 핀(3)에서 음의 논리 출력을 로우 레벨로 내린다. 이러한 음의 논리 출력은 트랜지스터(Q10)의 베이스에 접속되고, 트랜지스터(Q10)는 신호 (VRESET)를 하이로 클램핑하며, 제1b도의 트랜지스터(U01A)를 통하여 전압 신호 (VSAW)를 클램핑함으로써 최초의 수직 귀선을 시동한다. 동시에, 집적회로(U07)에 있어서 플립플롭의 출력은, 타이밍 커패시터(C17)를 방전시키기 위한 트랜지스터 (Q11)를 턴온시킨다. 전류 신호(IERROR)는, 부궤환의 방법으로 편향 전류의 DC 성분을 작게 유지한다.

타이머 집적 회로(U07)는, 마이크로프로세서(10a)로부터의 수직 블랭킹 신호(B)가 집적 회로(U07)의 트리거 입력 전압 이하로 떨어질 때까지, 신호 (VRESET)를 하이 레벨 상태로 클램프하기를 계속한다. 또한, 집적 회로(U07)의 트리거 입력은, 약 1.7V에서 트리거를 행하는 비교기(U7b)에 결합되도록 배치된다. 이 경우, 새로운 수직 소인의 개시 신호에 의해, 집적 회로(U07)의 출력 핀(3)은 다시 하이 레벨이 되어, 신호(VRESET)의 클램프를 해제하고, 신호(VSAW)가 새로운 소인 램프를 개시하게 한다. 동시에 집적 회로(U07)는 방전 핀(7)을 해제시켜서, 다음 수직 블랭킹 펄스(B) 사이에 타이밍용 타이머 커패시터(C17)를 작동 상태로 한다.

마이크로프로세서(10a)로부터의 수직 타이밍 신호(A)는, 저항(R73)을 통하여 타이밍 램프 신호(D)와 논리합 연산을 이루게 되고, 집적 회로(U07)의 임계 입력과 버퍼 트랜지스터(Q04)의 에미터에 결합된다. 비줌 동작 모드에서 타이밍 램프신호(D)는, 수직 타이밍 신호(A)의 수직 상승 엣지보다 먼저 집적 회로(U07)입력의 임계 레벨에 도달하지 못할 가능성이 있다. 이 모드에서, 타이밍 신호(A)의 수직 상승 엣지는, 집적 회로(U07)의 플립플롭을 셋트하여, 타이밍 신호(A)의 수직상승 엣지와 동시에 신호(VRESET)에 의해 신호(VSAW)의 클램프를 시작한다.

제3d도에 도시하는 바와 같이, 신호(VSAW)는, 블랭킹 간격의 처음의 기간에 하향으로 경사를 계속한다. 그러나, 신호(VRAMP1, VRAMP2)는, 제1b도의 차동증폭기 장치의 포화 전압, 예컨대, 약 2.3V와 4.3V 에서 각각 일정한 레벨을 갖는다. 수직 리셋 신호(VRESET)의 수직 상승 엣지에서, 신호(VSAW)는 트랜지스터(U01A)에 의해 하이 레벨로 클램프되어, 신호(VRAMP1, VRAMP2)가 반대 상태로 전환시킨다. 계속해서, 제1c도의 편향 증폭기(11a)는 선형 피드백 모드에서의 동작을 끝내고, 증폭기(11a)의 전원 단자(6)에서의 전압(VB)이 출력 단자(11b)를 통하여 편향 권선(Ly)에 인가된다. 귀선 전압(V11b)이 제3a도에 도시하는 시점(ta) 직후에 발생하여, 편향 전류(iy)의 귀선을 시간(tb)까지 완료시킨다. 제1c도에 있어서, 부스트단(boost stage)(11f)의 스위치(11f1)는, 커패시터(11g)를 부스트커패시터(11e)에 직렬적으로 결합시킨다. 커패시터(11e)는, 수직 소인 기간에 다이오드(DR)와 스위치(11f2)를 통하여 +26V의 전원 전압(V+)에 의해 충전된다. 필터 커패시터(11g) 양단에 생기는 전원 전압은, 부스트 전압(VB)을 형성하기 위해 부스트 커패시터(11e)의 양단에 생기는 전압과 가산된다. 부스트 전압(VB)은 부스트 전압(VB)이 형성될 때, 다이오드(DR)를 통하여 +26V의 전원 전압(V+)으로부터 디커플링된다. 제3a도와 제3e도에 있어서 짧은 간격(ta tb) 사이에, 전류(iy)의 귀선 위치(RETRACE)가 생성된다. 전류(iy)에 의해서 제1c도의 편향권선(Ly)에 축적되는 전자기적 에너지는, 스위치(11f)로서 개략적으로 도시되는 부스트 회로에 사용되어, 전압(V+)보다 높은 수직 귀선 전압(V11b)을 제1c도의 단자(11b)에 발생시켜, 최초의 귀선을 일으킨다.

시점(슈) 부근에서, 편향 전류(iy)의 값은, 증폭기(11a)의 선형 동작을 가능하게 하는 점으로 증가한다. 저항(R80)으로부터의 피드백에 의해, 편향 전류는 시점(tb)와 (t2) 사이에서 신호(VRAMP1, VRAMP2)가 평평한 상부를 추종할 수 있게된다. 신호(VRESET)의 최후, 즉 시간(t2)에서 블랭킹 신호(B)에 대한 하강 엣지에서, 선형 피드백 모드에서 동작하는 제1c도의 편향 증폭기(11a)는, 편향전류(iy)의 톱니파 소인부를 다시 발생시킨다.

4×3의 종횡비 형식으로 표시하고자 하는 화상의 사이드 바이 사이드 표시는, 제7도에 도시하는 바와 같이, 수평 시간의 압축 및/또는 수직 픽처 높이의 잘라내기와 축소에 의해 16×9의 표시 스크린(224)에서 얻어진다. 그것은 2개의 짧은 사이드 바이 사이드 픽처(232)와 (234)를 형성하는 것이고, 수평 방향의 어두운 바(236)에 의해 상부와 하부에 경계가 정해지고 있다. 대상의 많은 부분이 픽처로부터 절취되는 않는다는 것을 쉽게 알 수 있다. 제7도에서 수직 표시 높이는, 통상의 수직 표시 높이의 약 7/9 (대략 78%)로 축소되어 있다. 각 픽처(232, 234)의 형식적 표시비는 8:7 이다.

제8도는 사이드 바이 사이드 복수 픽처 표시를 달성하는데 필요한 장치를 도시하는 블록도이며, 대응하는 장치에 대하여, 제1a도 제1c도, 제2a도 제2e도, 제3a도 제3f도 및 제7도와 동일한 도면 부호와 기호로 표시하고 있다. 제8도의 텔레비전 장치 또는 수상기(250)는, 제7도의 표시 스크린(224)을 형성하는 제1c도의 CRT(22)를 구비한다. 텔레비전 장치(250)는, 마이크로프로세서(10a)에 의해 제어되고, 제어 및 데이타 버스(260)를 통하여 튜너 조절기(254), 영상 프로세서(256) 및 음성 프로세서(258)와 접속된다. 마이크로프로세서(10a)는, 예컨대, 그 출력이 원격 제어 수신기(264)에 의해 검지되는 원격 제어 유닛(262)에 의해 생성되는 시청자의 명령에 따른다.

안테나(268) 또는 다른 도시하고 있지 않은 신호원에 의해 포착되는 신호에 응답하는 2개의 튜너 회로(266)는, 튜너 조절기(254)에 응답한다. 또한 각각의 튜너에 대하여 영상/음성 복조단과 VIF/SIV 단(270)이 설치된다. 아날로그 형식의 제1 및 제2 영상 신호는, 아날로그/디지털 변환기(274)에 대한 입력이다. 디지털화된 제1 및 제2 영상 신호는, 영상 프로세서(256)의 입력이다. 영상 프로세서는, 영상 출력 신호를 발생하기 위하여, 각 소스로부터의 대상을 사이드 바이 사이드의 형식을 갖는 디지털 신호 처리 기술을 이용한다. 또한, 영상 프로세서는, 수평 동기 신호와, 발생기(10)의 마이크로프로세서(10a)에 결합된 수직 동기 신호(SYNC)를 복조하여 재생한다. 수직 편향 회로(286)는 제1 영상 신호에 동기된다. 이 점에 있어서, 영상 신호의 어느 것을 제1과 제2로 지정할 것인지는 임의이다. 간행물에 기재된 기술에 따라, 제2의 영상 신호를, 제1의 영상 신호에 동기시킬 수 있도록, 필드마다 또는 프레임마다 통상 영상 메모리에 저장된다.

수평 방향의 압축 및 확장은 라인 메모리를 이용하여 실현할 수 있지만, 여기서 데이터는 다른 비율로 기록되고 판독된다. 보간기는, 라인 메모리에 압축된 데이타를 평활화시키고, 라인 메모리에 확장되어야 할 데이터를 사전에 평활화 시킨다. 수직 편향 회로(286)는 다른 표시 형식을 실현시키는데 필요한 양만큼 통상의 수직 편향 표시 높이에 대하여 수직 오버스캔과 언더스캔의 필요량에 따라 래스터의 수직 크기를 조정할 수 있다.

영상 프로세서는, 사이드 바이 사이드 픽처를 포함하는 디지털 출력 신호(276)를 발생한다. 관련되는 수평 압축 및/또는 절취량은, 사용자의 지시에 따르는 마이크로프로세서에 따른 표시 형식과 수직 표시 높이에 의존한다. 디지털 출력 신호(276)는, 디지털/아날로그 변환기(278)에 의해 아날로그 출력 신호(280)로 전환된다. 아날로그 출력 신호(280)는, 음극선관(22)을 구동하는 키네스코프 구동회로(284)에 대한 입력이 된다. 음극선관상의 수평 및 수직 편향 요크는, 각각 수평 및 수직 편향 회로에 결합된다. 음극선관(22)은, 제7도에서와 같이 16:9의 폭이 넓은 비율의 표시 형식을 갖는 표시 스크린(16)을 구비한다.

발생기(10)는, 상기한 바와 같이, 편향 회로(286)를 구동하기 위해 사용되는 신호(VRESET)와 같은 수직 블랭킹/리셋 신호를 발생한다. 또한, 발생기(10)는, 텔레비전 수상기(250)가 복수 픽처 모드로 동작하는 경우에, 축소된 수직 편향 각도를 유도하는 제어 신호(VSHRINK)를 발생함으로써, 영상 화상의 수직 크기를 표시 스크린(224)의 유효 수직 크기보다 작게 축소시킨다. 축소된 수직 편향 각도를 얻기 위한 이러한 수직 편향 회로(286)의 변환은, 아래 설명하는 바와 같이, 제1b도의 톱니파 신호(VSAW)의 기울기를 변화시킴으로써 이루어진다.

하나의 픽처를 시청하는 경우에는 전체 수직 편향 각도가 선택되고, 사이드 바이 사이드로 2개의 픽처를 시청하는 경우에는 축소된 편향 각도가 선택된다.

제8도 또는 제1c도의 CRT(22)에서의 수직 S자 보정은, 제1b도의 트랜지스터 (U01C, U01B)의 비선형 영역에서의 동작에 의해 얻어진다. 트랜지스터 특성에 의해, 트랜지스터(U01C, U01B)에 의해 형성되는 차동 증폭기의 비선형성 이득은, 대응하는 하나의 트랜지스터의 전류가 소인의 중앙 보다 작은 경우에, 수직 소인의 처음과 마지막 시점에서 감소한다. 이렇게 해서, 신호(VRAMP1, VRAMP2)는 신호 (VSAW)의 주기 동안에 변하는 스케일 배율 또는 이득에 따라 전압 신호(VSAW)로부터 발생한다.

전압 신호(VSAW)가 피크 값에 있을 때, 트랜지스터(U01C)에서의 전류는, 수직 소인의 중심에 있을 때보다 작다. 따라서, 트랜지스터(U01C)의 등가 에미터 저항은 증가한다. 이에 따라, 트랜지스터(U01C, U01B)에 의해 형성되는 차동 증폭기의 전압 이득 또는 스케일 배율은, 수직 중심 위치에 있을 때보다 작다. 마찬가지로, 전압 신호(VSAW)가 최소값에 있을 때, 트랜지스터(U01B)의 전류는 수직 중심 위치에 있을 때보다 작다. 그러므로, 트랜지스터(U01B)의 등가적인 에미터 저항은 증가하여, 차동 증폭기의 이득도 수직 중심 위치에 있을 때보다 감소한다.

제4도는, 트랜지스터(U01B, U01C)에 의해 형성되는 차동 증폭기의 큰 신호 이득이 제1b도의 전압 신호(VSAW) 함수로서 변화하는 모습을 그래프로 도시한다. 큰 신호 이득은, 수직 소인의 중심에서 얻어지는 최대값으로 정규화되므로 수직 소인의 중심에서 정규화된 이득은 1이다.

수직 비수축 모드에서 전압 신호(VSAW)가 피크의 크기에 있을 때, 수직 소인의 상단 또는 하단에서, 정규화된 이득은 감소하여, 약 0.9가 된다. S자 보정은 선택된 모든 줌량에 대하여 마찬가지로 행해진다.

제5도는 제1b도의 회로 배치가 이용된 경우의 선형성 오차를 그래프로 도시한다. 비교를 위해, 제6도는 제1b도의 트랜지스터(U01C, U01B)가 수직 소인을 통하여 일정한 이득으로 동작하도록, 도시하고 있지 않은 방법으로 바이어스되었을 때의 선형성 오차를 그래프로 도시한다. 따라서, 제6도는 S자 보정이 이루어지지 않은 경우의 상황을 도시한다.

제5도와 제6도의 선형성 오차는, 제1c도의 CRT(22)의 페이스 플레이트 상의 수직 위치의 함수로서 표시된다. 선형성 오차는, 13개의 수평선을 갖는 패턴을 사용하여 측정했다. 소정의 인접선 쌍 사이의 수직 거리를 측정하여 인접선 쌍 사이의 수직 거리의 평균 또는 중간값을 구하여 얻을 수 있다. 선형성 오차는, 평균 간격으로 나눈 소정의 인접선 쌍의 간격과 평균 간격 사이의 차이이다. 그 결과의 값이 제5도와 제6도에 백분율로 표시되어 있다. 따라서, 수직 비수축모드에 있어서, 제6도에 도시하는 S자 보정이 없는 경우의 선형성 오차는, 전체로 9%의 오차 범위 내에서 +6% 내지 -3%의 범위에서 변화한다. 한편, 제1b도의 S자 보정이 있는 경우, 제5도에 도시하는 선형성 오차는, +2.5%, 내지 -2.5%의 범위에서 변화하여, S자 보정이 없는 오차의 절반 정도인 총 5% 의 오차 범위를 갖는 장점이 있다.

신호(V-SIZE)는, CRT의 전체 높이 또는 수직 크기까지 연장하는 수직 주사나 픽처를 얻기 위해 조정된다. 소정의 CRT에 소정의 편향 요크를 적용하기 위해서 필요한 서비스 동작에서, 픽처의 높이 조정은, 제1b도에 도시하는 바와 같이, 신호(VSAW)의 진폭을 제어하기 위한 신호(V-SIZE)를 변화시킴으로써 얻을 수 있다. 예컨대, 신호(V-SIZE)를 감소시키면, 신호(VSAW)의 피크 진폭이 감소된다. 신호(V-SIZE)의 감소는, 전류 미러 배치에 의해 얻어지는 추종성 때문에, 각각의 트랜지스터(U02C, U01B, U01C)의 콜렉터 전류를 감소시키게 된다. 이러한 추종에 의해, 전자빔이 표시 스크린의 최상단/최하단에 있을 때, 트랜지스터(U01B, U01C)에 의해 형성되는 차동 증폭기의 정규화된 이득이 감소한다.

한편, 수직 톱니파 신호(VSAW)의 피크 진폭의 감소는, 정규화된 이득을 증가시키는 경향이 있다. 이렇게 해서, 트랜지스터(U01C, U01B)에 의해 형성되는 차동 증폭기의 정규화된 이득의 감소는, 신호(VSAW)의 피크값의 감소로 인한 정규화된 이득의 증가 경향을 보상한다. 따라서, 트랜지스터(U01B, U01C)에 의해서 형성되는 차동 증폭기에 의해 신호(VRAMP1, VRAMP2)에 나타나는 S자형 또는 비선형성은, 신호(V-SIZE)의 조정에 거의 의존하지 않는다. 그러므로, 미리 정해진 S자형의 편향 전류를 필요로 하는 유형의 CRT의 경우에, S자 보정은 특정한 CRT에 특정한 요크를 적용시키기 위해서 필요한 신호(V-SIZE)의 조정에는 거의 의존하지 않는다. S자형은, 신호(V-SIZE)에 따라서 신호(VSAW)에서 픽처 높이를 제어한 후에, 신호 경로의 다운스트림에서 얻어지는 이점이 있다. 이러한 배치에 의해, 편향 회로는 간단하게 된다.

사용자가 수직 수축 동작 모드를 선택한 경우, 신호(ZOOM)는 마이크로프로세서(10a)를 통하여 통상의 비줌 동작 모드에 해당하는 레벨로 설정된다. 한편, 신호(VSHRINK)는 마이크로프로세서(10a)에 의해 제어되는 A/D변환기(10a3)를 통하여 약 10V 레벨로 발생된다.

신호(VSHRINK)는 저항(RC,RD)으로 형성된 DC 분압기에 결합된다. 단자(121)에서의 분압기 출력 전압은 에미터 저항(RA)을 통하여 트랜지스터(QA)의 에미터에 결합되어, 에미터 저항(RB)을 통하여 트랜지스터(QB)의 에미터에 결합된다. 신호(VSHRINK)가 10V에 있을 때, 수직 수축 모드에서 동작한 결과, 신호(VSHRINK)는 트랜지스터(QA)에 에미터 전류를 발생시키고, 트랜지스터(QB)에도 동일한 에미터 전류를 발생시킨다. 트랜지스터(QA, QB)의 콜렉터는, 각각 트랜지스터(U06A, U02A)의 에미터에 결합된다. 10V 신호(VSHRINK)는, 트랜지스터(U06A)의 에미터 전류와 트랜지스터(U02A)의 에미터 전류를 동일한 양만큼 감소시킨다. 신호(VSHRINK)는, 전류(IURAMP)와 (IO)의 각각을 수직 비수축 동작 모드에서 대응하는 값에 대하여 동일한 양만큼 감소시킨다.

수직 수축 동작 모드에 있어서, 제1c도와 제3a도의 편향 전류(iy)에 필요한 진폭은, 제8도의 표시 스크린 전체의 수직 높이의 일부분까지만 연장되는 수직 주사, 예컨대, 20%의 언더스캔을 제공하기 위해서 더 작게 된다. 이에 비해, 줌 동작 모드와 통상의 동작 모드 각각에 있어서, 제1c도의 편향 전류(iy) 진폭은, 예컨대, 6%의 오버스캔을 제공한다. 제1b도의 트랜지스터(QA)와 (QB)에서의 전류가 동일하기 때문에, 수직 중심 위치가 영향을 받지 않는다는 장점이 있다. 수직 수축동작 모드가 작동되지 않을 때, 신호(VSHRINK)는 OV에 있다. 따라서, 트랜지스터 (QA)와 (QB)는 비도통이며, 동작에 영향을 주지 않는다.

본 발명의 특징에 따른 수직 수축 동작 모드에서, 트랜지스터(U02C)의 콜렉터 전류는, 트랜지스터(QA) 및 (QB)에서 발생하는 전류에 의한 영향을 받지않는다. 그러므로, 수직 수축 모드에서 제4도의 신호(VSAW)가 CRT 페이스 플레이트 상에서 전자빔의 소정의 수직 위치에 대응하는 경우, 제1b도의 트랜지스터(U01C, U01B)에 의해 형성되는 차동 증폭기에 의해 나타나는 정규화된 이득 감소 또는 비선형성은, 수직 비수축 모드에서 동일한 수직 위치에 있는 경우와 동일하다. 따라서, 트랜지스터(U01C,U01B)에 의해 형성되는 차등 증폭기와 관련된 정규화된 이득 또는 스케일 배율은, 수직 수축 모드와 비수축 모드 모두에서 신호(VSAW)에 대한 소정의 순간 레벨에 대하여 동일하게 유지된다. 소정의 수직 위치에 있어서, 동일한 S자 보정 또는 선형성 보정은 사이드 바이 사이드 픽처 표시가 사용되는 경우의 수직 수축 모드와 수직 비수축 모드 모두에서 동일하게 유지되는 장점이 있다. 신호(VSHRINK)는, 신호(V-SIZE)와 동일한 신호 경로를 통해서는 결합되지 않기 때문에, 신호(V-SIZE)에 의해 나타나는 신호(VSAW)의 진폭에 대한 소정의 변화는, 신호(VSHRINK)에 의한 진폭 변화의 양보다 더 작은 양으로 차등 증폭기의 정규화된 이득을 변화시킨다.

## (57) 청구의 범위

### 청구항 1.

음극선관과 ;

상기 음극선관의 네크에 장착된 수직 편향 권선(Ly)과;

제1 수직 크기 제어 신호(VSHRINK)에 응답하여, 제1 진폭에서는 수직 비수축 동작 모드를 제공하고 제2 진폭에서는 수직 수축 동작 모드를 제공하는 제1 톱니파 신호(VRAMP1)를 상기 제1 수직 크기 제어 신호에 따라 선택적으로 발생하는 톱니파 신호 발생기(100)와,

상기 톱니파 신호에 응답하여, 상기 음극선관의 표시 스크린(22, IC)에서 상기 전자빔의 수직 위치를 변화시킬 수 있도록 상기 톱니파 신호에 따라 상기 편향 권선에 수직 편향 전류(iy)를 발생시키는 편향 증폭기(11a)를 포함하는 영상 편향 장치에 있어서,

상기 톱니파 신호 발생기에 결합되고, 수직 S자 보정을 제공하기 위하여 상기 톱니파 신호를 비선형의 방식으로 변화시키는 비선형 장치(U01B, U01C)를 포함하고,

상기 비선형 장치에 의해서 상기 톱니파 신호에 나타나는 비선형성이 수직 수축 모드와 수직 비수축 모드 모두의 소정의 수직 위치에서 동일한 것을 특징으로 하는 영상 편향 장치.

청구항 2.

제1항에 있어서,

상기 비선형 장치는 비선형 영역에서 동작하는 차동 증폭기를 형성하는 한쌍의 트랜지스터(U01B, U01C)를 구비하는 것을 특징으로 하는 영상 편향장치.

청구항 3.

제1항에 있어서,

상기 톱니파 신호 발생기는 제2 톱니파 신호(VSAW)를 발생하는 수단(C03)을 포함하고, 상기 비선형 장치(U01B, U01C)는 상기 제2 톱니파 신호에 응답하여 제1 톱니파 신호(VRAMP)를 발생하는 증폭기를 포함하며, 비선형이 상기 제2 톱니파 신호에 대하여 상기 제1 톱니파 신호에 나타나게 하는 것을 특징으로 하는 영상 편향 장치.

청구항 4.

음극선관과 ;

상기 음극선관의 네크에 장착된 수직 편향 권선(Ly)과;

톱니파 신호(VSAW)에 응답하여, 상기 음극선관의 스크린(22)에서 전자빔의 수직 위치를 변화시키도록, 상기 수직 편향 권선에 수직 편향 전류(iy)를 발생하는 수직 편향 증폭기(11a)와;

제1 제어 신호(VSIZE)와 제2 제어 신호(VSHRINK)에 응답하여, 상기 각각의 재어 신호에 따라 진폭이 조절되는 톱니파 신호를 발생하는 톱니파 신호 발생기(100)를 포함하는 영상 편향 장치에 있어서,

상기 편향 증폭기에 결합되고, 상기 톱니파 신호에 응답하여, S자 보정을 제공하도록 상기 편향 전류를 제어하는 비선형 장치(U01B, U01C)를 포함하며,

상기 비선형 장치는 상기 제어 신호 중 하나의 신호(VSIZE)에 응답하여, 상기 제1 제어 신호의 변화가 상기 톱니파 신호의 진폭에 소정의 변화를 일으킬 때, 비선형성이 상기 제2 제어 신호의 변화가 일으키는 소정의 진폭의 변화량과는 다르게 변화하도록, 상기 편향 전류의 비선형성을 변화시키는 것을 특징으로 하는 영상 편향 장치.

청구항 5.

제4항에 있어서,

상기 제1 제어 신호(VSIZE)는 서비스 픽처 높이를 조정하고, 상기 제2 제어신호(VSHRINK)는 수직 수축/비수축 동작 모드를 제공하는 것을 특징으로 하는 영상 편향 장치.

청구항 6.

제5항에 있어서,

상기 재1 제어 신호(VSIZE)가 소정의 변화를 발생시키는 경우, 비선형성은 상기 제2 제어 신호(VSHRINK)가 일으키는 소정의 변화량보다 더 작은 양만큼 변화하는 것을 특징으로 하는 영상 편향 장치.

청구항 7.

음극선관과 ;

상기 음극선관의 네크상에 장착된 수직 편향 권선(Ly)과,

톱니파 신호(VSAW)에 응답하여, 상기 음극선관의 스크린(22)에서 전자빔의 수직 위치를 변화시키도록, 상기 수직 편향 권선에 수직 편향 전류(iy)를 발생하는 수직 편향 증폭기(11a)와;

제1 제어 신호(VSIZE)와 제2 제어 신호(VSHRINK)에 응답하여, 각각의 제어 신호에 따라 진폭이 제어되는 톱니파 신호를 발생하는 톱니파 신호발생기(100)를 포함하는 영상 편향 장치에 있어서,

상기 편향 증폭기에 결합되고, 상기 톱니파 신호에 응답하여, 소정의 수직 위치에서 상기 증폭기의 이득과 소정의 기준 수직 위치에서 상기 증폭기의 이득간의 비율이, 상기 톱니파 신호에 따라 S자 보정을 제공하는 방식으로 변화하도록 상기 편향 전류를 제어하기 위한 비선형 증폭기(U01B, U01C)를 포함하고,

상기 비선형 퐁폭기는 상기 제어 신호 중 하나의 신호(VSIZE)에 응답하여, 상기 제1 제어 신호의 변화에 따른 톱니파 신호의 진폭 변화량과 상기 제2 제어 신호의 변화에 따른 톱니파 신호의 진폭 변화량이 다르게 되도록 상기 이득 비율을 변화시키는 것을 특징으로 하는 영상 편향 장치.

청구항 8.

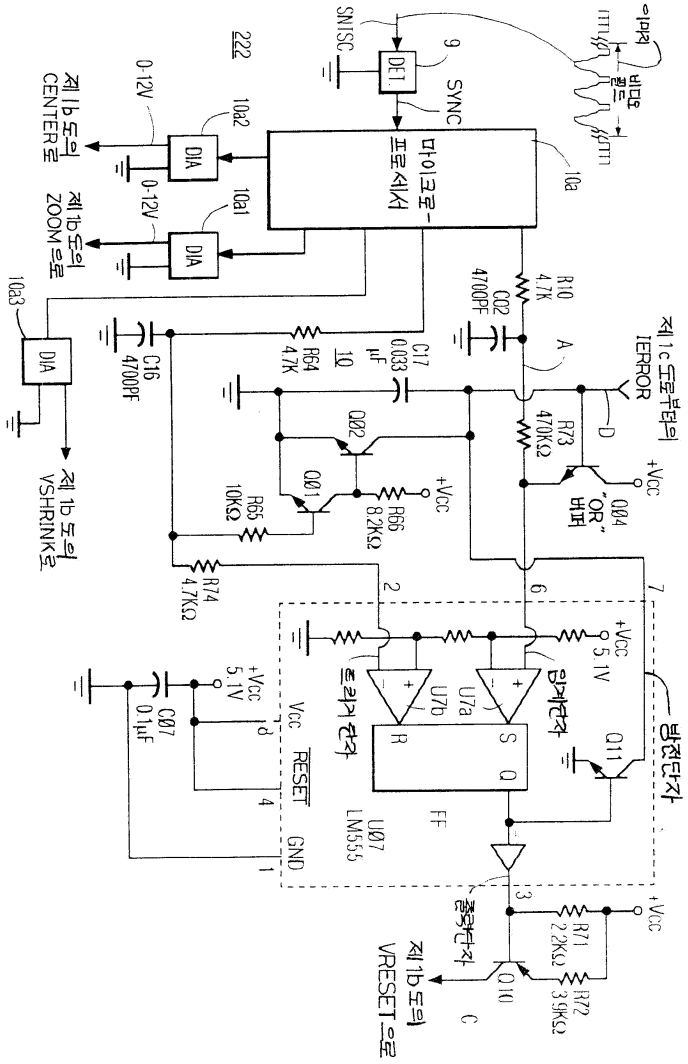
음극선관과 ;

상기 음극선관에 장착된 수직 편향 권선(Ly)과;

수직 수축 제어 신호(VSHRINK)에 응답하여, 제1 진폭에서는 수직 비수축 동작 모드를 제공하고 제2 진폭에서는 수직 수축 동작 모드를 제공하는 톱니파 신호(VSAW)를, 상기 수직 수축 제어 신호에 따라 선택적으로 발생하는 톱니파 신호 발생기(100)를 포함하는 영상 편향 장치에 있어서, 상기 톱니파 신호에 응답하여, 상기 음극선관의 표시 스크린(22)에서 상기 전자빔의 수직 위치를 변화시킬 수 있도록 상기 톱니파 신호에 따라 상기 편향 권선에 수직 편향 전류(iy)를 발생시키고, 상기 톱니파 신호가 상기 편향 권선에 DC 접속되어 DC 접속 수직 편향 회로를 형성하게 하는 편향 증폭기(11a)를 포함하는 것을 특징으로 하는 영상 편향 장치.

## 도면

### 도면 1a



SNISC
DET.
9
SYNC
마이크로-프로세서
10a
10a1
10a2
10a3
DIA
0-12V
제 1b 도의 CENTER로
제 1b 도의 ZOOM으로
제 1b 도의 VSHRINK로
222
R10 4.7K
C02 4700PF
A
C17 0.033 μF
R64 4.7K
C16 4700PF
제 1c 도로부터의 IERROR
D
R73 470KΩ
Q04 "OR" 버퍼
+Vcc
Q02
Q01
R65 10KΩ
R66 8.2KΩ
R74 4.7KΩ
2
6
7
+Vcc 5.1V
U7a
U7b
R
S
Q
FF
U07 LM555
Vcc
RESET
GND
C07 0.1μF
Q11
방전단자
R71 2.2KΩ
R72 3.9KΩ
Q10
C
제 1b 도의 VRESET으로

도면 1b

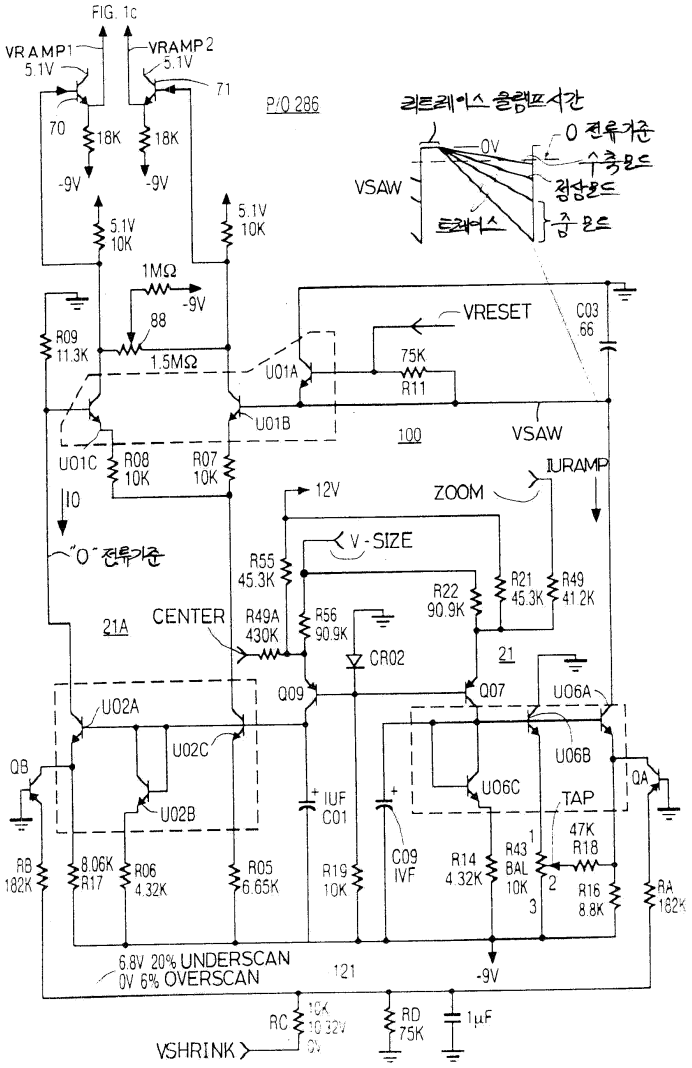
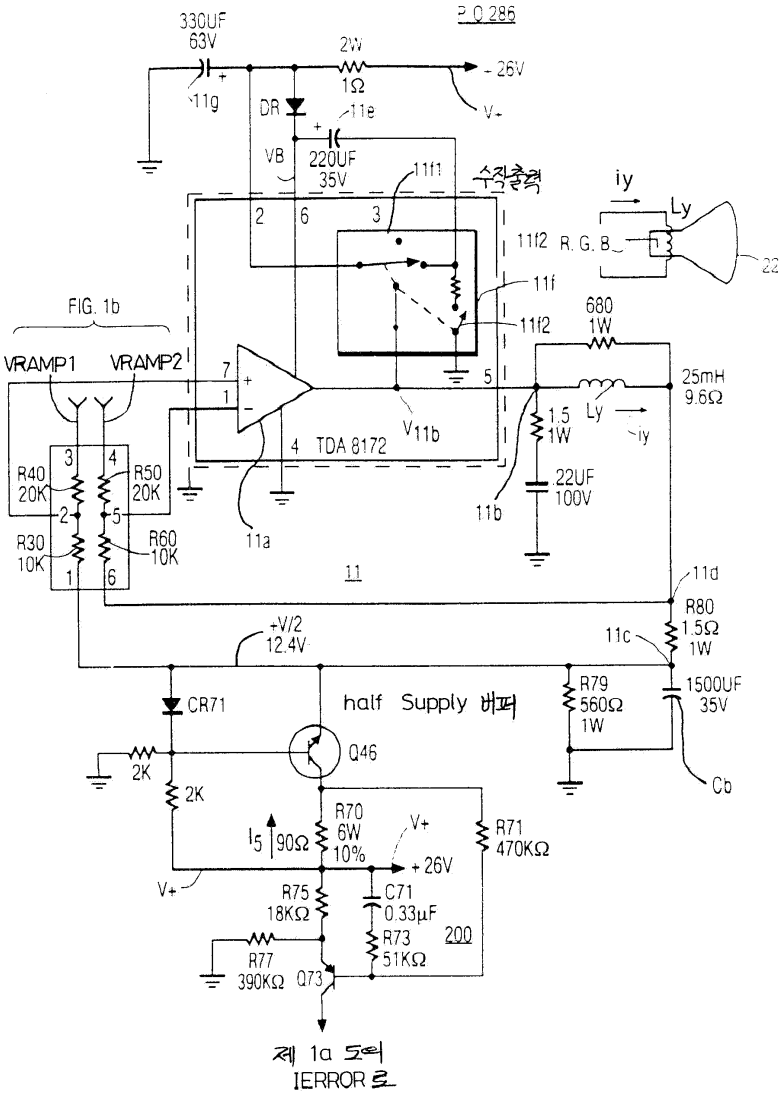
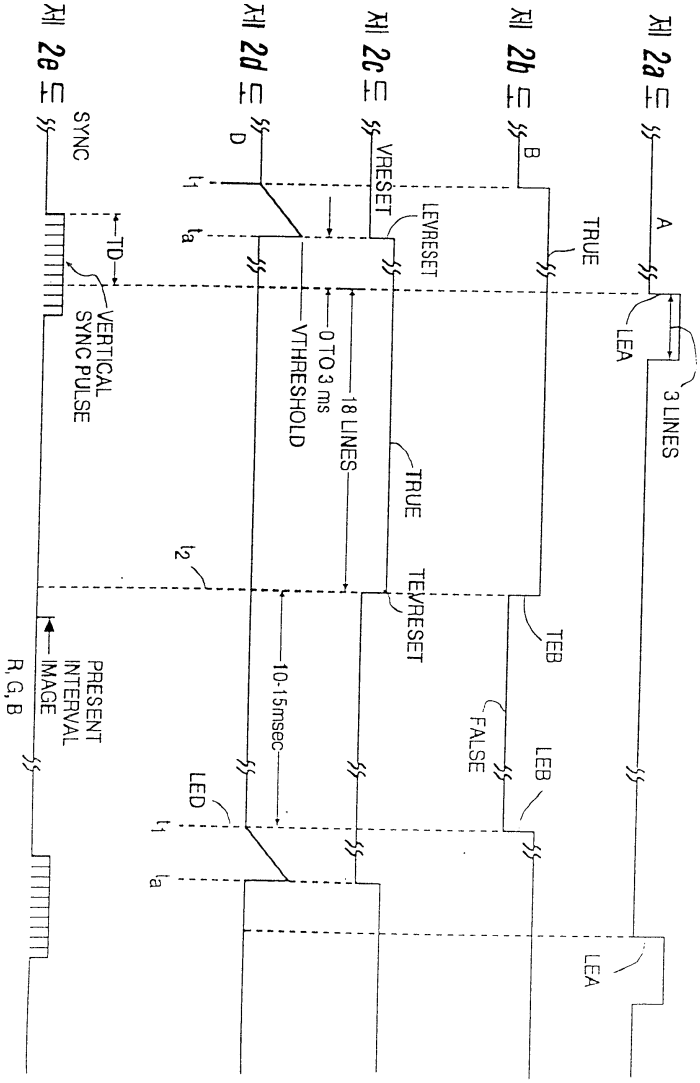


FIG. 1c
VRAMP1
5.1V
VRAMP2
5.1V
71
70
18K
18K
-9V
-9V
P/O 286
리트레이스 클램프시간
0 전류기준
0V
수축모드
VSAW
정상모드
트레이스
증 모드
5.1V
10K
5.1V
10K
1MΩ
-9V
88
1.5MΩ
R09
11.3K
VRESET
C03
.66
75K
R11
U01A
U01B
100
VSAW
U01C
R08
10K
R07
10K
IURAMP
12V
ZOOM
IO
"0" 전류기준
V-SIZE
R55
45.3K
R22
90.9K
R21
45.3K
R49
41.2K
21A
CENTER
R49A
430K
R56
90.9K
CR02
21
Q09
Q07
U06A
U02A
U02C
U06B
QB
U06C
QA
U02B
IUF
C01
TAP
47K
R18
C09
IVF
R14
4.32K
R43
BAL
10K
R16
8.8K
RB
182K
8.06K
R17
R06
4.32K
R05
6.65K
R19
10K
RA
182K
6.8V 20% UNDERSCAN
0V 6% OVERSCAN
121
-9V
RC
10K
10.32V
0V
RD
75K
1μF
VSHRINK

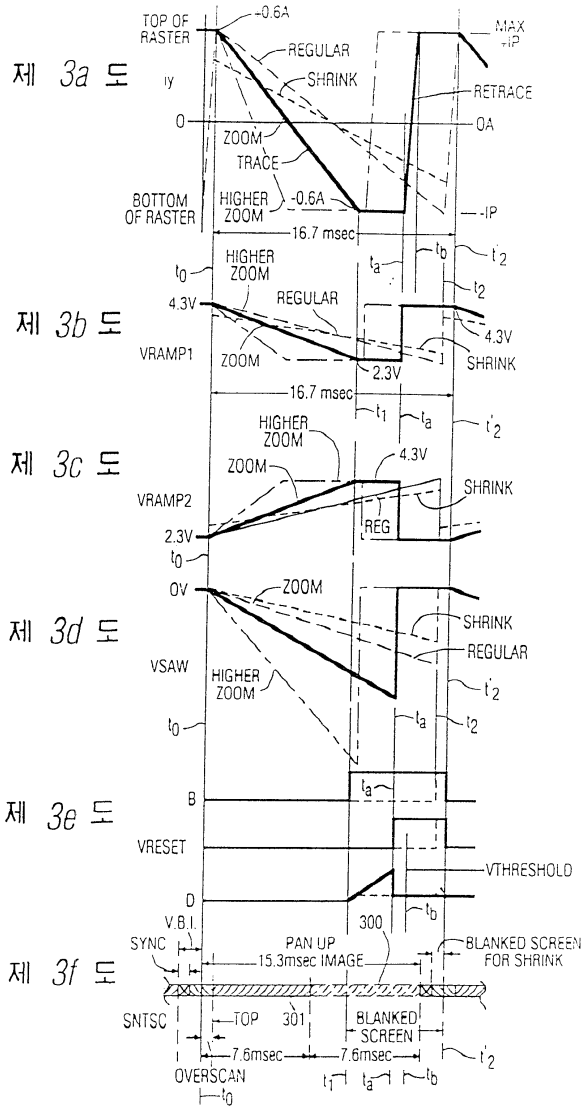
## 도면 1c


330UF
63V
11g
P.O 286
2W
1Ω
- 26V
V+
DR
11e
VB
220UF
35V
11f1
수직출력
iy
Ly
R. G. B
22
11f2
11f
680
1W
FIG. 1b
VRAMP1
VRAMP2
25mH
9.6Ω
1.5
1W
Ly
iy
TDA 8172
V11b
R40
20K
R50
20K
R30
10K
R60
10K
11a
11b
.22UF
100V
11
11d
R80
1.5Ω
1W
+V/2
12.4V
11c
CR71
half Supply 버퍼
R79
560Ω
1W
1500UF
35V
Cb
Q46
2K
2K
R70
6W
10%
I5
90Ω
V+
+ 26V
R71
470KΩ
R75
18KΩ
C71
0.33μF
R73
51KΩ
200
R77
390KΩ
Q73
제 1a 도에
IERROR 로

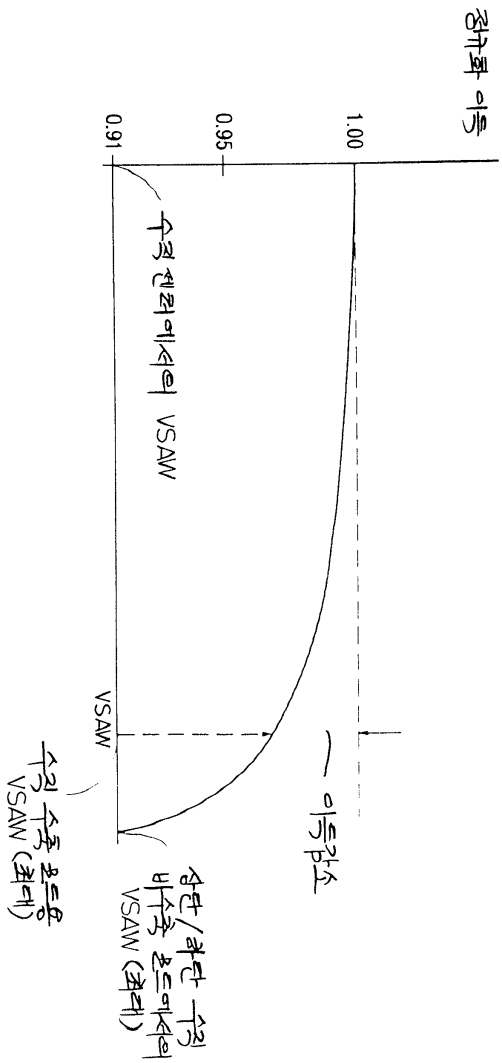
도면 2


제 2a 도
제 2b 도
제 2c 도
제 2d 도
제 2e 도
A
B
VRESET
D
SYNC
LEA
TRUE
LEVRESET
3 LINES
TD
VERTICAL SYNC PULSE
VTHRESHOLD
0 TO 3 ms
18 LINES
TRUE
TEVRESET
TEB
FALSE
LEB
LED
10-15msec
PRESENT INTERVAL IMAGE R, G, B
LEA
t1
ta
t2

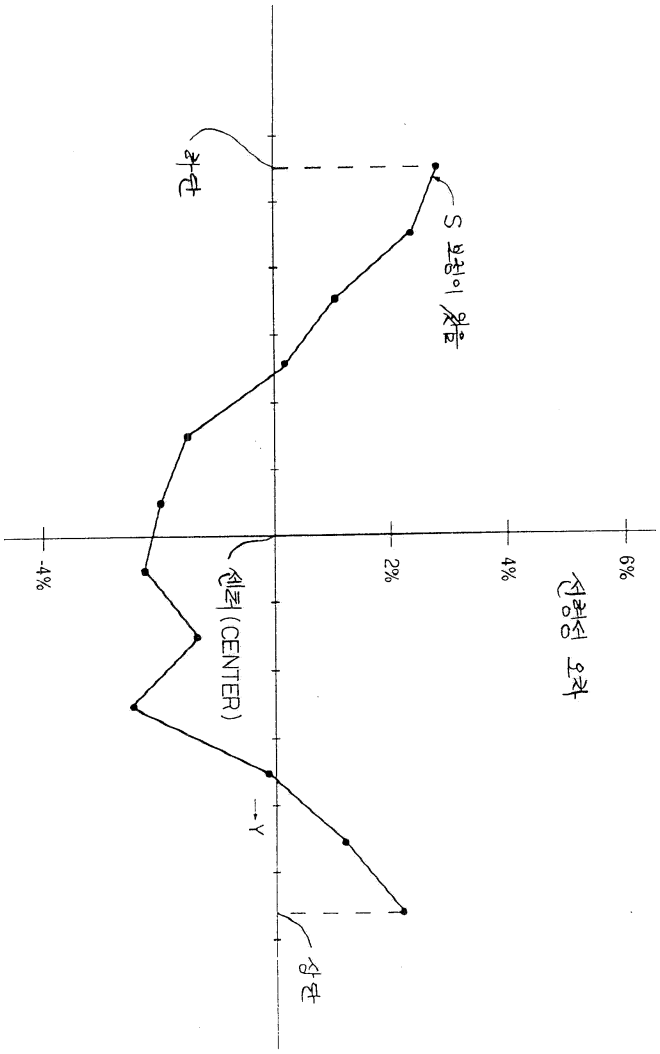
도면 3


제 3a 도
제 3b 도
제 3c 도
제 3d 도
제 3e 도
제 3f 도
TOP OF RASTER
-0.6A
REGULAR
SHRINK
RETRACE
MAX +IP
Iy
0
0A
ZOOM
TRACE
BOTTOM OF RASTER
HIGHER ZOOM
-0.6A
-IP
16.7 msec
HIGHER ZOOM
REGULAR
4.3V
VRAMP1
ZOOM
2.3V
SHRINK
16.7 msec
HIGHER ZOOM
ZOOM
4.3V
SHRINK
VRAMP2
2.3V
REG
OV
ZOOM
SHRINK
REGULAR
VSAW
HIGHER ZOOM
B
VRESET
VTHRESHOLD
D
V.B.I.
SYNC
PAN UP
15.3msec IMAGE
300
BLANKED SCREEN FOR SHRINK
SNTSC
TOP
301
BLANKED SCREEN
7.6msec
7.6msec
OVERSCAN

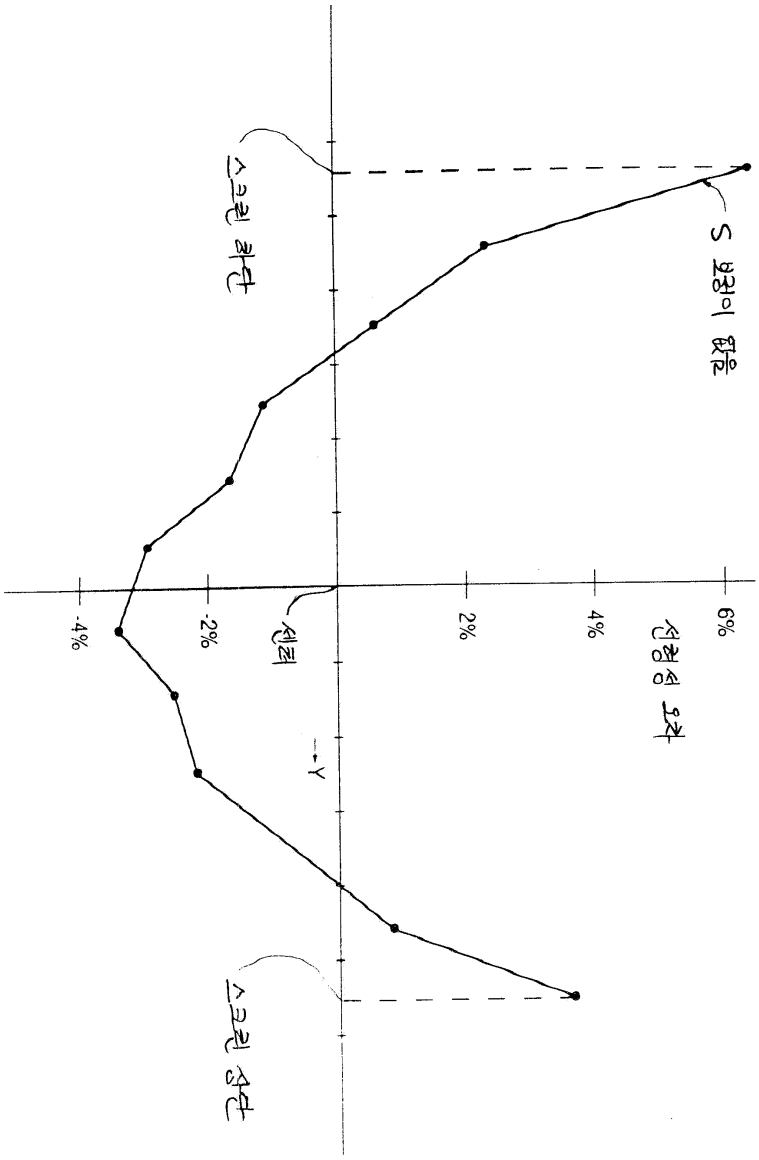
도면 4


정규화 이득
1.00
0.95
0.91
수직 센터에서의 VSAW
VSAW
수직 수축 초드용 VSAW (최대)
상단/하단 수직 비수축 초드에서의 VSAW (최대)
이득감소

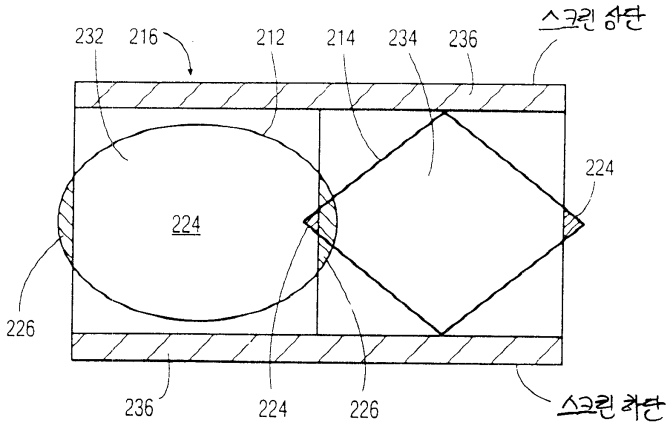
도면 5



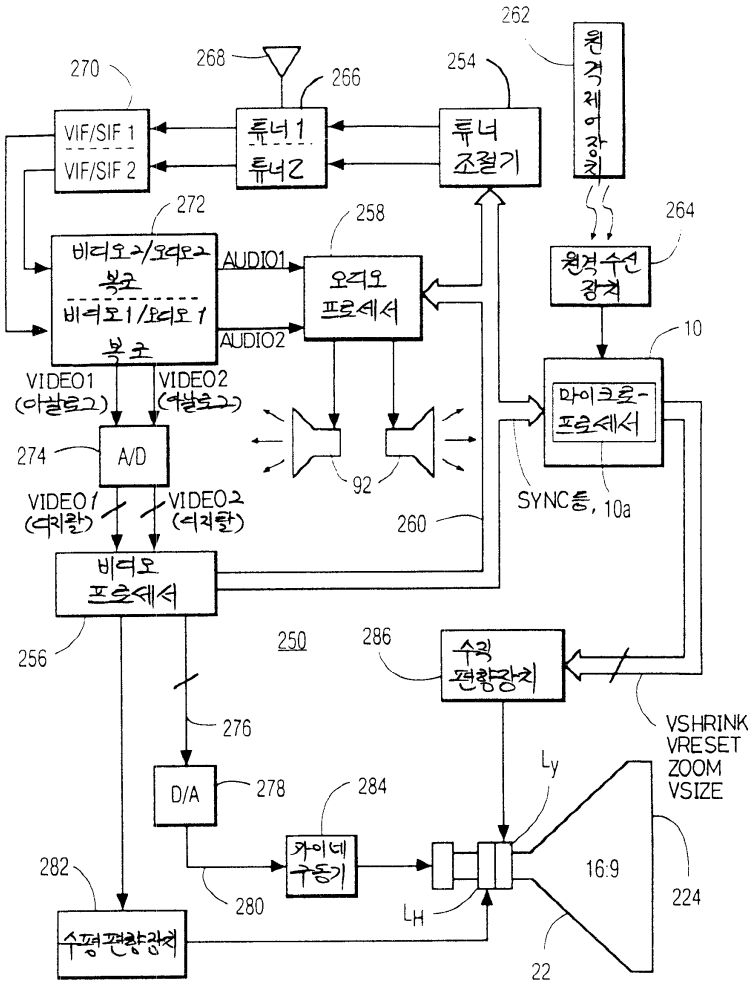
도면 6



도면 7



도면 8


262
원격제어장치
270
268
266
254
VIF/SIF 1
VIF/SIF 2
튜너 1
튜너 2
튜너 조절기
272
258
264
비디오1/오디오1 복조
비디오2/오디오2 복조
AUDIO1
AUDIO2
오디오 프로세서
원격수신 장치
10
VIDEO1 (아날로그)
VIDEO2 (아날로그)
마이크로-프로세서
274
A/D
92
SYNC등, 10a
VIDEO1 (디지탈)
VIDEO2 (디지탈)
260
비디오 프로세서
256
250
286
수직 편향장치
VSHRINK
VRESET
ZOOM
VSIZE
276
Ly
D/A
278
284
자이네 구동기
16:9
224
282
280
LH
수평편향장치
22