

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7062767号

(P7062767)

(45)発行日 令和4年5月6日(2022.5.6)

(24)登録日 令和4年4月22日(2022.4.22)

(51)国際特許分類

F I

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/82

L

H 0 1 L 21/82

C

請求項の数 20 (全15頁)

(21)出願番号	特願2020-527813(P2020-527813)	(73)特許権者	591016172
(86)(22)出願日	平成30年9月24日(2018.9.24)		アドバンスト・マイクロ・デバイス
(65)公表番号	特表2021-504941(P2021-504941)		・インコーポレイテッド
	A)		ADVANCED MICRO DEVI
(43)公表日	令和3年2月15日(2021.2.15)		CES INCORPORATED
(86)国際出願番号	PCT/US2018/052369		アメリカ合衆国 9 5 0 5 4 カリフォル
(87)国際公開番号	WO2019/103783		ニア州、 サンタ クララ、 オーガスティ
(87)国際公開日	令和1年5月31日(2019.5.31)		ン ドライブ 2 4 8 5
審査請求日	令和3年9月16日(2021.9.16)	(74)代理人	100108833
(31)優先権主張番号	15/819,879		弁理士 早川 裕司
(32)優先日	平成29年11月21日(2017.11.21)	(74)代理人	100111615
(33)優先権主張国・地域又は機関	米国(US)		弁理士 佐野 良太
早期審査対象出願		(74)代理人	100162156
			弁理士 村雨 圭介
		(72)発明者	リチャード ティー . シュルツ
			最終頁に続く

(54)【発明の名称】 セル面積を縮小し、チップレベルでのセル配置を改善するための金属0電源接地スタブ経路(METAL ZERO POWER GROUND STUB ROUTE)

(57)【特許請求の範囲】

【請求項1】

セルレイアウトであって、
第1金属層内の1つ以上の入力ノードと、
前記第1金属層内の1つ以上の出力ノードと、
第2金属層内の第1方向のみにルーティングされた前記第1金属層の下方の前記第2金属層内の1つ以上の電力基準ピンであって、前記第2金属層は、前記第1方向のみのローカル相互接続のために使用される、1つ以上の電力基準ピンと、
前記第2金属層内の前記1つ以上の電力基準ピンの電源ポストであって、前記電源ポストは、前記セルレイアウトの境界エッジまでルーティングされていない少なくとも1つの端部を有し、上方の金属層へのビアを含まない、電源ポストと、を備える、
セルレイアウト。

【請求項2】

前記電源ポストの1つの端部は、前記第2金属層内で前記セルレイアウトの境界エッジまでルーティングされている、
請求項1のセルレイアウト。

【請求項3】

前記電源ポストの1つの端部は、前記第2金属層において、隣接セルの電源ポストに接合することによって接続されており、前記電源ポストの他の端部は、隣接セルの電源ポストに接合することによって接続されていない、

請求項 1 のセルレイアウト。

【請求項 4】

前記 1 つ以上の入力ノードと、前記 1 つ以上の出力ノードと、電源接続及び接地接続と、の合計よりも少ない数の金属ゲートをさらに備える、
請求項 1 のセルレイアウト。

【請求項 5】

前記電源ポストを含む第 2 電源トラックよりも前記セルレイアウトの上部又は底部に近い第 1 電源トラックをさらに備え、前記第 1 電源トラックは、前記第 2 電源トラックに加えて電源接続に利用可能である、
請求項 1 のセルレイアウト。

10

【請求項 6】

第 2 金属層内の第 1 方向のみにルーティングされた前記第 2 金属層内の 1 つ以上の接地基準ピンと、
前記 1 つ以上の接地基準ピンの接地基準ポストと、をさらに備え、
前記接地基準ポストは、前記セルレイアウトの境界エッジまでルーティングされていない少なくとも 1 つの端部を有し、上方の金属層へのビアを含まない、
請求項 1 のセルレイアウト。

【請求項 7】

前記接地基準ポストの 1 つの端部は、前記第 2 金属層内で前記セルレイアウトの境界エッジまでルーティングされている、
請求項 6 のセルレイアウト。

20

【請求項 8】

前記第 1 金属層は、前記第 1 方向とは異なる第 2 方向のみの相互接続に使用される金属層である、
請求項 1 のセルレイアウト。

【請求項 9】

セルの第 1 金属層において 1 つ以上の入力ノードを形成することと、
前記セルの前記第 1 金属層において 1 つ以上の出力ノードを形成することと、
第 2 金属層内の第 1 方向のみにルーティングされた前記第 1 金属層の下方の前記第 2 金属層内の 1 つ以上の電力基準ピンを形成することであって、前記第 2 金属層は、前記第 1 方向のみのローカル相互接続のために使用される、ことと、
前記第 2 金属層内の前記 1 つ以上の電力基準ピンの電源ポストを形成することであって、前記電源ポストは、セルレイアウトの境界エッジまでルーティングされていない少なくとも 1 つの端部を有し、上方の金属層へのビアを含まない、ことと、を含む、
方法。

30

【請求項 10】

前記第 2 金属層内の前記電源ポストの 1 つの端部を前記セルレイアウトの境界エッジまでルーティングすることをさらに含む、
請求項 9 の方法。

【請求項 11】

前記第 2 金属層内の前記電源ポストの 1 つの端部を、接合することによって隣接セルの電源ポストに接続し、前記電源ポストの他の端部を、接合することによって隣接セルの電源ポストに接続しないことをさらに含む、
請求項 9 の方法。

40

【請求項 12】

前記 1 つ以上の入力ノードと、前記 1 つ以上の出力ノードと、電源接続及び接地接続と、の合計に満たない数の金属ゲートを前記セルに配置することをさらに含む、
請求項 9 の方法。

【請求項 13】

前記電源ポストを含む第 2 電源トラックよりも前記セルレイアウトの上部又は底部に近い

50

第 1 電源トラックにおいて前記電源ポストを形成することをさらに含み、
前記第 1 電源トラックは、前記第 2 電源トラックに加えて電源接続に利用可能である、
請求項 9 の方法。

【請求項 14】

前記第 2 金属層内の前記第 1 方向のみにルーティングされた前記第 2 金属層内の 1 つ以上の
接地基準ピンを形成することと、
前記 1 つ以上の接地基準ピンの接地基準ポストを前記第 2 金属層に形成することと、をさ
らに含み、
前記接地基準ポストは、前記セルレイアウトの境界エッジまでルーティングされていない
少なくとも 1 つの端部を有し、上方の金属層へのビアを含まない、
請求項 9 の方法。

10

【請求項 15】

前記接地基準ポストの 1 つの端部を、前記第 2 金属層内で前記セルレイアウトの境界エッ
ジまでルーティングすることをさらに含む、
請求項 14 の方法。

【請求項 16】

前記第 1 金属層は、前記第 1 方向とは異なる第 2 方向のみの相互接続に使用される金属層
である、
請求項 9 に記載の方法。

【請求項 17】

20

半導体集積回路であって、
第 1 機能を提供するように構成された第 1 セルと、
前記第 1 セルに隣接する第 2 セルであって、第 2 機能を提供するように構成された第 2 セ
ルと、
第 2 金属層内の第 1 方向のみにルーティングされた第 1 金属層の下方の前記第 2 金属層内
の 1 つ以上の電力基準ピンであって、前記第 2 金属層は、前記第 1 方向のみのローカル相
互接続のために使用される、1 つ以上の電力基準ピンと、
前記第 2 金属層内の前記 1 つ以上の電力基準ピンの電源ポストであって、前記電源ポスト
は、前記第 1 セルの境界エッジまでルーティングされていない少なくとも 1 つの端部を有
し、上方の金属層へのビアを含まない、電源ポストと、を備える、
半導体集積回路。

30

【請求項 18】

前記電源ポストの 1 つの端部は、前記第 2 金属層内で前記第 1 セルの境界エッジまでルー
ティングされている、
請求項 17 の半導体集積回路。

【請求項 19】

第 3 機能を提供するように構成された第 3 セルをさらに備え、
前記電源ポストの 1 つの端部は、前記第 2 金属層において、隣接する前記第 2 セルの電源
ポストに接合することによって接続されており、前記電源ポストの他の端部は、隣接する
前記第 3 セルの電源ポストに接合することによって接続されていない、
請求項 17 の半導体集積回路。

40

【請求項 20】

前記第 1 セルは、1 つ以上の入力ノードと、1 つ以上の出力ノードと、電源接続及び接地
接続と、の合計よりも少ない数の金属ゲートを備える、
請求項 17 の半導体集積回路。

【発明の詳細な説明】

【背景技術】

【0001】

半導体製造プロセスが進歩し、オンダイ幾何学的寸法が縮小するにつれて、半導体チップ
は、スペースの消費をより少なくしながら、より多くの機能及び性能を提供する。多くの

50

進歩がなされてきたが、潜在的な利益を制限する処理及び集積回路設計の現代の技術では、設計上の問題が依然として生じる。例えば、容量結合、エレクトロマイグレーション、リーク電流、プロセス歩留まりは、デバイスの配置及び半導体チップのダイ全体に亘る信号のルーティングに影響を与えるいくつかの問題である。したがって、これらの問題は、設計の完成を遅らせ、製品化までの時間に影響を与える可能性がある。

【 0 0 0 2 】

半導体チップの設計サイクルを短縮するために、手動のフルカスタム設計が可能な限り自動化される。設計者は、V e r i l o g、V H D L 等の高レベル記述言語で機能ユニット又は複合ゲートの記述を提供する。合成ツールは、論理記述を受信し、論理ネットリストを提供する。論理ネットリストは、物理レイアウトを提供するための配置配線（P N R）ツールによって使用される。配置配線ツールは、セルレイアウトライブラリを使用して物理レイアウトを提供する。

10

【 0 0 0 3 】

セルレイアウトライブラリは、半導体チップで使用される様々な機能を提供するための複数の標準セルレイアウトを含む。場合によっては、標準セルレイアウトは、手動で生成される。したがって、新たな標準セルレイアウト又は変更される元の標準セルレイアウトの各々は、手動で生成される。他の場合には、配置配線ツールによって使用されるルールを調整して、セルの生成が自動化される。しかし、自動化されたプロセスは、性能、消費電力、シグナルインテグリティ、プロセス歩留まり、内部クロス結合接続（internal cross coupled connections）を含むローカル及び外部の両方の信号ルーティング、他のセルに一致するセルの高さ及び幅の寸法、ピンアクセス、電源レールの設計等に向けられた各ルールを満たさない場合がある。したがって、設計者は、これらのセルを手動で生成して、複数の特性の結果を改善したり、配置配線ツールのルールを書き換えたりする。

20

【 0 0 0 4 】

概して、標準セルレイアウトは、V D D 電源レールとも呼ばれる電源電圧接続用の少なくとも1つの電源レールと、V S S 電源レールとも呼ばれる接地接続用の1つの電源レールと、を使用する。場合によっては、電源レール及び接地レールは、対応するビアに加えて、複数の金属層（例えば、水平金属0、垂直金属1、水平金属2、垂直金属3等）を利用する比較的長いワイヤを使用する。他の場合には、電源接続及び接地接続を行うために、標準セル内で固定位置ポスト（fixed location posts）が使用される。

30

【 0 0 0 5 】

電源接続及び接地接続が生成される前に、レイアウトセルライブラリ内の一部のレイアウトセルライブラリを拡大して、接続用のスペースを生成し、複数の設計ルールチェック（D R C）を満たす必要がある。セルレイアウトを拡大すると、これらのセルによって消費されるオンダイ面積が増加する。チップ設計のかなりの部分がこれらのセルを使用すると、全体的なチップ面積が大幅に増加する。

【 0 0 0 6 】

上記を考慮すると、標準セルの電力グリッド接続をレイアウトするための効率的な方法及びシステムが望まれる。

【 0 0 0 7 】

本明細書で説明する方法及びメカニズムの利点は、添付の図面と併せて以下の説明を参照することによって、より良く理解することができる。

40

【図面の簡単な説明】

【 0 0 0 8 】

【図1】インバータの標準セルレイアウトの平面図の一般化された図である。

【図2】隣接する複合論理ゲートを備えて配置されたインバータの標準セルレイアウトの平面図の一般化された図である。

【図3】金属1及び金属2の電源接続及び接地接続を有するインバータの標準セルレイアウトの平面図の一般化された図である。

【図4】インバータの標準セルレイアウトの平面図の一般化された図である。

50

【図 5】標準セルレイアウト用の電力グリッド接続を生成する方法の一般化された図である。

【図 6】標準セルレイアウト用の電力グリッド接続を生成する方法の一般化された図である。

【発明を実施するための形態】

【0009】

本発明は、様々な変更及び代替形態を受け入れることができるが、特定の実施形態を例として図面に示し、本明細書で詳細に説明する。しかしながら、図面及びその詳細な説明は、本発明を開示された特定の形態に限定することを意図するものではなく、逆に、本発明は、本発明は、添付の特許請求の範囲によって定義される本発明の範囲内にある全ての変更、均等物及び代替物を包含するものであることを理解されたい。

10

【0010】

以下の説明では、本明細書に提示される方法及びメカニズムの十分な理解を提供するために、多くの具体的な詳細が示されている。しかしながら、当業者は、様々な実施形態がこれらの具体的な詳細無しに実施され得ることを認識すべきである。いくつかの例では、周知の構造、コンポーネント、信号、コンピュータプログラム命令及び技術は、本明細書に記載されたアプローチを曖昧にすることを避けるために、詳細に示されていない。説明を簡単且つ明確にするために、図に示される要素が必ずしも縮尺通りに描かれていないことが理解されるであろう。例えば、いくつかの要素の寸法は、他の要素と比較して誇張されている場合がある。

20

【0011】

標準セルの電力グリッド接続をレイアウトするシステム及び方法が考えられる。様々な実施形態では、セルは、金属 1 内の 1 つ以上の入力ノードと、金属 1 内の 1 つ以上の出力ノードと、金属 1 内のポストの下方の金属 0 内の電源ポスト及び接地基準ポストの各々と、を含む。一実施形態では、セルは、セルレイアウトライブラリの標準セルである。別の実施形態では、セルは、チップ設計の特定の領域のために生成されたカスタムセルである。電源ポスト及び接地ポストは、上方の金属層へのビアを含まない。いくつかの実施形態では、金属 0 内の電源ポスト及び接地ポストは、セルの境界エッジにルーティングされる。レイアウトルールは、このタイプのルーティングを可能にするように変更される。金属 0 内の電源ポスト及び接地ポストは、接合 (abutment) によって、隣接セルの金属 0 内の電源ポスト及び接地ポストに接続される。配置配線ツールは、セルを配置した後にさらなるルーティング工程を実行する必要がある。

30

【0012】

他の実施形態では、電源接続及び接地接続は、金属 0 でセルの境界エッジから閾値距離までルーティングされる。配置配線ツールは、セルを、当該セル内の金属 0 内の電源ポスト及び接地ポストのトラック (tracks) と位置合わせされた金属 0 内の電源ポスト及び接地ポストを有する隣接セルの隣に配置する。配置配線ツールは、配置後にセルと隣接セルとの間で、金属 2 ではなく金属 0 をルーティングする。様々な実施形態では、上方の金属層へのビアを有しない金属 0 の電源ポスト及び接地ポストを有するように選択されたセルは、1 つ以上の入力ノードと、1 つ以上の出力ノードと、電源接続及び接地接続と、の合計よりも少ない数の金属ゲートを有するセルを含む。

40

【0013】

図 1 を参照すると、セルレイアウト 102 及びセルレイアウト 104 の平面図の一般化されたブロック図が示されている。ここで、図示の便宜上、セルレイアウト 102、104 には活性領域が示されていない。図示した実施形態では、電源接続及び接地接続用の金属 1 (すなわち、M1) ポストが配置されていないインバータ用のセルレイアウト 102 が、左側に示されている。セルレイアウト 102 は、金属 1 (M1) 150 において「IN」というラベルが付された入力ピンと、M1 150 において「OUT」というラベルが付された出力ピンと、金属 0 (M0) 130 において「VDD」というラベルが付された電源ピンと、M0 130 において「GND」というラベルが付された接地基準ピンと、

50

を有する。セルレイアウト 102 は、M1 150 において、電源接続及び接地接続用のポストを含まない。

【0014】

右側に示すセルレイアウト 104 は、電源接続及び接地接続用の金属 1 (M1) ポストが配置されていないインバータの別の実施形態である。セルレイアウト 104 は、セルレイアウト 102 と同数の垂直金属ゲート 110 を利用する。いくつかの実施形態では、セルレイアウト 102, 104 は、セルレイアウトライブラリの一部である。他の実施形態では、セルレイアウト 102, 104 は、チップ設計の特定領域用のカスタムレイアウトセルである。電源接続及び接地接続用の金属 1 (M1) ポストの非効率的な配置を有するインバータのセルレイアウトは、後述する (図 3 の) 標準セルレイアウト 300 に示されており、この標準セルレイアウトは、M1 150 にポストを追加するための領域を提供するための追加の金属ゲート 110 を有する。

10

【0015】

図示した実施形態では、セルレイアウト 102 及びセルレイアウト 104 の各々は、上方の金属層へのビアを含まない、金属 0 130 内のポストを有する。隣接セルを有するフロアプラン内のセルレイアウト 102, 104 のグローバルルーティングは、通常、金属 2 170 を使用するのではなく、金属 0 130 を使用する。セルレイアウト 102 が、隣接セルとの電源接続のためのルーティングを含むにも関わらず、セルレイアウト 104 は、セルレイアウト 102 と同量のオンダイ面積を有している。通常、垂直金属 1 (M1) 150 は、隣接セルとの電源接続及び接地接続を生成するために水平金属 2 (M2) 170 への柔軟な接続を提供するためのルーティングに使用される。しかしながら、ここでは、セルレイアウト 104 は、電源接続のために、金属 1 150 の垂直ポスト又は金属 2 170 の水平ポストの何れも使用しない。セルレイアウト 104 の場合、セルレイアウト 104 の M0 130 内の電源ポストは、インバータのセルレイアウト 104 の境界エッジまで延在 (拡張) し、M0 内での隣接セルへのルーティングを可能にする。M0 拡張部 132 を使用することにより、一実施形態では、M0 130 におけるルーティングが、隣接セルの M0 130 内の電力基準ポストとの接合によって達成される。

20

【0016】

レイアウト設計ルールチェック (DRC) は、M0 拡張部 132 を使用できるように修正される。レイアウトを実行するソフトウェアレイアウトツールは、DRC を修正する。配置配線ツールは、セルが互いに接合するようにセルを配置するが、セル内のレイアウトを検証しない。通常、金属 0 130 の水平ルートは、セル境界エッジ、及び、セル境界エッジから少なくとも 0 以外の閾値距離の前に終了する。

30

【0017】

セルレイアウト 104 は、インバータのレイアウト技術を示しているが、このレイアウト技術を、電源接続が追加される場合にオンダイ面積が増大するのを抑制するために、他の標準セルに使用することができる。例えば、レイアウト技術を、金属ゲート 110 の数よりも多いピンカウントを含むレイアウトを有するレイアウトライブラリの任意の標準セルに使用することができる。換言すれば、レイアウト技術を、1 つ以上の入力ノードと、1 つ以上の出力ノードと、電源接続及び接地接続との合計に満たない数の金属ゲートを有する任意の標準セルに使用することができる。

40

【0018】

セルレイアウト 102, 104 の各々の上部には、p 型金属酸化物半導体 (PMOS) 電界効果トランジスタ (FET) (p f e t s) が配置されている。n 型 MOS FET S (n f e t s) は、セルレイアウト 102, 104 の各々の下部に配置されている。したがって、セルレイアウト 102 及びセルレイアウト 104 の各々は、上部において「VDD」というラベルが付された電力ピンと、下部において「GND」というラベルが付された接地ピンと、を使用する。いくつかの実施形態では、標準セルレイアウト 100 のデバイス、液浸リソグラフィ技術、ダブルパターンング技術、極端紫外線リソグラフィ (EUV) 技術、及び、自己組織化 (DSA) リソグラフィ技術の何れかによって製造される

50

。いくつかの実施形態では、EUV技術は、他の技術と比較して、ビア及び接触モジュールに対してより多くの柔軟性を提供する。

【0019】

様々な実施形態では、セルレイアウト102, 104内のデバイス(トランジスタ)は、非平面デバイス(トランジスタ)である。非平面トランジスタは、短チャネル効果を低減するために半導体処理において最近開発されたものである。トライゲートトランジスタ、フィン電界効果トランジスタ(FET)及びゲートオールアラウンド(GAA)トランジスタは、非平面トランジスタの例である。図示したように、セルレイアウト102, 104は、垂直方向の金属ゲート110と、ソース領域及びドレイン領域用の垂直方向のトレンチシリサイドコンタクト120と、ローカル相互接続用の水平方向の金属0(M0)130と、金属ゲート110を金属0 130に接続するためのコンタクト140と、トレンチシリサイドコンタクト120を金属0 130に接続するためのコンタクト142と、を使用する。

10

【0020】

様々な実施形態では、金属ゲート110において窒化チタン(TiN)が使用される。製造プロセスにおいて、金属ゲート110は、蒸着に続く化学機械研磨ステップによって、非平面トランジスタのナノワイヤの周囲に設けられる。また、セルレイアウト102, 104は、垂直方向のローカル相互接続に金属1(M1)150を使用し、水平相互接続金属0 130を垂直相互接続金属1 150に接続するためのビア152を使用する。ビア160は、垂直金属1 150を水平金属2 170に接続するために使用される。しかしながら、セルレイアウト102, 104は、ビア160又は金属2 170を使用しない。

20

【0021】

上述したように、セルレイアウト102は、金属1(M1)150の入力ピン「IN」と、M1 150の出力ピン「OUT」と、金属0(M0)130の電源電圧ピン「VDD」と、M0 130の接地基準ピン「GND」と、の4つのピンを有する。セルレイアウト102は、3つの金属ゲート110を有する。金属ゲート110に対するピンの合計の割合は、3つの金属ゲート110に対して4つのピンであることから、1よりも大きい。電力基準ピンを隣接セルにルーティングすることは、依然として、セルレイアウト102に必要とされている。通常、電力基準ピンは、M1 150内にルーティングされる。例えば、ソフトウェア配置配線ツールは、チップ設計のダイの上にセルレイアウト102のコピーを配置し、その後、VDD用に金属1 150内に垂直ポストを配置し、金属1 150の垂直電源ポストを水平金属2 170に接続するためのビア160を配置し、次いで、電力水平金属2 170を、隣接セルの電力水平金属2 170にルーティングする。同様のステップは、接地基準接続用に、配置配線ツールによって実行される。しかしながら、セルレイアウト102等の標準セルは、余分な金属ゲート110を追加して余分な垂直M1チャンネルを生成することによってレイアウト及びオンダイ面積を拡大することなく、電源ポストを金属1 150に追加するのに十分な垂直金属1(M1)チャンネルを有していない。

30

【0022】

セルレイアウト104は、セルレイアウト102と同様に、金属1(M1)150の入力ピン「IN」と、M1 150の出力ピン「OUT」と、セル境界まで延在する金属0(M0)130の電源電圧ピン「VDD」と、セル境界まで延在するM0 130の接地基準ピン「GND」と、を含む4つのピンを有する。また、セルレイアウト104は、3つの金属ゲート110を有する。金属ゲート110に対するピンの合計の割合は、3つの金属ゲート110に対して4つのピンであることから、1よりも大きい。電力基準ポストを隣接セルにルーティングするために水平金属1 170を使用するのではなく、セルレイアウト104の電力基準ポストを隣接セルにルーティングすることは、M0ポスト132をセル境界まで延在することによって行われる。

40

【0023】

M1 150の電源ポストは、「VDD」及び「GDD」というラベルが付された電力基

50

準ピンをルーティングするためにセルレイアウト 1 0 4 に追加されないの、セルレイアウト 1 0 4 のオンダイ面積を拡大して M 1 1 5 0 の電源ポストを含むために、追加の金属ゲート 1 1 0 が追加されない。電源を金属 2 1 7 0 の水平ポストに接続するために金属 1 1 5 0 の垂直ポストが追加される場合、追加の金属ゲート 1 1 0 が、設計ルールを満たすために追加される。設計ルールは、金属 1 1 5 0 の垂直ポストが、セル境界エッジの閾値距離内に存在することを防止する。さらに、金属 1 1 5 0 の垂直ポストは、垂直金属ゲート 1 1 0 の閾値距離内に存在する必要がある。設計ルールは、製造プロセスによって設定される。追加の金属ゲート 1 1 0 は、金属 1 1 5 0 の垂直ポストとセル境界エッジとの間に追加の距離を与える。金属 0 1 3 0 の水平ポストの拡張部を使用するルーティングのタイプは、(図 2 の) セルレイアウト 2 0 0 に示されている。

10

【 0 0 2 4 】

図 2 を参照すると、セルレイアウト 2 0 0 の平面図の一般化されたブロック図が示されている。上述したレイアウト要素には、同じ符号が付されている。セルレイアウト 1 0 2 , 1 0 4 と同様に、電源接続用のポスト位置は上部に存在し、接地接続用のポスト接続は下部に存在する。図示するように、セルレイアウト 2 0 0 は、左側にインバータを含み、右側に隣接セルとして様々な複合ゲートの何れかを含む。様々な実施形態では、インバータ及び隣接セルの各々は、セルレイアウトライブラリ内の標準セルである。他の実施形態では、インバータ及び隣接セルのうち 1 つ以上は、セルレイアウトライブラリとは別のカスタム設計セルである。

【 0 0 2 5 】

20

ここで、レイアウト 2 0 0 では、インバータ及び隣接セルの各々は、金属 0 1 3 0 の水平ポストにおいて互いに位置合わせされた電源トラック及び接地基準トラックを有する。様々な実施形態では、ソフトウェア配置配線ツールは、インバータを、チップ設計のダイ上の複合ゲートの左側に配置する。一実施形態では、インバータは、電源接続及び接地接続用の水平 M 0 拡張部 1 3 2 を既に有している。レイアウトツールによって実行されるレイアウト設計ルールチェック (D R C) は、M 0 拡張部 1 3 2 の使用を可能にするように修正される。ソフトウェア配置配線ツールがインバータを左側に配置したとき、電源接続及び接地接続は、左側のインバータと右側の複合ゲートとの間の接合によって行われる。

【 0 0 2 6 】

別の実施形態では、インバータのセルレイアウトは、電源接続及び接地接続用の水平 M 0 拡張部 1 3 2 を含まない。しかしながら、金属 0 1 3 0 の水平電源トラック及び接地トラックは、複合ゲート内の金属 0 1 3 0 の水平電源トラック及び接地トラックと位置合わせされている。したがって、配置配線ツールは、インバータを複合ゲートの左側に配置し、インバータの電源接続と複合ゲートとの間に、水平金属 2 1 7 0 ではなく、金属 0 1 3 0 の追加の水平ルートを追加するように修正される。さらに、配置配線ツールは、インバータの摂津接続と複合ゲートとの間に、水平金属 2 1 7 0 ではなく、金属 0 1 3 0 の追加の水平ルートを追加する。

30

【 0 0 2 7 】

いくつかの実施形態では、レイアウトルールによって、電源接続を、セルレイアウト 2 0 0 に示す現在使用されている金属 0 1 3 0 の水平トラックの下方の水平トラックに配置することを可能にする。また、いくつかの実施形態では、レイアウトルールによって、接地接続を、セルレイアウト 2 0 0 に示す現在使用されている金属 0 1 3 0 の水平トラックの上方の水平トラックに配置することを可能にする。したがって、電源接続及び接地接続を配置するために、インバータセルレイアウトの 4 つの異なるバリエーションが可能である。しかしながら、レイアウトセルライブラリ内のセルには、セル境界エッジに到達するために利用可能な金属 0 のトラックを有していないセルがある。電源接続及び接地接続を、金属 2 1 5 0 のポスト等の上方の金属層においてルーティングする必要がある。

40

【 0 0 2 8 】

セルレイアウトライブラリでは、金属 2 1 5 0 のポストを使用するインバータの追加のセルレイアウトも使用される。したがって、電源接続及び接地接続の配置のために、イン

50

バータセルレイアウトの第5バリエーションが可能である。一実施形態では、配置配線ツールの配置ルールを変更して、インバータセルの5つのバリエーションのうち何れを特定の複合ゲートに隣接して配置するかを、複合ゲートの電源接続及び接地接続に基づいて決定する。電源接続及び接地接続用の追加の利用可能な金属0 1 3 0のトラックの数が2よりも多い他の実施形態では、インバータセルレイアウトの可能なバリエーションの数が増加する。

【0029】

決定されると、配置配線ツールは、電源接続及び接地接続がインバータと複合ゲートとの間で位置合わせされるように、複合ゲートの左側に配置されるインバータセルの複数のバリエーションのうち何れかを選択する。一実施形態では、インバータのセルレイアウトは、金属0の水平拡張部1 3 2を使用し、ルーティングは、接合によって実行される。別の実施形態では、インバータのセルレイアウトは、金属0の水平拡張部1 3 2を使用せず、ルーティングは、水平金属2 1 7 0ではなく、金属0 1 3 0の追加の水平ルートを、インバータの電源接続と複合ゲートとの間に追加する配置配線ツールによって実行される。

【0030】

上述したように、上記のレイアウト技術及び配置配線技術はインバータについて説明しているが、これらの技術は、レイアウトライブラリの他の標準セルにも使用することができる。例えば、これらの技術は、金属ゲート1 1 0数よりも多い数のピンを有する他の標準セルにも使用することができる。1よりも大きい割合を有するレイアウトセルライブラリ内の標準セルの他の例は、2入力ブールNANDゲート及び2入力ブールNORゲートである。一例では、3つの論理ゲートが存在し、各ゲートは、電源接続及び接地接続の配置に関する4つの組み合わせを有する。したがって、レイアウトライブラリでは12の異なる標準セルレイアウトがサポートされており、各標準セルレイアウトでは、電源接続用に金属2 1 7 0の水平ポストではなく、金属0 1 3 0の水平ポストが使用される。

【0031】

図3を参照すると、マルチセルレイアウト3 0 0の平面図の一般化されたブロック図が示されている。上述したレイアウト要素には、同じ符号が付されている。セルレイアウト1 0 2, 1 0 4, 2 0 0と同様に、電源接続用のポスト位置は上部に存在し、接地接続用のポスト接続は下部に存在する。セルレイアウト1 0 2, 1 0 4, 2 0 0におけるインバータのセルレイアウトとは対照的に、セルレイアウト3 0 0は、金属2 1 7 0の水平ポストにおいて電源トラック及び接地基準トラックを有する。ビア1 6 0は、金属1 1 5 0の垂直電源ポストを、隣接セル(図示省略)の水平金属2 1 7 0内の別の電源ポストにルーティング可能な金属2 1 7 0の水平ポストに接続するために使用される。ビア1 6 0は、接地接続に関して同様に使用される。

【0032】

金属0 1 3 0の拡張部を使用せずに、及び、配置配線ツールの修正を使用せずに、追加の金属ゲート1 1 0を配置して、電源接続及び接地接続をルーティングするための金属1 (M1) 1 5 0のトラック用のスペースを生成する。図示するように、セルレイアウト3 0 0は、上記のセルレイアウト1 0 2, 1 0 4, 2 0 0のインバータと比較して、距離3 0 2だけ面積が増加する。距離3 0 2は、追加の金属ゲート1 1 0の左端と元の最も左型の金属ゲート1 1 0との間の距離である。追加のトレンチシリサイドコンタクト1 2 0も配置される。追加の金属ゲート1 1 0は、金属1 1 5 0の垂直ポストと金属ゲート1 1 0との間の最小距離を規定する製造プロセスに基づくDRCを満たす。距離3 0 4は、セルレイアウト3 0 0の境界エッジ3 0 6と金属0 1 3 0の水平トラックの端部との間の閾値距離を示す。

【0033】

図4を参照すると、セルレイアウト4 0 0の平面図の一般化されたブロック図が示されている。上述したレイアウト要素には、同じ符号が付されている。セルレイアウト1 0 2, 1 0 4と同様に、電源接続用のポスト位置は上部に存在し、接地接続用のポスト接続は下部に存在する。図示するように、セルレイアウト4 0 0は、左側にインバータを含み、右

10

20

30

40

50

側に隣接セルとして様々な複合ゲートの何れかを含む。様々な実施形態では、インバータ及び隣接セルの各々は、セルレイアウトライブラリの標準セルである。他の実施形態では、インバータ及び隣接セルのうち1つ以上は、セルレイアウトライブラリとは別のカスタム設計セルである。ここで、レイアウト400では、インバータ及び隣接セルは、金属0130の水平ポストにおいて互いに位置合わせされた電源トラック及び接地基準トラックを有する。例えば、「電源トラック1」及び「接地トラック1」というラベルが付されたトラックは、インバータ及び複合ゲートの位置合わせを示す。

【0034】

様々な実施形態では、ソフトウェア配置配線ツールは、インバータを、チップ設計のダイ上の複合ゲートの左側に配置する。一実施形態では、インバータは、電源接続及び接地接続用の水平M0拡張部132を既に有している。レイアウトツールによって実行されるレイアウト設計ルールチェック(DRC)は、M0拡張部132の使用を可能にするように修正される。図示するように、セルレイアウト400は、電源接続及び接地接続をルーティングするための他の2つの他のトラックを含む。一実施形態では、インバータの別の変形例は、「電源トラック2」及び「接地トラック2」というラベルが付された他のトラックを、電源接続及び接地接続のために使用する。上述したように、電源接続及び接地接続の配置のための、インバータセルレイアウトの複数の異なるバリエーションが存在し得る。

【0035】

図5を参照すると、セルレイアウト用の電力グリッド接続を生成する方法500の一実施形態が示されている。説明のために、本実施形態におけるステップ(図6と同様に)を順番に示す。しかしながら、他の実施形態では、いくつかのステップが、図示した順序と異なる順序で発生し、いくつかのステップが同時に行われ、いくつかのステップが他のステップと組み合わせられ、いくつかのステップが存在しない。

【0036】

電源接続及び接地接続用に金属0を使用するのに適したセルが決定される(ブロック502)。一実施形態では、標準セル又はカスタムセルは、1つ以上の入力ノードと、1つ以上の出力ノードと、セルの電源接続及び接地接続と、の合計よりも少ない数の金属ゲートを有する場合に、適格である。いくつかの実施形態では、適格なセルは、インバータ、2入力ブールNANDゲート、2入力ブールNORゲートのうち1つ以上を含む。

【0037】

金属0内の電源接続及び接地接続をルーティングするために、適格なセル毎にいくつかのバリエーションが決定される(ブロック504)。様々な実施形態では、電源接続及び接地接続用の金属0(M0)のポストの各々は、ルーティング用の複数の利用可能なトラックを有する。バリエーションの数は、利用可能なトラックを用いて電源接続及び接地接続をルーティングするのに使用する組み合わせの数に等しい。例えば、適格なセル内に電源用の金属0の2つの利用可能なトラックが存在し、適格なセル内に接地基準用の金属0の2つの利用可能なトラックが存在する場合、金属0の電源接続及び接地接続をルーティングするために、適切なセルに関する4つの可能なバリエーションが存在する。

【0038】

適切なセルの各々のバリエーション毎に、金属0内の電源接続及び接地接続が、セルの境界エッジにルーティングされる(ブロック506)。一実施形態では、セルレイアウトライブラリは、新たな標準セルで更新される。次のステップは、チップ設計のフロアプランニングに関する。配置配線ツールを使用して、ライブラリから標準セルを選択し、標準セルを隣接セルの隣に配置し、電源接続及び接地接続をグローバルにルーティングする。適切なセルのバリエーションが、チップフロアプランでの配置に必要な場合(条件ブロック508:No)、電源接続及び接地接続用の金属0以外の他の金属層を使用するセルを用いて、配置及びルーティングが完了する(ブロック510)。例えば、いくつかの実施形態では、金属2(M2)層が、電源接続及び接地接続に使用される。

【0039】

何れかの適格なセルのバリエーションが、チップフロアプランでの配置に必要な場合(条

10

20

30

40

50

件ブロック508で：Yes）、複数のバリエーションのうち1つが、フロアプランの隣接セルに基づいて選択される（ブロック512）。適格なセルの選択されたバリエーションは、隣接セルの隣に配置され、配置配線ツールは、電力及び接地のさらなるルーティングを行わずに、次のセル配置に移動する（ブロック514）。電源接続及び接地接続は、選択された適格なセルとこれに隣接するセルとの接合によって、金属0で形成される。

【0040】

図6を参照すると、標準セルレイアウト用の電力グリッドを生成する別の方法600の実施形態が示されている。電源接続及び接地接続用に金属0を使用するのに適したセルが決定される（ブロック602）。上述したように、一実施形態では、標準セル又はカスタムセルは、1つ以上の入力ノードと、1つ以上の出力ノードと、標準セルの電源接続及び接地接続と、の合計よりも少ない数の金属ゲートを有する場合に、適格である。いくつかの実施形態では、適格なセルは、インバータ、2入力ブールNANDゲート、2入力ブールNORゲートのうち1つ以上を含む。様々な実施形態では、チップフロアプランのインバータ、2入力ブールNANDゲート、2入力ブールNORゲートに関する標準セルの使用回数は、多くの設計においてかなりの数になる場合がある。

10

【0041】

金属0の電源接続及び接地接続をルーティングするために、適格なセル毎にいくつかのバリエーションが決定される（ブロック604）。上述したように、バリエーションの数は、利用可能なトラックを用いて電源接続及び接地接続をルーティングするのに使用する組み合わせの数に等しい。一例では、適格なセル内に電源用の金属0の2つの利用可能なトラックが存在し、適格なセル内に設置基準用の金属0の2つの利用可能なトラックが存在する場合、金属0の電源接続及び接地接続をルーティングするために、適切なセルに関する4つの可能なバリエーションが存在する。

20

【0042】

適切なセルの各々のバリエーション毎に、金属0内の電源接続及び接地接続が、セルの境界エッジから閾値距離までルーティングされる（ブロック606）。一実施形態では、セルレイアウトライブラリは、新たな標準セルで更新される。次のステップでは、配置配線ツールが、ライブラリから標準セルを選択し、標準セルを隣接セルの隣に配置し、電源接続及び接地接続をグローバルにルーティングする。適格なセルのバリエーションが、チップフロアプランでの配置に必要な場合（条件ブロック608：No）、電源接続及び接地接続用の金属0以外の他の金属層を使用するセルを用いて、配置及びルーティングが完了する（ブロック610）。例えば、いくつかの実施形態では、金属2（M2）層が、電源接続及び接地接続に使用される。

30

【0043】

何れかの適格なセルのバリエーションが、チップフロアプランでの配置に必要な場合（条件ブロック608：Yes）、複数のバリエーションのうち1つが、フロアプランの隣接セルに基づいて選択される（ブロック612）。適格なセルの選択されたバリエーションは、隣接セルの隣に配置され、配置配線ツールは、適格なセルと隣接セルとの間の金属0の接続をルーティングし、次のセル配置に移動する（ブロック614）。

【0044】

上記の実施形態のうち1つ以上がソフトウェアを含むことに留意されたい。このような実施形態では、方法及び/又はメカニズムを実施するプログラム命令は、コンピュータ可読媒体に伝達又は記憶される。プログラム命令を記憶するように構成された多くのタイプの媒体が利用可能であり、これらには、ハードディスク、フロッピー（登録商標）ディスク、CD-ROM、DVD、フラッシュメモリ、プログラム可能ROM（PROM）、ランダムアクセスメモリ（RAM）及び他の様々な形態の揮発性又は不揮発性記憶装置が含まれる。一般的に言えば、コンピュータアクセス可能な記憶媒体は、命令及び/又はデータをコンピュータに提供するために使用中にコンピュータがアクセス可能な記憶媒体を含む。例えば、コンピュータアクセス可能な記憶媒体は、例えば磁気又は光学媒体（例えば、ディスク（固定若しくは取り外し可能）、テープ、CD-ROM、DVD-ROM、CD

40

50

- R、CD-RW、DVD-R、DVD-RW、Blu-Ray（登録商標）等の記憶媒体を含む。記憶媒体は、RAM（例えば、同期型ダイナミックRAM（SDRAM）、ダブルデータレート（DDR、DDR2、DDR3等）SDRAM、低電力DDR（LPDDR2等）SDRAM、ラムバスDRAM（RDRAM）、スタティックRAM（SRAM）等）、ROM、フラッシュメモリ、USBインタフェース等の周辺インタフェースを介してアクセス可能な不揮発性メモリ（例えば、フラッシュメモリ）等の揮発性又は不揮発性記憶媒体をさらに含む。記憶媒体は、微小電気機械システム（MEMS）、並びに、ネットワーク及び/又は無線リンク等の通信媒体を介してアクセス可能な記憶媒体を含む。

【0045】

また、様々な実施形態では、プログラム命令は、C等の高レベルプログラミング言語、Verilog、VHDL等の設計言語（HDL）、又は、GDS IIストリームフォーマット（GDS II）等のデータベースフォーマットにおけるハードウェア機能の動作レベル記述又はレジスタ転送レベル（RTL）記述を含む。場合によっては、記述は合成ツールによって読み取られ、合成ツールは、記述を合成して、ゲートのリストを含むネットリストを合成ライブラリから生成する。ネットリストは、システムを含むハードウェアの機能を表すゲートのセットを含む。次に、ネットリストを配置してルーティングし、マスクに適用される幾何学的形状を記述するデータセットを生成する。次いで、マスクを様々な半導体製造工程で使用して、システムに対応する1つ以上の半導体回路を製造する。或いは、コンピュータアクセス可能な記憶媒体上の命令は、必要に応じて、ネットリスト（合成ライブラリを伴う若しくは伴わない）又はデータセットである。さらに、命令は、Cadence（登録商標）、EVE（登録商標）及びMentor Graphics（登録商標）等のベンダからのハードウェアベースタイプのエミュレータによるエミュレーションの目的で利用される。

【0046】

上記の実施形態をかなり詳細に説明したが、上記の開示が十分に理解されれば、当業者には多くの変形及び修正が明らかになるであろう。添付の特許請求の範囲は、このような全ての変形及び修正を包含するように解釈されることを意図している。

10

20

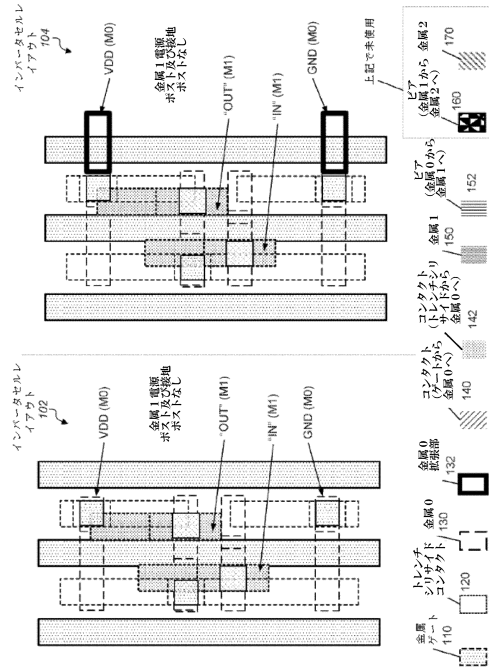
30

40

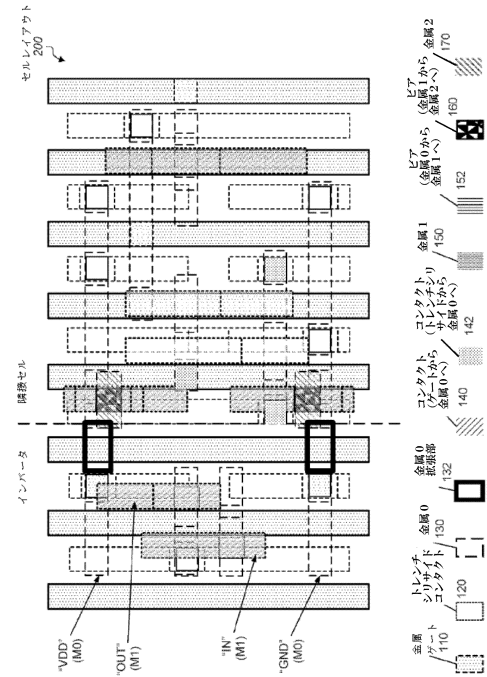
50

【図面】

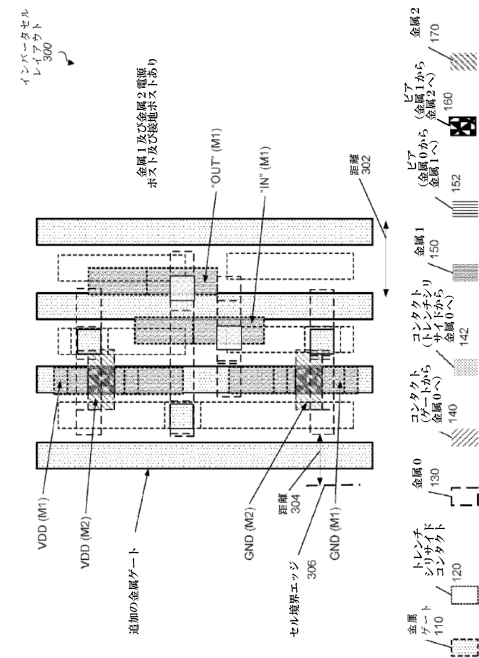
【 図 1 】



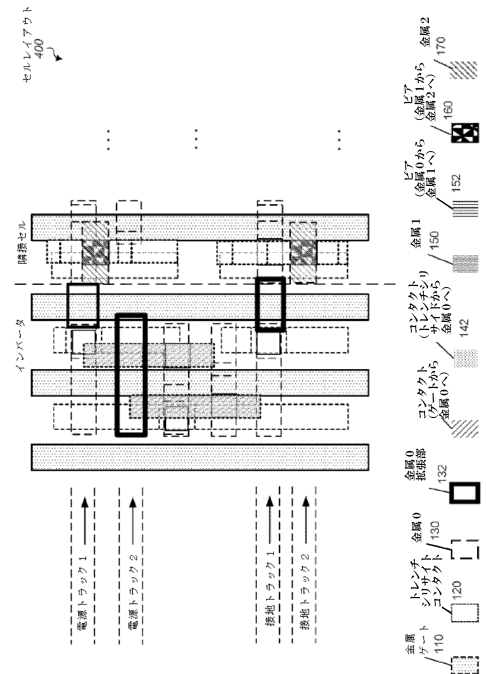
【 図 2 】



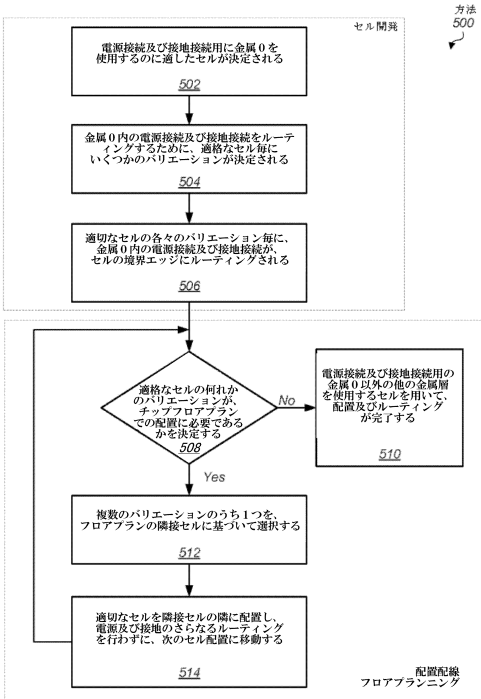
【 図 3 】



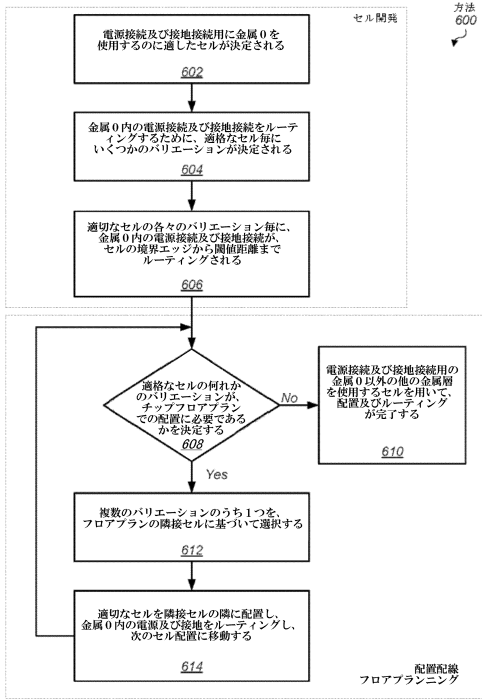
【 図 4 】



【図 5】



【図 6】



10

20

30

40

50

フロントページの続き

アメリカ合衆国 8 0 5 2 6 コロラド州、フォート コリンズ、ウィッジン ストリート 4 2 4 3

審査官 市川 武宜

- (56)参考文献 特開 2 0 0 7 - 0 7 3 8 8 5 (J P , A)
特開 2 0 0 9 - 1 7 0 5 2 0 (J P , A)
特開 2 0 1 6 - 0 4 6 4 7 9 (J P , A)
特開 2 0 0 5 - 1 7 5 5 0 5 (J P , A)
米国特許出願公開第 2 0 1 3 / 0 3 3 4 6 1 3 (U S , A 1)
特表 2 0 0 9 - 5 2 1 8 1 1 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 1 / 8 2