



(12) 发明专利

(10) 授权公告号 CN 102859686 B

(45) 授权公告日 2015. 08. 19

(21) 申请号 201180021433. X

代理人 王璐

(22) 申请日 2011. 05. 09

(51) Int. Cl.

(30) 优先权数据

H01L 23/48(2006. 01)

12/776, 302 2010. 05. 07 US

H01L 23/12(2006. 01)

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2012. 10. 29

US 2007254404 A1, 2007. 11. 01, 全文.

(86) PCT国际申请的申请数据

US 2008258285 A1, 2008. 10. 23, 全文.

PCT/US2011/035753 2011. 05. 09

W0 2009026224 A2, 2009. 02. 26, 全文.

(87) PCT国际申请的公布数据

审查员 李海龙

W02011/140552 EN 2011. 11. 10

(73) 专利权人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 库尔特·瓦赫特勒

玛格丽特·罗丝·西蒙斯-马修斯

(74) 专利代理机构 北京律盟知识产权代理有限公司
11287

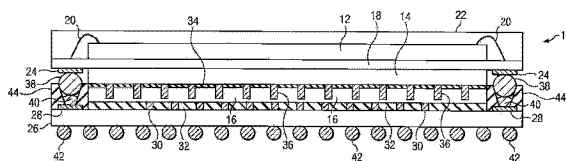
权利要求书2页 说明书4页 附图1页

(54) 发明名称

用于在芯片级封装占用面积内将宽总线存储器及串行存储器附接到处理器的方法

(57) 摘要

本发明涉及一种半导体装置 (10), 其包括具有第一存储器类型的第一存储器裸片 (12)、具有不同于所述第一存储器类型的第二存储器类型的第二存储器裸片 (14) 及例如微处理器的逻辑裸片 (16)。所述第一存储器裸片 (12) 可使用对于所述第一存储器类型优选的第一类型的电连接而电连接到所述逻辑裸片 (16)。所述第二存储器裸片 (14) 可使用对于所述第二存储器类型优选的不同于所述第一类型的电连接的第二类型的电连接而电连接到所述逻辑裸片。其它装置可包括相同类型的裸片, 或两个或两个以上第一类型的裸片, 及两个或两个以上不同于所述第一类型的第二类型的裸片。



1. 一种半导体装置,其包含:

第一衬底,其包括其上具有电路布线的前表面及包括电连接到所述电路布线的多个导电垫的后表面;

第一半导体裸片,其电连接到所述多个导电垫且附接到所述第一衬底;

第二衬底,其包括其上具有电路布线及多个导电垫的前表面,其中所述第二衬底的所述前表面上的所述电路布线电连接到所述第二衬底的所述前表面上的所述多个导电垫;

第二半导体裸片,其电连接且附接到所述第二衬底且包括其中的多个穿衬底通孔 TSV;

第三半导体裸片,其通过所述 TSV 电连接到所述第二半导体裸片且附接到所述第二半导体裸片;及

多个导体,其将所述第一衬底的所述后表面上的所述多个导电垫电连接到所述第二衬底的所述前表面上的所述多个导电垫;

第一连接类型,其将所述第一半导体裸片电连接到所述第二半导体裸片;及

第二连接类型,其将所述第三半导体裸片电连接到所述第二半导体裸片;

其中所述第一连接类型不同于所述第二连接类型。

2. 根据权利要求 1 所述的半导体装置,其中所述第一半导体裸片为包括第一存储器类型的第一存储器裸片;所述第二半导体裸片为逻辑裸片;且所述第三半导体裸片为包括不同于所述第一存储器类型的第二存储器类型的第二存储器裸片。

3. 根据权利要求 1 所述的半导体装置,其中所述第一半导体裸片为包括串行输入/输出 I/O 数据架构的第一存储器裸片,所述串行输入/输出 I/O 数据架构包括数据宽度及速度;所述第二半导体裸片为微处理器;且所述第三半导体裸片为包括数据架构的第二存储器裸片,所述数据架构包括比所述第一半导体裸片低的速度及比所述第一半导体裸片宽的数据宽度。

4. 根据权利要求 1 所述的半导体装置,其进一步包括所述第二衬底的后表面上的球栅格阵列 BGA;其中所述 BGA 适于连接到接纳衬底且适于将数据从所述第一半导体裸片、所述第二半导体裸片及所述第三半导体裸片传送到所述接纳衬底。

5. 根据权利要求 1 所述的半导体装置,其进一步包括多根接合线,所述多根接合线将所述第一半导体裸片电连接到所述第一衬底的所述前表面上的所述电路布线。

6. 根据权利要求 1 所述的半导体装置,其中将所述第一衬底的所述后表面上的所述多个导电垫电连接到所述第二衬底的所述前表面上的所述多个导电垫的所述多个导体为多个经回流的球栅格阵列 BGA 结构。

7. 根据权利要求 1 所述的半导体装置,其中所述第一半导体裸片使用多根接合线而电连接到所述第一衬底的所述前表面上的所述电路布线;且所述第二半导体裸片使用多个导电柱而电连接到所述第二衬底的所述电路布线。

8. 根据权利要求 1 所述的半导体装置,其中所述第一连接类型包含所述第一衬底上的所述电路布线、所述第一衬底的所述后表面上的所述多个导电垫、所述第二衬底的所述前表面上的所述导电垫及所述第二衬底的所述前表面上的所述电路布线;且所述第二连接类型包括所述多个 TSV。

9. 一种半导体装置,其包含:

第一半导体裸片,其电连接到第一衬底的前表面上的第一电路布线;

第二半导体裸片,其电连接到第二衬底的前表面上的第二电路布线;及

第三半导体裸片,其通过位于所述第二半导体裸片的后侧处的通孔而电连接到所述第二半导体裸片;

其中所述第一半导体裸片通过数据路径而电连接到所述第二半导体裸片,所述数据路径延伸通过所述第一衬底的所述前表面上的所述第一电路布线且通过所述第二衬底的所述前表面上的所述第二电路布线。

10. 根据权利要求 9 所述的半导体装置,其进一步包括:

所述第一衬底的后表面上的导电垫;

所述第二衬底的所述前表面上的导电垫;及

电气连接,其将所述第一衬底的所述后表面上的所述导电垫电连接到所述第二衬底的所述前表面上的所述导电垫;

其中所述数据路径进一步延伸通过所述电气连接,所述电气连接将所述第一衬底的所述后表面上的所述导电垫电连接到所述第二衬底的所述前表面上的所述导电垫。

11. 根据权利要求 10 所述的半导体装置,其进一步包括所述第二衬底的后表面上的多个球栅格阵列 BGA 连接,所述多个球栅格阵列 BGA 连接适于将所述第一半导体裸片、所述第二半导体裸片及所述第三半导体裸片电连接到接纳衬底。

12. 一种用于形成半导体装置的方法,其包含:

以物理方式将第一半导体裸片附接到第一衬底的前表面;

将所述第一半导体裸片电连接到所述第一衬底的所述前表面上的电路布线,其中所述电路布线与所述第一衬底的后表面上的多个导电垫电连接;

以物理方式将第二半导体裸片附接到第二衬底的前表面;将所述第二半导体裸片电连接到所述第二衬底的所述前表面上的电路布线,其中所述第二衬底的所述前表面上的所述电路布线与所述第二衬底的前表面上的多个导电垫电连接;

以物理方式将第三半导体裸片附接到所述第二半导体裸片;

通过所述第二半导体裸片内的多个穿衬底通孔 TSV 将所述第三半导体裸片电附接到所述第二半导体裸片;及

将所述第一衬底的所述后表面上的所述多个导电垫电连接到所述第二衬底的所述前表面上的所述多个导电垫。

用于在芯片级封装占用面积内将宽总线存储器及串行存储器附接到处理器的方法

技术领域

[0001] 本发明涉及半导体装置组装领域，且更特定来说，涉及可用于将不同类型的装置附接且电连接在一起的半导体装置方法及结构。

背景技术

[0002] 降低完成的装置封装的尺寸是半导体装置制造领域中正在进行的设计目标。电子工业已从降低包括单个半导体裸片（芯片）的封装的尺寸前进到在同一封装中包括多个芯片的封装的小型化。

[0003] 举例来说，“层叠封装”或“PoP”装置可包括存储器裸片（其以接合线连接到第一衬底）及逻辑裸片（其以接合线连接到第二衬底）。所述第一衬底可提供用于所述存储器裸片到所述逻辑裸片的连接的电路布线（即，电迹线或迹线布线）及低密度球栅格阵列（BGA），而所述第二衬底可提供用于所述逻辑裸片到接纳衬底（例如，母板）的连接的电路布线及高密度 BGA。所述第一衬底的 BGA 附接到所述第二衬底的上侧上的焊盘垫（landing pad）。因此，所述存储器裸片可以短电气连接堆叠在所述逻辑裸片上且电连接到所述逻辑裸片，这减少了所述两个裸片之间的信号延迟。此外，可在组装之前测试每一裸片以确保功能性，从而减少废料及返工。

发明内容

[0004] 在设想常规层叠封装半导体设计时，发明者已意识到，可能需要在同一封装中包括三种或三种以上不同类型的芯片。然而，当优选电气连接因不同的裸片而异时，互连三种或三种以上不同类型的芯片的难度加大。此外，在芯片级封装占用面积中提供具有两个以上裸片的封装是困难的。

[0005] 举例来说，微处理器（处理器）可需要使用具有高速、低密度串行输入 / 输出（I/O）的数据架构的存储器（例如串行接口存储器）及具有带有较低速度及较宽数据宽度 I/O 的数据架构的存储器。单独封装这些装置需要大面积的接纳衬底，而包括所有三者的单个装置可提供具有小占用面积的高度功能性的封装。然而，将三个装置组合到具有小占用面积的单个封装中是困难的，因为必须在小面积内进行大量的电气连接。此外，将优选地缩短处理器与缓慢、宽数据宽度存储器之间的电气连接以使信号延迟最小化。与宽存储器相比，高速、低密度串行 I/O 存储器受较长电气连接的影响较小，且因此较长连接足以用于串行存储器。

[0006] 在实现这些要求时，发明者已开发出可包括三种或三种以上裸片类型的（举例来说，两种不同的存储器类型及处理器）的半导体封装，其可使用不同类型的电气连接来提供两种不同的存储器类型与所述处理器之间的电气连接。可形成所述装置以在芯片级装置占用面积内提供封装。本教示的实施例包括具小占用面积的密集封装。

[0007] 装置的实施例可包括第一存储器裸片类型（例如，高速串行 I/O 存储器裸片），其

(举例来说)使用接合线或倒装芯片连接以物理方式连接到第一衬底的前表面且电连接到所述第一衬底上及所述第一衬底内的布线。所述布线可电连接到所述第一衬底的后表面上的垫。

[0008] 所述装置可进一步包括以穿衬底通孔(TSV)形成的处理器,所述穿衬底通孔(TSV)在所述处理器的前(电路)侧与后(非电路)侧之间传递数据。所述处理器可使用倒装芯片连接以物理方式连接到第二衬底的前表面,且使用(举例来说)铜柱电连接到所述第二衬底内的布线。所述第二衬底上的布线可电连接到所述第二衬底的前表面上的垫,所述垫又以穿过所述第二衬底的布线连接到所述第二衬底的后表面上的垫。

[0009] 所述装置还可包括第二存储器裸片类型(例如,低速、宽总线存储器裸片),其以物理方式连接到所述处理器的后侧,其中所述第二存储器裸片的前侧朝向所述处理器的后侧。所述第二存储器裸片可通过所述 TSV 电连接到所述处理器。

[0010] 所述第一衬底的后表面上的垫可通过导电膏等等使用焊料连接(例如球栅格阵列)连接到所述第二衬底的前表面上的垫。

[0011] 从所述第一存储器裸片到所述处理器的数据路径可因此从所述裸片通过接合线或倒装芯片连接到所述第一衬底的布线,到所述第一衬底的后表面上的垫,通过焊料或导电膏到所述第二衬底的前表面上的垫,通过所述第二衬底中的迹线布线,且通过铜柱到所述处理器。

[0012] 从所述第二存储器裸片到所述处理器的数据路径可通过 TSV 从所述处理器的后侧到前侧。

[0013] 因此,所述半导体装置可包括具有第一存储器类型的第一存储器裸片、具有第二存储器类型的第二存储器裸片及可为处理器的第三裸片。所述第一存储器裸片可使用第一连接类型电连接到所述处理器,且所述第二存储器裸片可使用不同于所述第一连接类型的第二连接类型而电连接到所述处理器。

[0014] 所述装置可通过到所述第二衬底的后表面上的垫的 BGA 连接来与接纳衬底(例如,印刷电路板、母板、系统板、陶瓷衬底等等)电连接。

[0015] 将理解,虽然所述封装适于三个不同的裸片类型,但所述封装也可用于将同一类型的裸片连接在一起或连接相同裸片类型与不同裸片类型的组合。

附图说明

[0016] 参考附图描述实例实施例,其中:

[0017] 图 1 为本教示的实例实施例的横截面;以及

[0018] 图 2 为附接到接纳衬底之后的类似于图 1 的结构的横截面。

具体实施方式

[0019] 增加可封装成单一形态因子的装置的数目及类型给予设计者更多的对装置封装的选项且可减少所述装置所需的面积。图 1 描绘根据本教示的实施例的装置 10,装置 10 可包括封装在一起的两个存储器裸片(各自提供不同的存储器类型)及逻辑裸片。预期在其它实施例中,可将两种以上存储器类型及一种以上逻辑裸片封装在一起。并且,虽然所述封装对于封装三种或三种以上不同类型的半导体裸片是有用的,但预期在其它实施例中,所

述半导体裸片中的两者或两者以上（或所有）可具有相同的类型。

[0020] 装置 10 可包括一个（或一个以上）第一存储器裸片 12、一个（或一个以上）第二存储器裸片 14 及（一个或）一个以上逻辑裸片 16。第一存储器裸片 12 可包括具有高速度、低密度串行输入 / 输出（I/O）数据架构的存储器类型，例如串行接口存储器。第二存储器裸片 14 可包括具有带有较低速度及较宽数据宽度（即，高密度、宽总线）I/O 的数据架构的存储器类型。逻辑裸片 16 可包括半导体裸片，例如微处理器。

[0021] 在实施例中，第一存储器裸片 12 的后（非电路）侧可使用裸片附接材料（未个别描绘）来以物理方式附接到第一衬底 18 的前表面。所述第一衬底可包括印刷电路板（PCB）、半导体衬底、陶瓷衬底、卷带式自动接合（TAB）卷带结构或另一可用衬底（其具有在所述衬底上并贯穿所述衬底的电路布线）。接着，可使用接合线 20 将第一存储器裸片 12 的前（电路）侧上的接合垫（未个别描绘）电连接到连接到第一衬底 18 的前表面上的电路布线的焊盘垫（未个别描绘）。在另一实施例中，第一存储器裸片 12 可使用倒装芯片附接而电连接到所述第一衬底的前表面上的电路布线。可形成囊封材料 22 以保护第一存储器裸片 12 及第一衬底 18 的电路。第一衬底 18 进一步包括所述后表面上的多个垫 24，多个垫 24 通过衬底 18 内的配线而电连接到衬底 18 的前表面上的电路布线，且通过接合线 20 连接到第一存储器裸片 12 上的电路。

[0022] 装置 10 进一步包括在前表面上具有电路布线的第二衬底 26，所述前表面连接到所述第二衬底的前表面上的多个垫 28。在此实施例中，逻辑裸片 16 的前（电路）侧以倒装芯片样式邻近（即，朝向）第二衬底 26 的前表面。多个电气连接 30（举例来说，多个导电柱，其可包括由电介质底部填充料 32 分隔的铜柱）以物理方式将逻辑裸片连接到所述第二衬底的前表面，且将逻辑裸片 16 的电路电连接到第二衬底 26 的前表面上的电路布线。

[0023] 在此实施例中，第二存储器裸片 14 的前（电路）侧使用例如电介质材料（如裸片附接材料）的材料 34 来以物理方式附接到逻辑裸片 16 的后（非电路）侧。第二存储器裸片 14 的前侧上的电路可使用形成在逻辑裸片 16 内的穿硅通孔（TSV）36 来与逻辑裸片 16 的前侧上的电路电连接。在另一实施例中，可使用 Z 轴导体来执行所述物理连接以及所述电气连接。所述 TSV 因此从逻辑裸片 16 的后侧延伸且贯穿所述逻辑裸片以与所述逻辑裸片的前侧上的电路电连接。

[0024] 第一衬底 18 可进一步包括电连接到第一衬底 18 的后表面上的垫 24 的球栅格阵列（BGA）38。第二衬底 26 的前表面上的垫 28 可使用导体 38、40（例如焊料或导电膏）而电连接到第一衬底 18 的后表面上的垫 24。图 1 描绘在执行回流工艺以将第一衬底垫 24 与第二衬底垫 28 电连接在一起之前的用于导体 40 且用于 BGA 38 的焊料的使用。一旦所述回流工艺完成，所述焊料就将流动以填充垫 24、28 之间的开口且形成连续导体。

[0025] 可将第二衬底垫 28 电路由到衬底 26 的前表面上的电路且电路由到第二衬底 26 的后表面上的多个高密度 BGA 连接 42。BGA 连接 42 可将完成的装置连接到接纳衬底，例如印刷电路板、母板、系统板、陶瓷衬底等等。

[0026] 当焊料处于其熔融状态时，预成形的模制化合物 44（其可在回流焊料 38、40 之前形成）可防止所述焊料远离所要区域的流动。

[0027] 因此，在图 1 的实施例中，第一存储器裸片 12 上的电路使用接合线 20 而连接到第一衬底 18 上及第一衬底 18 内的电路布线。所述第一衬底的电路布线电连接到第一衬底 18

的后表面上的垫 24。BGA 连接 38 及电气连接 40 将所述第一衬底的后表面上的垫 24 电连接到第二衬底 26 的前表面上的垫 28。垫 28 可使用第二衬底 26 上及第二衬底 26 内的电路布线电连接到第二衬底 26 的前表面上的电路且电连接到 BGA 连接 42。使用此导电数据路径,数据可在第一存储器裸片 12、逻辑裸片 16 之间传递且传递到外部封装位置 42。在图 1 的实施例中,第一存储器裸片 12 与逻辑裸片 16 之间的此导电数据路径不包括 TSV 连接 36。

[0028] 此外,第二存储器裸片 14 的前侧上的电路(举例来说)使用 TSV 连接 36 而连接到逻辑裸片 16 的前侧上的电路。来自逻辑裸片 16 的前侧的电路使用(举例来说)铜柱 30 而电连接到第二衬底 26 的前侧上的电路。第二衬底 26 上及第二衬底 26 中的电路布线电连接到 BGA 连接 42 且电连接到垫 28。使用此导电路径,数据可在第二存储器裸片 14、逻辑裸片 16 之间传递,且传递到外部封装位置 42。

[0029] 第一存储器裸片 12 可包括具有低密度、高速串行 I/O 的裸片,而第二存储器裸片 14 可包括具有高密度、低速宽 I/O 的裸片。BGA 连接 38 将促进第一存储器裸片 12 与逻辑裸片 16 之间的低密度、高速电气连接,而 TSV 连接 36 将促进第二存储器裸片 14 与逻辑裸片 16 之间的高密度、低速电气连接。铜柱 30 可以小间距形成且因此将会促进逻辑裸片 16 与第二衬底 26 之间及到外部封装位置 42 的高密度电气连接。因此,所述第一存储器裸片可使用对于所述第一存储器类型优选的第一类型的电气连接而电连接到所述逻辑裸片,而所述第二存储器裸片可使用对于所述第二存储器类型优选的不同于所述第一类型的电气连接的第二类型的电气连接而电连接到逻辑裸片。所述装置可在芯片级封装占用面积内提供所述三个裸片。

[0030] 图 2 描绘在附接到接纳衬底 50(例如,印刷电路板、系统板、母板、系统板等等)之后的图 1 的装置。BGA 连接 42 提供到接纳衬底 50 上的垫 52 的电气连接。

[0031] 图 2 进一步描绘在焊料回流工艺之后由图 1 的 BGA 连接 38、40 形成的多个连续电气连接 54。电气连接 54 将第一衬底 18 的后表面上的垫 24 电连接到第二衬底 26 的前表面上的垫 28。图 1 的 BGA 连接 38、40 还可使用另一导电材料((例如,导电膏)来形成。BGA 连接 42 适于连接到如所描绘的接纳衬底且适于将来自 / 去向第一裸片 12、第二裸片 14 及第三裸片 16 的数据传送到接纳衬底 50。

[0032] 虽然所述封装可包括三个(或三个以上)不同类型的半导体裸片的使用,但预期所有裸片可具有相同的类型或两个或两个以上裸片可具有相同的类型,其中一个或一个以上裸片为不同的类型。

[0033] 所属领域的技术人员将理解,在所主张的发明的范围内许多其它实施例及变型也是可能的。在此还期望涵盖具有在实例实施例的背景下描述的一个或一个以上特征或步骤的不同组合的实施例,所述实例实施例具有所有此类特征或步骤或仅其中一些。

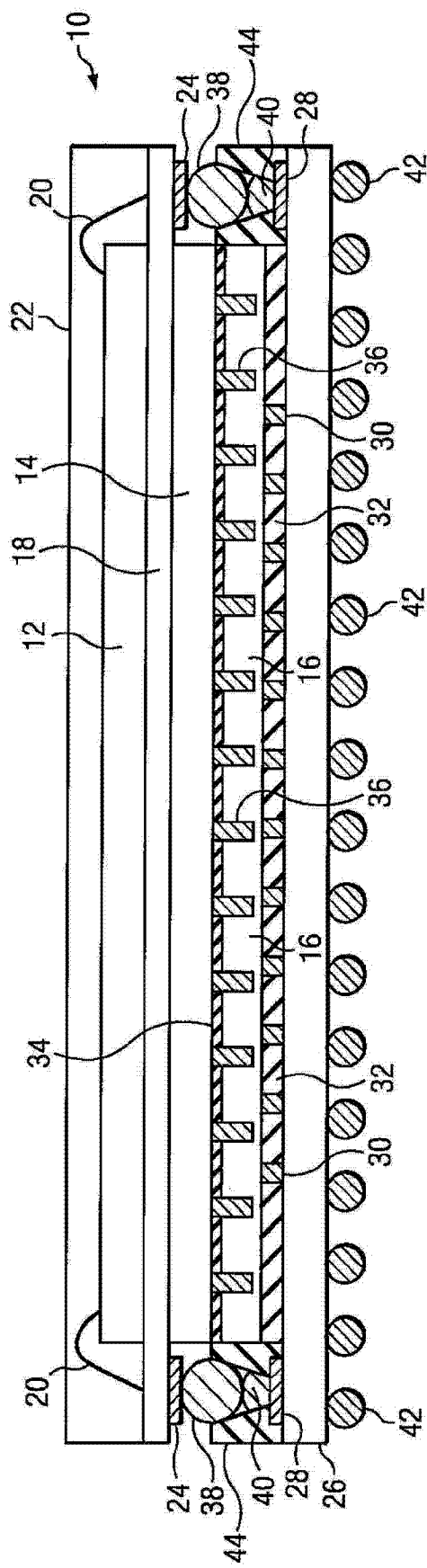


图 1

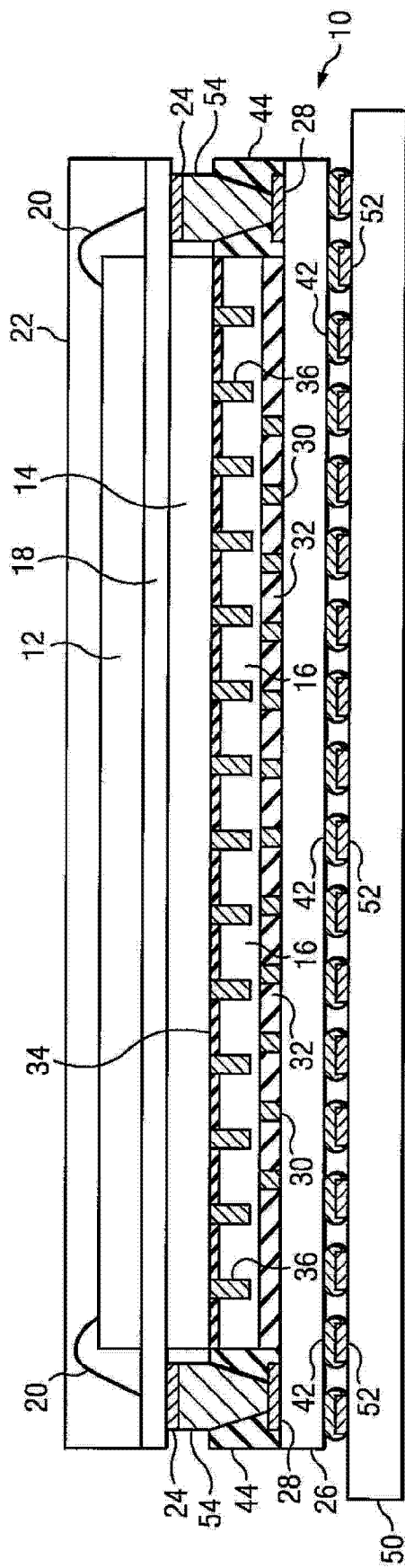


图 2