



(12) 发明专利

(10) 授权公告号 CN 102856326 B

(45) 授权公告日 2015. 04. 15

(21) 申请号 201210133486. 7

US 2010/0025811 A1, 2010. 02. 04,

(22) 申请日 2012. 05. 02

US 2009/0179689 A1, 2009. 07. 16,

(30) 优先权数据

审查员 曹毓涵

13/099, 298 2011. 05. 02 US

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 吕函庭 洪俊雄 郭明昌

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 宋焰琴

(51) Int. Cl.

H01L 27/115(2006. 01)

H01L 21/8247(2006. 01)

G11C 16/06(2006. 01)

(56) 对比文件

CN 101521207 A, 2009. 09. 02,

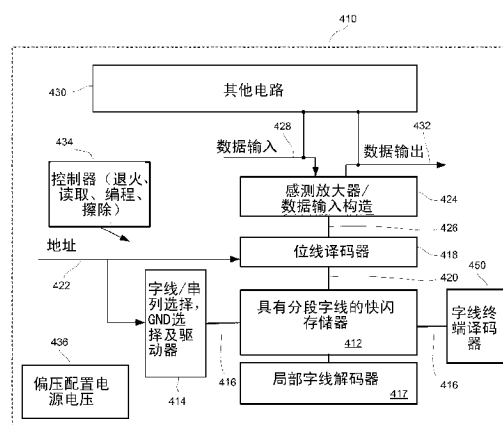
权利要求书3页 说明书35页 附图46页

(54) 发明名称

具有二极管搭接的热辅助闪存及其操作和制造方法

(57) 摘要

本发明公开了一种具有二极管搭接的热辅助闪存及其操作和制造方法,该存储器包括一阵列的存储器单元,其包括数行与数列;存储器包括电路,其耦接至字线,施加一第一偏压至于阵列中的一或多条字线上的一第一组隔开的位置,同时施加一不同于第一偏压的第二偏压至字线上的一第二组隔开的位置,在第一组隔开的位置中的位置是穿插在第二组隔开的位置中的位置之间,藉以使电流被引发在第一与第二组的位置之间,其导致字线的加热。



1. 一种于一集成电路上的存储器,包括:

一阵列的存储器单元,

多条字线及多条位线,耦接至该阵列中的多个存储器单元;

至少一对的导体,该至少一对包括一第一导体及一第二导体;

一个二极管搭接电路,耦接至该多条字线中的一特定字线,该特定字线是透过该多条字线,于一第一组隔开的位置耦接至该第一导体,并于一第二组隔开的位置耦接至该第二导体,且在该第二组隔开的位置中的多个位置为在该第一组之间的穿插位置;及

电路,用于施加偏压至该至少一对的导体,其在该第一与第二组隔开的位置中的该多个位置之间,于该特定字线中引发电流。

2. 根据权利要求 1 所述的存储器,其中该二极管搭接电路包括:

一第一多个二极管,耦接至该特定字线,于该第一多个二极管中的二极管具有于该第一组隔开的位置耦接至该特定字线的各自的阳极,及耦接至该第一导体的各自的阴极;及

一第二多个二极管,耦接至该特定字线,于该第二多个二极管中的二极管具有于该第二组隔开的位置耦接至该特定字线的各自的阴极,及耦接至该第二导体的各自的阳极。

3. 根据权利要求 1 所述的存储器,其中该多条字线包括金属导体。

4. 根据权利要求 1 所述的存储器,其中该多条字线是配置于一第一层的该集成电路中,而该至少一对的导体是配置于一第二层中,第二层位于该第一层之上或之下,且该二极管搭接电路包括多个垂直二极管,位于该第一与第二层之间。

5. 根据权利要求 1 所述的存储器,其中该多条字线是配置于一第一层的该集成电路中,而该至少一对的导体是配置于在该第一层上方的一第二层中,且该二极管搭接电路包括:

一图案化连接器层,位于该第一与第二层之间,具有一第一连接器及一第二连接器,该第一连接器是于一第一位置配置横越多条字线中的一组字线,而该第二连接器是于一第二位置配置横过该组的字线;

一第一组层间连接部,位于该组的字线与该第一连接器之间;以及至少一层间连接部,位于该第一连接器与该第一导体之间;及

一第二组层间连接部,位于该组的字线及该第二连接器之间的通道之内;以及至少一层间连接部,位于该第二连接器及该第二导体之间。

6. 根据权利要求 1 所述的存储器,包括控制电路,用于控制该电路以在一区块擦除之后及与该区块擦除协调,将引发该电流的偏压施加至该至少一对的导体。

7. 根据权利要求 1 所述的存储器,包括控制电路,用于控制该电路以施加偏压至该至少一对的导体,以在读取、编程及擦除操作之间于时间上穿插地施加引发该电流的偏压。

8. 根据权利要求 1 所述的存储器,包括电路,用于控制该电路以施加偏压至该至少一对的导体,其中该些偏压的其中一个为一负电压。

9. 根据权利要求 1 所述的存储器,包括控制电路,用于维持编程及擦除循环、编程循环或擦除循环的计算,且当该计算达到一门限值时,用于导致该电路施加偏压至该至少一对的导体。

10. 根据权利要求 1 所述的存储器,其中该阵列被配置成一 NAND 架构。

11. 根据权利要求 1 所述的存储器,其中该阵列中的该多个存储器单元包括多个半导

体本体,位于一绝缘衬底上。

12. 根据权利要求 1 所述的存储器,其中该阵列中的该多个存储器单元包括浮动栅闪存。

13. 根据权利要求 1 所述的存储器,其中该阵列中的该多个存储器单元包括多个闪存单元,其具有多个介电电荷捕捉结构,该介电电荷捕捉结构包括一隧穿层、一电荷捕捉层及一阻挡层,且其中该隧穿层包括少于 2nm 厚的第一层的氧化硅或氮氧化硅、少于 3nm 厚的第二层的氮化硅及包括少于 4nm 厚的氧化硅或氮氧化硅的第三层。

14. 根据权利要求 1 所述的存储器,其中在该些第一与第二多个该二极管中的至少一个二极管为肖特基 (Schottky) 二极管。

15. 一种用于操作一阵列的存储器单元的方法,包括:

施加一第一偏压至位于该阵列中的一条或多条字线上的一第一组隔开的位置,同时施加不同于该第一偏压的一第二偏压至该字线或该多条字线上的一第二组隔开的位置,在该第一组隔开的位置中的多个位置是穿插在该第二组隔开的位置中的多个位置之间,以使电流被引发在该第一与第二组的位置的多个位置之间,其导致该字线或该多条字线的加热。

16. 根据权利要求 15 所述的方法,其中第一与第二导体是与该阵列一起配置,并使用一个二极管搭接电路耦接至该字线或该多条字线,并包括使用该些第一与第二导体施加该第一与第二偏压。

17. 根据权利要求 16 所述的方法,其中该二极管搭接电路包括:

一第一多个二极管,耦接至一特定字线,在该第一多个二极管中的多个二极管具有于该第一组隔开的位置耦接至该特定字线的各自的阳极,及耦接至该第一导体的各自的阴极;及

一第二多个二极管,耦接至该特定字线,在该第二多个二极管中多个二极管具有于该第二组隔开的位置耦接至该特定字线的各自的阴极,及耦接至该第二导体的各自的阳极,且其中该第一偏压低于该第二偏压。

18. 根据权利要求 15 所述的方法,其中该字线或该多条字线包括多个金属导体。

19. 根据权利要求 15 所述的方法,包括:在一区块擦除之后及与该区块擦除协调,施加该多个第一与第二偏压。

20. 根据权利要求 15 所述的方法,包括:于时间上穿插地施加该多个第一与第二偏压在读取、编程及擦除操作之间。

21. 根据权利要求 15 所述的方法,其中,该多个第一与第二偏压的其中一个为一负电压。

22. 根据权利要求 15 所述的方法,包括:维持编程及擦除循环、编程循环或擦除循环的计算,及当该计算达到一门限值时,施加该多个第一与第二偏压。

23. 根据权利要求 15 所述的方法,其中该阵列被配置成一 NAND 架构。

24. 根据权利要求 15 所述的方法,其中该阵列中的该多个存储器单元包括多个半导体本体,位于一绝缘衬底上。

25. 根据权利要求 15 所述的方法,其中该阵列中的该多个存储器单元包括浮动栅闪存。

26. 根据权利要求 15 所述的方法,其中该阵列中的该多个存储器单元包括多个闪存单

元,其具有多个介电电荷捕捉结构,该介电电荷捕捉结构包括一隧穿层、一电荷捕捉层及一阻挡层,且其中该隧穿层包括少于 2nm 厚的第一层的氧化硅或氮氧化硅、少于 3nm 厚的第二层的氮化硅及包括少于 4nm 厚的氧化硅或氮氧化硅的第三层。

27. 根据权利要求 17 所述的方法,其中在该些第一与第二多个该二极管中的至少一个二极管是一肖特基 (Schottky) 二极管。

28. 一种用于制造一存储器于一集成电路上的方法,包括:

形成一阵列的存储器单元,其包括多行与多列,其包括沿着该多列的多条字线;及

形成一个二极管搭接电路,其耦接至多条字线中的一特定字线,该特定字线是透过该多条字线,于一第一组隔开的位置耦接至一第一导体,及在一第二组隔开的位置耦接至一第二导体,且在该第二组隔开的位置中的多个位置为在该第一组之间的穿插位置;及

形成电路,其耦接至该二极管搭接电路,用于连接偏压至至少一对的该第一及第二导体,其在该第一与第二组隔开的位置中的该多个位置之间的该特定字线中引发电流。

29. 根据权利要求 28 所述的方法,其中形成该二极管搭接电路包括:

形成一第一多个二极管,其耦接至该特定字线,在该第一多个二极管中的多个二极管具有于该第一组隔开的位置耦接至该特定字线的各自的阳极,以及耦接至该第一导体的各自的阴极;及

形成一第二多个二极管,其耦接至该特定字线,在该第二多个二极管中的多个二极管具有于该第二组隔开的位置耦接至该特定字线的各自的阴极,及耦接至该第二导体的各自的阳极。

30. 根据权利要求 28 所述的方法,其中该多条字线包括多个金属导体。

31. 根据权利要求 28 所述的方法,包括:配置该多条字线于一第一层的该集成电路中,及配置该至少一对的导体于一第二层中,该第二层位于该第一层之上或之下,且该二极管搭接电路包括多个垂直二极管,位于该第一与第二层之间。

32. 根据权利要求 28 所述的方法,其中该多条字线是配置于一第一层的该集成电路中,而该至少一对的导体是配置于在该第一层上方的一第二层中,且形成该二极管搭接电路的步骤包括:

形成一图案化连接器层在该第一与第二层之间,其具有一第一连接器及一第二连接器,该第一连接器是于一第一位置配置横越过多条字线中的一组字线,而该第二连接器是于一第二位置配置横越过该组的字线;

形成一第一组层间连接部在该组的字线与该第一连接器之间,以及至少一层间连接部在该第一连接器与该第一导体之间;及

形成一第二组层间连接部在该组的字线及该第二连接器之间的通道之内,及至少一层间连接部分在该第二连接器及该第二导体之间。

33. 根据权利要求 28 所述的方法,包括形成一绝缘衬底,且其中形成该阵列的步骤包括形成多个半导体本体于该绝缘衬底上。

34. 根据权利要求 28 所述的方法,其中在该些第一与第二多个该二极管中的至少一个二极管为一肖特基 (Schottky) 二极管。

具有二极管搭接的热辅助闪存及其操作和制造方法

技术领域

[0001] 本发明是有关于闪存技术,尤其是有关于一种具有二极管搭接的热辅助闪存及其操作和制造方法。

背景技术

[0002] 闪存为一种类型的非易失性集成电路存储器技术。典型的闪存单元由一场效晶体管 FET 结构及一阻挡介电层所构成, FET 结构具有由一通道隔开的源极及漏极, 以及与通道隔开一电荷储存结构的栅极, 电荷储存结构包括一隧道介电层、电荷储存层(浮动栅或介电)及一阻挡介电层。依据早期已知的电荷捕捉存储器设计(被称为 SONOS 装置), 源极、漏极及通道被形成于一硅衬底(S)中, 隧道介电层是由氧化硅(O)所组成, 电荷储存层是由氮化硅(N)所组成, 阻挡介电层是由氧化硅(O)所组成, 而栅极包括多晶硅(S)。更多先进的闪存技术已被发展, 使用带隙工程隧穿介电材料于介电电荷捕捉单元中。一种带隙工程单元技术被称为 BE-SONOS, 如 Hang-Ting Lue 等人说明于"Scaling Evaluation of BE-SONOS NAND Flash Beyond 20nm", 2008 Symposium on VLSI technology, Digest of Papers, June 2008, and in H. T. Lue et al., IEDM Tech. Dig., 2005, pp. 547-550。

[0003] 理想上是可以提供改善闪存的操作速度及耐久性的技术。

发明内容

[0004] 本发明说明一种存储器装置, 其包括用于对装置上的闪存单元进行热退火的资源。可应用一种用于操作闪存的方法, 其包括执行读取、编程及擦除操作; 及不是穿插在读取、编程及擦除操作之间, 就是在读取、编程及擦除操作期间, 对阵列中的存储器单元的电荷捕捉结构进行热退火。讨论于下的实验结果显示, 通过修理在编程及擦除循环期间所累积的损坏, 适当的退火操作可改善耐久性。举例而言, 通过周期性地对阵列中的存储器单元进行退火, 可大幅地改善装置的有效耐久性, 包括达成 1 百万循环及更多的耐久性循环性能。又, 通过在操作期间(例如在擦除操作期间)施加退火, 可改善被影响的性能。在譬如一擦除操作期间, 热退火可辅助电子释放, 并藉以改善擦除速度。

[0005] 集成电路存储器可利用字线驱动器及字线终端电路来实施, 其因应于译码器电路及可选的其他控制电路以驱动对应的字线上电流。此电流可导致选择的字线的电阻式加热, 其被传送至介电电荷捕捉结构以供退火操作。此种及其他技术可被应用以允许退火操作的弹性运送。

[0006] 又, 可使用一电路来实施一存储器, 此电路通过施加一第一偏压至阵列中的字线上的一第一组隔开的位置, 同时施加一不同于第一偏压的第二偏压至字线上的一第二组隔开的位置来操作, 第一组隔开的位置是穿插在第二组隔开的位置的位置之间, 藉以在导致字线之加热的第一与第二组的位置中的位置之间引发电流。

[0007] 说明于此的技术是适合与 BE-SONOS 存储器技术及其他闪存技术一起使用。

[0008] 为了对本发明的上述及其他方面有更佳的了解, 下文特举较佳实施例, 并配合所

附图式,作详细说明如下:

附图说明

[0009] 图 1A 至图 1C 是为了热退火操作而配置的介电电荷捕捉存储器单元的简化立体图。

[0010] 图 2 是为了热退火操作而配置的介电电荷捕捉单元的简化布局图。

[0011] 图 3 是为了热退火操作而配置的共通源极型 NAND 型存储器阵列的示意图。

[0012] 图 4 是为了热退火操作而配置的包括分段字线,闪存阵列的一集成电路存储器的方块图。

[0013] 图 5 为包括在行之间的绝缘充填沟道的 NAND 阵列的存储器单元的布局图。

[0014] 图 6 为沿着一字线而通过使用 n 通道装置的类似图 5 的 NAND 阵列的剖面图。

[0015] 图 7 为沿着垂直于一条通过包括上与下选择晶体管的单元通道的字线的 NAND 串行的简化剖面图。

[0016] 图 8 显示为热退火而配置的存储器单元的替代结构,包括为热隔离而配置在薄膜半导体本体上的介电电荷捕捉存储器单元。

[0017] 图 9 为用于施加热退火循环的一种控制顺序的简化流程图。

[0018] 图 10 为用于施加热退火循环的另一种控制顺序的简化流程图。

[0019] 图 11 为用于施加热退火循环的又另一种控制顺序的简化流程图。

[0020] 图 12 为漏极电流对控制栅电压的曲线图,显示施加热退火的实验结果。

[0021] 图 13 为门限电压对编程/擦除循环次数的曲线图,显示施加热退火的实验结果。

[0022] 图 14 为在第一循环顺序之后,关于编程与擦除单元的门限电压分布的曲线图。

[0023] 图 15 为在跟随一热退火的一第二循环顺序之后,关于编程与擦除单元的门限电压分布的曲线图。

[0024] 图 16 为在十个循环与退火顺序之后,关于编程与擦除单元的门限电压分布的曲线图。

[0025] 图 17 为显示在第一循环顺序之后的编程与擦除条件的曲线图。

[0026] 图 18 为显示在跟随一热退火的一第二循环顺序之后的编程与擦除条件的曲线图。

[0027] 图 19 为显示在十个循环与退火顺序之后的编程与擦除条件的曲线图。

[0028] 图 20 显示电荷捕捉存储器单元于室温下以及于升高的温度下的擦除性能。

[0029] 图 21 为接受擦除操作的电荷捕捉存储器单元的估计退火时间的示意图。

[0030] 图 22 为分段字线闪存阵列(包括第全局字线、第二全局字线以及局部字线)的简化截面图。

[0031] 图 23 为显示在存储器阵列上方的第一全局字线与在存储器阵列下方的第二全局字线的存储器阵列的立体图。

[0032] 图 24 为显示在存储器阵列上方的第一全局字线以及在存储器阵列的下方的第二全局字线的存储器阵列的剖面图。

[0033] 图 25 为显示位于存储器阵列的同一侧的第一全局字线与第二全局字线两者的存储器阵列的立体图。

[0034] 图 26A 为显示在存储器阵列的上方的第一全局字线与第二全局字线两者的存储器阵列的剖面图。

[0035] 图 26B 为显示第一全局字线与第二全局字线两者在存储器阵列的上方呈紧密间距的存储器阵列的俯视图。

[0036] 图 27A 及图 27B 为显示替代分段字线译码电路配置的示意图。

[0037] 图 27C 及图 27D 显示关于沿着一对对应列的局部字线的全局字线对的译码配置。

[0038] 图 28 为用于利用第一与第二全局字线施加热退火循环的控制顺序的简化流程图。

[0039] 图 29 为用于利用第一与第二全局字线施加热退火循环的另一控制顺序的简化流程图。

[0040] 图 30 为用于利用第一与第二全局字线施加热退火循环的又另一种控制顺序的简化流程图。

[0041] 图 31 为门限电压对退火脉冲宽度的曲线图,显示在热退火期间的门限电压漂移的实验结果。

[0042] 图 32 为次门坎斜率对退火脉冲宽度的曲线图,显示在热退火之后的次门坎恢复的实验结果。

[0043] 图 33 为转导对退火脉冲宽度的曲线图,显示在热退火期间的转导恢复的实验结果。

[0044] 图 34 为门限电压对编程 / 擦除循环次数的曲线图,显示热退火的实验结果。

[0045] 图 35 为次门坎斜率对编程 / 擦除循环次数的曲线图,显示热退火的实验结果。

[0046] 图 36 为漏极电流对控制栅电压的曲线图,显示在编程 / 擦除循环期间同时施加热退火的 IV 曲线的实验结果。

[0047] 图 37 为门限电压对保持时间的曲线图,显示施加热退火的实验结果。

[0048] 图 38 是为了热退火操作而配置的浮动栅存储器单元的剖面图。

[0049] 图 39 是为了热退火操作而配置的纳米晶体存储器单元的剖面图。

[0050] 图 40 是为了热退火操作而配置的 TANOS 存储器单元的剖面图。

[0051] 图 41 是为了热退火操作而配置的 MA-BESONOS 存储器单元的剖面图。

[0052] 图 42 是为了热退火操作而配置的 FinFET 存储器单元的剖面图。

[0053] 图 43 是为了热退火操作而配置的分离栅存储器单元的剖面图。

[0054] 图 44 是为了热退火操作而配置的另一个分离栅存储器单元的剖面图。

[0055] 图 45 是为了热退火操作而配置的 SONOS 存储器单元的剖面图。

[0056] 图 46 为一种分段字线 NOR 存储器阵列的一区段的简化视图,分段字线 NOR 存储器阵列包括第一全局字线、第二全局字线及局部字线。

[0057] 图 47 为一种分段字线虚接地存储器阵列的一区段的简化视图,分段字线虚接地存储器阵列包括第一全局字线、第二全局字线及局部字线。

[0058] 图 48 为一种分段字线 AND 存储器阵列的一区段的简化视图,分段字线 AND 存储器阵列包括第一全局字线、第二全局字线及局部字线。

[0059] 图 49 为一种使用垂直栅极的分段字线 3D 存储器阵列的一区段的简化视图,分段字线 3D 存储器阵列包括第一全局字线、第二全局字线及局部字线。

[0060] 图 50 为一种使用垂直位线的分段字线 3D 存储器阵列的一区段的简化视图,分段字线 3D 存储器阵列包括第一全局字线、第二全局字线及局部字线。

[0061] 图 51 是为了热退火而配置的一种分段字线 3D 垂直叠层阵列晶体管 (VSAT) 存储器阵列的一区段的简化视图。

[0062] 图 52 是为了热退火而配置的一种分段字线 3D 管形可调位成本 (P-BiCS) 存储器阵列的一区段的简化视图。

[0063] 图 53 是为了热退火而配置的一种替代分段字线 3D 存储器阵列的一区段的简化视图。

[0064] 图 54 为具有二极管搭接的在第一与第二导体之间的一局部字线的简化视图。

[0065] 图 55 为具有二极管搭接的在第一与第二导体之间的多重局部字线的简化视图。

[0066] 图 56 为具有二极管搭接的在第一与第二导体之间的一局部字线的 3D 视图。

[0067] 图 57 为具有二极管搭接的多重局部字线的布局概要图。

[0068] 图 58 为具有二极管搭接的在第一与第二导体之间的多重局部字线的简化视图,显示潜行路径的排除。

[0069] 图 59 为一种集成电路存储器的方块图,集成电路存储器包括为了热退火操作而配置的一条二极管搭接的字线,闪存阵列。

[0070] **【主要元件符号说明】**

[0071] 10 :字线

[0072] 11 :源极

[0073] 12 :漏极

[0074] 13 :半导体本体

[0075] 14 :多层介电叠层

[0076] 20 :一端

[0077] 21 :对向端

[0078] 22 :源极

[0079] 23 :漏极

[0080] 24 :交点

[0081] 25 :字线驱动器

[0082] 26 :开关

[0083] 27 :终端电路

[0084] 29 :栅极

[0085] 30 :目标存储器单元

[0086] 31、32 :NAND 串行

[0087] 35 :共通源极 CS 线

[0088] 36 :串行选择晶体管

[0089] 37 :接地选择晶体管

[0090] 38 :译码的字线驱动器

[0091] 39 :译码的终端电路

[0092] 51-1 至 51-5 :沟道

- [0093] 52-1 至 52-4 :半导体条带
- [0094] 53-1 至 53-4 :字线
- [0095] 70 :半导体本体
- [0096] 71、79 :接点
- [0097] 72 至 78 :端子
- [0098] 73 至 77 :源极 / 漏极端子
- [0099] 80 :共通源极 CS 线
- [0100] 82 至 87 :字线
- [0101] 88 :串行选择线 SSL
- [0102] 90 :位线 BL
- [0103] 97、98 :栅极介电层
- [0104] 99 :电荷捕捉结构
- [0105] 101 :半导体本体
- [0106] 102 :绝缘体
- [0107] 103 :区域
- [0108] 104 :介电电荷捕捉结构
- [0109] 105、106 :多晶硅
- [0110] 107、108 :硅化物
- [0111] 109、111 :通道区
- [0112] 110 :源极 / 漏极区
- [0113] 410 :集成电路
- [0114] 412、472 :存储器阵列
- [0115] 414 :译码器
- [0116] 416 :字线
- [0117] 417 :局部字线译码器
- [0118] 418 :位线译码器
- [0119] 420 :位线
- [0120] 422 :总线
- [0121] 424 :感测放大器与数据输入结构
- [0122] 426 :数据总线
- [0123] 428 :数据输入线
- [0124] 430 :电路
- [0125] 432 :数据输出线
- [0126] 434、494 :控制器
- [0127] 436 :偏压配置电源电压与电流源
- [0128] 450 :字线终端译码器
- [0129] 470 :集成电路
- [0130] 474 :译码器
- [0131] 476 :字线

- [0132] 478 :译码器
- [0133] 480 :位线
- [0134] 482 :总线
- [0135] 486 :数据总线
- [0136] 488 :数据输入线
- [0137] 490 :其他电路
- [0138] 492 :数据输出线
- [0139] 496 :电流源
- [0140] 499 :加热器板驱动器
- [0141] 1201、1202、1203 :踪迹
- [0142] 2210 :位线
- [0143] 2215、2281、2283 :接点
- [0144] 2220 :串行选择线 SSL
- [0145] 2230a 至 2230f :局部字线
- [0146] 2250 :共通源极线
- [0147] 2260L、2260R :全局字线
- [0148] 2262L、2262R :开关
- [0149] 2270L :第一局部字线选择线
- [0150] 2270R :第二局部字线选择线
- [0151] 2280 :接地选择开关
- [0152] 2290 :串行选择开关
- [0153] 2310a、2310b :近端位线
- [0154] 2240、2712、2713、GSL 81 :接地选择线 GSL
- [0155] 2330a、2330b、2330c :局部字线
- [0156] 2360L、2360R :全局字线
- [0157] 2362L、2362R :开关
- [0158] 2363L、2363R、2563L、2563R :接触结构
- [0159] 2370L、2370R :局部字线选择线
- [0160] 2401 :绝缘层
- [0161] 2402 :绝缘层
- [0162] 2403 :绝缘填充
- [0163] 2404 :绝缘层
- [0164] 2410a、2410b、2410c、2410d :近端位线
- [0165] 2430 :局部字线
- [0166] 2460L、2460R :全局字线
- [0167] 2462L、2462R :晶体管本体
- [0168] 2468L、2468R :连接器
- [0169] 2469L、2469R :导电插塞
- [0170] 2470L、2470R :局部字线选择线

- [0171] 2480、2680 :存储器元件层
- [0172] 2510a、2510b :近端位线
- [0173] 2530a、2530b、2530c :局部字线
- [0174] 2560L、2560R :全局字线
- [0175] 2562L、2562R :开关
- [0176] 2570L、2570R :局部字线选择线
- [0177] 2601 :衬底
- [0178] 2603 :绝缘填充
- [0179] 2604 :绝缘层
- [0180] 2610a、2610b、2610c、2610d :近端位线
- [0181] 2615a、2615b、2615c、2615d、2615e :沟道隔离结构
- [0182] 2630、2630a、2630b :局部字线
- [0183] 2660L、2660R :全局字线
- [0184] 2661L、2661R :全局字线
- [0185] 2662L、2662R :晶体管本体
- [0186] 2668L、2668R :连接器
- [0187] 2669L、2669R :导电插塞
- [0188] 2670L、2670R :局部字线选择线
- [0189] 2701、2702、2703、2704 :圆形
- [0190] 2709 :串行选择线 SLL
- [0191] 2710 :串行选择线
- [0192] 2714 :源极 CS 线
- [0193] 2750 :圆形
- [0194] 2750A、2750B :开关配置
- [0195] 2752、2752A、2752B :MOS 晶体管
- [0196] 2753、2755、2757、2758 :第一层间接点
- [0197] 2754、2754A、2754B :MOS 晶体管
- [0198] 2760、2761、2763、2780 :字线驱动器
- [0199] 2762、2765、2782、2785 :全局字线
- [0200] 2764 :字线驱动器
- [0201] 2766 至 2769 :局部字线
- [0202] 2770 至 2774 :接点
- [0203] 2781 :字线驱动器
- [0204] 2783、2784 :全局字线驱动器
- [0205] 2786 至 2789 :局部字线
- [0206] 2790 至 2797 :接点
- [0207] 3810、3910 :衬底
- [0208] 3820 :源极区域
- [0209] 3830 :漏极区域

- [0210] 3860 :隧道氧化层
- [0211] 3870、4370、4470 :浮动栅
- [0212] 3880 :多晶硅层间氧化层
- [0213] 3890、3990 :控制栅
- [0214] 3920 :源极区域
- [0215] 3930 :漏极区域
- [0216] 3970 :纳米晶体微粒
- [0217] 3980 :栅极氧化层
- [0218] 4020 :源极区域
- [0219] 4030 :漏极区域
- [0220] 4060 :隧穿介电层
- [0221] 4070 :捕捉层
- [0222] 4080 :阻挡氧化层
- [0223] 4090、4190、4290、4480、4590 :控制栅
- [0224] 4010、4110、4310、4410、4510、5610 :衬底
- [0225] 4120 :源极区域
- [0226] 4130 :漏极区域
- [0227] 4150 :带隙工程隧穿势垒
- [0228] 4160 :电荷捕捉介电层
- [0229] 4170 :上氧化层
- [0230] 4180 :覆盖层
- [0231] 4220、4230 :源极与漏极区域
- [0232] 4225 :宽度
- [0233] 4250 :ONO 叠层
- [0234] 4295 :长度
- [0235] 4320 :源极极区域
- [0236] 4330 :漏极区域
- [0237] 4390 :栅极
- [0238] 4395 :隧道氧化层
- [0239] 4425、4473、4493 :厚度
- [0240] 4430 :漏极区域
- [0241] 4460 :隔离间隙
- [0242] 4463 :宽度
- [0243] 4475 :第二隧道氧化层
- [0244] 4483 :宽度
- [0245] 4485 :介电层
- [0246] 4490 :存取栅极
- [0247] 4493 :宽度
- [0248] 4495 :第一隧道氧化层

- [0249] 4520 :源极区域
- [0250] 4530 :漏极区域
- [0251] 4550 :位线
- [0252] 4560 :下氧化层
- [0253] 4570 :电荷捕捉层
- [0254] 4580 :上氧化层
- [0255] 4590 :栅极
- [0256] 4632 :局部字线
- [0257] 4634 :局部字线
- [0258] 4660L、4660R :全局字线
- [0259] 4661L、4661R :全局字线
- [0260] 4662L、4662R :晶体管
- [0261] 4664L、4664R :接触点
- [0262] 4670L、4770L、4770R、4870L、4870R、4970L、4970R、5070L、5070R :控制线
- [0263] 4682、4684、4686 :单元
- [0264] 4690 :共通源极线
- [0265] 4732、4734 :局部字线
- [0266] 4760L、4760R :全局字线对
- [0267] 4762L、4762R :晶体管
- [0268] 4764L、4764R :接触点
- [0269] 4782、4784、4786、4788 :单元
- [0270] 4832、4834 :局部字线
- [0271] 4862L、4862R :晶体管
- [0272] 4864L、4864R :接触点
- [0273] 4882、4884、4886 :单元
- [0274] 4960L、4960R :全局字线
- [0275] 4962L、4962R :晶体管
- [0276] 4964L、4964R :接触点
- [0277] 4965、4966 :延伸
- [0278] 4967 :位线
- [0279] 4969 :字线段
- [0280] 4981、4982、4984、4986、4994 :存储器单元
- [0281] 5010 :位线
- [0282] 5048 :字线结构
- [0283] 5050 :共通源极线
- [0284] 5060L、50560R :全局字线
- [0285] 5062L、5062R :晶体管
- [0286] 5064L、5064R :接触点
- [0287] 5080 :串行选择晶体管

- [0288] 5081 :共通源极晶体管
- [0289] 5090 :二极管
- [0290] 5410 :导体
- [0291] 5420 :字线
- [0292] 5421、5422、5423、5424 :箭号
- [0293] 5430 :导体
- [0294] 5442、5452、5454、5456 :二极管
- [0295] 5510、5530 :导体
- [0296] 5522、5524 :字线
- [0297] 5542、5544、5546、5548 :二极管
- [0298] 5552、5554、5555、5556 :二极管
- [0299] 5620 :半导体本体
- [0300] 5630 :绝缘层
- [0301] 5640 :电荷捕捉结构
- [0302] 5650 :字线
- [0303] 5662 :插塞
- [0304] 5664 :纵横导体
- [0305] 5666、5668 :半导体元件
- [0306] 5670、5690 :导体
- [0307] 5682 :插塞
- [0308] 5684 :纵横导体
- [0309] 5686、5688 :半导体元件
- [0310] 5721 :条带
- [0311] 5751 :字线
- [0312] 5764、5784 :纵横导体
- [0313] 5766、5786 :二极管
- [0314] 5770、5790 :导体
- [0315] 5800、5801、5802、5803 :电流路径
- [0316] 4420 :源极区域

具体实施方式

[0317] 以下将参考图 1- 图 58 而提供本技术的实施例的详细说明。

[0318] 图 1A 为一存储器单元的简化立体图,存储器单元具有在一个半导体本体 13 中的一源极 11 与一漏极 12,而在源极与漏极之间有一通道区。字线 10 在本体 13 的通道区的上方提供一栅极。一多层介电叠层 14 被介设于栅极与本体 13 的通道区之间,并作为一介电电荷捕捉结构。在图 1A 所显示的例子中,栅极电流(或字线电流)是显示为用以加热电荷捕捉结构的电源。图 1B 具有与图 1A 的结构相同的参考数字,并显示通道电流(或位线电流)为用以加热电荷捕捉结构的电源的一例子。图 1C 具有与图 1A 与 1B 的结构相同的参考数字,并显示栅极电流(或字线电流)以及通道电流(或位线电流)的组合为用以加热

电荷捕捉结构的电源的一例子。

[0319] 关于多层介电叠层 14 的实行的一项技术是已知为带隙工程 SONOS (BE-SONOS) 电荷捕捉技术。参见譬如 Lue 的美国专利第 7, 315, 474 号, 其犹如完全提出于此地并入作参考。

[0320] 一种 BE-SONOS 多层介电叠层的一例子包括在通道上的一多层隧穿层。多层隧穿层是通过使用下述三层而实现: 一层氧化硅或氮氧化硅, 其在通道的中央区域中小于 2nm 厚; 一第二层的氮化硅, 其在中央区域中小于 3nm 厚; 以及包括氧化硅或氮氧化硅的一第三层, 其在中央区域中小于 4nm 厚。电荷捕捉层被形成于隧穿层上, 隧穿层包括在中央区域中具有大于 5nm 的厚度的氮化硅。阻挡层被形成于电荷捕捉层与包括一绝缘材料的栅极之间, 并具有在中央区域中大于 5nm 的一有效氧化层厚度。在其他实施例中, 介电电荷捕捉结构可以与邻近栅极的隧穿层和邻近通道的阻挡层一起被配置。

[0321] 替代存储器单元可使用不同的电荷捕捉结构, 包括譬如更传统的氮化层结构; 如下所说明的电荷捕捉结构: Shin 等人的 "一种具有 Al₂O₃ 或上氧化层的高可靠度的 SONOS 型 NAND 闪存单元 (A Highly Reliable SONOS-type NAND Flash Memory cell with Al₂O₃ or Top Oxide)", IEDM, 2003 年 (MANOS); Shin 等人的 "一种使用 63nm 工艺技术以供一种数千兆位快闪 EEPROM 用的崭新的 NAND 型 MONOS 存储器 (A Novel NAND-type MONOS Memory using 63nm Process Technology for a Multi-Gigabit Flash EEPROMs)", IEEE 2005 年; 以及共同拥有且共同审理中的美国专利申请暗号 11/845, 276, 其申请日为 2007 年 8 月 27 日, 且犹如完全提出于此地并入作参考。又, 参考图 38- 图 45, 可应用于此所说明的技术的其他闪存技术被说明于下。

[0322] BE-SONOS 技术, 以及其他介电电荷捕捉技术与浮动栅电荷捕捉技术可具有相当的温度敏感度。温度敏感度可包括从损坏恢复至通过一热退火在编程与擦除循环期间产生的结构的能力。因此, 通过施加一热退火, 可恢复或改善介电电荷捕捉结构的电荷储存特征。又, 温度敏感度可包括改善的性能。举例而言, 在某些介电电荷捕捉存储器结构的情况下, 如果在一负栅极偏压之下, 在福勒诺尔德哈姆 (FN) 隧穿期间可施加热, 则热辅助电子释放 (de-trapping) 可被提高, 并变成一项与空穴隧穿结合以改善擦除速度的显著因素。

[0323] 一项施加热至一存储器单元的技术包括通过使用一字线中的电流而产生的电阻式加热, 如图 1A 所示。字线一般为无终端的线 (unterminated lines), 或利用很高的阻抗被终结, 以能使一字线驱动器在没有产生相当的电流的情况下将一字线充电至一目标电压。为了在一字线中引发电流流动, 接收字线电压的字线必须以允许电流流动的方式被终结。又, 在一负栅极电压 FN 隧穿操作中, 电场是被引发而横越过介电电荷捕捉层。因此, 可通过引发电流流动同时亦引发电场以支持一擦除操作, 来执行一结合的擦除 / 退火操作。如果需要的话, 电流流动亦可在读取与编程操作期间被引发。电流流动亦可在存储器处于闲置时, 在穿插读取、编程及擦除的任务功能的操作中被引发。因此, 可配置一电路以达成穿插读取操作、编程操作及擦除操作, 或在读取操作、编程操作及擦除操作期间的退火操作。

[0324] 通过适当地引发通过一字线之电流, 关于一特定单元的栅极的局部温度可被提高大于 400 °C。因为栅极是与介电电荷捕捉结构接触, 所以热被传输并完成退火。一种自我修复闪存装置可突破闪存耐久性的瓶颈。存储器装置可使用一字线 (栅极) 以作为一内部焦耳加热器, 用以在很短的时间内产生局部高温, 从而提供非常快的脉冲退火及 P/E (编程

/ 擦除) 循环引起的损坏的修正。局部高温是比通过外部加热可能产生的温度高得多。

[0325] 一电流可沿着字线(栅极)而被传导以产生焦耳热。邻近栅极处可轻易地加热闪存装置的隧道氧化层,以退火出由 P/E 循环所导致的损坏。由于高活化能 ($E_a > 1.1\text{eV}$), 且因而是大的温度加速因子, 字线加热器可在很短的时间内有效地产生热退火。

[0326] 在某些实施例中, 可能需要一种通过一字线的相当高的电流(例如大于 2 毫安(mA)) 以产生足够的焦耳热。然而, 一闪存装置中的字线可具有大于 1 毫米(公厘, mm) 的长度。因为长度, 所以相对应的字线电阻非常高。举例而言, 一多晶硅字线(R_s) 的薄片电阻可以是 30 欧姆/平方, 字线(W) 的通道宽度可以是 30nm(纳米), 而字线长度(L) 可以是 1mm(毫米)。于此例中, 正方形为 (30nm×30nm), 而字线的电阻(R) 是被计算成为 1M-ohm(百万欧姆):

[0327] $R = L \times W \times R_s = 1\text{mm} \times 30\text{nm} \times 30\text{ohm}/(30\text{nm} \times 30\text{nm}) = 1 \times 10^6\text{ohm}$ (欧姆)。

[0328] 具有 1M-ohm 电阻的一字线将在 500 伏特的字线压降之内产生大约 2mA 的电流。这种高电压并不实际。

[0329] 理想上是尽可能可以减少字线电阻以减少所需要的电压。一种减少字线电阻的方法是用以缩小字线长度。另一种方法是减少字线的薄片电阻。如果横越过一字线的压降(V) 被减少至 10V, 且横越过字线所产生的电流(I) 需要 2mA, 则字线的电阻(R) 是被计算成为 5K-ohm(千欧姆):

[0330] $R = V/I = 10\text{V}/2\text{mA} = 5\text{K-ohm}$ 。

[0331] 如果一字线(R_s) 的薄片电阻是譬如通过使用一金属字线而减少至 1 欧姆/平方, 且通道宽度(W) 仍然是 30nm, 则字线长度(L) 被计算为:

[0332] $L = R/(W \times R_s) = 5\text{K-ohm}/(30\text{nm} \times 1\text{ohm}/(30\text{nm} \times 30\text{nm})) = 150 \times 10^{-6}\text{米}$ 。

[0333] 因此, 于此例子中, 具有 150 μm (微米) 以下的长度的金属字线可被设计成提供大于 2mA 的电流给于大约 10V 的电压下的足够焦耳热使用。对于一大阵列而言, 字线可通过实体上切割字线并通过使用开关以施加电压供退火用, 或电性地在不需要实体上切割字线的情况下, 并通过使用二极管搭接或其他电路以施加退火偏压而被分段, 使得操作电压与电流范围落在集成电路环境的公差之内。对一实体上分段的实施例而言, 局部字线被耦接至全局字线。

[0334] 在本发明的一个实施例中, 在 BE-SONOS(带隙工程硅氧化氮氧化硅) 电荷捕捉 NAND 闪存单元中的隧道氧化层 ONO(氧化层-氮化物-氧化层), 是利用大于 400°C 的温度(通过一内部焦耳加热器而在几毫秒之内产生) 而快速被退火。实施例证明大于 10 百万(10M) 编程/擦除循环的耐久性以及大于 10M 循环的数据保存。

[0335] 图 2 为一种简化的单一装置布局图。此装置包括通过一个半导体本体中的注入而实施的一源极 22 与一漏极 23。此装置包括一栅极 29。栅极 29 可具有局部狭小区域, 以便局部集中电流, 其中较宽区域位于远离单元的存储器元件被隔开的相对的一端 20 与对向端 21。存储器单元被形成于在栅极 29 与源极/漏极注入之间的交点 24。

[0336] 如所显示的, 可通过使用耦接至栅极的一端 20 的一字线驱动器 25 来引发退火。一字线终端电路(其可能类似于一字线驱动器) 被耦接至栅极的对向端 21。字线终端电路包括一个可以因应于地址译码或其他控制电路的开关 26, 用以选择性地将字线耦接至一终端电路 27(其可包括偏压电路), 用以适当的允许电流流动或避免电流流动。终端电路通

过施加相对于由字线驱动器所施加的电压的电压差异,来允许栅极上的电流流动横越过字线。在一例子中,字线驱动器与终端电路可被配置以在字线的一侧施加大约 1 伏特的电压,且在另一侧施加大约 0 伏特的电压。在没有建立一显著电场的情况下,这导致一电流,并引发于存储器单元之热。在另一例子中,终端电路可被配置以在一侧施加大约 20 伏特且在另一侧施加大约 19 伏特,藉以导致一电流以引发热,同时亦于存储器单元引发电场以支持编程,包括福勒诺尔德哈姆编程。在另一例子中,终端电路可被配置以在一侧施加负电压(例如大约 -16 伏特)且在另一侧施加大约 -15 伏特,藉以导致一电流以引发热,同时亦于存储器单元引发电场以支持擦除,包括负场福勒诺尔德哈姆擦除。

[0337] 参考图 1 与图 2 说明的用于热退火存储器单元的装置包括多条字线或其他栅极结构,栅极结构具有驱动器及终端电路,其选择性地被控制以靠近存储器单元的介电电荷捕捉结构引发电阻式加热。于其他实施例中,用于热退火存储器单元的装置可使用位线中的电流来产生被施加至存储器单元的介电电荷捕捉结构的热。又,存储器单元可能在具有在介电电荷捕捉层上方,或在介电电荷捕捉层下方的一额外一组的电阻式线的阵列中被实施。举例而言,额外一组的热退火线可能邻接于一金属层中的标准字线或在其上方而被实施,且用于加热单元。亦,存储器单元可能在一衬底上方被实施,此衬底包括在介电电荷捕捉结构下方的一组热退火线。举例而言,在一绝缘体上硅衬底的情况下,一电阻可被埋入在存储器单元下方,通过使用譬如在绝缘体下方或埋入在绝缘体内的一掺杂多晶硅线而被实施。字线加热因为字线接近电荷捕捉结构可能是最有效的。然而,可使用其他结构以提供用以热退火的装置,如上述所略述的。

[0338] 闪存装置一般是通过使用 NAND 或 NOR 架构(包括譬如虚接地架构以及 AND 架构,虽然其他是已知的)而实施。NAND 架构在被运用至数据储存应用时,其高密度及高速是受欢迎的。NOR 架构是更佳适合于其他应用,例如码储存,于此,随机字节存取是重要的。于此所说明的热辅助存储器单元可被部署在 NAND、NOR、虚接地与 AND 架构中,以及其他配置中。

[0339] 图 3 为显示一种 NAND 架构的布局的电路图,NAND 架构包括分别通过串行(string)选择晶体管(例如 36)与接地选择晶体管(例如 37)而耦接至各个位线 BL-1 至 BL-2,且耦接至一共通源极 CS 线 35 之 NAND 串行 31、32。为了说明的目的,为了读取 NAND 串行 31 中的一条对应的字线 WL(i)上的一目标存储器单元 30,一读取偏压电平是被施加至选择的字线 WL(i)。未被选取的字线是利用足以导通最高门限值状态中的存储器单元的一通过电压而被驱动。一读取偏压是被施加在选择的位线上。在未被选取的位线上,位线电压被设定至接地电平或接近 CS 线的电平的电平。

[0340] 为了使用字线以施加热以供一热退火使用,此阵列是具体形成有多个译码的字线驱动器 38 连同在字线的相反侧的多个译码的终端开关 39。在驱动器与译码的终端开关 39 之间的字线的长度可通过适当地分割此阵列而如期望的被具体形成。举例而言,字线驱动器/终端开关对可在适合一特定实施例时为 100 条位线的分段、1000 条位线的分段,或其他长度的分段而实现。通过使用译码的终端电路 39(其选择性地将字线耦接至一偏压电路或使字线与一偏压电路解耦)允许在装置的操作期间以低电流模式,且以较高的电流模式使用字线以供热退火使用。又,在装置的某些操作模式(例如读取操作、编程操作以及擦除操作)中,字线可能以一高电流模式被操作,而字线选择性地耦接至终端电路,用于在操作期

间执行热退火。

[0341] 图 4 为如于此所说明的采用热退火以供闪存使用的一集成电路的简化方块图。集成电路 410 包括一个通过使用一集成电路衬底上的闪存单元而实现的存储器阵列 412。一接地选择与串行选择译码器 414 (包括适当的驱动器) 被耦接至沿着存储器阵列 412 中的列所排列的串行选择线与接地选择线, 并与其电性连通。又, 译码器 414 包括多个全局字线驱动器, 其是以与全局字线终端电路与译码器 450 协调地被操作。一位线 (行) 译码器与驱动器 418 被耦接至沿着存储器阵列 412 中的行被排列的多个位线 420 并与其电性连通, 用于从存储器阵列 412 中的存储器单元读取数据, 并将数据写入至存储器单元。地址是在总线 422 上被供应至字线译码器与串行选择译码器 414, 并供应至位线译码器 418。可选择地, 一局部字线译码器 417 可被包括且用来将局部字线连接至全局字线对, 其被耦接至全局字线驱动器与全局字线终端电路。

[0342] 在使用字线上的电流流动以引发热以供介电电荷捕捉结构的热退火使用的实施例中, 一字线终端译码器 450 被耦接至此阵列的字线 416。字线终端译码器 450 可因应于地址及控制信号, 其表示或是在一操作模式期间为此装置产生, 用以选择性地字线连接至终端电路, 或用以允许终端电路被耦接至选择的字线, 如上所述。

[0343] 方块 424 中的包括供读取、编程及擦除模式用的电流源的感测放大器与数据输入结构, 是经由数据总线 426 而耦接至位线译码器 418。数据是经由数据输入线 428 而从集成电路 410 上的输入 / 输出端, 或从集成电路 410 内部或外部的其他数据源被提供至方块 424 中的数据输入结构。数据是经由数据输出线 432 而从方块 424 中的感测放大器被提供至集成电路 410 上的输入 / 输出端, 或提供至集成电路 410 内部或外部的其他数据目标。

[0344] 使用一偏压配置状态机器而于此例子中被实施的一控制器 434 控制偏压配置电源电压与电流源 436 (例如供字线及位线用的读取、编程、擦除、擦除确认、编程确认电压或电流) 的施加, 并通过使用一访问控制过程来控制字线 / 源极线操作。控制器 434 包括用于致能热退火 (包括用以控制用以将偏压条件运用至用于执行热退火操作的局部字线的全局字线对的使用) 的逻辑。

[0345] 控制器 434 可通过使用如已知技艺已知的特殊用途逻辑电路而被实施。在替代实施例中, 控制器 434 包括一通用处理器, 其可能在相同的集成电路上被实施, 并执行一计算机编程以控制装置的操作。在又其他实施例中, 特殊用途逻辑电路与一通用处理器的组合可能被利用来实行控制器 434。

[0346] 在所显示的实施例中, 其他电路 430 是被包括在集成电路 410 上, 例如一通用处理器或特殊目的应用电路, 或提供由存储器单元阵列所支持的系统单芯片功能性的模块的组合。

[0347] 又, 在某些实施例中, 控制器包括编程 / 擦除循环计数器, 以及用以设置待应用在热退火处理过程的配置中的参数的缓存器。控制器可参考图 9- 图 11 及图 28- 图 30 执行于此所说明的程序, 连同其他处理过程以及读取与写入的任务功能操作。

[0348] 供实行一 NAND 阵列用的一项共通技术包括在半导体衬底的条带之间的浅沟道隔离 STI 结构的使用。一连串的存储器单元是在每个条中被实施。存储器单元包括具有 N 型掺杂 (供 p 通道装置用) 或 P 型掺杂 (供 n- 通道装置用) 的其中一个的通道区, 以及沿着具有相反导电型式的条带而在通道区之间的源极 / 漏极区。电荷捕捉结构被形成在通道区

上方,而字线与位线是被图案化以建立对于 NAND 单元的存取。

[0349] 图 5 显示一种 NAND 阵列布局,包括在行之间的浅沟道隔离,适合与说明于此的用于热退火的装置一起使用。在布局中,多个充填绝缘体的沟道 51-1 至 51-5 被形成于半导体衬底中。半导体条带 52-1 至 52-4 位于数对的充填绝缘体的沟道 51-1 至 51-5 (例如浅沟道隔离 STI 结构) 之间。电荷捕捉结构 (未显示) 伏在半导体条带上面。多条字线 53-1 至 53-4 被形成于电荷捕捉结构上方,及相对于半导体条带 52-1 至 52-4 正交地延伸。半导体条带包括具有一第一导电性型式的多个源极 / 漏极区 (标示为 S/D) 及具有一第二导电性型式的多个通道区 (位于字线下方)。

[0350] 图 6 显示沿着字线 53-2 的图 5 的阵列的剖面。ONONO 介电电荷捕捉结构 (BE-SONOS 装置的特征) 位于字线 53-2 与半导体本体中的 P 阱之间。充填绝缘体的沟道 51-1 至 51-5 分离垂直于纸张延伸的 NAND 串行。字线可包括多层结构的多晶硅与硅化物 (如显示的) 或其他材料组合。这些材料可被配置以在电流期间提供电阻式加热,且供电阻式加热传输至介电电荷捕捉结构以供热退火使用。

[0351] 图 7 以剖面显示多个以串联排列以形成一 NAND 串行的介电电荷捕捉闪存单元。图 7 的剖面是对应至沿着条带 52-1 中的一 NAND 串行的沿着图 5 的线 7-7 的一区段。然而,图 7 显示一连串的六个存储器单元与接地选择开关和串行选择开关,从而比出现在图 5 的布局中更多的结构。

[0352] 参见图 7,存储器单元被形成于一个半导体本体 70 中。对 n 通道存储器单元而言,半导体本体 70 可以是在一个半导体芯片中的较深的 n 阱之内的一隔离 p 阱。或者,半导体本体 70 可被一绝缘层或其他隔离。某些实施例可采用 p 通道存储器单元,于其中关于半导体本体的掺杂将是 N 型。

[0353] 多个存储器单元是以朝垂直于字线的一位线方向延伸的一串行被配置。字线 82-87 延伸横越过一些平行 NAND 串行。端子 72-78 是通过半导体本体 70 中的 N 型区域 (关于 n 通道装置) 而形成,并作为存储器单元的源极 / 漏极区。通过具有在一接地选择线 GSL 81 中的一栅极的一 MOS 晶体管而形成的一第一开关,被连接于符合第一字线 82 的存储器单元与通过半导体本体 70 中的一 N 型区域而形成的一接点 71 之间。接点 71 被连接至共通源极 CS 线 80。通过具有在一串行选择线 SSL 88 中的一栅极的一 MOS 晶体管而形成的一第二开关,被连接于对应至最终字线 87 的存储器单元与通过半导体本体 70 中的一 N 型区域而形成的一接点 79 之间。接点 79 被连接至一位线 BL 90。在所显示的实施例中的第一与第二开关为 MOS 晶体管,其具有通过譬如二氧化硅而形成的栅极介电层 97 与 98。

[0354] 于此图例中,为简化之便,串行中有六个存储器单元。在典型的实施例中,一 NAND 串行可包括串联排列的 16、32 或更多存储器单元。对应于字线 82-87 的存储器单元具有在字线与半导体本体 70 中的通道区之间的介电电荷捕捉结构 99。又,已发展出无接面的 NAND 快闪结构的实施例,于此从此结构可能省略源极 / 漏极端子 73-77,以及可选择的端子 72 与 78。

[0355] 在所显示的实施例中的电荷捕捉结构包括如上所述的一 ONONO 多层叠层。如上所述,字线是用于在电荷捕捉结构 (例如 99) 中以引发热,并使热退火从循环损坏恢复。退火亦可在 -FN 擦除期间被施加以改善擦除速度。

[0356] 关于一负栅极电压 FN (-FN) 操作,偏压条件被显示在图 7 中的 NAND 串行上。为了

譬如通过使用 -FN 隧穿引发一区块擦除,字线是偏压有一负擦除电压 -VE,且位线与共通源极线是偏压有一正擦除电压 +VE 或接地,而串行选择开关是偏压有一电压,用于将 +VE 电压耦接至半导体本体 70。这设置一个引发从通道至介电电荷捕捉结构中的电荷捕捉层的空穴隧穿的电场,用以擦除方块中的存储器单元。为了改善擦除性能,字线可被终结,以能使电流在区块擦除期间流动,如以栅极结构上的箭号表示的。在擦除操作期间,电流引发热,热被传输至介电电荷捕捉结构。

[0357] 包括如上所述的“无接面”结构的替代实施例包括在一第一 N 型源极/漏极端子与一第二 N 型源极/漏极端子之间的多条字线(例如 8 条或 16 条),以及 n 通道装置的一连续的 P 型通道结构,且对 p 通道装置而言,反之亦然。因此,如于此所说明的 NAND 阵列的实施例可包括在掺入一导电性型式(与通道的导电性型式相反)的源极/漏极端子之间的一个以上的栅极。于此替代中,个别单元是以一种使通道结构反转,藉以为个别栅极建立反转源极/漏极区的方式,通过使邻近字线偏压而被存取。参见 Hsu 等人的共同拥有的美国专利第 7,382,654 号,其被并入作参考,犹如完全提出于此。

[0358] NAND 串行可被实施在各种配置中,包括 finFET 技术、浅沟道隔离技术、垂直 NAND 技术以及其他技术。关于一例子的垂直 NAND 结构,请参见 Kim 等人的欧洲专利申请第 EP 2 048 709 号,名称为「非易失性存储器装置、其操作方法及其制造方法 (Non-volatile memory device, method of operating same and method of fabricating the same)」。

[0359] 图 8 为包括实施在绝缘衬底上的薄膜晶体管存储器单元的一存储器结构的简化透视图。这为一种代表结构,于其中在装置设计上将热隔离纳入考虑,用以提供更多有效的热产生与较低的功率。在结构上,实施一种“绝缘层上有硅 SOI”设计方法。一绝缘体 102 被形成于集成电路的一衬底上,藉以提供热与电性绝缘两者。一薄膜半导体本体 101 被形成在绝缘体 102 上面。源极/漏极区 110 以及通道区 109、111 是在半导体本体 101 中被实施。一介电电荷捕捉结构 104 被形成在薄膜半导体本体 101 上面。字线是通过使用一多层结构(包括各个层的多晶硅 105、106 及多层的硅化物 107、108)而实施。多晶硅/硅化物层的厚度可被减少以增加字线的电阻,且藉以增加热产生。又,在一 SOI 型结构中被实施的薄膜半导体本体 101 可通过存储器单元减少热吸收,藉以允许于较低功率下产生较高的温度。又,可使用额外热绝缘技术。举例而言,可在区域 103 的字线之间实施空气间隔 (air spacer),及其他热绝缘结构。

[0360] 图 9-图 11 显示替代操作方法,于其中热退火循环是被部署在一闪存装置中。这些方法可譬如使用参考图 4 所说明的控制器 434 而被执行。

[0361] 图 9 显示一代表处理过程,于其中热退火循环被穿插在关于存储器装置的任务功能操作(读取、编程、擦除)之间。在装置的操作期间,执行编程/擦除循环操作,如以方块 200 表示。一种供图 9 的方法用的控制器计算编程/擦除循环(例如通过计算编程操作,通过计算擦除操作,或通过计算编程与擦除操作对)(方块 201),并监视此计数(方块 202)。如果计数尚未达到一门限值,则算法回路继续计数循环。如果计数达到一门限值,则控制器施加一热退火循环(方块 203)。编程/擦除循环计数与热退火循环可在适合一特定实施例时根据多组的单元,例如根据一逐列基础、根据一逐行基础、根据一逐方块基础或遍及一整个阵列而被施加。退火可在适合功率消耗需求与一既定实施例的其他需求时,同时被施加至单元的一列或行,或施加至较多组的单元。一编程擦除循环可被定义为写入一存储器单

元以从编程状态至擦除状态且回到编程状态的事件的组合,且通常使用作为用以测量闪存的耐久性的单位。如上所述,为了在使用一集成电路存储器期间计算编程擦除循环,可使用一芯片上的计数器以计算施加至个别存储器单元的编程循环,至存储器单元的区块内的存储器单元的编程循环,施加至个别存储器单元的擦除循环,至存储器单元的区块内的存储器单元的擦除循环,或用以计算写入一存储器单元以从编程状态至擦除状态且回到编程状态的事件的组合。这些方法全部可提供持久的实际编程擦除循环的数目的一迹象,并在用以施加一热退火循环时足够决定的一精度。

[0362] 图 10 显示另一处理过程,于其中热退火循环被穿插在任务功能操作之间。在图 10 的处理过程中,编程/擦除循环操作是在正常操作期间被执行,如以方块 301 表示。控制器监测一区块擦除功能的执行,并决定何时已完成一区块擦除操作(方块 302)。如果没有区块擦除操作被完成,则处理过程继续监视且正常操作。如果成功地完成一次区块擦除操作,则控制器施加一热退火循环(方块 303)。这种热退火循环是以与区块擦除协调的方式被执行,其乃因为其是开始因应于区块擦除操作的侦测与完成。在区块擦除与热退火循环之间的其他逻辑链接,亦可导致区块擦除与热退火循环的协调性能。

[0363] 图 11 显示一代表处理过程,于其中热退火是在关于存储器装置的一任务功能(于此例子之区块擦除)期间被施加。在图 11 的处理过程中,关于存储器装置的正常编程/擦除循环正发生,如以方块 400 表示。处理过程决定一区块擦除是否已被要求(方块 401)。如果不是,处理过程继续正常操作并监视。如果一区块擦除操作被要求,则控制器在区块擦除操作期间终结字线,以能使热产生电流被施加至被擦除的存储器单元,或以其他方式被施加至热退火(方块 402)。如上所述,这不但改善擦除性能,而且允许介电电荷捕捉结构从编程/擦除循环损坏恢复。当完成区块擦除功能(方块 403)时,处理过程回复至正常操作。

[0364] 图 12 及 13 显示沿着一实验用装置(包括 NAND 架构 BE-SONOS 存储器单元,以 75nm 的节点制造)的测量,其中引发热退火的电流是通过顺向源极/漏极退火而产生,在源极/漏极端子与单元的半导体本体之间的接合是藉此而顺向偏压以引发电流。这模仿如上所述的其他加热结构的作用情形。在图 12 中,显示漏极电流对栅极电压的曲线图。踪迹 1201 显示在 10,000 次编程/擦除循环之后的一存储器单元的性能,其显示或许因循环损坏的结果出现的性能方面的一轻微退化。踪迹 1202 与踪迹 1203 分别显示在一第一退火与一第二退火之后的性能。在退火步骤之后,大幅改善了此装置的次临界斜率(sub-threshold slope),其表示界面态阶损坏(Dit)是通过使用热退火而受到抑制。

[0365] 图 13 显示在退火之前的 10,000 次循环以及在退火之后的 10,000 次循环的门限电压对测试的存储器单元的编程/擦除循环的循环次数。此图显示此装置同样执行在退火之前的 10,000 次循环与在退火之后的下一 10,000 次循环两者。

[0366] 图 14-图 16 分别显示关于在测试的 NAND 架构 BE-SONOS 存储器单元上的一第一组的 100,000 次编程/擦除循环,关于在一热退火之后的一第二组的 100,000 次编程/擦除循环,以及关于在热退火之后的一第十组的 100,000 次编程/擦除循环的门限值分布。在图 14 中,显示无法轻易区别的七种曲线图。这些曲线图对应至于 10 次循环下的性能、于 100 次循环下的性能、于 1000 次循环下的性能、于 10,000 次循环下的性能、于 50,000 次循环下的性能,以及于 100,000 次循环下的性能。图 14 显示当循环次数增加至大约 100 时,擦

除状态窗口的上部边缘到达大约 2.3V。编程状态窗口维持相当的常数,其具有于大约 3.5V 下的较低边缘。

[0367] 图 15 显示关于在一热退火之后的一第二组的 100,000 次循环,擦除状态窗口的上部边缘停留在大约 2.6V 以下,而编程状态窗口停留在大约 3.5V 之上。图 16 显示关于在热退火之后的第十组的 100,000 次循环,擦除状态窗口维持在大约 2.9V 以下,而编程状态窗口维持在大约 3.4V 之上。

[0368] 图 14-图 16 所显示的结果显示通过每 100,000 次循环就使用热退火处理,就可将装置性能维持超过 1 百万次循环。

[0369] 图 17-图 19 显示页编程照射量 (shot count) (亦即,用于在一编程、确认,再试循环算法中成功地编程所需要的编程脉冲的数目) 及超过 100,000 次编程/擦除循环的总擦除时间变化。此图显示关于页编程照射量的最差状况计算的踪迹、一平均数目的页编程照射量及一总数擦除时间踪迹。图 17 显示关于一第一组的 100,000 次循环的性能。图 18 显示关于在热退火之后的一第二组的 100,000 次循环的性能。图 19 显示关于利用热退火的一第十组的 100,000 次循环的性能。这些图显示在第十组的 100,000 次 P/E 循环之后伴随着一热退火,编程/擦除循环条件几乎完全被恢复,并显示超过一百万次循环的耐久性。

[0370] 图 20 显示关于一 BE-SONOS 存储器单元中,利用及不利用热退火的擦除性能, BE-SONOS 存储器单元具有一多层隧穿层、一电荷捕捉层及一阻挡层,多层隧穿层包括 1.3nm 的氧化硅、2nm 的氮化硅及 3.5nm 的氧化硅,电荷捕捉层包括 7 纳米的氮化硅及一个包括 8.5nm 的氧化硅的阻挡层。一个 -17 伏特的 -FN 擦除偏压是被施加横越过栅极及装置的本体。关于在这些条件下的从约 5V 至约 0V 的一门限值降低的在 25°C 的擦除时间是接近 1 秒。于 250°C 的提升的温度,在这些条件下的擦除时间降至大约 11ms。因此,图 20 显示在一擦除操作期间施加热退火可改善擦除性能。

[0371] 图 21 为退火时间的阿列尼厄图表 (秒对 $q/(kT)$), 显示关于在一 BE-SONOS 装置中的热辅助擦除操作的估计的退火时间。三个踪迹是被显示,其中最上踪迹呈现 1.2 电子伏特的活化能,在中间的踪迹呈现 1.5 电子伏特的活化能,而较低的踪迹呈现 1.8 电子伏特的活化能。又,为了计算,基于实验假设用于恢复所需要的退火时间于 250°C 下大约是两个小时。基于显示于曲线图的计算,在大约 600°C 的温度下,所需要之退火时间将只有一些毫秒 (ms),且系因此适合在目前闪存规格的擦除速度需求之内使用。使用说明于此的电阻式加热可达成像 600°C 那样的温度。

[0372] 图 22 为一集成电路上的一存储器阵列的一区段的简化视图。存储器包括一阵列的存储器单元,其包括多行与多列。此阵列的存储器单元可能被配置在一 NAND 结构中。此阵列中的存储器单元可包括位于一绝缘衬底上的半导体本体。

[0373] 图 22 所显示的区段包括排列成局部字线 2230a 至 2230f 的字线段。局部字线是与一种配置中的对应对的全局字线 (以区段的反侧的两个结尾箭号表示) 耦接,其可参考局部字线 2230a 被理解。一第一开关 2262L 是用于经由一接点 2281 而将一对中的一第一全局字线 2260L 连接至局部字线 2230a。一第二开关 2262R 是用于经由一接点 2283 将此对中的一第二全局字线 2260R 连接至局部字线 2230a。此种配置是以一种关于此阵列的存储器单元的所显示的方块中的每条局部字线及其对应对的全局字线的图案被重复。因此,第一 (或左侧) 开关 2262L 与第二 (或右侧) 开关 2262R 被耦接至局部字线 2230a 至 2230f

的对应的第一（左）与第二（右）端。存储器亦包括沿着对应行的位线 2210。位线可包括近端位线 2210，其是经由接点 2215 耦接至全局位线（未显示）。

[0374] 将偏压连接至局部字线的电路包括耦接至一对全局字线的开关 2262L、2262R。此对全局字线包括多条沿着相对应的列耦接至局部字线 2230a 至 2230f 的第一开关 2262L 的第一全局字线 2260L，以及多条沿着相对应的列耦接至局部字线 2230a 至 2230f 的第二开关 2262R 的第二全局字线 2260R。

[0375] 存储器包括耦接至图 22 所显示的阵列的一地址译码器（未显示），其包括耦接至局部字线 2230a 至 2230f 的第一开关 2262L 与第二开关 2262R 的一局部字线译码器，用以将选择的局部字线耦接至相对应对的全局字线 2260L 与 2260R。此例子的局部字线译码器被耦接至第一局部字线选择线 2270L 与第二局部字线选择线 2270R，其分别控制第一开关 2262L 与第二开关 2262R，以供图 22 所显示的阵列中的单元的一方块或一行的方块使用。每个第一开关 2262L 可包括一 FET 晶体管，其具有一栅极、一输入以及一输出。第一局部字线选择线 2270L 被耦接至第一开关 2262L 的栅极。第一开关 2262L 的输入被耦接至第一全局字线 2260L。第一开关 2262L 的输出被耦接至局部字线 2230a 至 2230f 的第一端。

[0376] 同样地，每个第二开关 2262R 可包括具有一栅极、一输入以及一输出的一 FET 晶体管，例如一种金属-氧化物-半导体场效晶体管 (MOSFET)。第二局部字线选择线 2270R 被耦接至第二开关 2262R 的栅极。第二开关 2262R 的输入被耦接至第二全局字线 2260R。第二开关 2262R 的输出被耦接至局部字线 2230a 至 2230f 的第二端。

[0377] 譬如结合图 3 与图 4，存储器包括如上所述耦接至对应的全局字线的多个配对的字线驱动器与字线终端电路。配对的字线驱动器与字线终端电路包括耦接至此相对应对中的一第一全局字线 2260L 的一字线驱动器，以及耦接至此相对应对中的第二全局字线 2260R 的一字线终端电路。字线驱动器电路与字线终端电路是适合于施加不同的偏压条件至第一与第二全局字线，以能在选择的局部字线上引发一选择的偏压配置。字线驱动器与终端电路可通过使用类似的电路而被实施，用以将选择的偏压条件施加至局部字线，包括电压电平、电流源、偏压电路等等。标语“驱动器”与“终端电路”被使用于此，用以暗示在任何既定操作中的电路的角色可以是不同的，于此譬如施加比另一个更高的电压，且未必暗示它们是使用不同的电路设计而实施。

[0378] 于此实施例中，为了说明的目的，存储器单元的方块包括六条近端位线与六条局部字线。此技术的实施例可包括各种尺寸的方块。举例而言，在一 NAND 架构中，每个方块可包括在串行选择晶体管与接地选择晶体管之间的 16、32 或 64 条局部字线。又，以近端位线的数目的角度看，可依据待被实现的期望热退火特征以及局部字线的电阻选择方块的宽度。

[0379] 局部字线的电阻为所使用的材料、局部字线的剖面积以及局部字线的长度的函数。在一代表实施例中，局部字线的材料可包括金属或其他材料，其具有大约 1 欧姆/平方与大约 30nm×30nm 的剖面积的一薄片电阻。局部字线的长度可以是大约 150 μ，其将譬如容纳给定 100nm 间隔的 1500 条近端位线。当然这些数值取决于在集成电路的设计上可被纳入考虑的各种因素。

[0380] 显示于此例中的存储器单元的阵列是以一种 NAND 配置被排列，于此近端位线 2210 包括一连串的单元中的存储器单元的通道。每个 NAND 串行包括经由接点 2215 将串行

(亦即,近端位线 2210) 耦接至一全局位线的一串行选择开关 2290, 以及将串行 (亦即, 近端位线 2210) 耦接至一共通源极线 2250 或其他参照符号的一接地选择开关 2280。串行选择开关可以通过具有一串行选择线 SSL 2220 的一栅极的一 MOS 晶体管而形成。接地选择开关可以通过具有一接地选择线 GSL 2240 的一栅极的一 MOS 晶体管而形成。

[0381] 在操作上, 第一全局字线 2260L 与第二全局字线 2260R 两者被控制, 以经由第一开关 2262L 与第二开关 2262R 将偏压条件连接至局部字线 2230a 至 2230f, 包括在组合偏压配置中用以引发电流以供热退火以及供其他需要选择的存储器单元的操作使用。

[0382] 图 23 为施加偏压给一阵列的存储器单元的电路的立体图。此电路包括多条近端位线 2310a、2310b, 以及多条局部字线 2330a、2330b、2330c。存储器单元产生于近端位线 2310a、2310b 与局部字线 2330a、2330b、2330c 的交点。第一与第二开关 (例如局部字线 2330a 上的开关 2362L 与 2362R) 被耦接至每一条局部字线 2330a、2330b、2330c 的第一与第二端。于此实施例, 局部字线的左端上的开关 2362L 被耦接至接触结构 2363L, 它们是藉此连接至伏在局部字线上面的全局字线 2360L。又, 局部字线的右端上的开关 2362R 被耦接至接触结构 2363R, 它们是藉此连接至伏在局部字线下面的全局字线 2360R。于此例子中的一局部字线译码器被耦接至第一局部字线选择线 2370L 与第二局部字线选择线 2370R, 其分别控制开关 2362L 与开关 2362R。用于施加一偏压配置至存储器单元的方块的电路的这种配置, 可利用在一阵列的存储器单元之下的一绝缘层而在装置中被实施, 例如在使用薄膜存储器单元的实施例中被实施。

[0383] 图 24 为一阵列结构的剖面图, 于其中一第一全局字线 2460L 是被部署在一局部字线 2430 之上, 而一第二全局字线 2460R 是被部署在局部字线 2430 之下。此阵列的剖面图是沿着第一全局字线 2460L、第二全局字线 2460R 以及局部字线 2430。于此结构中, 一绝缘层 2401 伏在一衬底 (未显示) 上面, 此衬底可包括多重层的存储器阵列、逻辑电路以及其他集成电路特征部。一第一图案化导体层伏在绝缘层 2401 上面, 于其中布局包括全局字线 2460R 的 "第二" 全局字线。绝缘层 2402 伏在包括全局字线 2460R 的图案化导体层上面。覆盖于绝缘层 2402 上的是一阵列层, 其包括多条近端位线 2410a、2410b、2410c、2410d 连同用于选择局部字线 2430 的开关的晶体管本体 2462L 与 2462R。多条近端位线 2410a、2410b、2410c、2410d 是被排列于此视图中, 以能使位线延伸进入并离开纸张的平面。

[0384] 一存储器元件层 2480 (例如多层介电电荷捕捉结构) 伏在多条近端位线 2410a、2410b、2410c、2410d 上面。局部字线 2430 伏在存储器元件层 2480 上面。局部字线选择线 2470L 与 2470R 分别伏在晶体管本体 2462L 与 2462R 上面。局部字线选择线 2470L 与 2470R 是被排列于此视图中, 以能使它们延伸进入并离开纸张的平面。

[0385] 晶体管本体 2462L 与 2462R 包括源极、通道以及漏极区域 (未显示)。局部字线选择线 2470L 与 2470R 是被配置成在晶体管本体 2462L 与 2462R 的通道上面的栅极。晶体管本体 2462L 的源极与漏极端子的其中一个被连接至在局部字线上面延伸的一导电插塞 2469L, 而晶体管本体 2462L 的源极与漏极端子的另一个是经由一连接器 2468L 连接至局部字线 2430 的一第一端。同样地, 晶体管本体 2462R 的源极与漏极端子的其中一个被连接至在局部字线下面延伸的一导电插塞 2469R, 而晶体管本体 2462R 的源极与漏极端子的另一个是经由一连接器 2468R 连接至局部字线 2430 的一第二端。在某些实施例中, 局部字线 2430 可延伸在晶体管本体 2462L 与 2462R 以及且形成于其间的接点的上面, 以作为更复杂

的连接 2468L 与 2468R 的替代方案。

[0386] 包括局部字线 2430 以及局部字线选择线 2470L 与 2470R 的结构被部署在一绝缘填充 2403 之内。一第二图案化导体层伏在绝缘填充 2403 上面,于其中布局包括全局字线 2460L 的“第一”全局字线。如显示的,导电插塞 2469L 将晶体管本体 2462L 连接至上层的全局字线 2460L。同样地,导电插塞 2469R 将晶体管本体 2462R 连接至下层的全局字线 2460R。绝缘层 2404 伏在包括全局字线 2460L 的图案化导体层上面。

[0387] 图 25 为施加偏压给一阵列的存储器单元的电路的立体图。此电路包括多条近端位线 2510a、2510b 以及多条局部字线 2530a、2530b、2530c。存储器单元产生于近端位线 2510a、2510b 与局部字线 2530a、2530b、2530c 的交点。第一与第二开关(例如局部字线 2530a 上的开关 2562L 与 2562R)被耦接至每一条局部字线 2530a、2530b、2530c 的第一与第二端。于此实施例,局部字线的左端上的开关 2562L 被耦接至接触结构 2563L,它们是藉此连接至伏在局部字线上面的全局字线 2560L。又,局部字线的右端上的开关 2562R 被耦接至接触结构 2563R,它们是藉此连接至全局字线 2560R,且亦伏在局部字线上面。于此例子中的一局部字线译码器被耦接至第一局部字线选择线 2570L 与第二局部字线选择线 2570R,其分别控制开关 2562L 与开关 2562R。

[0388] 图 26A 为一阵列结构的剖面图,于其中全局字线对的第一全局字线 2660L 与第二全局字线 2660R 两者被部署在局部字线上面。此阵列的剖面图是沿着局部字线 2630,其中第一与第二全局字线以相同电平与附图中的一断流器(cutout)特征部对准以显露两者。于此结构中,一个半导体衬底 2601 包括被沟道隔离结构 2615a、2615b、2615c、2615d、2615e 隔开的多条近端位线 2610a、2610b、2610c、2610d。又,晶体管本体 2662L 与晶体管本体 2662R 被形成于此阵列中的每个列上的衬底 2601 中。晶体管本体 2662L 与晶体管本体 2662R 包括源极、通道以及漏极区域(未显示)。一存储器元件层 2680(例如多层介电电荷捕捉结构)伏在多条近端位线 2610a、2610b、2610c、2610d 上面。一局部字线 2630 伏在存储器元件层 2680 上面。局部字线选择线 2670L 与 2670R 分别伏在晶体管本体 2662L 与晶体管本体 2662R 中的晶体管通道上面。局部字线选择线 2670L 与 2670R 是被排列于此视图中,以能使它们延伸进入并离开纸张的平面。

[0389] 局部字线选择线 2670L 与 2670R 是被配置成在晶体管本体 2662L 与晶体管本体 2662R 的通道上面的栅极。晶体管本体 2662L 的源极与漏极端子的其中一个被连接至延伸在局部字线上面的一导电插塞 2669L,而晶体管本体 2662L 的源极与漏极端子的另一个是经由一连接器 2668L 被连接至局部字线 2630 的一第一端。同样地,晶体管本体 2662R 的源极与漏极端子的其中一个被连接至延伸在局部字线上面的一导电插塞 2669R,其朝垂直于纸张的平面的方向潜在地偏移,而晶体管本体 2662R 的源极与漏极端子的另一个是经由一连接器 2668R 被连接至局部字线 2630 的一第二端。在某些实施例中,局部字线 2630 可延伸在晶体管本体 2662L 与晶体管本体 2662R 以及形成于其间的接点上面,以作为更复杂的连接器 2668L 与 2668R 的替代方案。

[0390] 包括局部字线 2630 以及局部字线选择线 2670L 与 2670R 的结构被部署在一绝缘填充 2603 之内。一图案化导体层伏在绝缘填充 2603 上面,于其中布局包括全局字线 2660L 的“第一”全局字线与包括全局字线 2660R 的“第二”全局字线。如显示的,导电插塞 2669L 将晶体管本体 2662L 连接至上层的全局字线 2660L。同样地,导电插塞 2669R 将晶体

管本体 2662R 连接至上层的全局字线 2660R。绝缘层 2604 伏在包括全局字线 2660L 与全局字线 2660R 的图案化导体层上面。

[0391] 图 26B 显示关于局部字线 2630a 与上层对的全局字线 2660L/2660R, 以及局部字线 2630b 与上层对的全局字线 2661L/2661R 的布局或俯视图。在这些对的全局字线中的第一与第二全局字线两者伏在局部字线上的实施例中, 可增加垂直于局部字线的间隔以为每条局部字线容纳两条全局字线。全局字线可具有一“扭转 (twisted)” 布局, 其可改善接触至下层的局部字线选择晶体管的弹性, 或它们可以是直线状, 如图 26B 所示。又, 在某些实施例中, 第一全局位线可在覆盖于局部字线上的一第一图案化导体层中被实施, 而每对中的第二全局位线可在覆盖于第一全局位于线的一额外图案化导体层中被实施。

[0392] 包括配置在存储器阵列的上方的第一全局字线 2660L 与第二全局字线 2660R 的结构, 可通过使用主体硅装置上的闪存以及绝缘体上硅型装置上的薄膜晶体管 TFT 闪存及其他存储器结构而被实施。

[0393] 图 27A 至图 27D 显示用来将偏压条件施加至此阵列中的存储器单元的全局字线 / 局部字线电路的各种配置。在图 27A 中, 一 NAND 架构阵列是显示有四个区段, 其包括一般在符合圆形 2701、2702、2703、2704 的阵列的区域中的存储器单元。在一 NAND 架构中, 全局位线 GBL (例如 2740) 是沿着具有串行选择晶体管与接地选择晶体管的行而被配置, 用于将个别串行耦接在一全局位线 GBL 与一共通源极 CS 线 2714 之间。于此图中, 全局位线 GBL 伏在阵列上面, 并只显示于与串行选择晶体管的接触点, 用以避免模糊化图中的其他部分。串行是通过使用上区段上的一串行选择线 SLL 2709 以及下区段上的一串行选择线 2710 而耦接至它们对应的全局位线, 串行选择线 SLL 2709 与串行选择线 2710 是与字线平行被配置并作为供如所显示的串行选择晶体管用的栅极。串行是通过使用上区段的一接地选择线 GSL 2712 以及下区段的一接地选择线 GSL 2713 而耦接至共通源极 CS 线。如所显示的, 有沿着阵列中的存储器单元的每个列而被配置的成对的全局字线 GWL1、GWL2。这种布局可被视为沿着位线自上至下反射镜影像布局, 藉以允许区段共享至全局位线的共通源极线与接点。在每个区段之内, 局部字线 (以粗虚线表示) 是以每端上的 MOS 晶体管的型式连接至开关。这些开关是通过使用一左局部字线选择线 LWSL (例如 2721) 与一右局部字线选择线 LWSR (例如 2722) 而受到控制。这些开关可被排列在各种配置中。于此例子中, 图 27A 所显示的开关配置的放大视图是显示于圆形 2750 中。圆形 2750 中的开关配置显示沿着一列 (其包括一左侧局部字线 LWL-L 与一右侧局部字线 LWL-R) 延伸的一第一全局字线 GWL1 与一第二全局字线 GWL2。一 MOS 晶体管 2752 具有耦接至左侧局部字线 LWL-L 的一第一源极 / 漏极端子以及耦接至一第一层间接点 2753 (其连接至第一全局字线 GWL1) 的第二源极 / 漏极端子。一 MOS 晶体管 2754 具有耦接至右侧局部字线 LWL-R 的一第一源极 / 漏极端子以及耦接至一第二层间接点 2755 (其连接至第二全局字线 GWL2) 的第二源极 / 漏极端子。圆形 2750 所显示的开关配置是经由此阵列而重复在局部字线的末端上, 并允许每条局部字线的一端连接至其中一条全局字线, 且允许每条局部字线的另一端连接至其他的全局字线。

[0394] 图 27B 显示一替代阵列布局, 于其中圆形 2750A 中的开关配置利用单一层间接点 2757 而非两个层间接点, 如图 27B 所示。于此图中对于类似的元件重复使用于图 27A 中的参考数字, 且不再说明这种元件。于此例子中, 在圆形 2750A 与 2750B 中有两个开关配置。

圆形 2750A 中的开关配置显示沿着一列（其包括一左侧局部字线 LWL-L 与一右侧局部字线 LWL-R）延伸的一第一全局字线 GWL1 与一第二全局字线 GWL2。一 MOS 晶体管 2752A 具有耦接至左侧局部字线 LWL-L 的一第一源极 / 漏极端子以及耦接至层间接点 2757（其连接至第一全局字线 GWL1）的第二源极 / 漏极端子。一 MOS 晶体管 2754A 具有耦接至右侧局部字线 LWL-R 的一第一源极 / 漏极端子以及耦接至相同的层间接点 2757（其连接至第一全局字线 GWL1）的第二源极 / 漏极端子。

[0395] 圆形 2750A 中的开关配置显示沿着一列（其包括一左侧局部字线 LWL-L 与一右侧局部字线 LWL-R）延伸的一第一全局字线 GWL1 与一第二全局字线 GWL2。一 MOS 晶体管 2752A 具有耦接至左侧局部字线 LWL-L 的一第一源极 / 漏极端子以及耦接至层间接点 2757（其连接至第一全局字线 GWL1）的第二源极 / 漏极端子。一 MOS 晶体管 2754A 具有耦接至右侧局部字线 LWL-R 的一第一源极 / 漏极端子以及耦接至相同的层间接点 2757（其连接至第一全局字线 GWL1）的第二源极 / 漏极端子。

[0396] 圆形 2750B 所显示的开关配置是被排列以将局部字线连接至位于每段的相反侧的第二全局字线 GWL2。因此，配置 2750B 包括沿着一列（其包括一左侧局部字线 LWL-L 与一右侧局部字线 LWL-R）延伸的一第一全局字线 GWL1 与一第二全局字线 GWL2。一 MOS 晶体管 2752B 具有耦接至左侧局部字线 LWL-L 的一第一源极 / 漏极端子以及耦接至层间接点 2758（其连接至第二全局字线 GWL2）的第二源极 / 漏极端子。一 MOS 晶体管 2754B 具有耦接至右侧局部字线 LWL-R 的一第一源极 / 漏极端子以及耦接至相同的层间接点 2758（其连接至第二全局字线 GWL2）的第二源极 / 漏极端子。开关配置 2750A 与 2750B 的图案是经由此阵列而重复，并允许每条局部字线的一端连接至其中一条全局字线，且允许每条局部字线的另一端连接至其他的全局字线。

[0397] 图 27C 与图 27D 显示沿着存储器阵列中的一列而排列的全局字线对与局部字线，以及对应的全局字线驱动器的代表配置，于此一驱动器亦可作为一全局字线终端电路。

[0398] 图 27C 显示类似图 27B 的配置，其包括包含全局字线 2762 与 2765 的一第一全局字线对。全局字线 2762 被连接于一端上的一左 / 右全局字线驱动器 2760 与另一端上的一互补式左 / 右全局字线驱动器 2761 之间。同样地，全局字线 2765 被连接于一端上的一左 / 右全局字线驱动器 2763 与另一端上的一互补式左 / 右全局字线驱动器 2764 之间。

[0399] 于此说明中，有沿着列被排列的四个字线段（2766-2769）与相对应的全局字线对 2762/2765。全局字线 2762 上的一接点 2772 是经由一开关连接至局部字线 2766 的右端。局部字线 2766 的左端是经由一第一开关连接至全局字线 2765 上的接点 2770。又，全局字线 2765 上的接点 2770 是经由一第二开关连接至局部字线 2767 的左端。全局字线 2762 上的接点 2773 是经由一第一开关连接至局部字线 2767 的右端，并经由一第二开关连接至局部字线 2768 的左端。局部字线 2768 的右端是经由一第一开关连接至全局字线 2765 上的接点 2771。又，全局字线 2765 上的接点 2771 是经由一第二开关连接至局部字线 2769 的左端。全局字线 2762 上的接点 2774 是经由一开关连接至局部字线 2769 的右端。

[0400] 于此配置中，驱动器 2760 与 2761 可基于局部字线选择器译码而被配置，以能使在导电模式（例如热退火）期间横越过局部字线所施加的偏压条件通过依据选择的局部字线交替较高电压与较低电压角色来维持相同的电流方向。或者，依据选择的局部字线，可允许导电模式利用朝相对方向的电流操作。

[0401] 图 27D 显示类似图 27A 的配置,其包括一个包含全局字线 2782 与 2785 的第一全局字线对。全局字线 2782 被连接于一端上的一左全局字线驱动器 2780 与另一端上的一互补式右全局字线驱动器 2781 之间。同样地,全局字线 2785 被连接于一端上的一左全局字线驱动器 2783 与另一端上的一互补式右全局字线驱动器 2784 之间。

[0402] 于此说明中,有沿着列被排列的四个字线段 (2786-2789) 与相对应的全局字线对 2782/2785。全局字线 2785 上的接点 2790、2791、2792 以及 2793 是经由各自的开关连接至各自的局部字线 2786 至 2789 的右端。全局字线 2782 上的接点 2794、2795、2796 以及 2797 是经由各自的开关连接至各自的局部字线 2786 至 2789 的左端。

[0403] 于此配置中,在全局字线以及耦接至局部字线的开关之间有两倍的多的层间接点,如图 27C 的配置。然而,全局字线驱动器可被配置,以能使它们独立于选择的局部字线专门地操作作为一左侧驱动器或作为一右侧驱动器。

[0404] 图 28 显示一代表处理过程,于其中热退火循环是通过使用第一与第二全局字线而穿插在关于存储器装置的任务功能操作(读取、编程、擦除)之间。在装置的操作期间,执行编程/擦除循环操作,如以方块 2801 表示。装置上的控制电路包括用以维持编程与擦除循环、编程循环或擦除循环的次数计算或计数(例如通过计算编程操作,通过计算擦除操作,或通过计算编程与擦除操作对)的逻辑(方块 2803),并监视此计算(方块 2805)。控制电路亦包括用于执行于下所说明的后续步骤的逻辑。如果计数尚未达到一门限值,则控制电路进行回圈以继续计数循环。当计数达到一门限值时,则控制电路接着将第一与第二全局字线耦接至选择的对应的局部字线(2810),并控制多个配对的字线驱动器与字线终端电路,用以施加偏压至在选择的局部字线中引发电流的全局位线对(2815)。

[0405] 编程与擦除循环计数与热退火循环可在适合一特定实施例时,根据多组的单元,例如根据逐列基础、根据逐行基础、根据逐方块基础,或遍及整个阵列而被施加。退火可在适合功率消耗需求与一既定实施例的其他需求时,同时被施加至单元的一列或行,或施加至较多组的单元。

[0406] 图 29 显示另一种处理过程,于其中热退火循环是通过使用第一与第二全局字线而穿插在关于存储器装置的任务功能操作(读取、编程、擦除)之间。在图 29 的处理过程中,编程/擦除循环操作是在正常操作期间被执行,如以方块 2901 表示。控制电路包括用以监测一区块擦除功能的执行以及用于执行于下所说明的后续步骤的逻辑。控制电路决定何时已完成一区块擦除操作(方块 2905)。如果没有区块擦除操作被完成,则控制电路继续监视且正常操作。如果成功地完成一次区块擦除操作,则控制电路为对应的局部字线(2910)译码第一与第二全局字线,并控制多个配对的字线驱动器与字线终端电路,用以施加偏压至在选择的局部字线中引发电流的全局位线对(2915)。

[0407] 图 30 显示一代表处理过程,于其中热退火是通过使用第一与第二全局字线而在关于存储器装置的一任务功能(于此例子中之一区块擦除)期间被施加。在图 30 的处理过程中,关于存储器装置的正常编程/擦除循环正发生,如以方块 3001 表示。控制电路包括用以决定一区块擦除是否已被要求(方块 3005)并用于执行于下所说明的后续步骤的逻辑。如果一区块擦除尚未被要求,则控制电路继续正常操作与监视。如果一区块擦除操作被要求,则控制电路在区块擦除操作期间终结字线,以能使被擦除的存储器单元可利用热产生电流,或者以其他方式施加热退火(方块 3007)。如上所述,这不但可改善擦除性能,而

且允许介电电荷捕捉结构从编程 / 擦除循环损坏恢复。当完成区块擦除功能 (方块 3020) 时, 处理过程回复至正常操作。

[0408] 依据本技术的实验已为后编程 / 擦除循环的装置施加各种字线电流及退火脉冲, 于此存储器装置是在一测试配置中的 BE-SONOS 介电电荷捕捉存储器。字线电流包括 1.2mA、1.6mA 以及 2mA。退火脉冲的范围从 0.1 毫秒 (ms) 至 100 秒。存储器装置执行 10,000 次 PE 循环以看见损坏效果。就在热退火期间的门限电压漂移、次门坎斜率恢复以及转导而讨论的实验结果被详细说明于下。

[0409] 图 31 为门限电压对退火脉冲宽度的曲线图, 显示在热退火期间的门限电压漂移的实验结果。在任何编程 / 擦除循环之前的门限电压大约为 6.2V。在没有退火的情况下, 且在 10,000 次 PE 循环之后, 编程的门限电压漂移成大约 7.0V。利用 1.2mA、1.6mA 以及 2mA 的退火电流, 而退火电流是一毫秒或更少, 门限电压分别漂移成大约 6.7V、6.4V 以及 5.7V。因此, 实验证明当字线电流为 1.6mA 或 2mA 时, 由字线加热器所提供的脉冲退火可提供在退火脉冲宽度的一毫秒之内的非常快速的门限电压恢复时间。

[0410] 图 32 为次门坎斜率对退火脉冲宽度的曲线图, 显示在热退火之后的次门坎恢复的实验结果。对应于上述的门限电压漂移的实验结果, 后 PE 循环的装置显现快速的次门坎斜率 (SS) 恢复。在任何编程 / 擦除循环之前, 在测试之下的存储器装置显现大约在 220mV/10 年及 280mV/10 年之间的 SS。在 10,000 次编程 / 擦除循环之后, 在没有退火的情况下, 在测试之下的存储器单元显现大约在 410mV/10 年与 490mV/10 年之间的 SS。利用 1.2mA、1.6mA 以及 2mA 的退火电流, 在几毫秒之内, 在测试之下的存储器单元分别显现大约 430mV/10 年、360mV/10 年以及 250mV/10 年的 SS。因此, 实验证明由字线加热器所提供的脉冲退火, 可利用一毫秒退火脉冲宽度提供快速的次门坎斜率恢复时间, 且字线电流大约是 2mA。

[0411] 图 33 为转导对退火脉冲宽度的曲线图, 显示在热退火期间的转导恢复的实验结果。对应于上述的门限电压漂移与次门坎斜率恢复的实验结果, 后编程 / 擦除循环的装置显现快速转导 (g_m) 恢复。在任何编程 / 擦除循环之前, 在测试之下的存储器装置显现大约在 0.11 $\mu A/V$ 以及 0.14 $\mu A/10$ 年之间的 g_m 。在 10,000 次编程 / 擦除循环之后, 在没有退火的情况下, 在测试之下的存储器装置分别显现大约在 0.4 $\mu A/V$ 与 0.9 $\mu A/V$ 之间的 g_m 。利用 1.2mA、1.6mA 以及 2mA 的退火电流, 在一毫秒左右之内, 在测试之下的存储器单元分别显现大约 0.85 $\mu A/V$ 、0.8 $\mu A/V$ 以及 1.1 $\mu A/V$ 的 g_m 。因此, 实验证明由字线加热器所提供的脉冲退火可提供快速的转导恢复时间。

[0412] 一项 10 个百万循环编程 / 擦除循环耐久性测试已被实现以测试由本技术所作出的耐久性改善。此测试在每 10,000 次编程 / 擦除循环直到 10,000,000 次编程 / 擦除循环之后施加一热退火。编程 / 擦除循环是利用一种哑巴模式 (dumb-mode) (具有于 +19V 下持续 10 μsec 的一单发 (one-shot) 编程操作以及于 -13V 下持续 10msec (毫秒) 的一单发擦除操作) 而完成。通过横越过栅极的压降所造成的具有 2mA 栅极电流的 100msec 的热退火脉冲, 是在每 10,000 次编程 / 擦除循环之后被施加。耐久性测试的结果被说明于下。

[0413] 图 34 为门限电压对编程 / 擦除循环次数的曲线图, 显示热退火的实验结果。耐久性测试的结果显示在每 10,000 次编程 / 擦除循环之后, 处于编程状态的门限电压由于装置退化向上漂移了大约 1V。在施加热退火脉冲之后, 处于编程状态的门限电压由于退火与电

荷损失降低。

[0414] 图 35 为次门坎斜率对编程 / 擦除循环次数的曲线图, 显示热退火的实验结果。耐久性测试的结果显示次门坎斜率在热退火之后完全被恢复至在 200mV/10 年之下。

[0415] 图 36 为漏极电流对控制栅电压的曲线图, 显示在编程 / 擦除循环期间同时施加热退火的 IV 曲线的实验结果。耐久性测试的结果显示关于编程与擦除状态的相对应的 IV 曲线 (漏极电流对控制栅) 显现出, 以每 10, 000 次编程 / 擦除循环施加热退火的方式在 1 千万次编程 / 擦除循环之后不会有退化。

[0416] 图 37 为门限电压对保持时间的曲线图, 显示施加热退火的实验结果。此实验是针对于室温下且于 150℃ 下的保持时间、针对没有编程 / 擦除循环的闪存装置以及针对具有 1 千万次循环以上的存储器装置而实施。2mA/10 秒的热退火脉冲已被施加至具有 1 千万次编程 / 擦除循环以上的存储器装置。具有 1 千万次循环以上的存储器装置显现出可以与于室温下以及于 150℃ 下的闪存装置比较的保持时间, 而大约 0.2V 的门限电压漂移亦可与闪存装置比较。

[0417] 图 38- 图 45 显示各种型式的闪存单元, 其中局部字线、全局字线配置以及允许如于此所说明的热退火技术的其他结构可被应用至此闪存单元。

[0418] 图 38 是为了热退火操作而配置的一浮动栅存储器单元的剖面图。存储器单元包括一衬底 3810。源极与漏极区域 3820 与 3830 被形成于衬底 3810 中。一隧道氧化层 3860 被形成在衬底 3810、源极区域 3820 与漏极区域 3830 上方。一浮动栅 3870 是在隧道氧化层 3860 上方。一多晶硅层间氧化层是在浮动栅 3870 上方。一控制栅 3890 被形成于多晶硅层间氧化层 3880 的顶端上。

[0419] 为了热退火操作, 控制栅 3890 可能耦接至一局部字线, 其是经由一第一开关与一第二开关而耦接至一第一全局字线与一第二全局字线。在操作上, 第一全局字线与第二全局字线两者可经由第一与第二开关被译码以提供偏压至局部字线, 用以引发供热退火用之电流。于其他实施例中, 譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又, 在某些实施例中可能利用通道电流以引发热退火。

[0420] 图 39 是为了热退火操作而配置的一纳米晶体存储器单元的剖面图。存储器单元包括一衬底 3910。源极与漏极区域 3920 与 3930 被形成于衬底 3910 中。一栅极氧化层 3980 被形成在衬底 3910、源极区域 3920 与漏极区域 3930 上方。纳米晶体微粒 3970 被埋入在栅极氧化层 3980 之内。一控制栅 3990 被形成于栅极氧化层 3980 的顶端上。

[0421] 为了热退火操作, 控制栅 3990 可能耦接至一局部字线, 其是经由一第一开关与一第二开关而耦接至一第一全局字线与一第二全局字线。在操作上, 第一全局字线与第二全局字线两者可经由第一开关与第二开关被译码以提供偏压至局部字线, 用以引发供热退火用的电流。于其他实施例中, 譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又, 在某些实施例中可能利用通道电流以引发热退火。

[0422] 图 40 是为了热退火操作而配置的一 TANOS (Ta_N/Al₂O₃/SiN/SiO₂/Si) 存储器单元的剖面图。存储器单元包括一衬底 4010。源极与漏极区域 4020 与 4030 被形成于衬底 4010 中。包括 SiO₂ 的一隧穿介电层 4060 被形成在衬底 4010、源极区域 4020 与漏极区域 4030 上方。包括 SiN 的一捕捉层 4070 被形成在隧穿介电层 4060 上方。包括 Al₂O₃ 的一阻挡氧化层 4080 被形成在捕捉层 4070 上方。一控制栅 4090 被形成于阻挡氧化层 4080 的顶端上。

[0423] 为了热退火操作,控制栅 4090 可能耦接至一局部字线,其是经由一第一开关与一第二开关而耦接至一第一全局字线与一第二全局字线。在操作上,第一全局字线与第二全局字线两者可经由第一与第二开关被译码以提供偏压至局部字线,用以引发供热退火用的电流。于其他实施例中,譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又,在某些实施例中可能利用通道电流以引发热退火。

[0424] 图 41 是为了热退火操作而配置的一 MA-BESONOS 存储器单元的剖面图。存储器单元包括一衬底 4110。源极与漏极区域 4120 与 4130 被形成于衬底 4110 中。包括一 ONO(氧化物-氮化层-氧化物)隧穿结构的一带隙工程隧穿势垒 4150 被形成在衬底 4110、源极区域 4120 与漏极区域 4130 上方。包括 SiN(氮化硅)的一电荷捕捉介电层 4160 被形成在带隙工程隧穿势垒 4150 上方。一上氧化层 4170 被形成在电荷捕捉介电层 4160 上方。一高介电常数覆盖层 4180 被形成在上氧化层 4170 上方。一控制栅 4190 被形成于高介电常数覆盖层 4180 的顶端上。控制栅 4190 可能是金属栅极或多晶硅栅极。

[0425] 为了热退火操作,控制栅 4190 可能耦接至一局部字线,其是经由一第一开关与一第二开关而耦接至一第一全局字线与一第二全局字线。在操作上,第一全局字线与第二全局字线两者可经由第一与第二开关被译码以提供偏压至局部字线,用以引发供热退火用的电流。于其他实施例中,譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又,在某些实施例中可能利用通道电流以引发热退火。

[0426] 图 42 是为了热退火操作而配置的一种 FinFET 存储器单元的剖面图。存储器单元包括形成于从一衬底伸出的一衬底鳍片(未显示)上的源极与漏极区域 4220 与 4230。源极与漏极区域 4220 与 4230 具有一宽度 4225。一 ONO(氧化物-氮化物-氧化物)叠层 4250 被形成于衬底鳍片上。ONO 叠层 4250 包括在衬底鳍片上方的一下氧化层、在下氧化层上方的一电荷捕捉层(SiN),以及在电荷捕捉层上方的一上氧化层。一控制栅 4290 被形成在 ONO 叠层 4250 的顶端上。控制栅 4290 具有一长度 4295。

[0427] 为了热退火操作,控制栅 4290 可能耦接至一局部字线,其是经由一第一开关与一第二开关而耦接至一第一全局字线及一第二全局字线。在操作上,第一全局字线与第二全局字线两者可经由第一与第二开关被译码以提供偏压至局部字线,用以引发供热退火用的电流。于其他实施例中,譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又,在某些实施例中可能利用通道电流以引发热退火。

[0428] 图 43 是为了热退火操作而配置的一分离栅存储器单元的剖面图。存储器单元包括一衬底 4310。源极与漏极区域 4320 与 4330 被形成于衬底 4310 中。一隧道氧化层 4395 被形成在衬底 4310 上方。一栅极 4390 被形成在隧道氧化层 4395 上方。一浮动栅 4370 亦形成在隧道氧化层 4395 上方。

[0429] 为了热退火操作,栅极 4390 可能耦接至一局部字线,其是经由一第一开关与一第二开关而耦接至一第一全局字线与一第二全局字线。在操作上,第一全局字线与第二全局字线两者可经由第一与第二开关被译码以提供偏压至局部字线,用以引发供热退火用的电流。于其他实施例中,譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又,在某些实施例中可能利用通道电流以引发热退火。

[0430] 图 44 是为了热退火操作而配置的另一个分离栅存储器单元的剖面图。存储器单元包括一衬底 4410。源极与漏极区域 4420 与 4430 被形成于衬底 4410 中。一第一隧道氧

化层 4495 被形成在衬底 4410 上方。一存取栅极 4490 被形成在第一隧道氧化层 4495 上方。一第二隧道氧化层 4475 被形成在衬底 4410 上方。一浮动栅 4470 被形成在第二隧道氧化层 4475 上方。一介电层 4485 被形成在浮动栅 4470 上方。一控制栅 4480 被形成在介电层 4485 上方。一隔离间隙 4460 是被建构以使存取栅极 4490 与控制栅 4480 和浮动栅 4470 分离。

[0431] 存取栅极 4490 具有一宽度 4493。控制栅 4480 具有一宽度 4483。隔离间隙 4460 具有一宽度 4463。第一隧道氧化层 4495 具有厚度 4493。第二隧道氧化层 4475 具有一厚度 4473。源极与漏极区域 4420 与 4430 具有一厚度 4425。

[0432] 为了热退火操作,存取栅极 4490 及 / 或控制栅 4480 可能耦接至一局部字线,其是经由一第一开关与一第二开关而耦接至一第一全局字线与一第二全局字线。在操作上,第一全局字线与第二全局字线两者可经由第一与第二开关被译码以提供偏压至局部字线,用以引发供热退火用之电流。于其他实施例中,譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又,在某些实施例中可能利用通道电流以引发热退火。

[0433] 图 45 是为了热退火操作而配置的一种 SONOS(硅氧化氮氧化硅)存储器单元的剖面图。存储器单元包括一衬底 4510。源极与漏极区域 4520 与 4530 被形成于衬底 4510 中。一氧化层 4560 被形成在衬底 4510、源极区域 4520 与漏极区域 4530 上方。一电荷捕捉层 4570 是在下氧化层 4560 上方。电荷捕捉层 4570 可包括例如 Si_3N_4 的氮化硅材料。位线 4550 是由电荷捕捉层 4570 所包围。一上氧化层 4580 是在电荷捕捉层 4570 上方。一栅极 4590 被形成于上氧化层 4580 的顶端上。

[0434] 为了热退火操作,控制栅 4590 可能耦接至一局部字线,其是经由一第一开关与一第二开关而耦接至一第一全局字线及一第二全局字线。在操作上,第一全局字线与第二全局字线两者可经由第一与第二开关被译码以提供偏压至局部字线,用以引发供热退火用的电流。于其他实施例中,譬如利用以下相关于图 54- 图 58 所讨论的方法而实施的二极管搭接可能用来引发热退火。又,在某些实施例中可能利用通道电流以引发热退火。

[0435] 图 46 为一种分段字线 NOR 存储器阵列的一区段的简化视图,分段字线 NOR 存储器阵列包括第一全局字线对 4660L、4660R,第二全局字线对 4661L、4661R,多条局部字线 4632,以及多条局部字线 4634。于此例子中,存在有一阵列的闪存单元,其包括以一 NOR 配置被排列的沿着局部字线 4632 的单元 4682、4684、4686,以及沿着局部字线 4634 的对应的单元。于此说明中,每条局部字线段上只有三个单元。然而,如上所述,遍及依据热退火处理过程的需求所决定的分段的长度,每条字线段可被耦接至多多个单元。一共通源极线 4690 被耦接至单元之源极端子,并耦接至源极线终端电路(未显示),其执行如为阵列的特定实施例所指定的。位线 $\text{BLn}-1$ 、 BLn 与 $\text{BLn}+1$ 被耦接至此阵列的行中的单元的漏极侧,并耦接至供特定阵列用的存取电路设计。

[0436] 局部字线 4632 在左侧具有多个接触点 4664L,且在右侧具有接触点 4664R。类似的终端点被形成于局部字线 4634 上。包括左侧的晶体管 4662L 与右侧的 4662R 的开关被耦接至左侧的相对应的接触点 4664L 与右侧的 4664R,并耦接至相对应全局字线 4660L 与 4660R。左侧的控制线 4670L 与右侧的 4670R 被耦接至此阵列的一区段中的晶体管 4662L 与 4662R 的栅极,用以如上所述控制电流施加至局部字线。在另一实施例中,接触点 4664L

与 4664R 是譬如利用以下相关于图 54- 图 58 所讨论的方法,而经由二极管耦接至第一与第二导体,电流是藉此而在局部字线 4634 中被引发。

[0437] 图 47 为一种分段字线虚接地存储器阵列的一区段的简化视图,分段字线虚接地存储器阵列包括第一全局字线对 4760L、4760R,第二全局字线对(未标示),多条局部字线 4732 以及多条局部字线 4734。于此例子中,存在有一阵列的闪存单元,其包括以一虚接地配置被排列的沿着局部字线 4732 的单元 4782、4784、4786、4788,以及沿着局部字线 4734 的对应的单元。于此说明中,每条局部字线段上只有四个单元。然而,如上所述,遍及依据热退火处理过程之需求所决定的分段的长度,每条字线段可被耦接至多多个单元。位线 $BLn-2$ 、 $BLn-1$ 、 BLn 、 $BLn+1$ 以及 $BLn+2$ 被耦接至此阵列的行中的单元的对向侧,并耦接至为特定阵列设计的存取电路。

[0438] 局部字线段 4732 在左侧具有接触点 4764L,且在右侧具有接触点 4764R。类似的端点被形成于局部字线 4734 上。包括左侧的晶体管 4762L 与右侧的晶体管 4762R 的开关被耦接至左侧的相对应的接触点 4764L 与右侧的接触点 4764R,并耦接至相对应全局字线 4760L 与 4760R。左侧的控制线 4770L 与右侧的控制线 4770R 被耦接至此阵列的一区段中的晶体管 4762L 与 4762R 的栅极,用以如上所述控制电流施加至局部字线。在另一个实施例中,接触点 4764L 与 4764R 是譬如利用以下相关于图 54- 图 58 所讨论的方法而经由二极管耦接至第一与第二导体,电流是藉此而在局部字线 4734 中被引发。

[0439] 图 48 为一种分段字线 AND 存储器阵列的一区段的简化视图,分段字线 AND 存储器阵列包括第一全局字线对 4860L、4860R,第二全局字线对(未标示),以及局部字线 4832 与 4834。于此例子中,存在有一阵列的闪存单元,其包括以一 AND 阵列配置被排列的沿着局部字线段 4832 的单元 4882、4884、4886,以及沿着局部字线段 4834 的对应的单元。于此说明中,每条局部字线段上只有三个单元。然而,如上所述,遍及依据热退火处理过程的需求所决定的分段的长度,每条字线段可被耦接至多多个单元。位线 $BL0$ 、 $BL1$ 、... BLn 以及电源线 $SL0$ 、 $SL1$ 、... SLn 被耦接至此阵列之行中的单元的对向侧,并耦接至为特定阵列设计的存取电路。

[0440] 字线段 4832 在左侧具有接触点 4864L,且在右侧具有接触点 4864R。类似的端点被形成于字线段 4834 上。包括左侧的晶体管 4862L 与右侧的晶体管 4862R 的开关被耦接至左侧的相对应的接触点 4864L 与右侧的接触点 4864R,并耦接至相对应全局字线对 4860L 与 4860R。左侧的控制线 4870L 与右侧的控制线 4870R 被耦接至此阵列的一区段中的晶体管 4862L 与 4862R 的栅极,用以如上所述控制电流施加至局部字线。在另一个实施例中,接触点 4864L 与 4864R 是譬如利用以下相关于图 54- 图 58 所讨论的方法,而经由二极管耦接至第一与第二导体,电流是藉此而在字线段 4834 中被引发。

[0441] 图 49 为一种为了存储器单元的热退火而配置的使用垂直栅极的分段字线 3D 存储器阵列的一区段的简化视图。图 49 所显示的阵列的实施例可被完成,如说明在美国专利申请号 13/245,587,名称为供一 3D 存储器阵列用的架构(Architecture for a 3D Memory Array),申请日为 2011 年 9 月 26 日,其被并入作参考犹如完全提出于此。3D 阵列包括多个层级的存储器单元,包括包含存储器单元 4981 的层级,以及包含存储器单元 4982、4984、4986 的层级。每个层级包括多个 NAND 串行,其被耦接至每个层级中的对应的位线,例如在包含存储器单元 4982、4994、4986 的层级中的位线 4967。覆盖于存储器单元层级的叠层上

的是多个字线段,包括字线段 4969。这些段包括垂直延伸(包括延伸 4965 与 4966),其耦接至各种层级中的存储器单元的栅极。因此,字线段 4969 的延伸 4965 被耦接至分别在第一与第二层级中的存储器单元 4981 与 4986 的控制栅。

[0442] 字线段 4969 在左侧具有接触点 4964L,且在右侧具有接触点 4964R。类似的终端点被形成于其他字线段上。包括左侧的晶体管 4962L 与右侧的晶体管 4962R 的开关被耦接至左侧的相对应的接触点 4864L 与右侧的接触点 4864R,并耦接至相对应全局字线 4960L 与 4960R。左侧的控制线 4970L 与右侧的控制线 4970R 被耦接至此阵列的一区段中的晶体管 4962L 与 4962R 的栅极,用以如上所述控制电流施加至局部字线。在另一实施例中,接触点 4964L 与 4964R 是譬如利用以下相关于图 54-图 58 所讨论的方法而经由二极管耦接至第一与第二导体,电流是藉此而在字线段 4969 中被引发。吾人可能期望施加电流至位线而与施加电流至于此实施例中的字线结合,并期望基于相对应的存储器单元的电平调整施加至位线的电流。

[0443] 图 50 显示为热退火而配置的一种垂直 NAND 串行 3D 阵列。在图 50 所显示的实施例中,有多个垂直 NAND 串行,其包括具有一串行选择晶体管 5080 的串行,连同供耦接至一串行选择线 SSL 的多个其他 NAND 串行用的串行选择晶体管。存储器单元被串联配置在串行选择晶体管(例如 5080)与一共通源极选择晶体管(例如耦接至与串行选择晶体管 5080 相同的 NAND 串行的共通源极晶体管 5081)之间。一共通源极线 5050 终结多个垂直 NAND 串行。二极管(例如一二极管 5090)可被使用以使共通源极线 5050 与衬底隔离。包括一位线 5010 的多条位线是具体形成在阵列的上端上方,并通过使用串行选择晶体管与共通源极选择晶体管而耦接至相对应的垂直 NAND 串行。包括刚好在串行选择晶体管层之下的一字线结构 5048 的多个字线结构,被具体形成在此阵列的对应的层级中。

[0444] 字线结构 5048 在左侧具有接触点 5064L(其将字线结构的三个尖部耦接在一起),且在右侧具有接触点 5064R。类似的终端点被形成于其他电平中的其他字线结构上。在包括字线结构 5048 的电平中包括左侧的晶体管 5062L 与右侧的晶体管 5062R 的开关,被耦接至左侧的相对应的接触点 5064L 与右侧的接触点 5064R,并耦接至相对应全局字线 5060L 与 50560R。左侧的控制线 5070L 与右侧的控制线 5070R 被耦接至此阵列的一区段中的晶体管 5062L 与 5062R 的栅极,用以如上所述控制电流施加至局部字线。在另一实施例中,接触点 5064L 与 5064R 是譬如利用以下相关于图 54-图 58 所讨论的方法而经由二极管耦接至第一与第二导体,电流是藉此而在一字线中被引发。吾人可能期望施加电流至位线而与施加电流至于此实施例中的字线结合,并期望基于相对应的存储器单元的电平调整施加至位线的电流。

[0445] 图 51 为一段字线 3D 垂直-叠层-阵列-晶体管(VSAT)存储器阵列(如说明于此的为了热退火的施加所作的变化)的一区段的简化视图,基于 Kim 等人的“供超高密度及成本效益 NAND 闪存装置及 SSD(固态硬盘)用的新颖的垂直-叠层-阵列-晶体管(VSAT)”所说明的,其发表在 2009 年科技论文研讨会 VLSI 技术文摘,第 186-187 页,此文章是犹如完全提出于此地并入作参考。图 51 的结构可使用一种“栅极第一及通道最后处理过程”来实施,其中栅极被沉积于多层 Si 台地(mesas)上上,同时形成管道结构。Kim 等人陈述:

[0446] “在通过一干蚀刻工艺建立一 Si 台地以后,多层的掺杂多晶硅及氮化膜被沉积

于顶端。掺杂多晶硅及氮化膜是分别被使用作为栅极电极及在栅极之间的隔离材料。活性区域是在对多重层蚀刻以图案及一后续干蚀刻工艺之后被定义。所有栅极电极是在一 CMP 工艺之后露出于相同平面上,允许对栅极电极的轻易存取。隧穿-氧化层、电荷捕捉-氮化层及控制氧化膜被依序沉积于活性区域中,伴随着通道材料的一多晶硅沉积工艺。最后,为了隔离垂直串行,实现一蚀刻工艺”。

[0447] 可添加热退火偏压,于此结构中制出到达通道层的接触,举例而言。或者,字线可被分段或被二极管搭接,以提供退火电流。

[0448] 图 52 为一段字线 3D 管形可调位成本 (P-BiCS) 存储器阵列 (如说明于此的为了热退火的施加所作的变化) 的一区段的简化视图,基于 Katsumata 等人的「具有 16 叠层层管的 BiCS 闪存及供超高密度储存装置用的多级单元操作」所说明的,其发表在 2009 年科技论文研讨会 VLSI 技术文摘,第 136-137 页,此文章是犹如完全提出于此地并入作参考。基本结构的 P-BiCS 闪存被显示于图 52。如 Katsumata 等人所陈述的:

[0449] 「两个邻近 NAND 串行是被以下电极控制栅门的所谓的管道-连接部 (PC) 连接于底部。供 U 形管道用的其中一个端子被连接至位线 (BL),而另一端子是由电源线 (SL) 连绑。SL 由第三级金属的网状配线所构成且被第一及第二级金属接达,类似已知的平坦化技术,因此 SL 的电阻足够低。SG 晶体管两者是被置于 SL 与 BL 的下方。控制-栅极 (CG) 是被缝隙隔离,并面向彼此以作为几个梳子图案。存储器薄膜是由一阻挡薄膜、一电荷捕捉薄膜与基于氧化物的薄膜所构成,以作为一隧道薄膜。基于氧化物的隧道-薄膜的实施例是因为从隧道薄膜的沉积到本体硅的连续处理是可适用的。」热退火偏压可被添加,于此结构中制出到达通道层的接触,举例而言。或者,字线可被分段或被二极管搭接,以提供退火电流。

[0450] 图 53 为一替代分段字线 3D 存储器阵列 (如说明于此的为了热退火的施加所作的变化) 的一区段的简化视图,基于 Kim 等人的“克服关于兆位密度储存的叠层限制的多层垂直栅极 NAND 闪存”所说明的,其发表在 2009 年科技论文研讨会 VLSI 技术文摘,第 188-189 页,此文章是犹如完全提出于此地并入作参考。VG-NAND 闪存包括字线 WL、位线 BL,共同电源线 CSL,而一水平的活性串行具有图案。供 SSL、WL、GSL 使用的垂直栅极 VG 是被使用。电荷捕捉层是配置于一活性本体与垂直栅极之间。垂直插塞施加 DC 至源极及活性本体 (Vbb)。WL 及 BL 是在制得单元阵列之前的制造初期形成。源极及活性本体 (Vbb) 是电性地被绑至 CSL,用于致能本体擦除操作。在擦除期间,一正偏压是被施加至 CSL。除了 SSL 改变以外,每层可相同于一平面式 NAND 闪存。热退火偏压可通过使用位线或字线而被施加至譬如 NAND 串行。

[0451] 图 54 为在作为两个“热板”导体的以二极管搭接的第一与第二导体 5430 及 5410 之间的一字线 5420 的简化视图。字线 5420 可通过使用一金属结构 (于此及于说明于此之技术的其他实施例中) 而被实施,基于耐火或“高温”材料,像是钨,其适合用来作说明于此的退火处理过程的温度。二极管搭接是通过使用一第一多个二极管 5452、5454、5456 来实施,使它们的阳极耦接至字线 5420,使它们的阴极耦接至第一导体 5410;并通过使用一第二多个二极管 5442、5444 来实施,使它们的阴极耦接至字线 5420,使它们的阳极耦接至第二导体 5430。于某些实施例中可使用 P+/N- 及 N+/P- 二极管来实施二极管。或者,可使用具有金属/半导体接口的肖特基 (Schottky) 二极管来实施二极管。在使二极管接触字

线的位置之间的距离可依据存储器阵列的实施例被选择,以能建立适当的加热效率。举例而言,在 P+/N- 及 N+/P- 二极管的位置之间大约 150 微米的距离,可以适合于上述结合实体上分段字线实施例所计算的原理。实际间距可基于用于传送偏压的结构电阻字线的电阻及关于应用此技术的特定存储器结构的焦耳热效率来设计。

[0452] 于此配置中,二极管搭接支持电流从第二导体 5430 通过字线 5420 的段,到第一导体 5410,但阻挡电流逆流。第一多个二极管被耦接至字线及沿着字线的第一多个隔开的位置,而第二多个二极管是于第二多个隔开的位置沿着字线耦接至字线,第二多个隔开的位置是与第一多个位置中的多个位置穿插。因此,当第二导体 5430 被充分高于第一导体 5410 的电压的一电压偏压时,电流沿着字线 5420 流动通过第二多个二极管而到隔开的位置,从这些位置到供第一多个二极管用的接触位置的电流如图中的箭号 5421、5422、5423 及 5424 显示。此种实施例通过电性地分割字线而不需要物理分段,而允许施加偏压,其引发电流以供热退火用。亦,二极管的布局区域可以大幅地低于实施开关晶体管(说明于提出于此的其他实施例)所需要的。

[0453] 第一导体 5410 及第二导体 5430 可通过使用种种的配置而被实施,这些配置包括每一个第一与第二导体具有类似于每个字线的间距的配置,以及第一与第二导体为具有实质上大于一个别的字线的宽度的板的配置,其中每一个耦接一些字线。

[0454] 图 55 为在具有二极管搭接的两个“热板”导体之间的多重局部字线的简化视图。于此例子中,一第一导体 5510 及一第二导体 5530 是使用二极管搭接来偏压一第一字线 5522 及一第二字线 5524。供特定字线 5524 用的二极管搭接电路包括:一第一多个二极管 5556 及 5555,它们的阴极耦接至第一导体 5510,而它们的阳极耦接至字线 5524;及第二多个二极管 5546 及 5548,它们的阳极耦接至字线 5524 而阴极耦接至第二导体 5530。供特定字线 5522 用的二极管搭接电路包括:一第一多个二极管 5552 及 5554,它们的阳极耦接至字线 5522,而它们的阴极耦接至第一导体 5510;及一第二多个二极管 5542 及 5544,它们的阳极耦接至第二导体 5530,而它们的阴极耦接至字线 5522。因此,图 55 显示一实施例,其中一对的第一与第二导体是与供至少两字线用的二极管搭接电路一起被利用。

[0455] 图 56 为利用两个“热板”导体来二极管搭接一字线的结构的一个例子的 3D 视图。此结构包括一衬底 5610,于其上形成一阵列的存储器单元。衬底可包括一个半导体或一绝缘体,适合一特定实施例的需要。存储器单元可包括半导体本体 5620,其在衬底 5610 上的一绝缘层 5630 之内延伸进入页面,且存储器单元通道被形成于其中。一个具有上述其中一种结构的多层电荷捕捉结构 5640 伏在半导体本体 5620 上面。最好是使用一金属或其他导电材料(其可被使用以提供电流于易于管理的偏压电平)来实施的一字线 5650,是伏在电荷捕捉结构 5640 上面。在一个伏在存储器阵列上面的图案化金属层中,一第一导体 5670 及一第二导体 5690 是被实施,并作为“热板”导体以使用二极管搭接来传送电流至字线的段。

[0456] 如所显示,于字线上的一第一接触位置中,形成一 P-N 二极管,其包括一 P 型半导体元件 5688,最好是具有相当高的(P+)掺杂浓度,并与字线接触。元件 5688 作为二极管的阳极。最好是具有相当低的(N-)掺杂浓度的一 N 型半导体元件 5686 被形成于 P 型半导体元件 5688 上,以形成一个二极管。元件 5686 作为二极管的阴极。一纵横导体 5684 接触半导体元件 5686,其在一覆盖层中促进二极管连接至导体 5690。于此实施例,延伸通过一绝

缘层（未显示）的一插塞 5682 制造在纵横导体 5684 与“热板”导体 5690 之间的接触。

[0457] 同样地，在字线上的一第二接触位置中，形成一 N-P 二极管，包括一 N 型半导体元件 5668，其最好是具有一相当高的 (N+) 掺杂浓度，并与字线接触。元件 5668 作为二极管的阴极。最好是具有相当低的 (P-) 掺杂浓度的一 P 型半导体元件 5666，被形成于 N 型半导体元件 5668 上，以形成一个二极管。元件 5666 作为二极管的阳极。一纵横导体 5664 接触半导体元件 5666，其于一覆盖层中促进二极管连接至导体 5670。于此实施例，延伸通过一绝缘层（未显示）的一插塞 5662 可制造在插塞 5662 与“热板”导体 5670 之间的接触。

[0458] 如可被看见的，在二极管搭接电路中的二极管可以种种的电路配置被耦接至字线及第一与第二导体，这些配置可依据存储器阵列的结构来作选择。又，每一个“热板”导体可被使用以偏压多条字线。

[0459] 图 57 为具有二极管搭接的多条字线的布局视图，这些字线共享单一对的“热板”导体，其包括第一导体 5770 及第二导体 5790。于此布局图例中，结构的说明是从下层至上层。于下显示层中，于半导体本体（未显示）中有多个半导体条带 5721, 5722, 5723, 5724...，其于一衬底（未显示）上譬如可包括一 finFET 型式 NAND 串行结构的鳍片。于下一个层，多条字线 5751, 5752, 5753, 5754 延伸正交地横越过条带 5721, 5722, 5723, 5724。于字线 5751, 5752, 5753, 5754 上方的一层中，一第一多个 P-N 二极管（例如二极管 5786）及一第二多个 N-P 二极管（例如二极管 5766）是沿着字线以隔开的位置被耦接。于第一与第二多个二极管上方的一层中，纵横导体 5784 及 5764 是被实施（纵横导体上的断流器 (cutout) 显示下层的二极管的位置）。最后，实施覆盖纵横导体 5784 及 5764、第一与第二“热板”导体 5770 与 5790。“热板”导体的宽度可以实质上大于所显示的那些，只受限于它们被耦接的多条字线的间距。

[0460] 闪存阵列及其他型式的存储器阵列可能需要相当高的正及负电压被施加横越过存储器单元，以供编程及擦除操作。这建构一种使邻近字线（包括可能经由二极管搭接耦接至相同对的“热板”导体的字线）可能具有实质上不同的施加偏压的状态。因此，“热板”导体的偏压可被控制以在正常操作期间促进电流的阻隔。于一实施例中，“热板”导体被维持于一浮动或未连接条件，以能不允许沿着导体的长度有电流流动。于另一实施例中，“热板”导体可在操作期间被偏压于逆向偏压二极管搭接的二极管的电压电平。

[0461] 图 58 为具有二极管搭接的两个“热板”导体*之间的多重局部字线的简化视图，显示在阵列的正常操作期间的潜行路径的消去。于图 58 中，说明于图 55 的结构是被再造成具有相同的参考数字。此外，经由第一导体 5510 的在字线 5522 与字线 5524 之间的电流路径 5800 及 5801 是被显示以供参考。又，经由第二导体 5530 的在字线 5522 与字线 5524 之间电流路径 5802 及 5803 是被显示以供参考。于可能在一闪存装置的编程期间产生的例示偏压配置中，字线 5524 可被施加大约 +20 伏特以供编程用，而未被选取的字线 5522 可被施加大约 +10 伏特以作为一通过电压电平。这两字线 5522 及 5524 是经由二极管搭接耦接至相同对的导体 5510 及 5530。然而，电流路径 5800 及 5801 是分别地被对向二极管 5552 及 5556 及对向二极管 5554 及 5555 阻挡。为达成此种阻挡效应，第一导体 5510 可被施加大于 +20 伏特的电压，或于一替代方案中是维持浮动。又，电流路径 5802 及 5803 是被对向二极管 5542 及 5546 及对向二极管 5544 及 5548 阻挡。为达成此种阻挡效应，第二导体 5530 可被施加低于 +10 伏特的电压，或于一替代方案中是维持浮动。

[0462] 因此,在用于在闪存中读取、编程或擦除的阵列的正常操作期间,热板导体可以通过取消选择一热板驱动器而浮动,或被偏压以确保二极管的逆向偏压。最好是,应利用浮动热板。电容耦合导致浮动热板导体被升压至未阻碍一阻隔作用的电压电平。在字线与热板导体之间的电容耦合应该是小的,因为在隔开的位置的二极管电容应该是相当小。因此,使用二极管搭接技术不应大幅地影响字线 RC 延迟特征。

[0463] 图 59 为采用说明于此的热退火以供闪存用的集成电路的简化方块图。集成电路 470 包括一存储器阵列 472,其是使用于一集成电路衬底上的闪存单元来实施,于其中字线是使用譬如类似参考图 54-图 58 所说明的技术而被二极管搭接。一接地选择及串行选择译码器 474(包括适当的驱动器)被耦接至及电性连通至串行选择线及接地选择线,其沿着存储器阵列 472 的列配置。又,译码器 474 包括耦接至字线 476 的字线驱动器。一位线(行)译码器及驱动器 478 被耦接至及电性连通至多条位线 480,其沿着存储器阵列 472 中的行配置,用于从存储器阵列 472 中的存储器单元读取数据,及将数据写入至存储器单元中。地址是于总线 482 上被提供至字线译码器及串行选择译码器 474 及至位线译码器 478。

[0464] 于此例子中,字线上的电流被用于引发热,用于热退火介电电荷捕捉结构,且加热器板驱动器 499 是被包括在内。字线终端译码器 450 可响应于表示操作模式或在操作模式期间产生的地址及控制信号,以供装置选择性地连接字线至终端电路,或致能耦接至选择的字线的终端电路,如上所述。

[0465] 在方块 484 中的感测放大器及数据输入结构包括用于读取、编程及擦除模式的电流源,并经由数据总线 486 耦接至位线译码器 478。数据是经由数据输入线 488 而从集成电路 470 上的输入/输出端或集成电路 470 的内部或外部的其他数据源被提供至方块 484 中的数据输入结构。数据是经由数据输出线 492 而从方块 484 中的感测放大器被提供至集成电路 470 上的输入/输出端或集成电路 470 的内部或外部的其他数据目标。

[0466] 使用一偏压配置状态机器而实施于此例子中的一种控制器 494 控制偏压配置电源电压的施加及电流源 496,例如读取、编程、擦除、擦除确认、编程确认电压或供字线及位线用的电流,并使用一访问控制过程来控制字线/电源线操作。控制器 494 包括用于致能热退火的逻辑,包括控制全局字线对的使用,用于施加偏压条件至局部字线以执行热退火操作。

[0467] 控制器 494 可通过使用在本技术领域熟知的特殊用途逻辑电路而被实施。于替代实施例中,控制器 494 包括一通用处理器,其可能被实施于同一个执行一计算机编程以控制装置的操作的集成电路上。于又其他实施例中,可能利用特殊用途逻辑电路及一通用处理器的组合以实施控制器 494。

[0468] 于所说明的实施例中,其他电路 490 被包括于集成电路 470 上,例如一通用处理器或特殊用途应用电路,或提供被存储器单元阵列所支持的系统单芯片功能性的多个模块的组合。

[0469] 又,于某些实施例中,控制器包括编程/擦除循环计数器,及用于设置待被施加至热退火处理的配置的参数的缓存器。控制器可与其他处理过程及读取及写入的任务功能操作一起执行说明于此的程序(参考图 9-图 11 及图 28-图 30)。于应用图 11 的处理过程至图 59 的电路时,字线终结步骤是被使用二极管搭接电路施加偏压至字线的步骤置换。于应用图 28-图 30 的处理过程至图 59 的电路时,译码左右全局字线的步骤是被为阵列的选择

的区段偏压第一与第二加热器板的步骤置换。于应用图 30 的处理过程至图 59 的电路时，在区块擦除期间终结字线的步骤亦可于某些实施例中省略。

[0470] 一种热辅助闪存已被说明。此技术是适合于具有 NAND 架构的闪存装置以及使用其他架构的装置一起使用。因为增加的耐久性是不可能的，所以闪存可亦被使用于缓存器配置中。通过使用由字线中的电流所导致的电阻式加热（譬如以其容易地被实施于集成电路装置中的方式），可产生热以供热退火用。通过施加热退火操作，可达成改善的耐久性及/或增加的擦除速度。

[0471] 综上所述，虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明。本发明所属技术领域中具有通常知识者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰。因此，本发明的保护范围当视随附的权利要求范围所界定的为准。

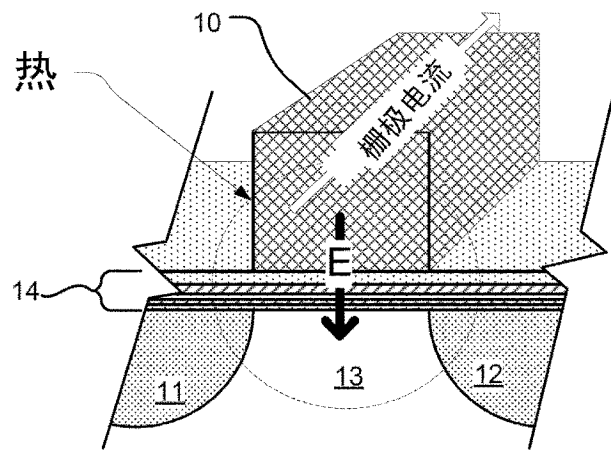


图 1A

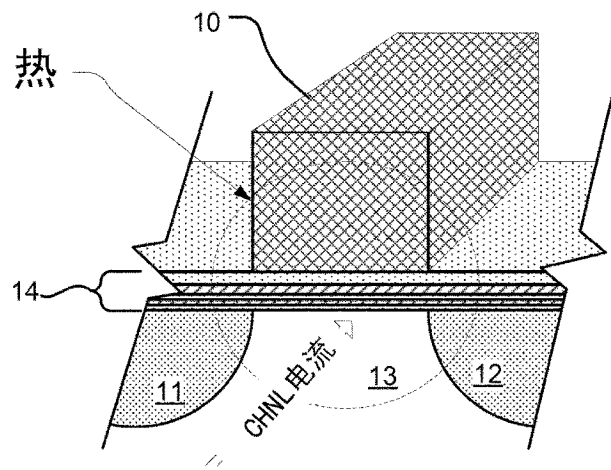


图 1B

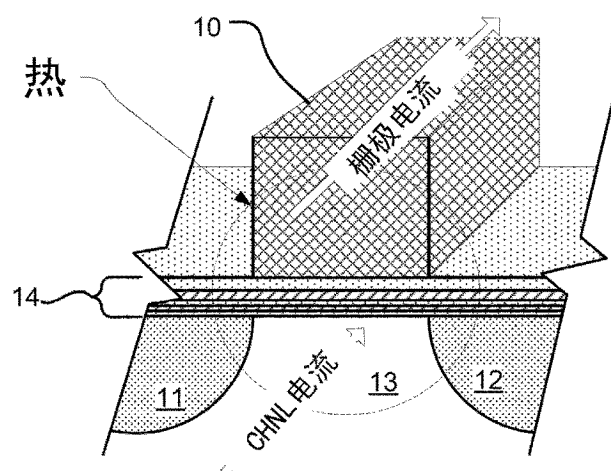


图 1C

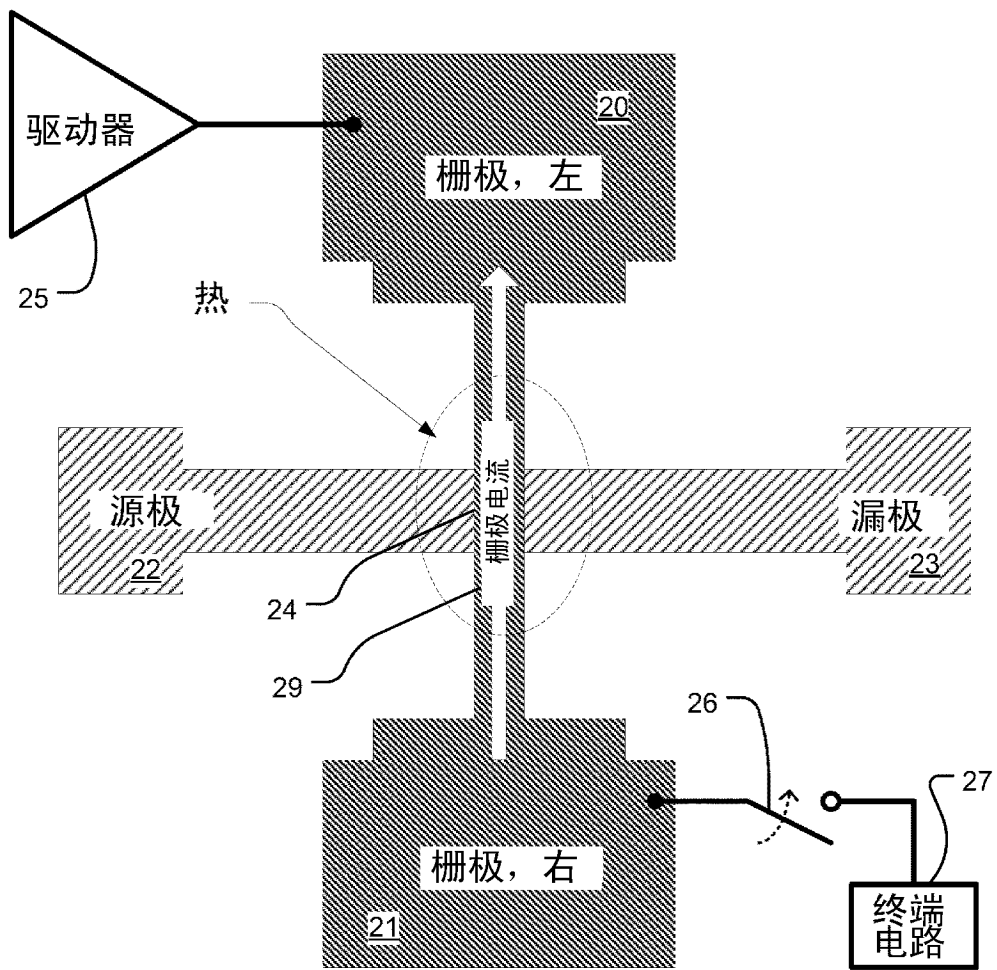


图 2

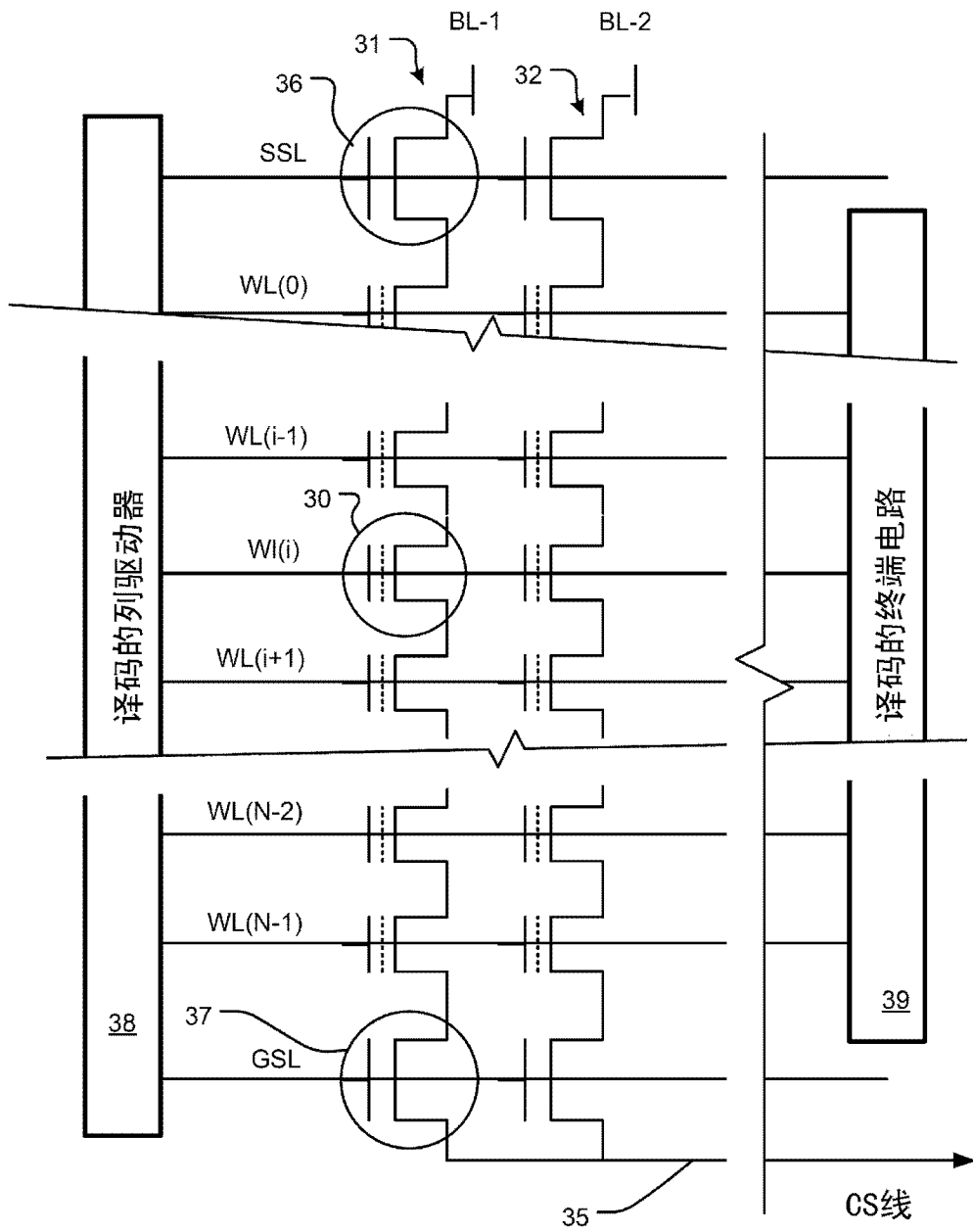


图 3

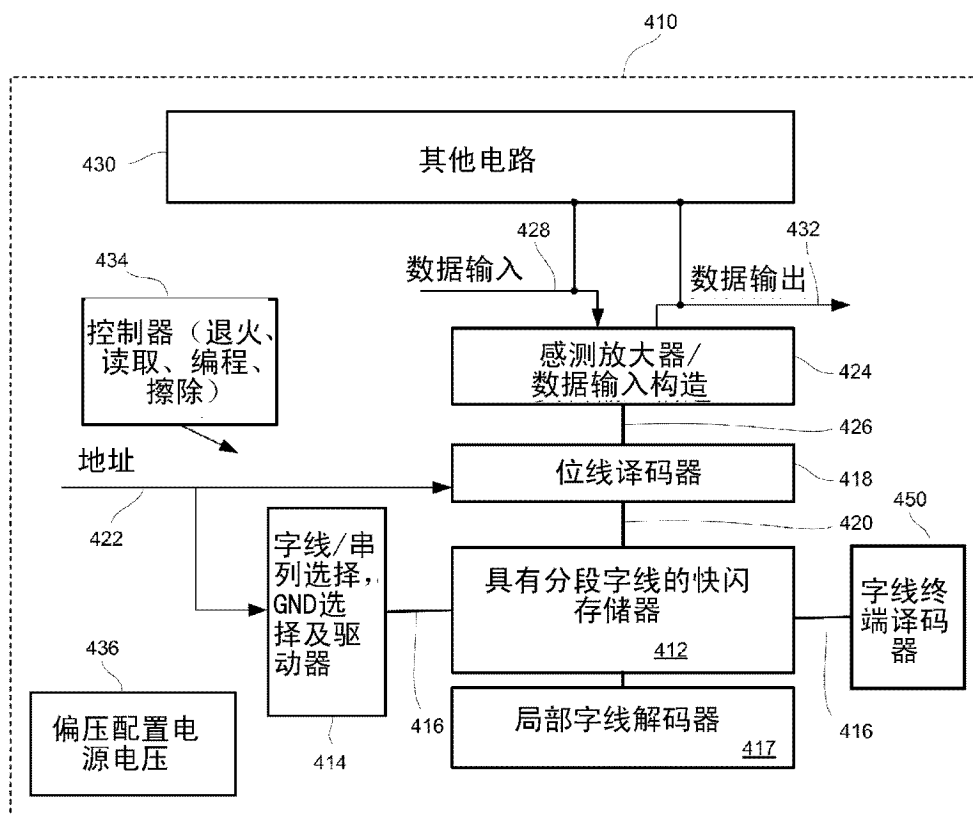


图 4

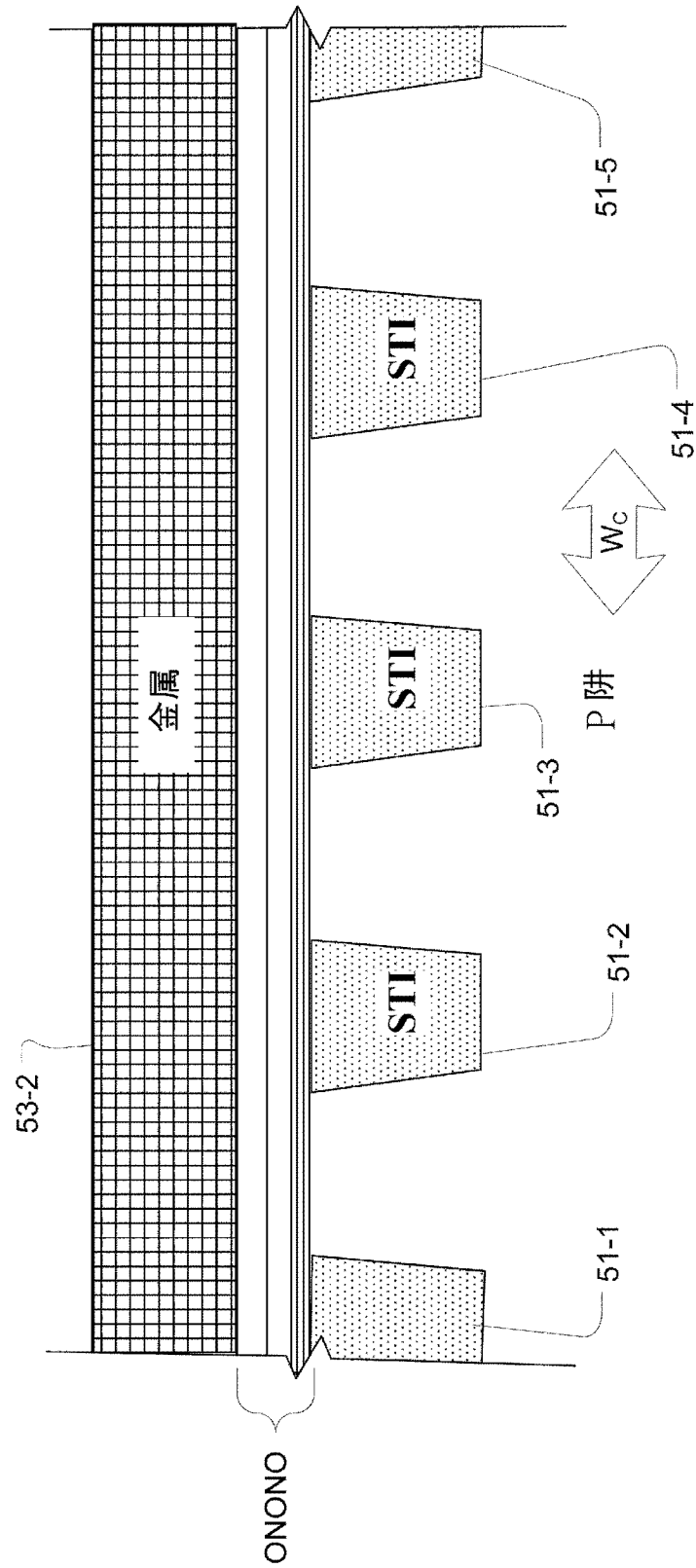


图 6

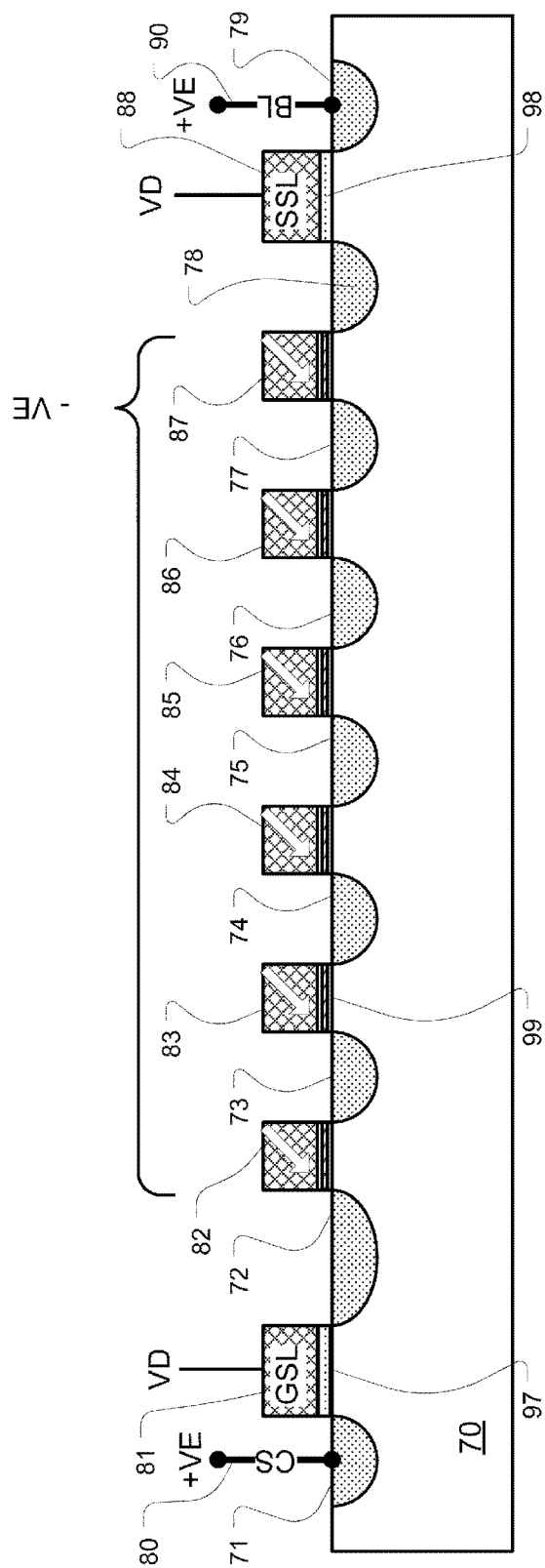


图 7

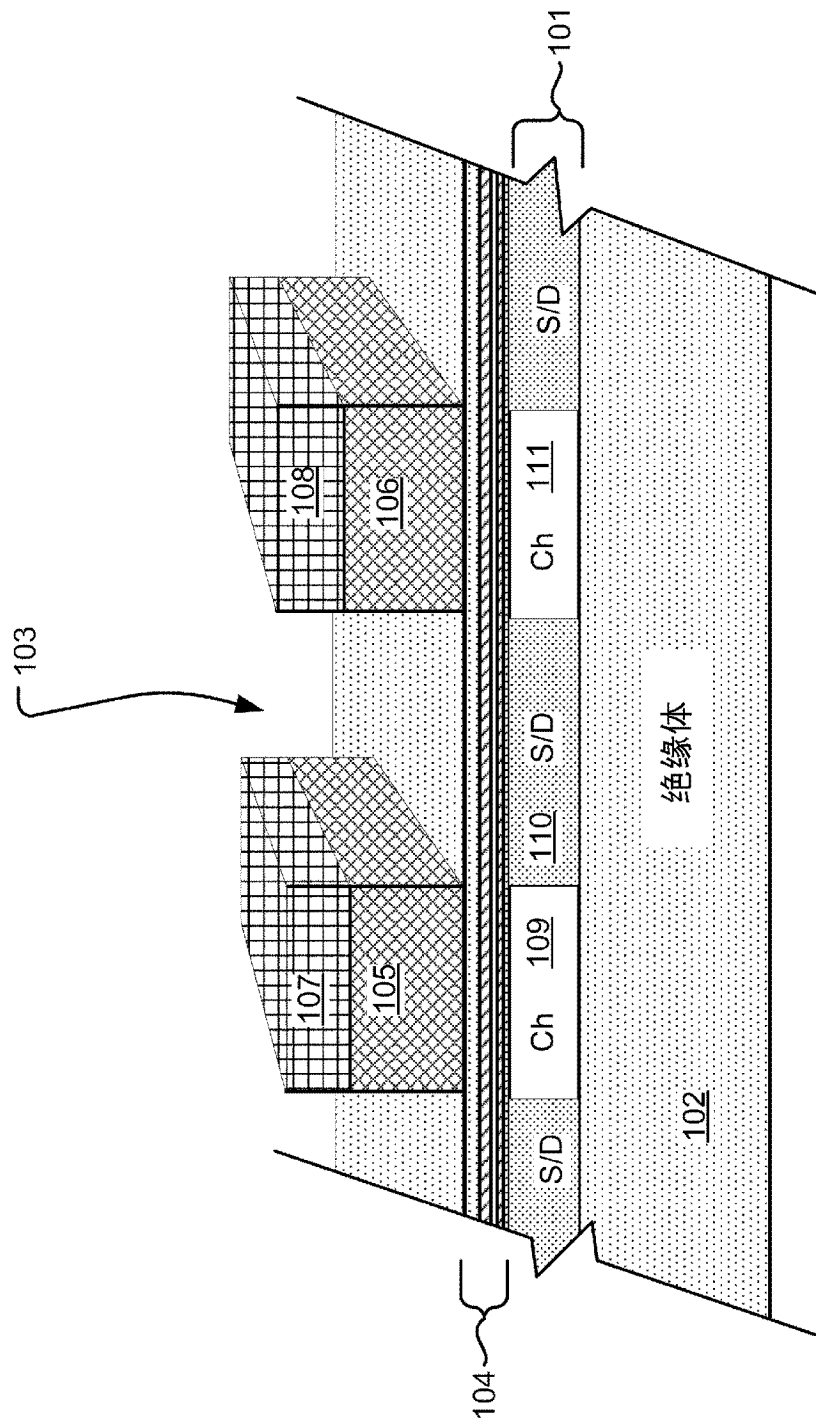


图 8

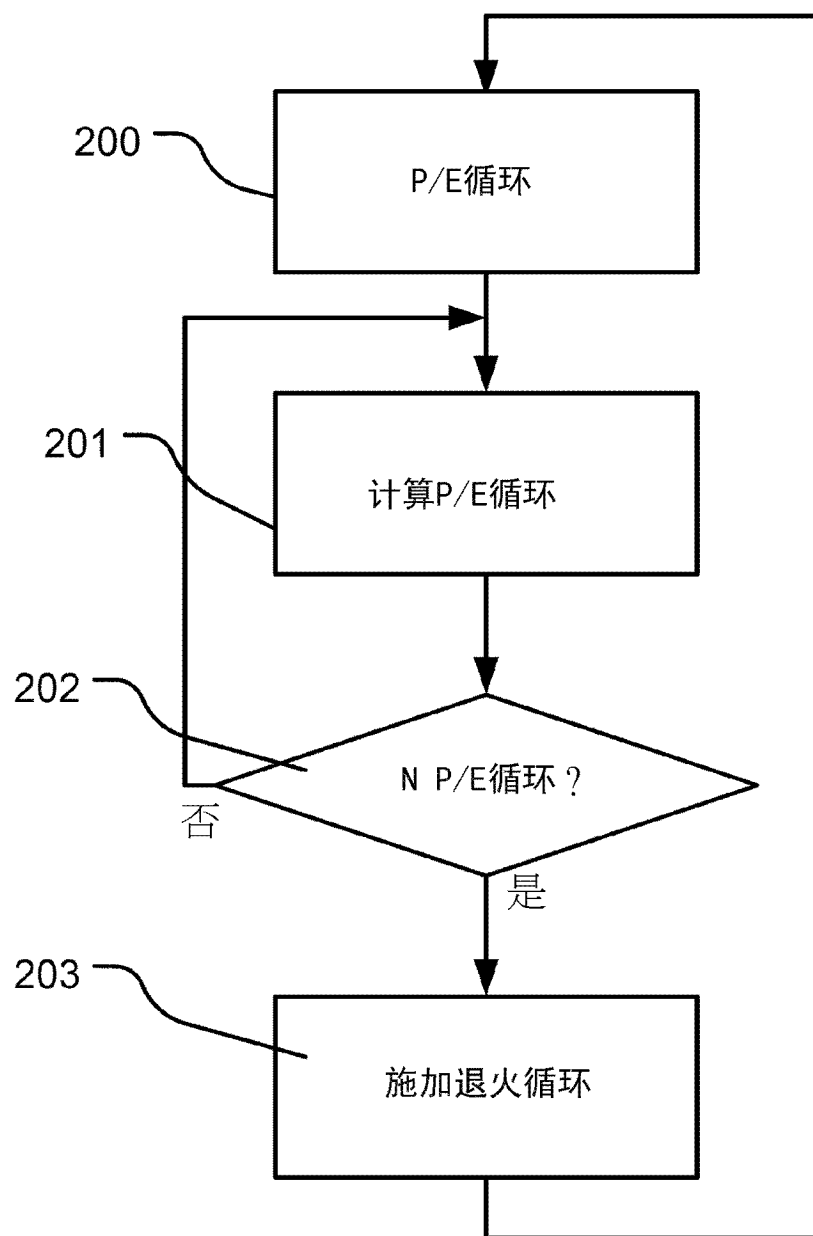


图 9

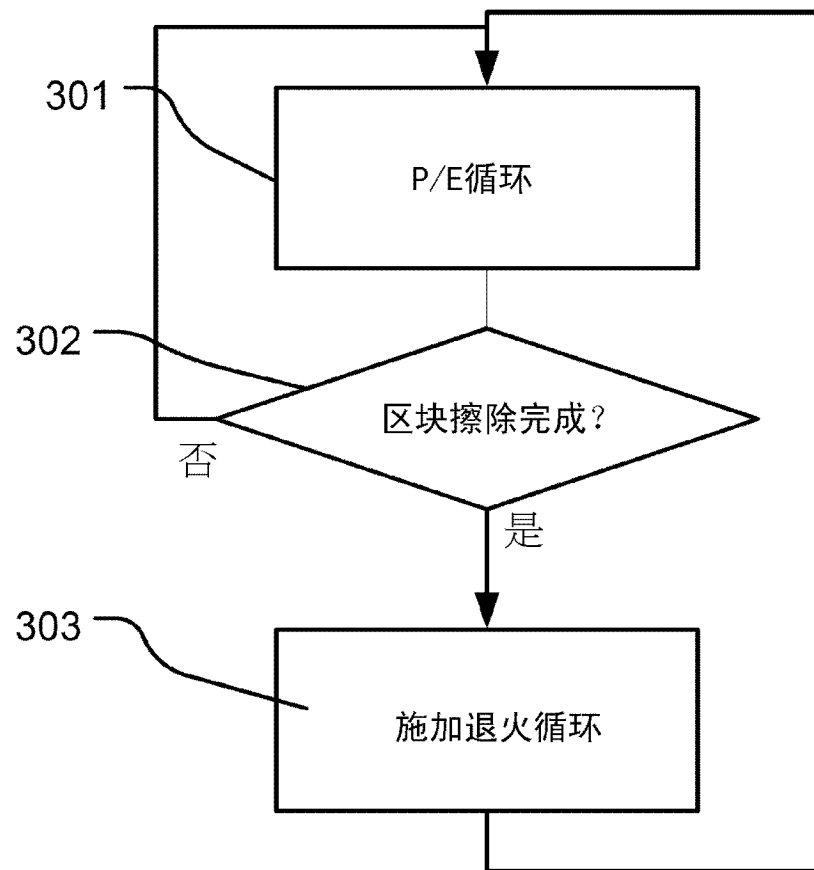


图 10

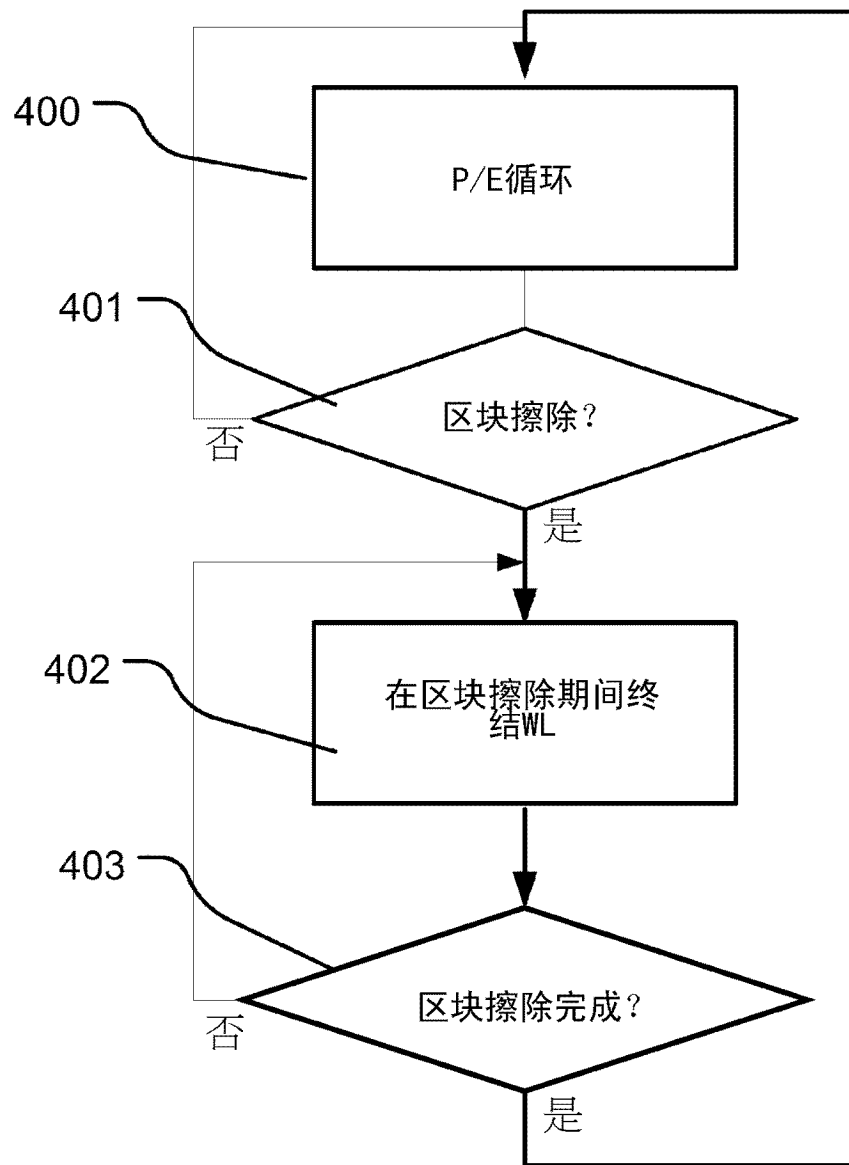


图 11

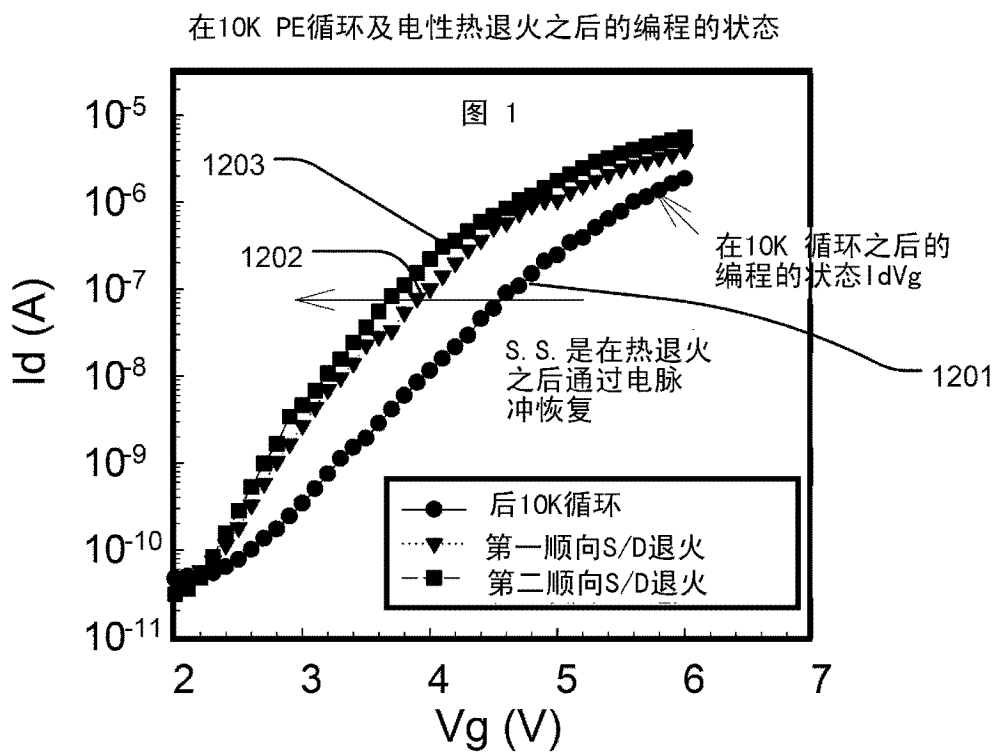


图 12

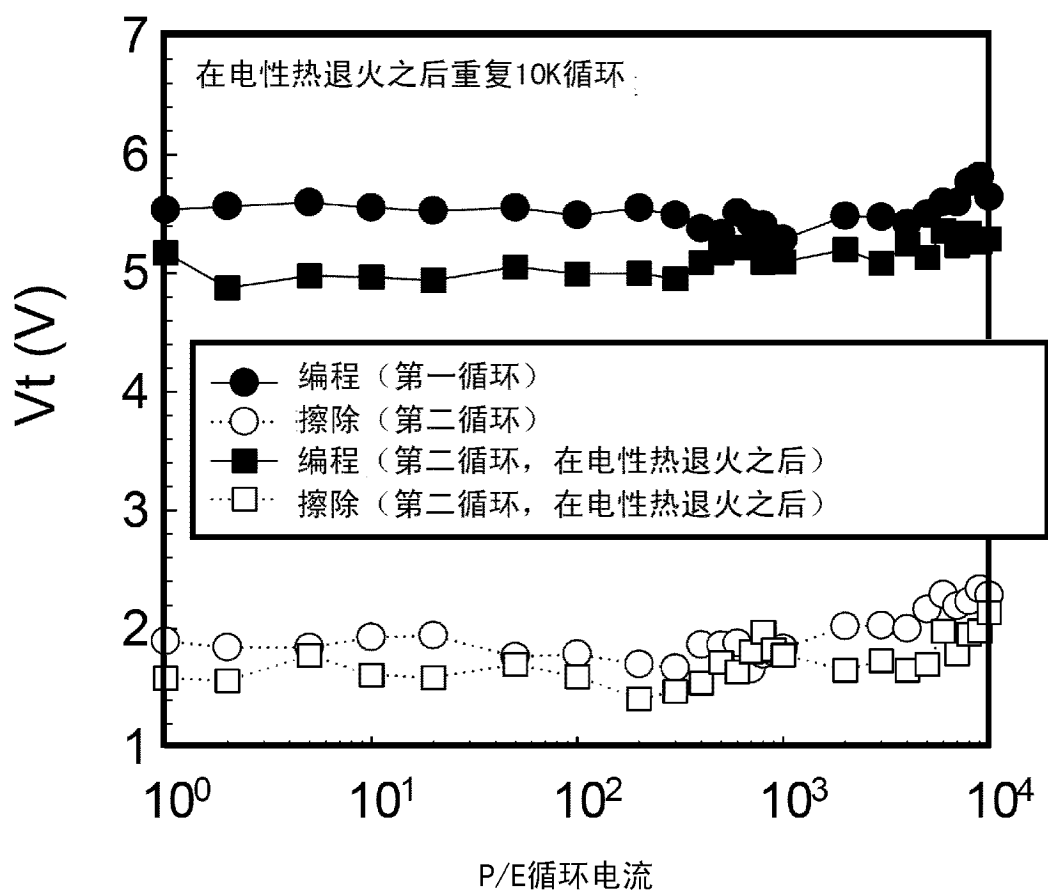


图 13

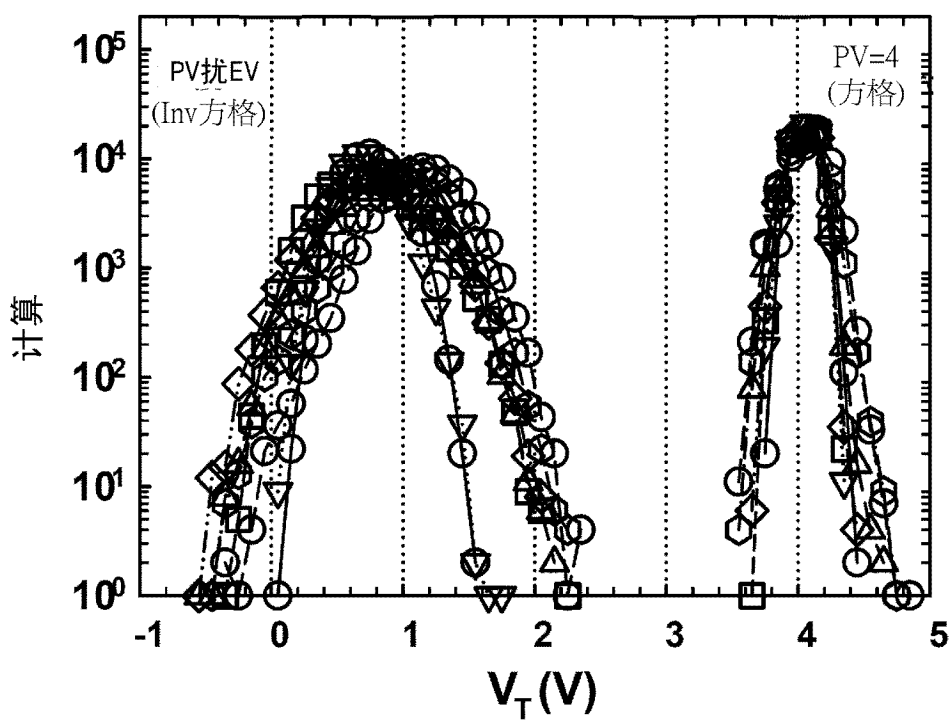


图 14

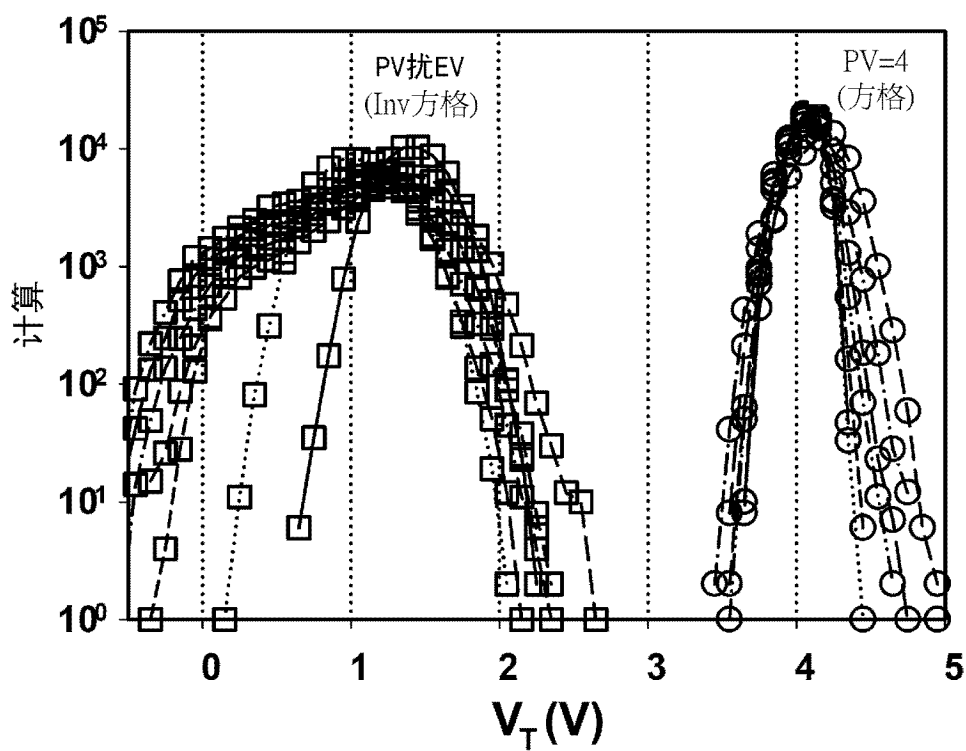


图 15

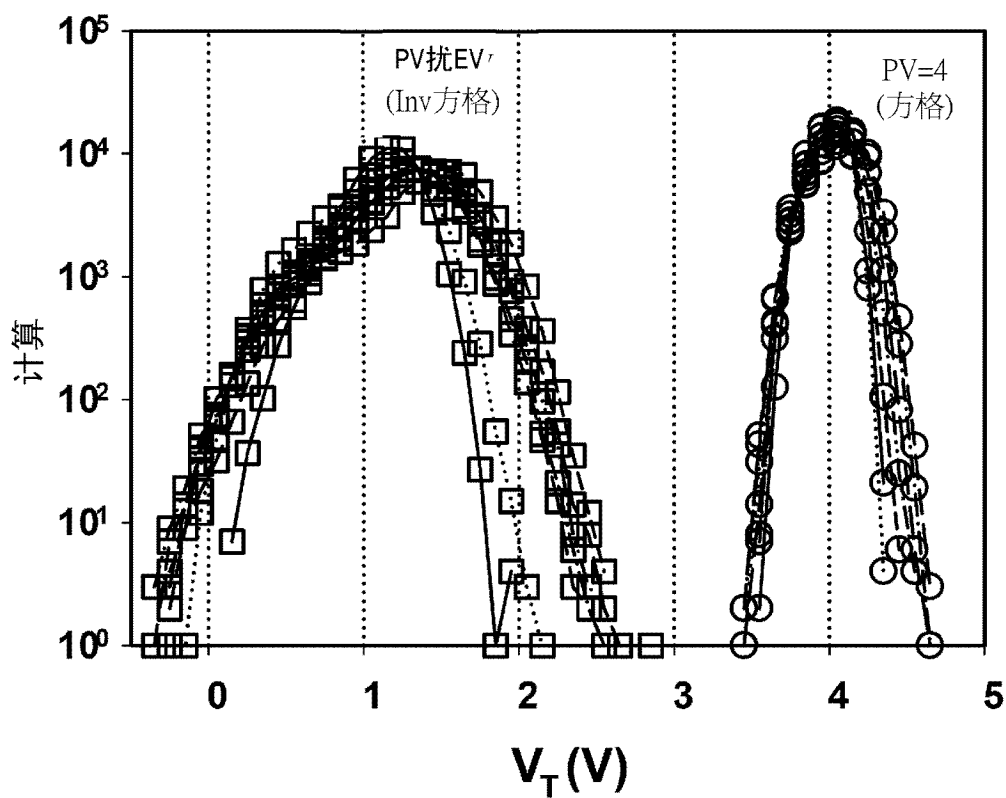


图 16

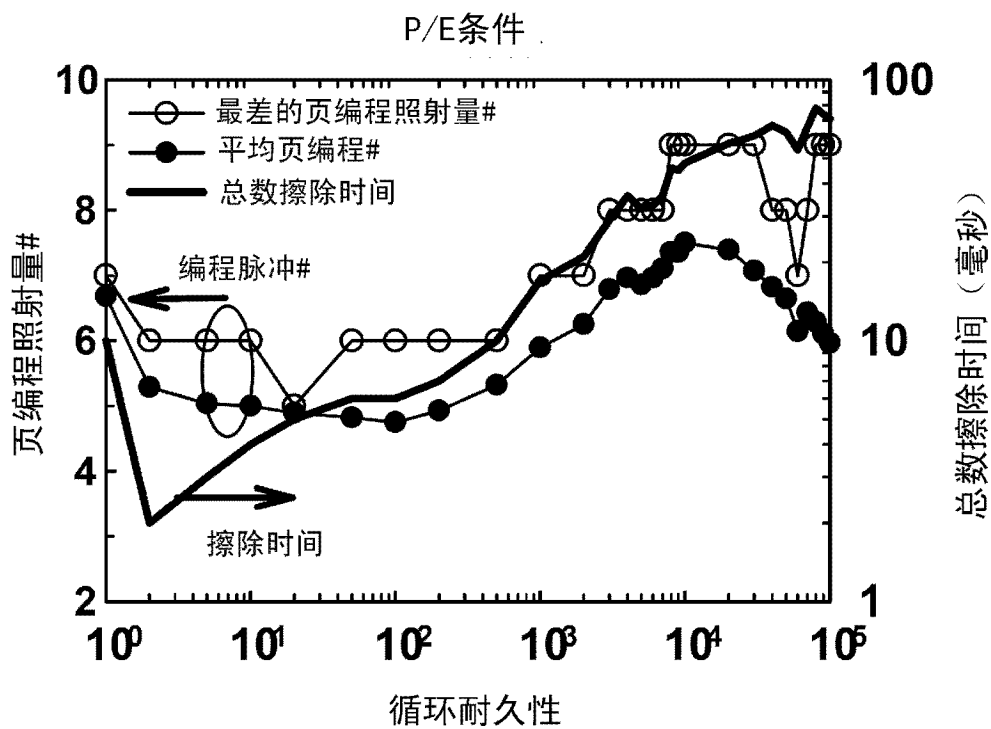


图 17

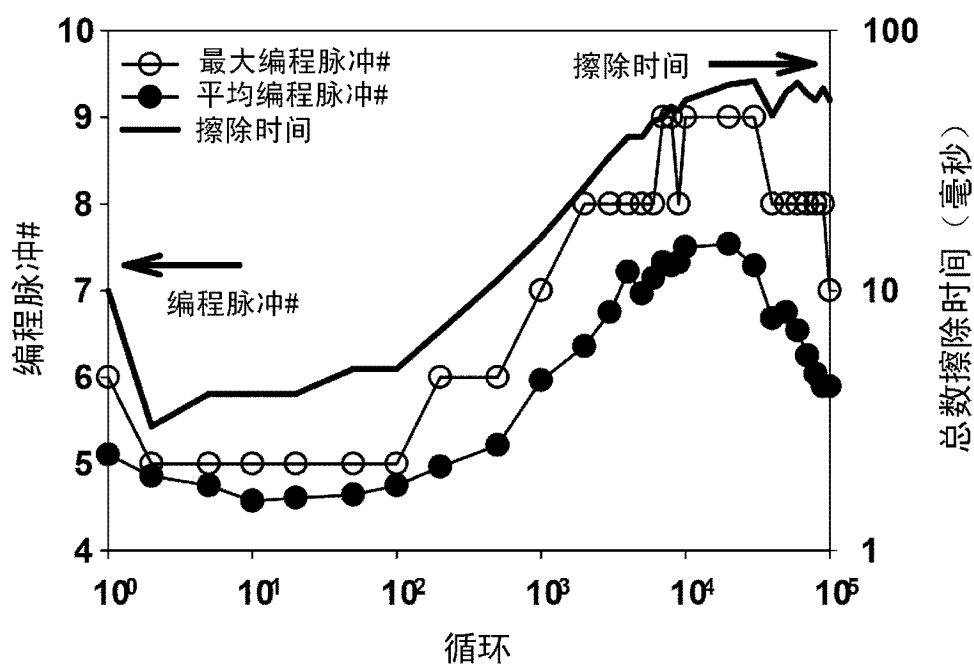


图 18

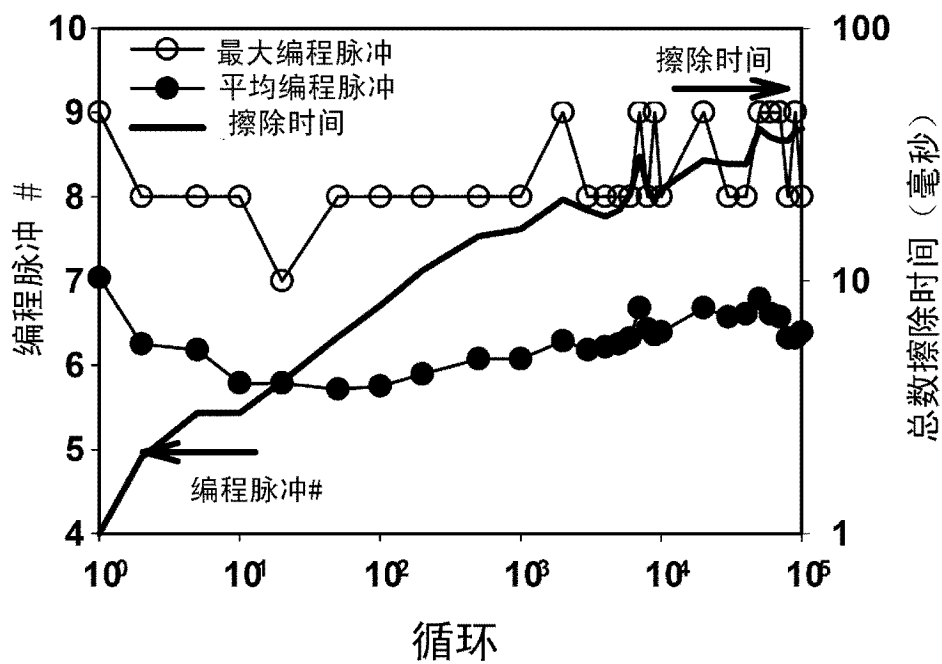


图 19

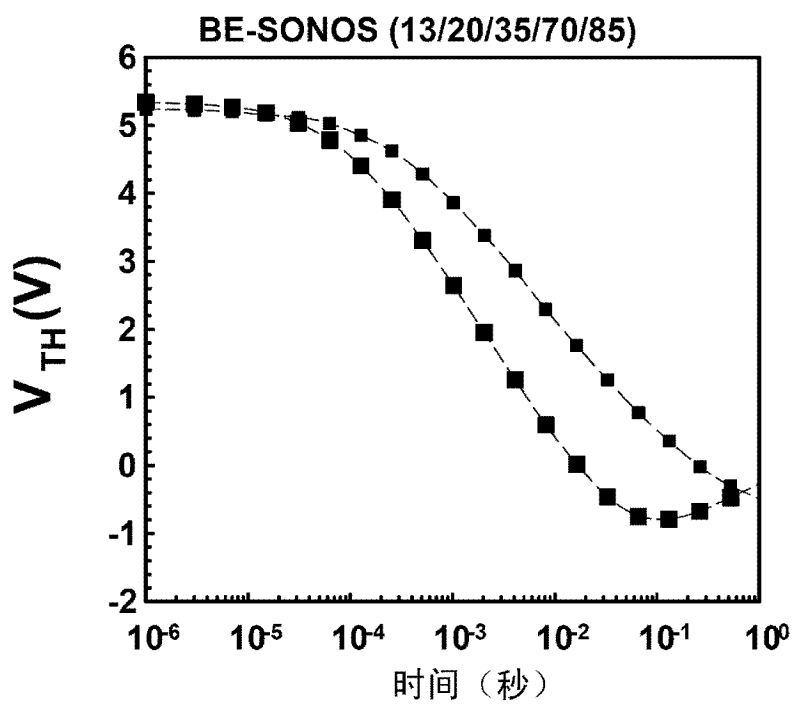


图 20

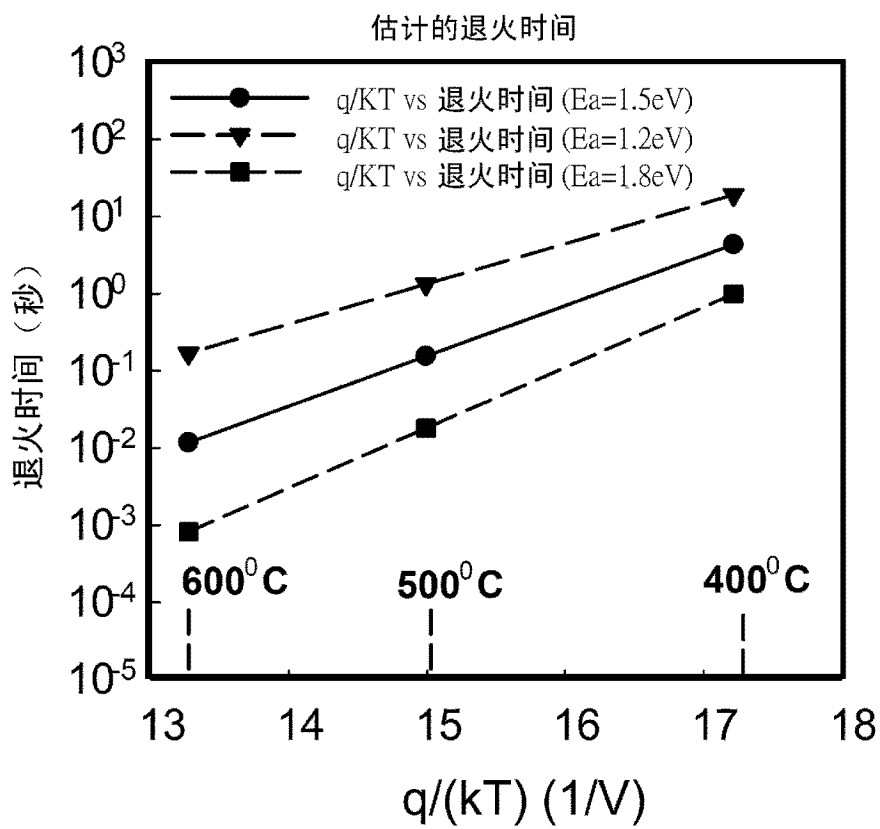


图 21

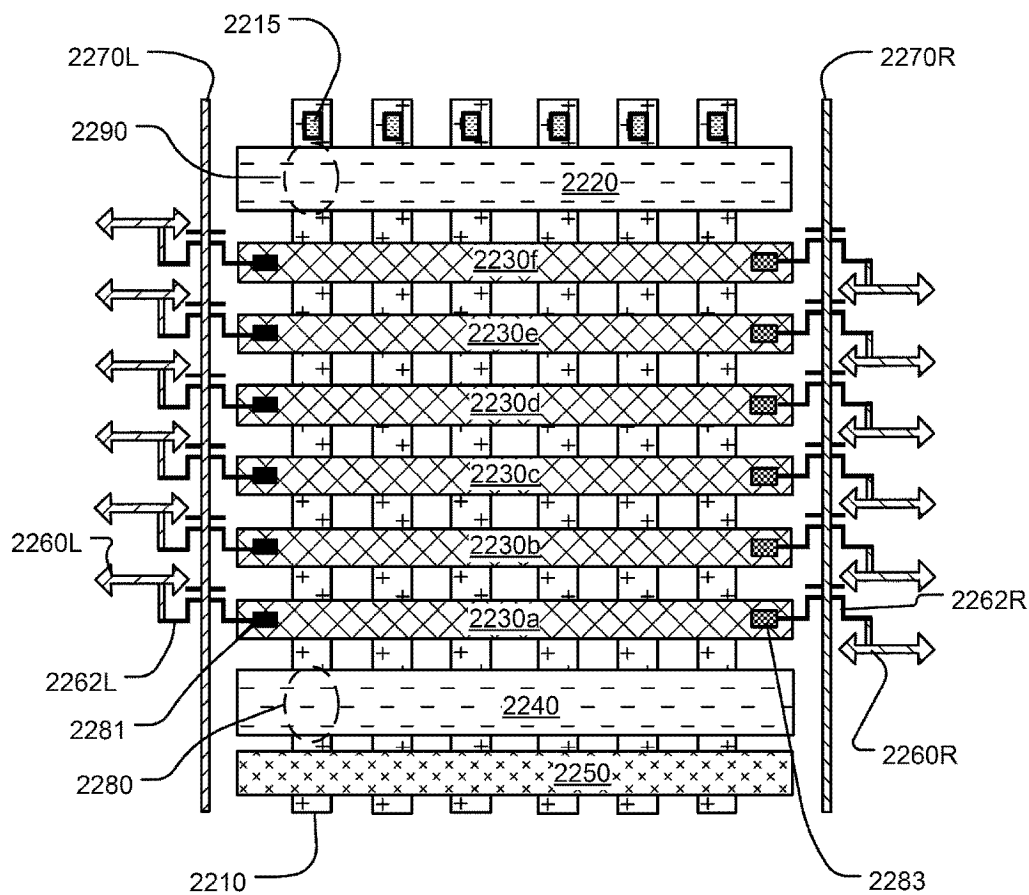


图 22

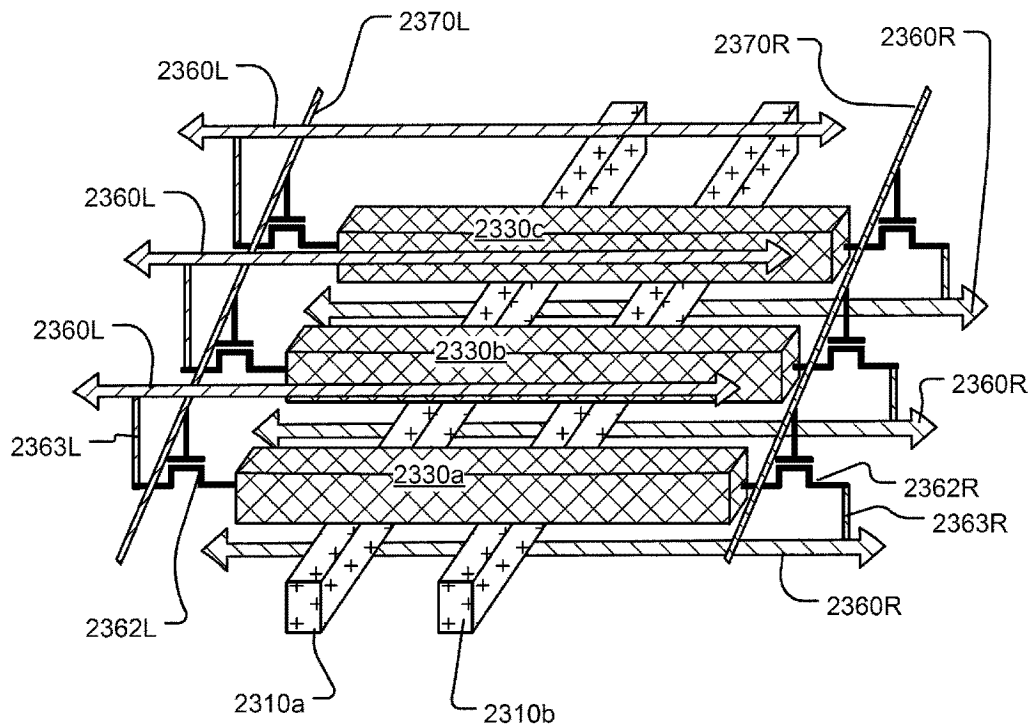


图 23

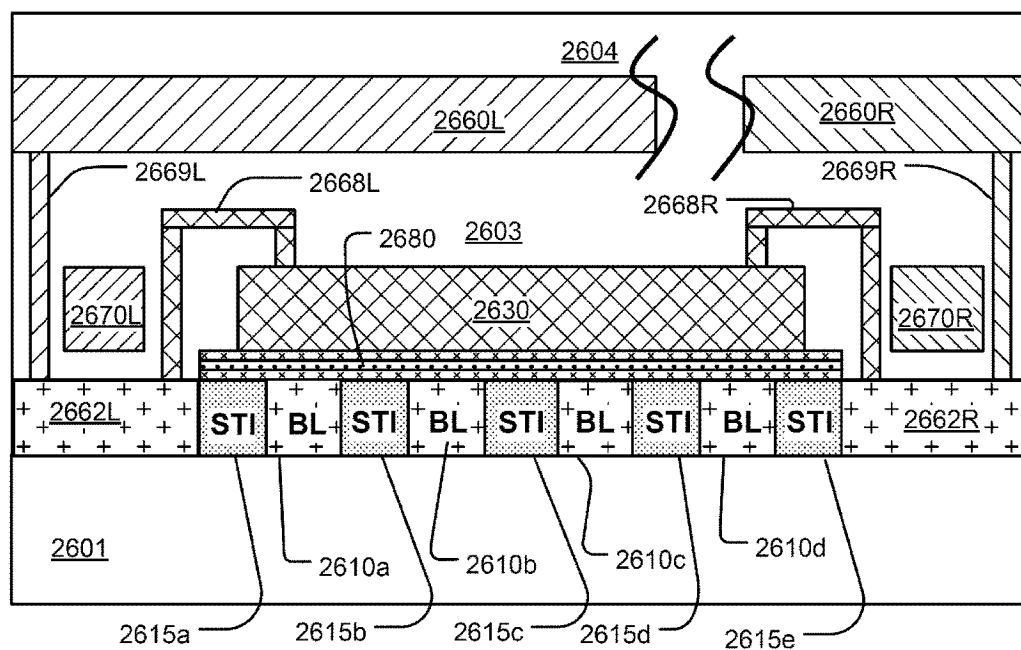


图 26A

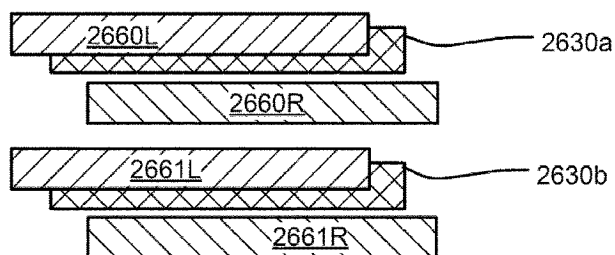


图 26B

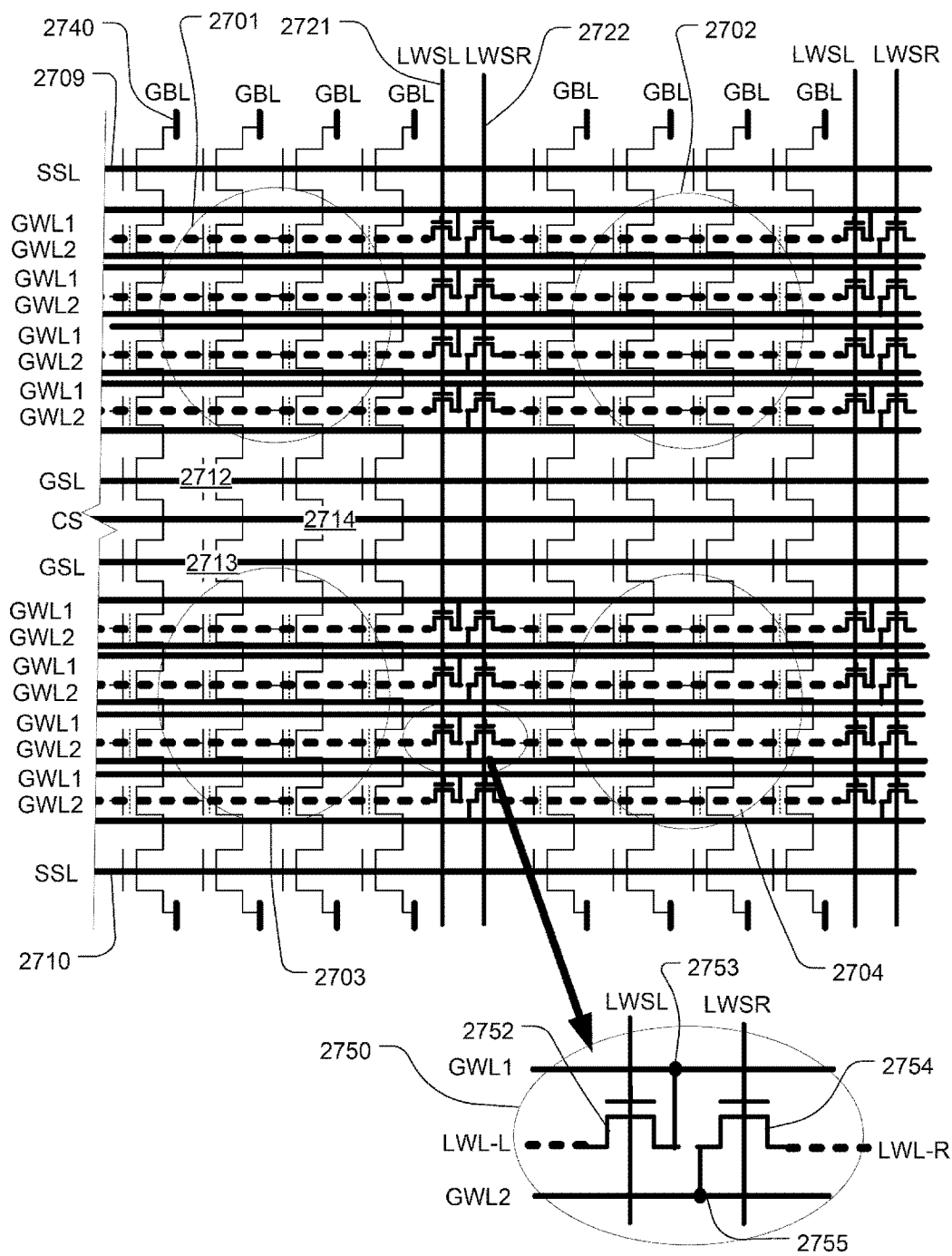


图 27A

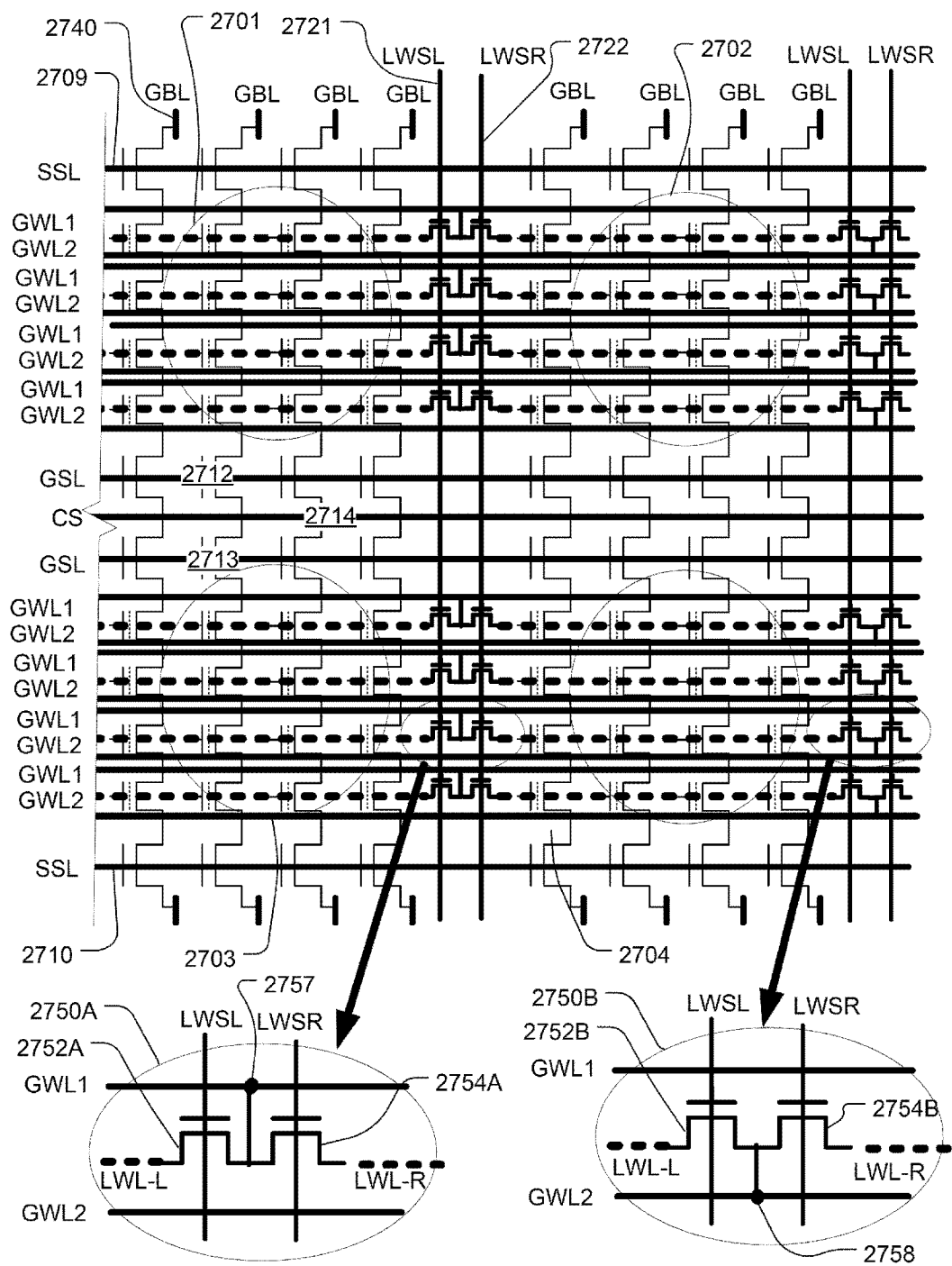


图 27B

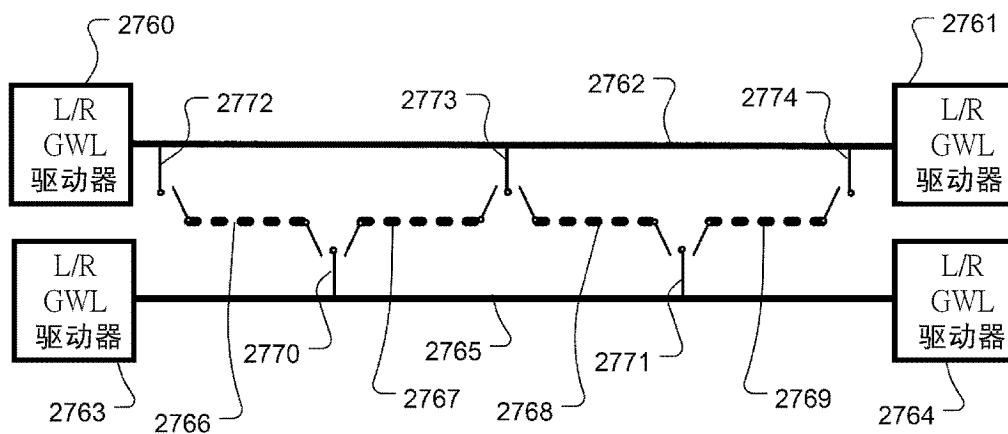


图 27C

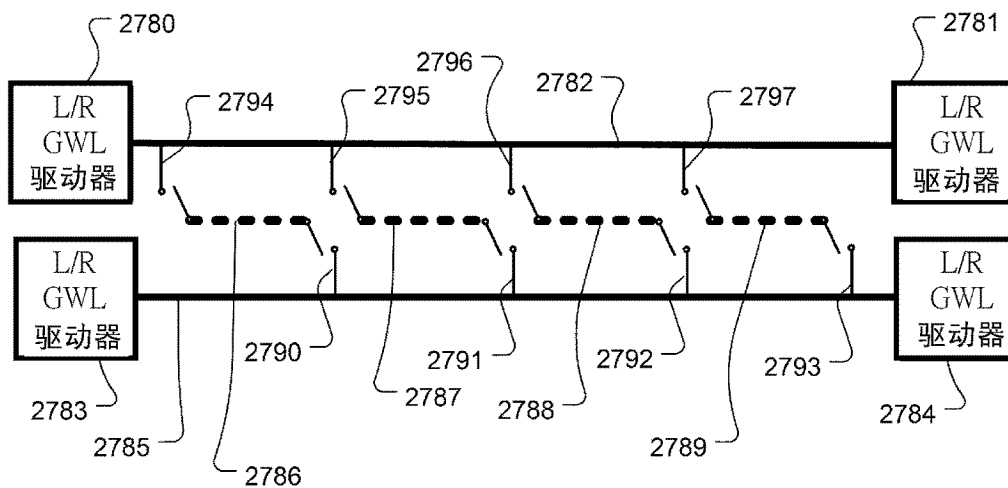


图 27D

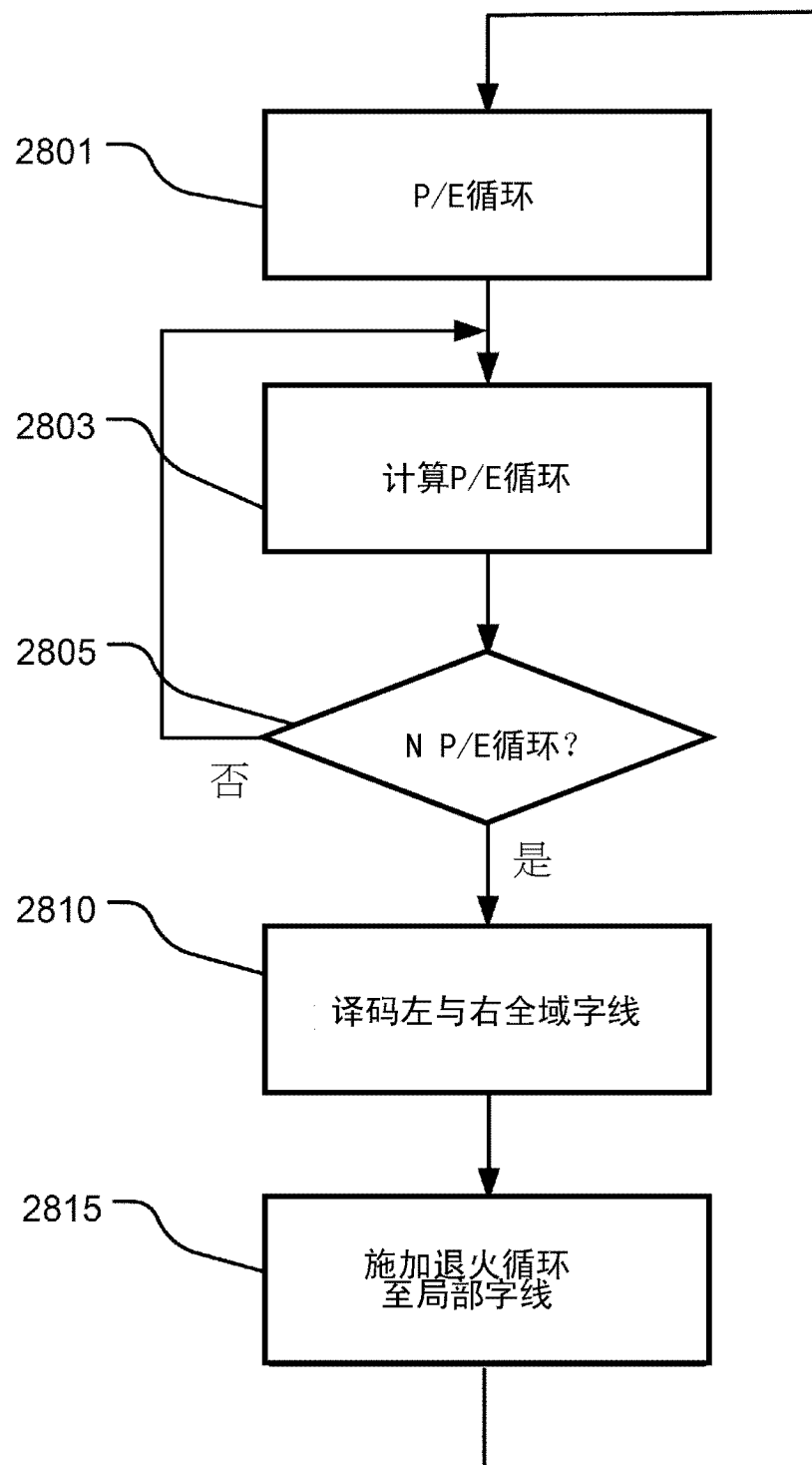


图 28

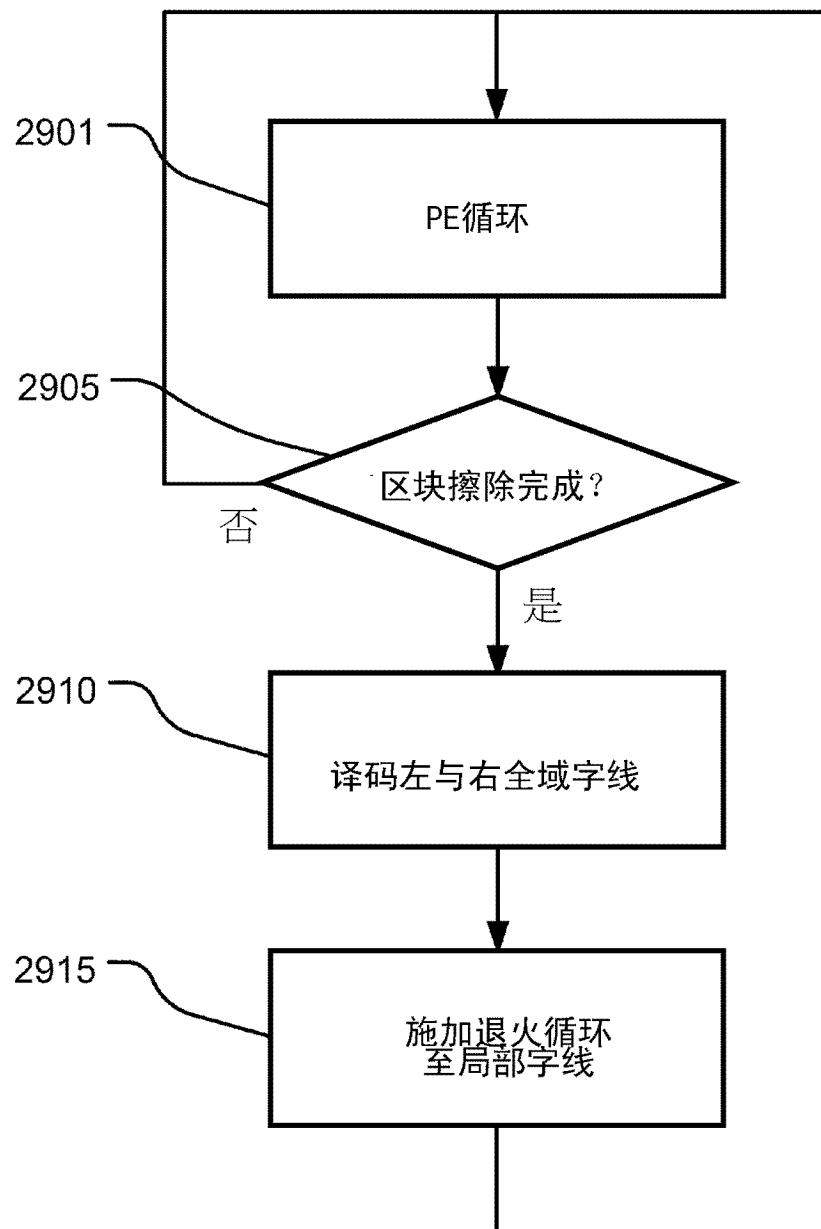


图 29

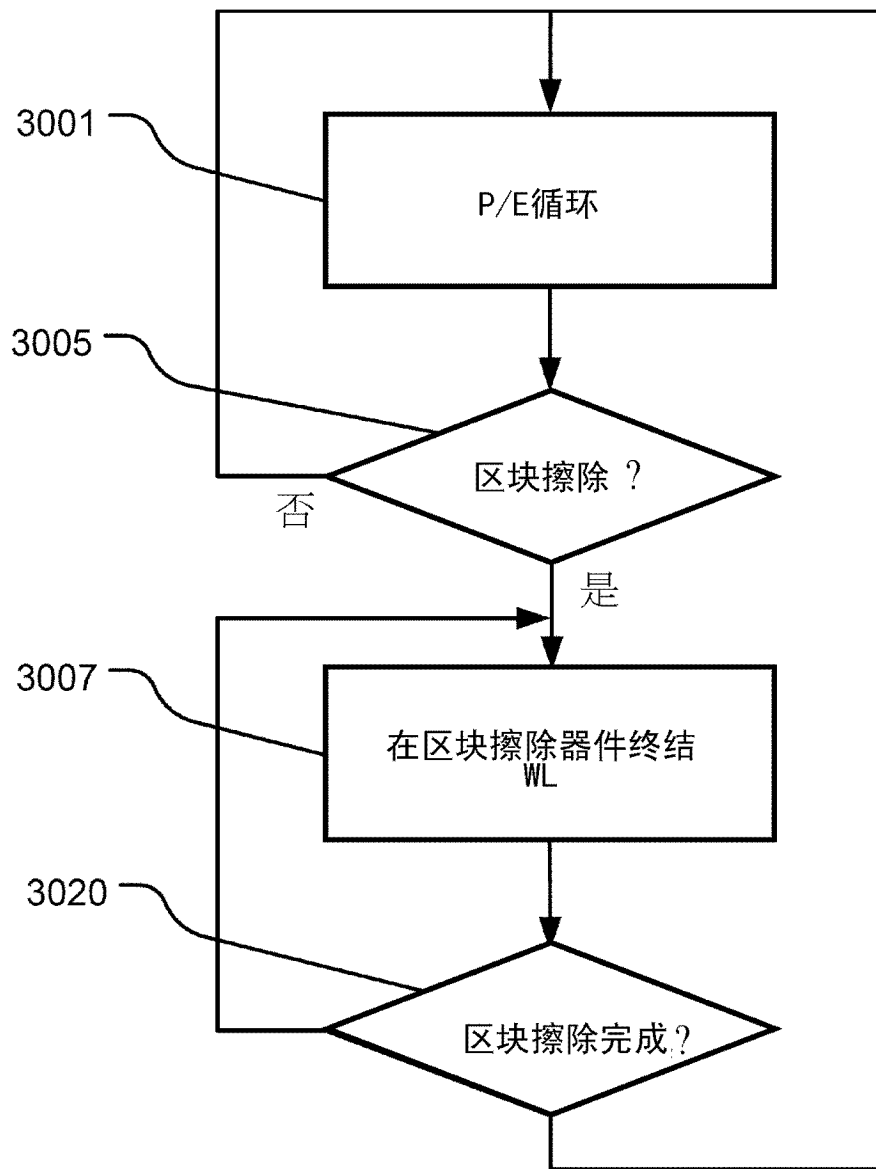


图 30

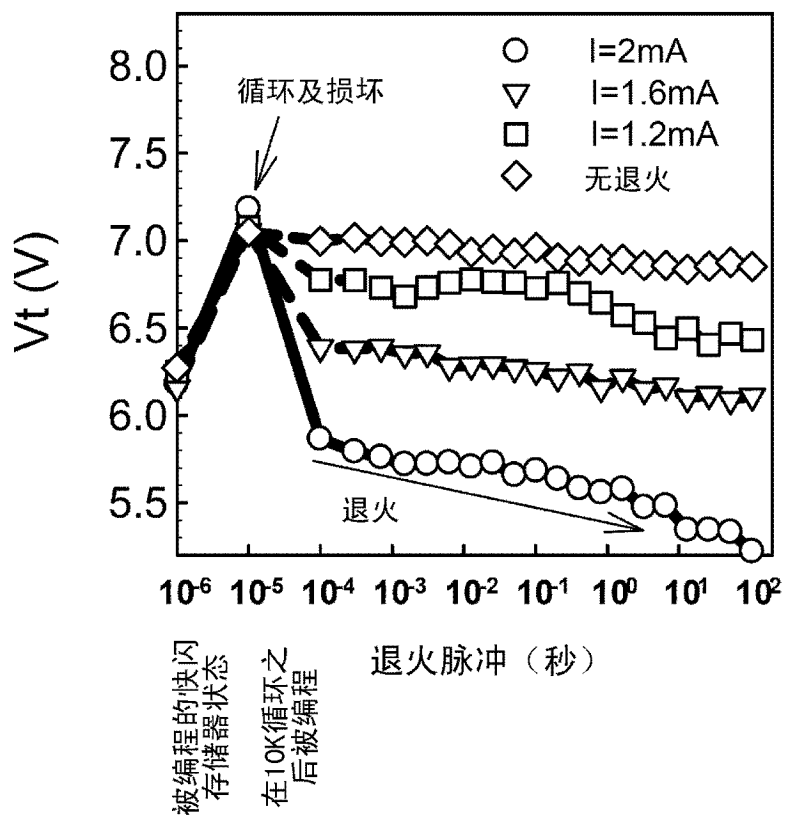
(a) 在热退火期间的 V_t 改变

图 31

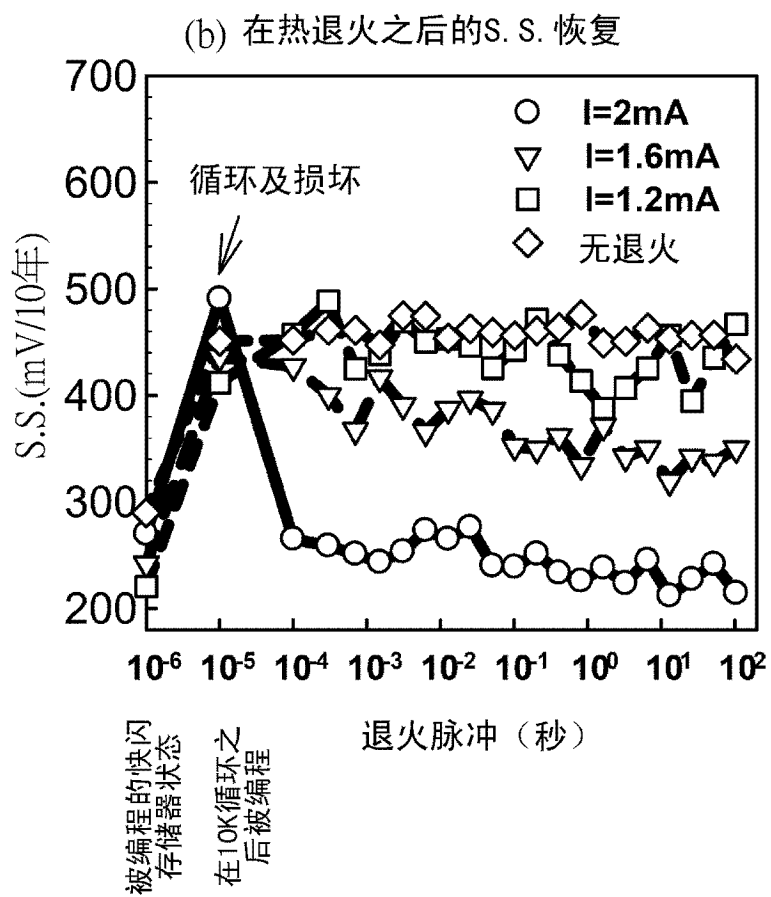


图 32

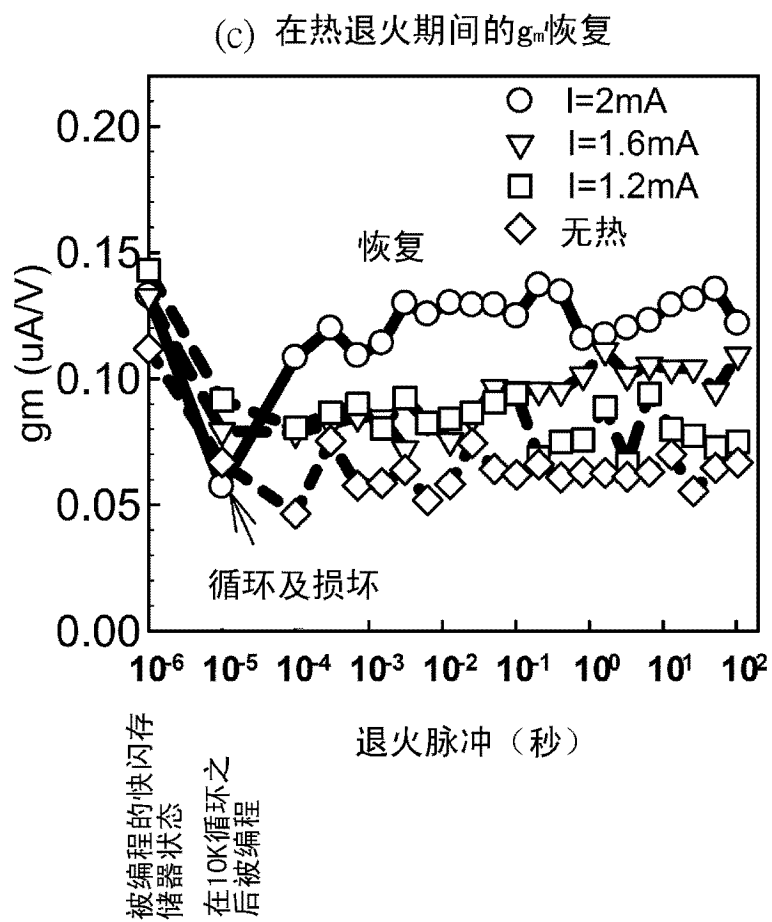


图 33

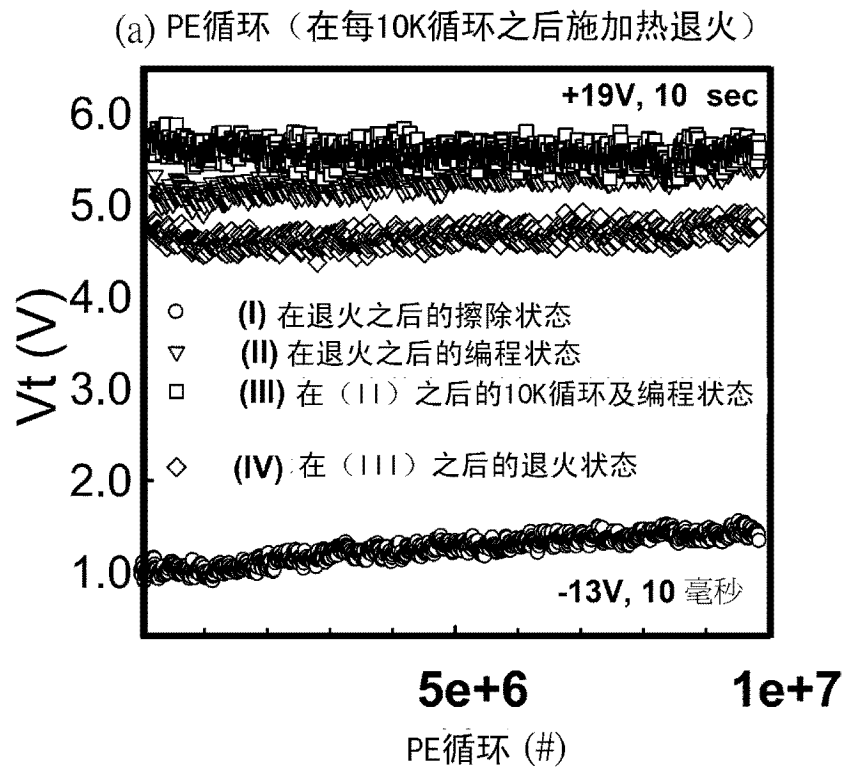


图 34

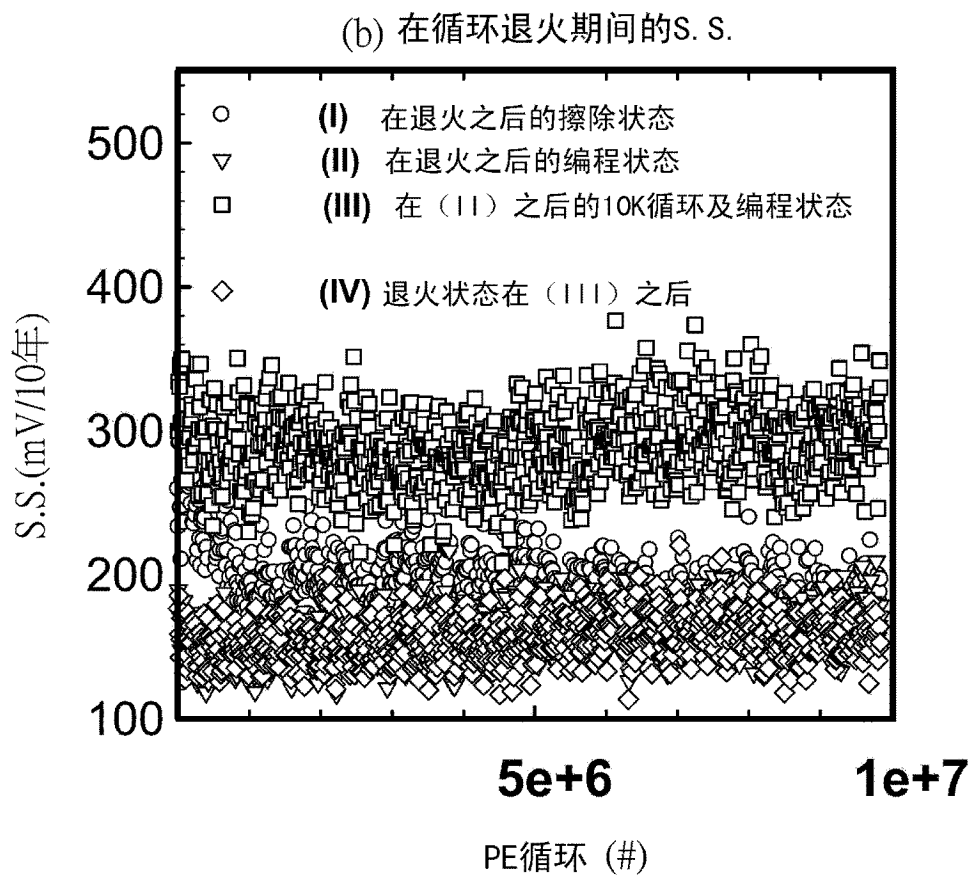


图 35

(c)在PE循环期间的IV曲线

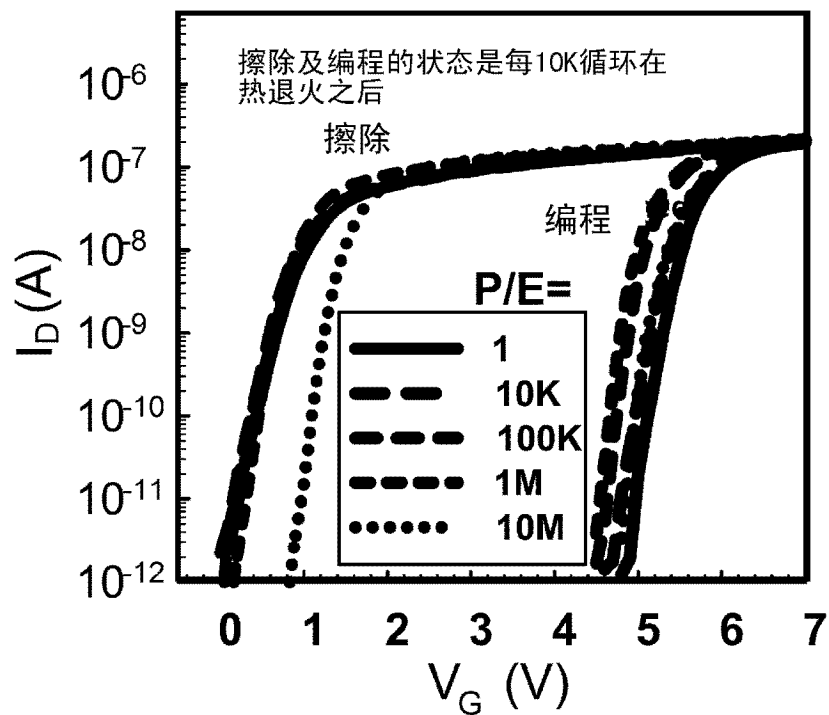


图 36

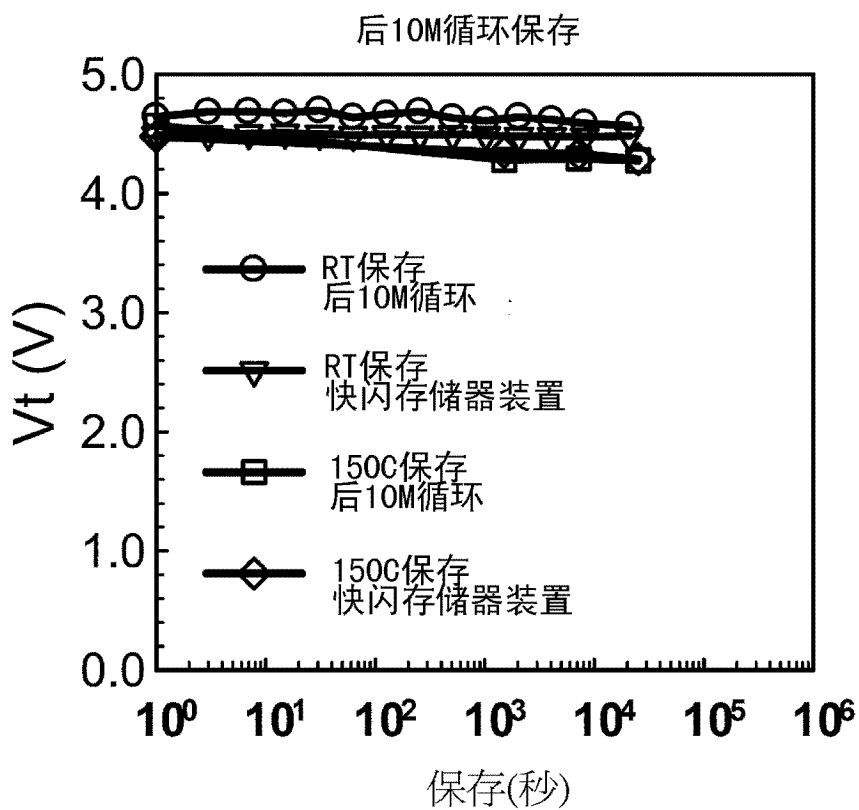


图 37

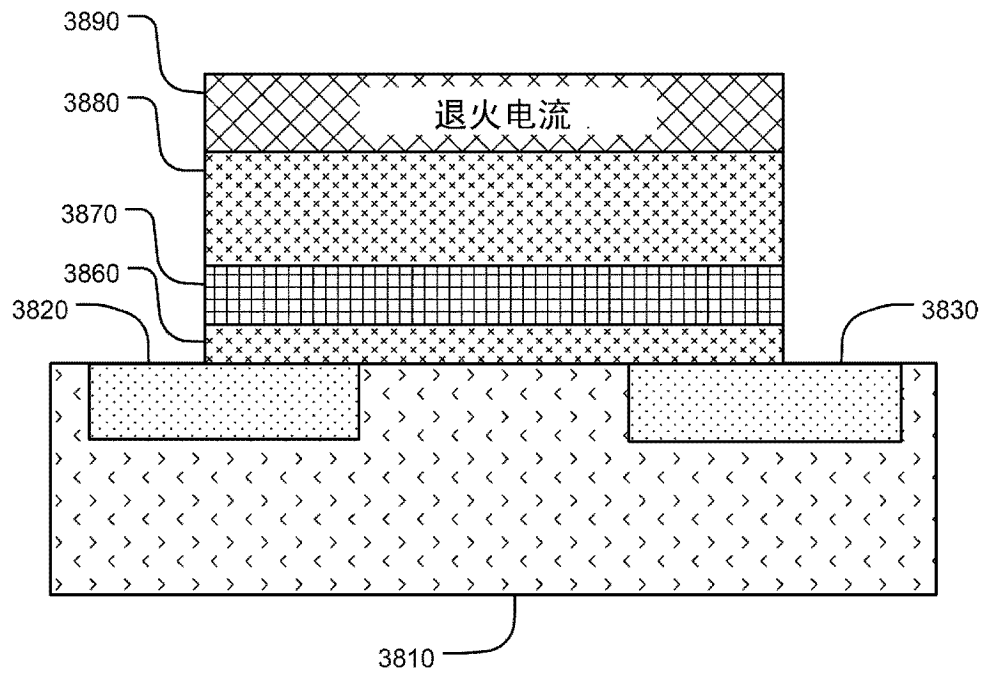


图 38

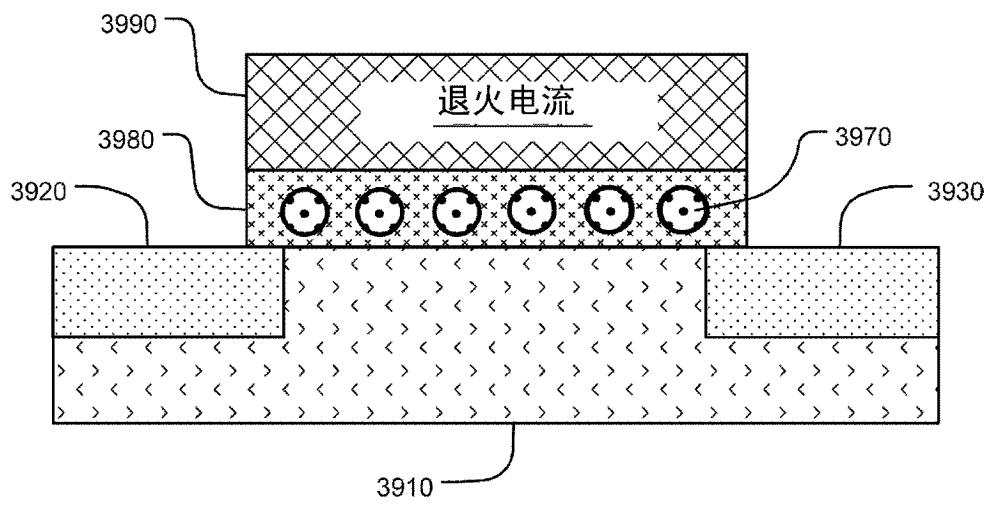


图 39

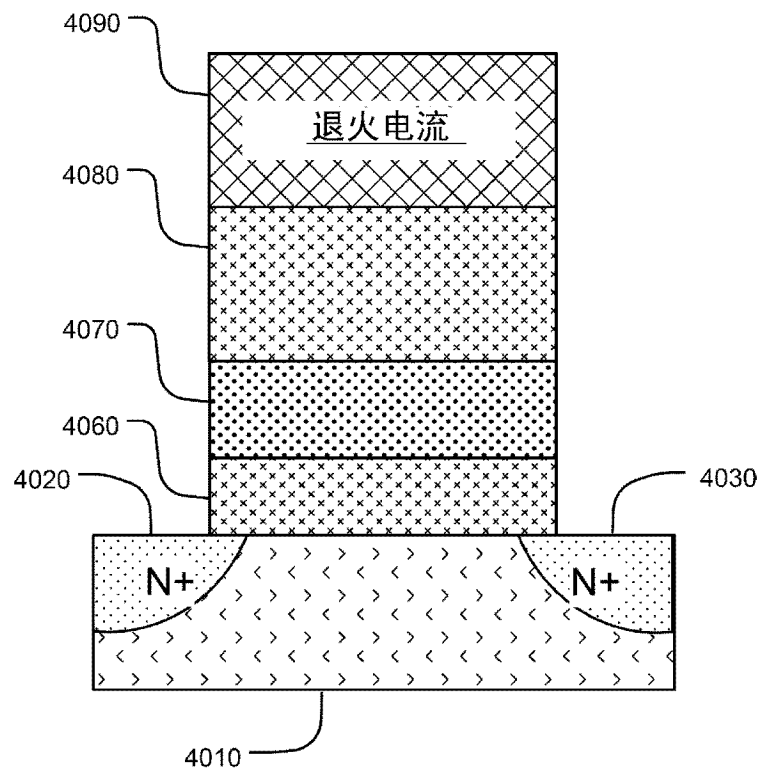


图 40

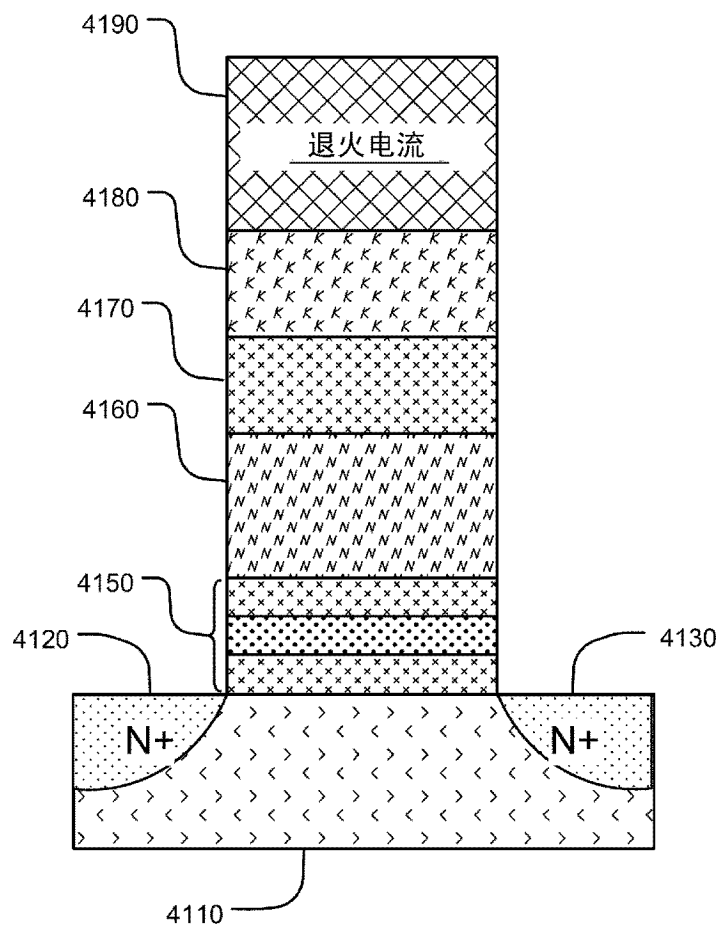


图 41

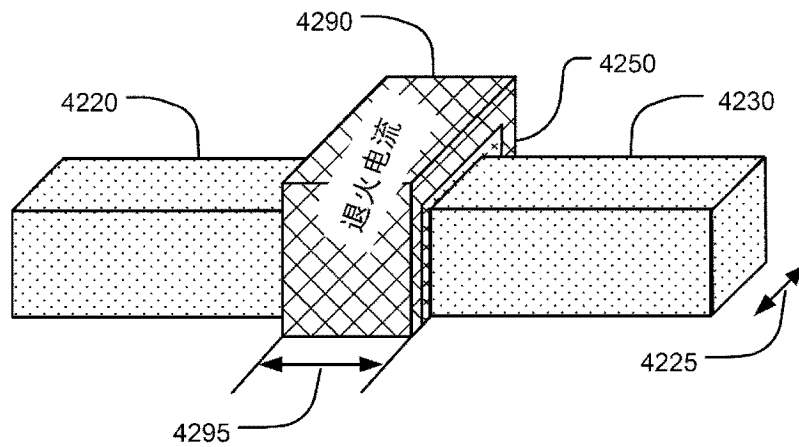


图 42

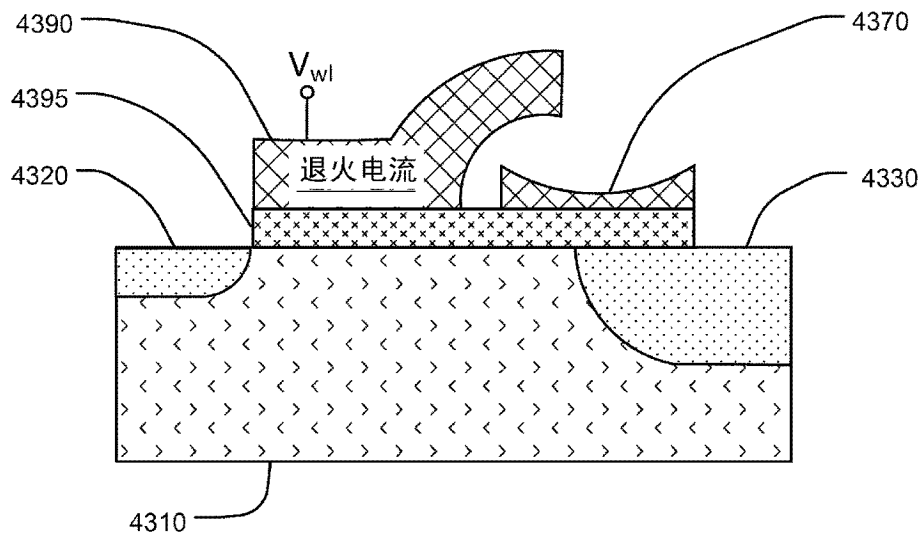


图 43

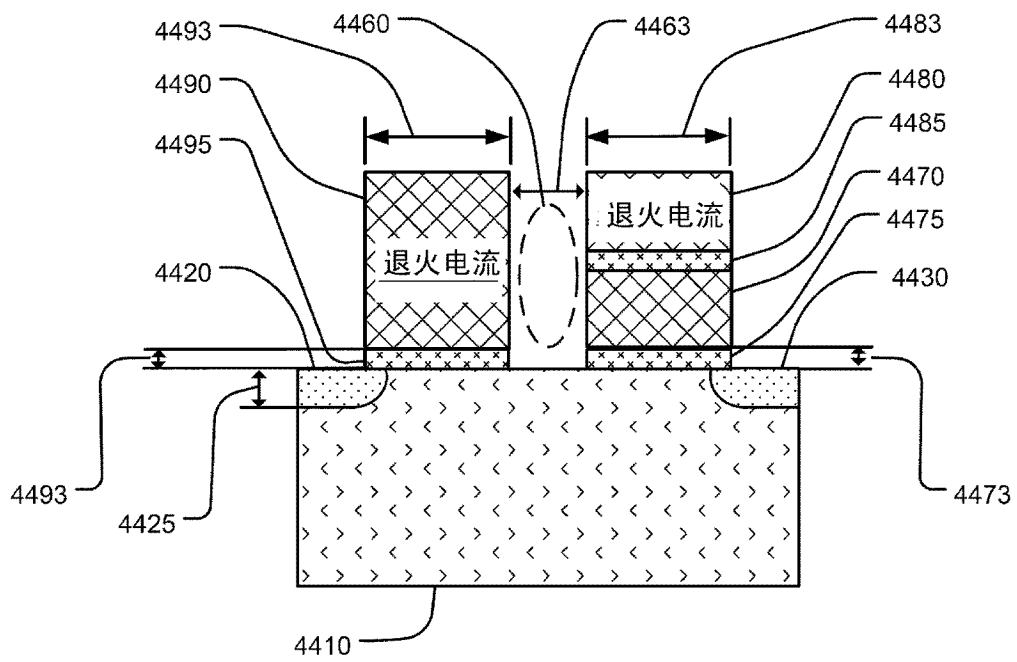


图 44

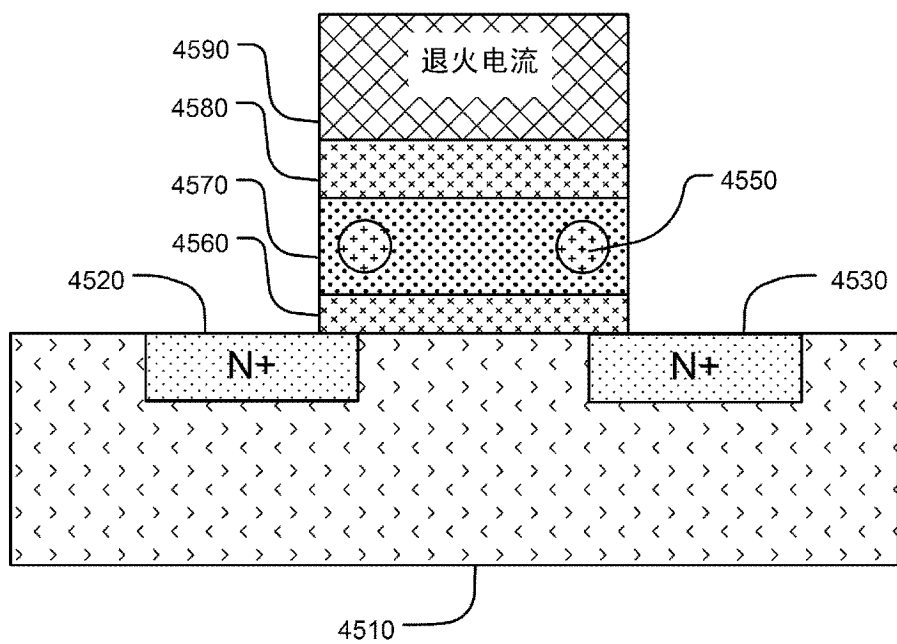


图 45

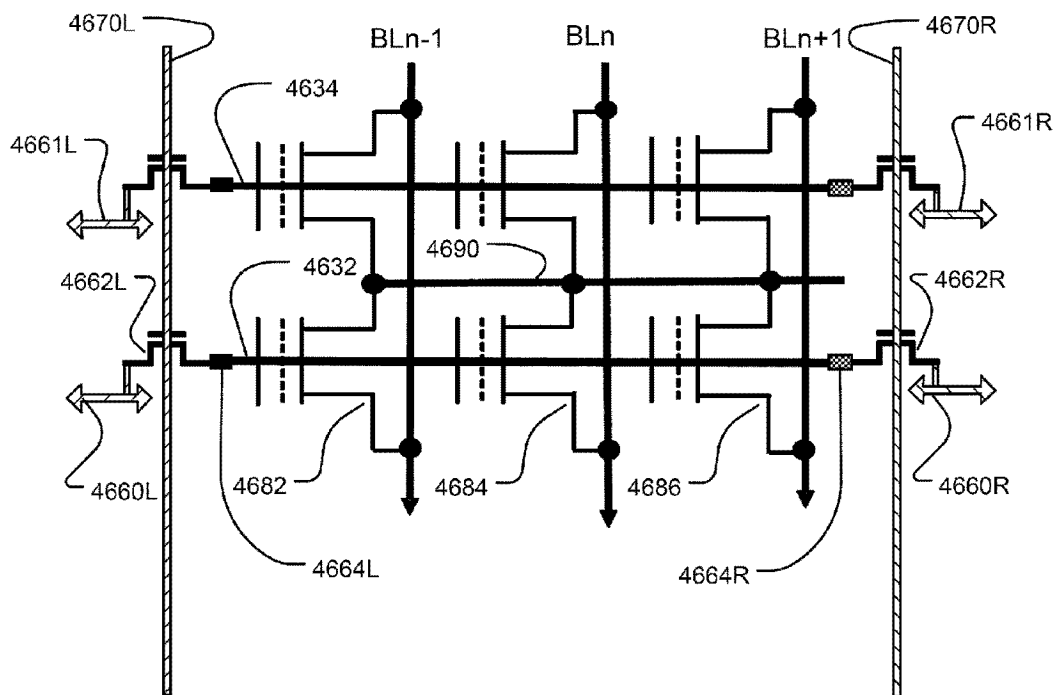


图 46

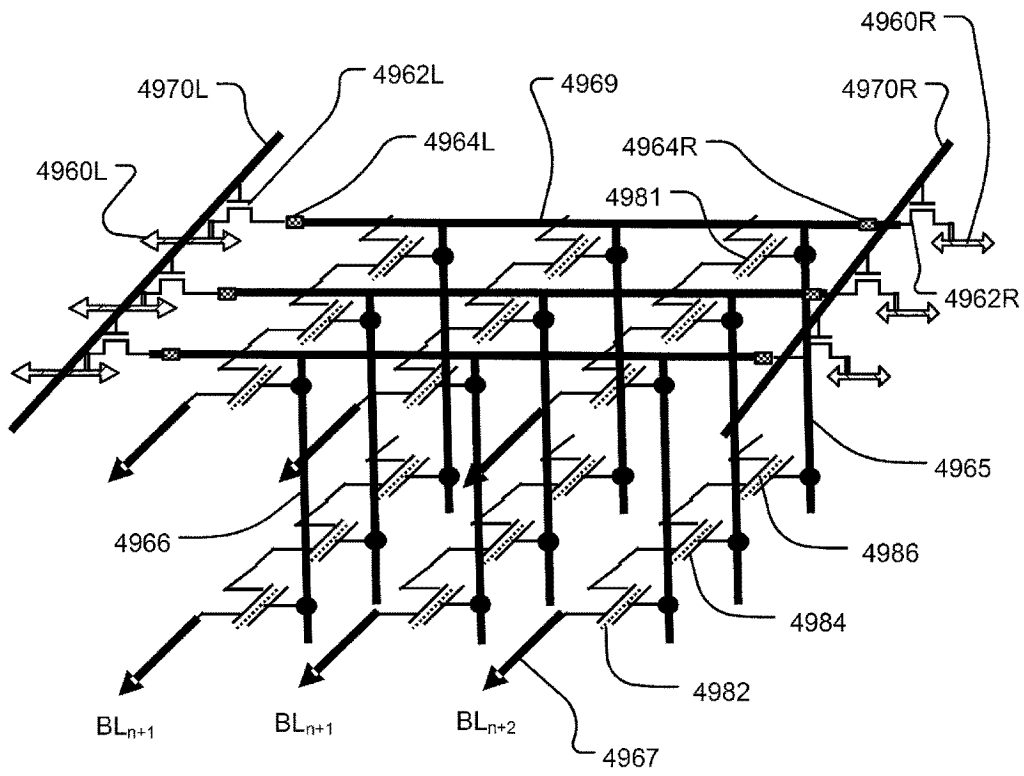


图 49

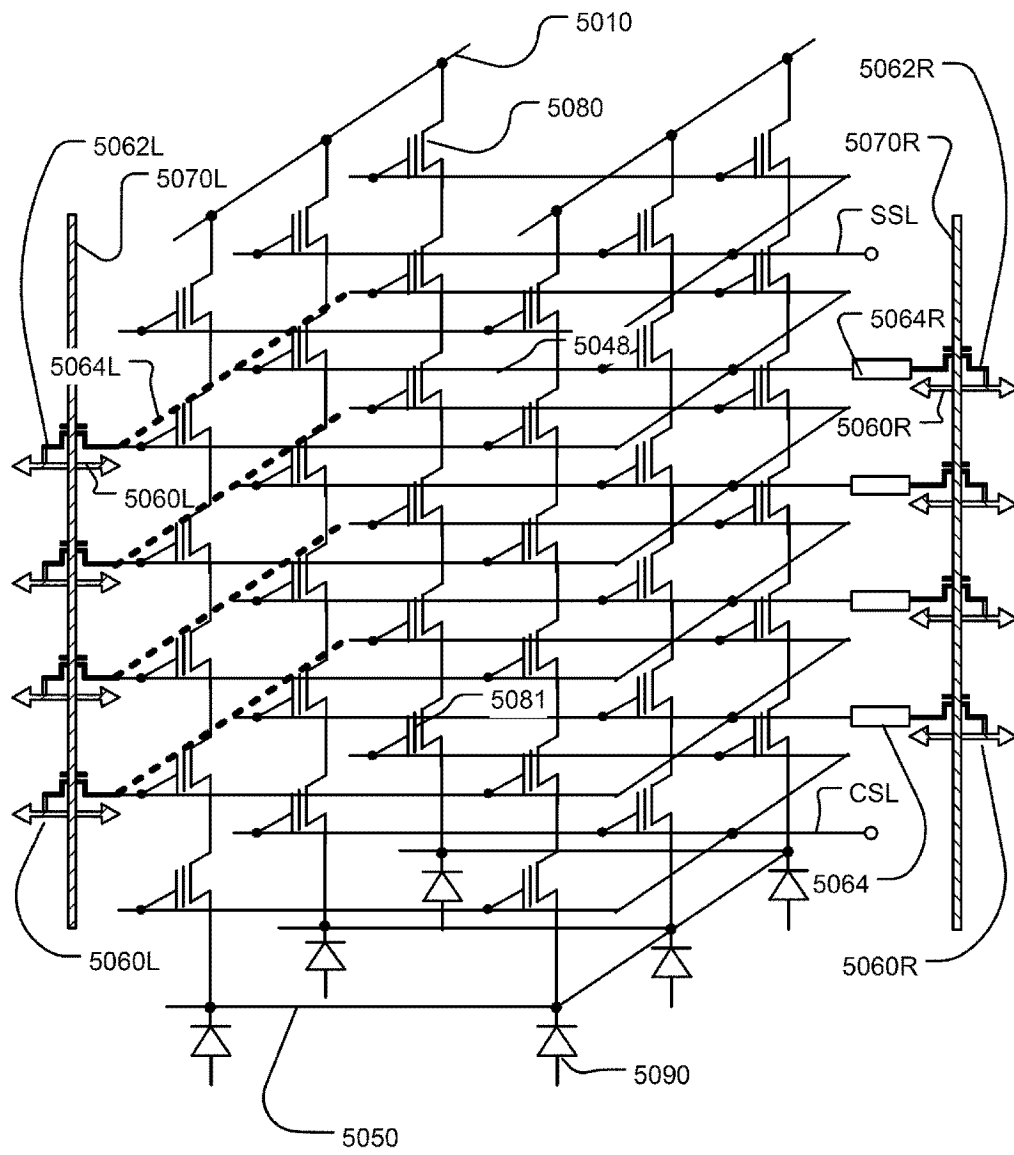


图 50

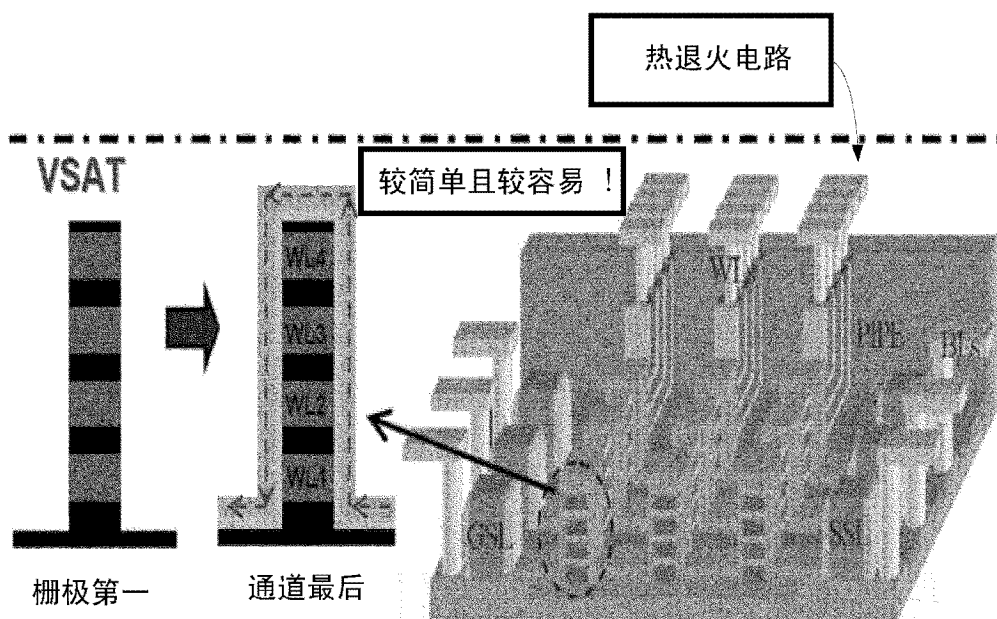


图 51

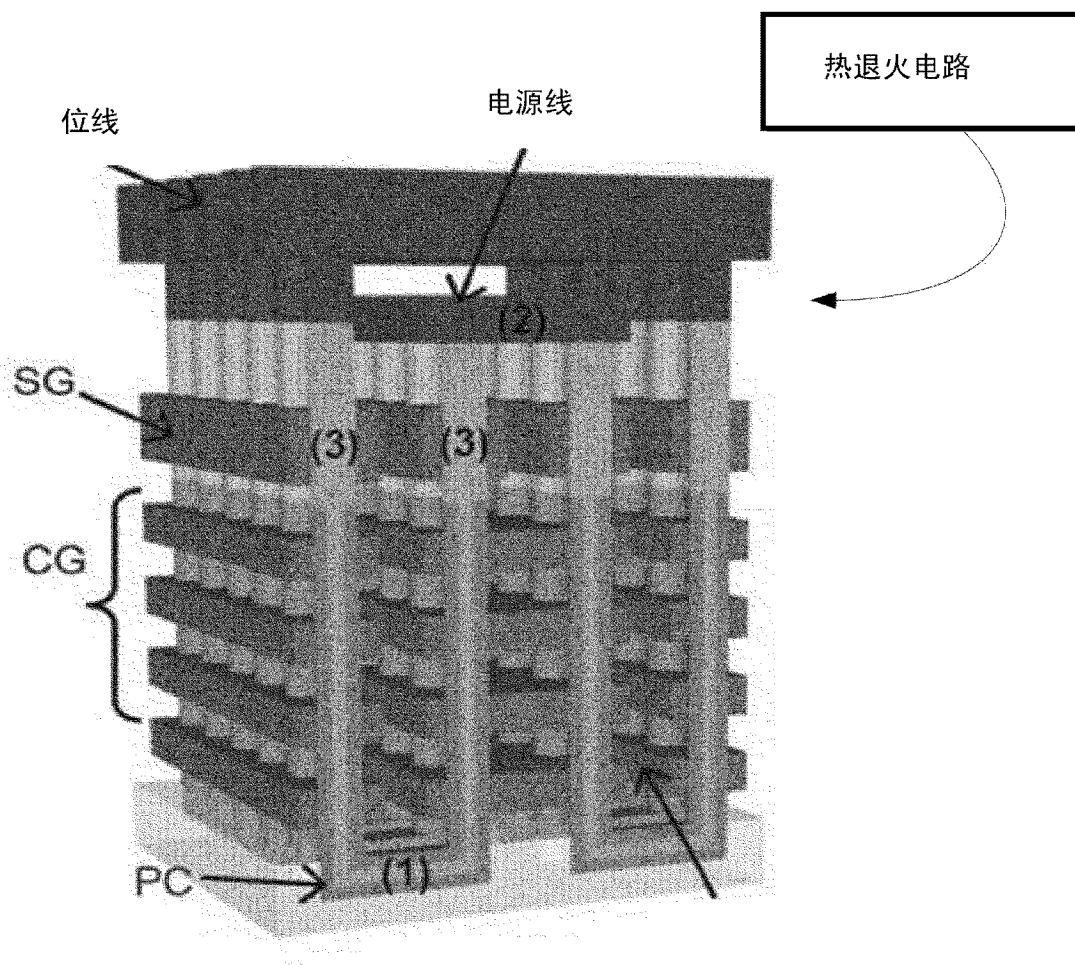
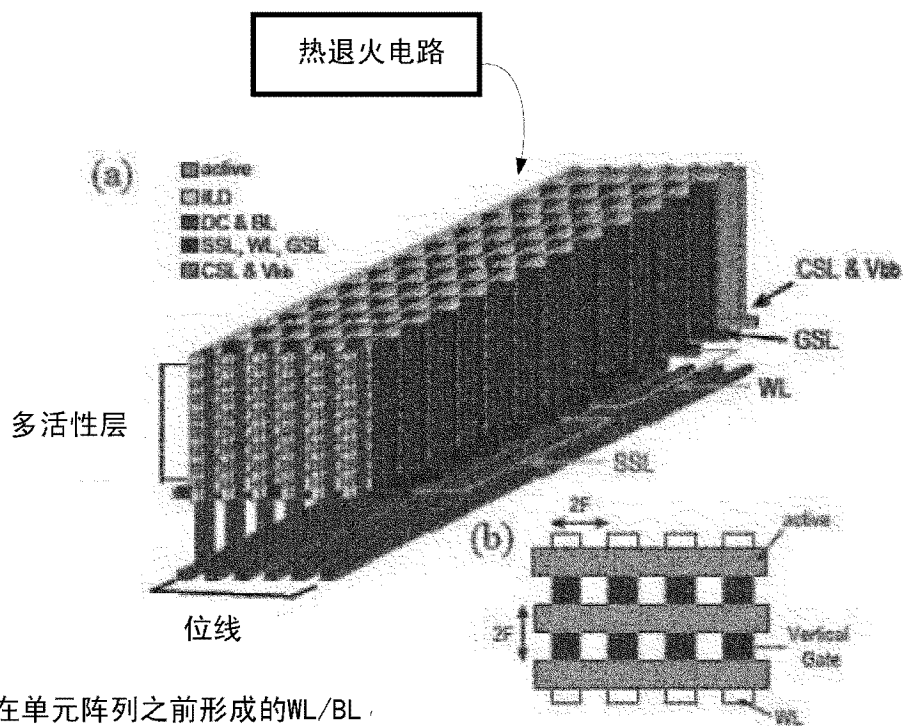


图 52



在单元阵列之前形成的WL/BL

源极及Vbb是电性被限制至CSL以供本体擦除用
 Multi-SSL是供共同BL及WL构造使用
 4F2构造

图 53

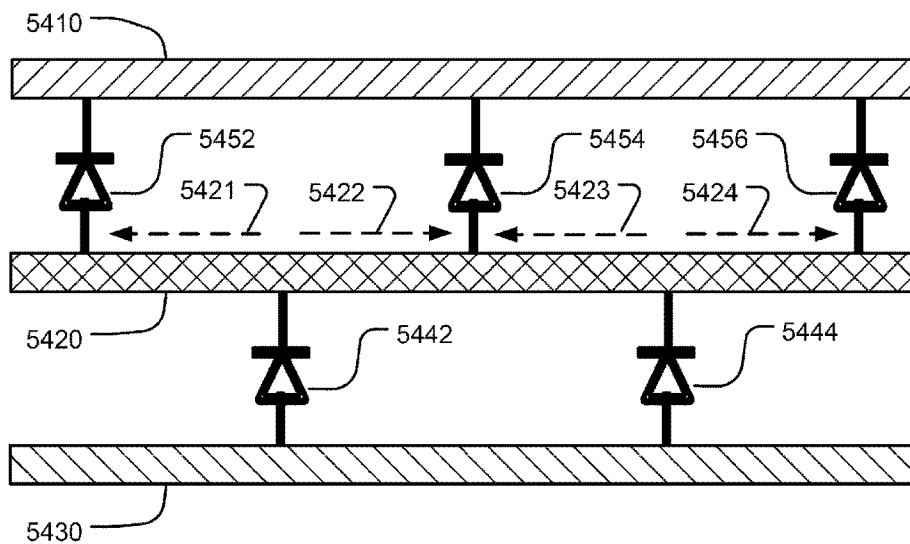


图 54

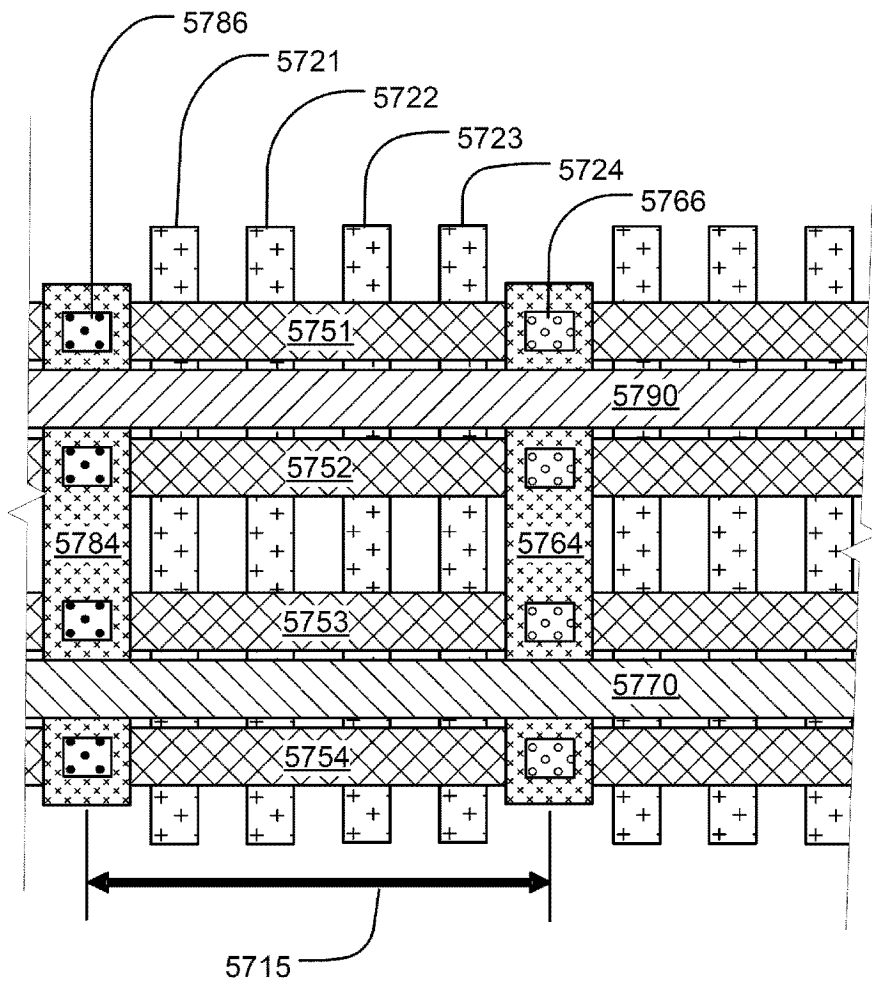


图 57

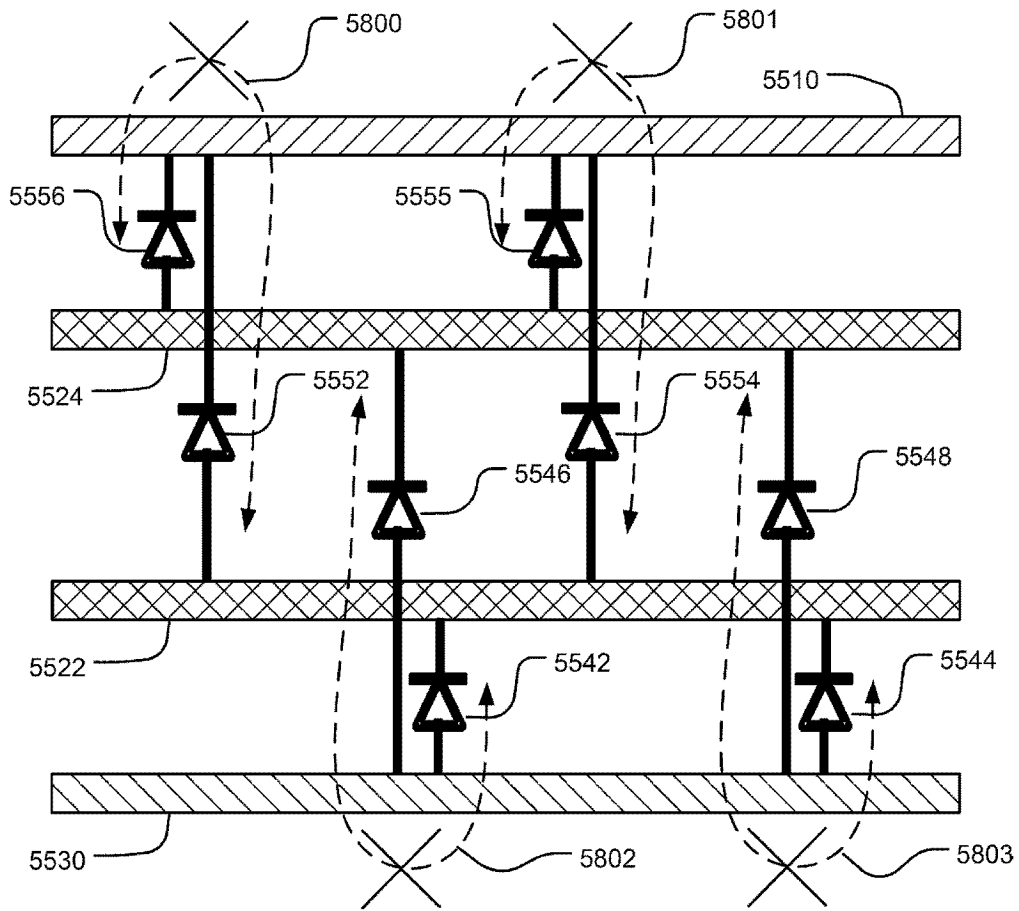


图 58

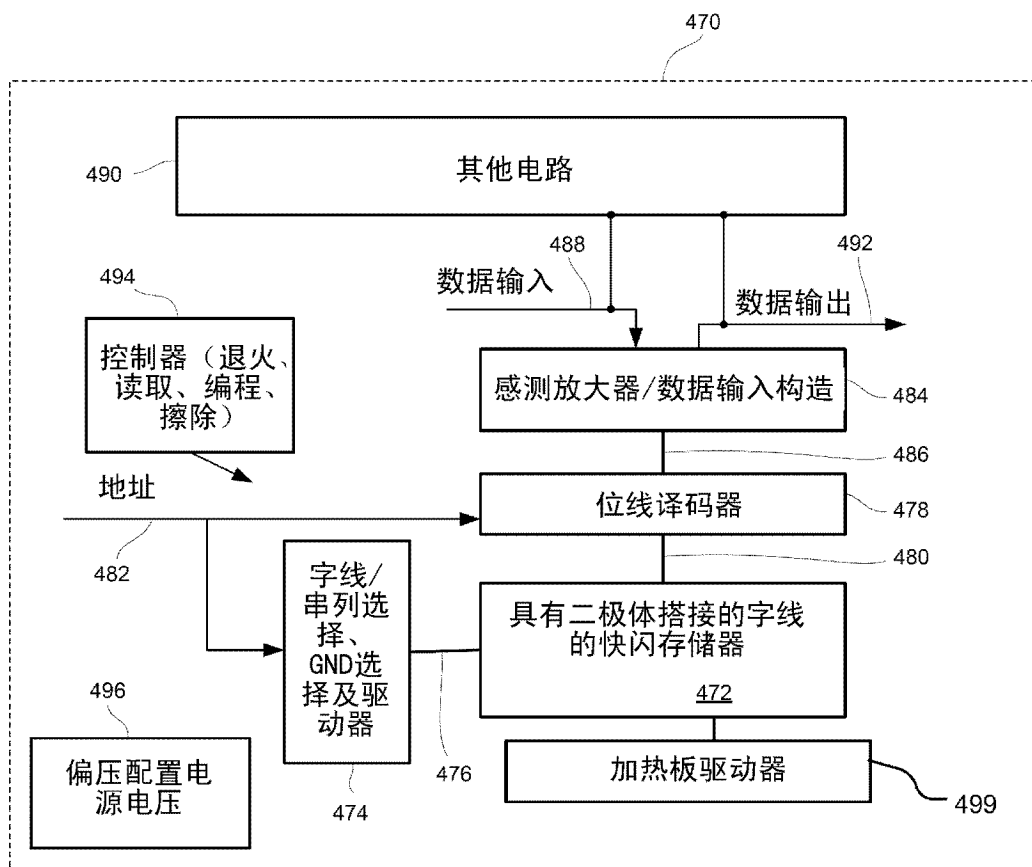


图 59