

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

PCT

(10) 国際公開番号
WO 2012/008106 A1

- (51) 国際特許分類:
H03H 19/00 (2006.01) H03K 17/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/003709
- (22) 国際出願日: 2011 年 6 月 29 日(29.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-160721 2010 年 7 月 15 日(15.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森田 忠士 (MORITA, Tadashi).
- (74) 代理人: 鷺田 公一 (WASHIDA, Kimihito); 〒1600023 東京都新宿区西新宿 1-23-7 新宿ファーストウエスト 8 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DIRECT SAMPLING CIRCUIT

(54) 発明の名称: ダイレクトサンプリング回路

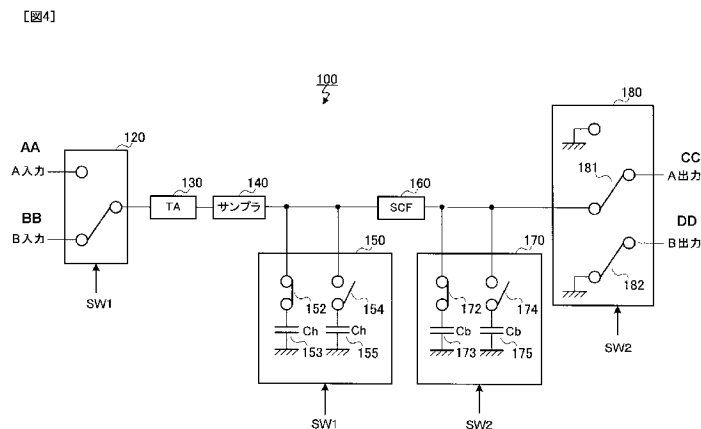


FIG. 4:
140 Sampler
AA Input A
BB Input B
CC Output A
DD Output B

(57) Abstract: Provided is a direct sampling circuit in which signal mixing between systems is avoided, even when signal systems in which time sharing is integrated are used together by time sharing. History capacitors (153, 155) are connected at a preceding step to a switched capacitor filter (160) for each system, buffer capacitors (173, 175) are connected at a subsequent step to the switched capacitor filter (160) for each system, and the history capacitors and buffer capacitors, which are connected to a rotation capacitor of the switched capacitor filter (160), are switched for each time-sharing system that is input.

(57) 要約:

[続葉有]

WO 2012/008106 A1



時分割統合された信号系列に対して、時分割で兼用する場合であっても、各系統間で信号の混ざりを回避するダイレクトサンプリング回路を提供する。スイッチトキャパシタフィルタ（１６０）の前段に系統毎にヒストリキャパシタ（１５３，１５５）を接続し、スイッチトキャパシタフィルタ（１６０）の後段に系統毎にバッファキャパシタ（１７３，１７５）を接続し、スイッチトキャパシタフィルタ（１６０）のローテーションキャパシタと接続するヒストリキャパシタ及びバッファキャパシタを入力している時分割系統毎に切り替える。

明 細 書

発明の名称：ダイレクトサンプリング回路

技術分野

[0001] 本発明は、時分割統合された入力信号にダイレクトサンプリング処理を行うダイレクトサンプリング回路に関する。

背景技術

[0002] 無線受信機の小型低消費電力化やアナログ信号処理部とデジタル信号処理部の一体化を目指すため、高周波信号を直接離散時間的にサンプリングして受信処理する構成が開示されている（例えば、特許文献1参照）。

[0003] 以下、図1を用いて、従来の離散時間処理を用いた離散時間ダイレクトサンプリング回路の構成と動作の一例について説明する。図1は全体として、離散時間ダイレクトサンプリング回路を示す。離散時間ダイレクトサンプリング回路は、電圧電流変換器（TA）1と、サンプリングスイッチ2と、ヒストリキャパシタ（ C_H ）3と、ローテーションキャパシタ群4a～4hと、バッファキャパシタ（ C_B ）5と、ダンプスイッチ6と、リセットスイッチ7と、積分スイッチ群8a～8hと、放出スイッチ群9a～9hと、デジタルコントロールユニット10とを備えている。

[0004] 電圧電流変換器（TA）1は、受信した無線周波数（RF）信号を電流に変換し、アナログRF電流信号として出力する。サンプリングスイッチ2は、例えばFETで構成され、ローカル周波数信号入力（LO）に応じて、入力されるアナログRF電流信号をサンプリングする。

[0005] ヒストリキャパシタ（ C_H ）3は、サンプリングスイッチ2から出力される電流により供給される電荷を充電する。ローテーションキャパシタ群4a～4hは、複数種類のスイッチを介してヒストリキャパシタ3とバッファキャパシタ5と並列に接続されている。また、ローテーションキャパシタ群4a～4hは、各々のスイッチのオン、オフ制御に応じて電荷の充電もしくは放電をする複数のローテーションキャパシタ（ C_R ）により構成されている。

- [0006] バッファキャパシタ (C_B) 5 は、複数のローテーションキャパシタ 4 に充電されている電荷と共有接続され、電荷信号をバッファする。ダンプスイッチ 6 は、ローテーションキャパシタ群 4 a ~ 4 h の各々とバッファキャパシタ 5 の接続をオン、オフする。リセットスイッチ 7 は、バッファキャパシタ 5 と電荷共有した後で、ローテーションキャパシタ 4 に蓄えられている電荷を接地する。
- [0007] 積分スイッチ群 8 a ~ 8 h は、複数の積分スイッチにより構成されている。また、積分スイッチ群 8 a ~ 8 h は、ヒストリキャパシタ 3 とローテーションキャパシタ群 4 a ~ 4 h における各々のローテーションキャパシタとの接続をオン、オフする。放出スイッチ群 9 a ~ 9 h は、複数の放出スイッチにより構成されている。また、放出スイッチ群 9 a ~ 9 h は、ローテーションキャパシタ群 4 a ~ 4 h における各々のローテーションキャパシタとバッファキャパシタ 5 との接続をオン、オフする。
- [0008] ダンプスイッチ 6、リセットスイッチ 7、積分スイッチ群 8 a ~ 8 h 及び放出スイッチ群 9 a ~ 9 h は、例えば FET (n 型) で構成されている。n 型 FET は、ゲート電圧が高い状態 (ハイ) でオン (導通) し、ゲート電圧が低い状態 (ロー) でオフ (遮断) する。
- [0009] デジタルコントロールユニット 10 は、積分スイッチ群 8 a ~ 8 h、放出スイッチ群 9 a ~ 9 h、ダンプスイッチ 6 及びリセットスイッチ 7 に対して制御信号を生成して供給する。
- [0010] なお、ここでは一例として、離散時間ダイレクトサンプリング回路にローテーションキャパシタ C_R が 8 個設けられた場合を仮定している。これに応じて、積分スイッチ 8 a ~ 8 h、放出スイッチ 9 a ~ 9 h は、それぞれ 8 個設けられているものとする。そして、それぞれの構成要素の付番の末尾には、アルファベット順に a ~ h を付している。また、実際には、離散時間ダイレクトサンプリング回路が差動動作をする構成とすることも可能であり、その構成は特許文献 1 で開示されている。しかしながら、ここでは簡単化のために説明を割愛する。

[0011] 図2は、デジタルコントロールユニット10が生成する各制御信号のタイミングチャートを示す。ローカル周波数信号(L O)は、サンプリングスイッチ2のゲートに供給される。制御信号S 1～S 8は、それぞれ積分スイッチ8 a～8 hのゲートに供給される。制御信号S A Zは、放出スイッチ9 a～9 dのゲートに供給される。制御信号S B Zは、放出スイッチ9 e～9 hのゲートに供給される。制御信号Dはダンプスイッチ6のゲートに、制御信号Rはリセットスイッチ7のゲートにそれぞれ供給される。

[0012] 以下、図1に示す離散時間ダイレクトサンプリング回路の動作について説明する。電圧電流変換器1は、入力されたアナログR F信号をアナログR F電流信号に変換し、サンプリングスイッチ2に出力する。アナログR F電流信号は、サンプリングスイッチ2でアナログR F電流信号とほぼ同じ周波数を持ったローカル周波数信号L Oでサンプリングされる。ローカル周波数信号L Oでサンプリングされた信号は、ヒストリキャパシタ3とローテーションキャパシタ4 a～4 hによって電荷が積分されることにより、時間的に離散化された離散信号とされる。

[0013] ヒストリキャパシタ3とローテーションキャパシタ群4 a～4 hのうちのひとつとにより並列接続状態のキャパシタが構成される。このように構成されたキャパシタによって、離散信号はローカル周波数信号L Oのクロック長よりも長い時間に亘って積分される。これにより、フィルタ処理とデシメーション(decimation: 間引き)が行われる。

[0014] 具体的には、離散時間ダイレクトサンプリング回路では、初めに、制御信号S 1により積分スイッチ8 aがオンし、ローテーションキャパシタ4 aがヒストリキャパシタ3と接続される。そして、制御信号S 1がハイになっている期間(例えば、ローカル周波数信号L Oの8周期分)に亘って前記2つのキャパシタに供給された電荷が積分される。

[0015] 制御信号S 1がローになると、ヒストリキャパシタ3は、ローテーションキャパシタ4 aとの接続がオフとなり、制御信号S 2によりローテーションキャパシタ4 bとの接続がオンとなる。ローテーションキャパシタ4 bは、

制御信号 S 2 がハイの期間に亘って離散信号の電流により供給される電荷を積分した後、ヒストリキャパシタ 3 との接続をオフする。同様にして、ローテーションキャパシタ 4 c ~ 4 h は、制御信号 S 3 ~ S 8 により、ローカル周波数信号 L O の 8 周期ごとに順番にヒストリキャパシタ 3 と接続される。そして、2つのキャパシタによって離散信号の電流により供給される電荷が積分される。

[0016] このようにして、離散時間ダイレクトサンプリング回路では、ローカル周波数信号 L O の 8 周期分の離散信号の電流により供給される電荷を積分する。これにより、離散時間ダイレクトサンプリング回路では、8 タップの F I R (Finite Impulse Response) フィルタの特性が実現される。また、ローカル周波数信号 L O の 8 周期分の信号を積分することによって 1 サンプル分の電荷量が得られるため、サンプリングレートは $1/8$ にデシメーションされる。このフィルタ特性を実現する機能部は、第 1 の F I R フィルタと呼ぶことにする。

[0017] また、離散時間ダイレクトサンプリング回路では、ヒストリキャパシタ 3 にローテーションキャパシタ 4 a ~ 4 h が順に接続されることで、I I R (Infinite Impulse Response) フィルタの特性が実現される。このフィルタ特性を実現する機能部は、第 1 の I I R フィルタと呼ぶことにする。

[0018] 次に、制御信号 S A Z により放出スイッチ 9 a ~ 9 d が、オンされることによって、ローテーションキャパシタ 4 a ~ 4 d とバッファキャパシタ 5 とが導通される。これにより、ローテーションキャパシタ 4 a ~ 4 d に充電された電荷は、バッファキャパシタ 5 との間で共有される。この結果、ローテーションキャパシタ 4 a ~ 4 d のそれぞれの電荷の一部は、バッファキャパシタ 5 に移動し、電荷量が合成される。

[0019] ローテーションキャパシタ 4 a ~ 4 d とバッファキャパシタ 5 との間の電荷共有の後、ダンプスイッチ 6 は、制御信号 D によりオフとされ、電荷共有状態が解消される。次に、制御信号 R によりリセットスイッチ 7 がオンとされ、ローテーションキャパシタ 4 a ~ 4 d に残っていた電荷は、接地により

リセットされる。

[0020] このようにして、離散時間ダイレクトサンプリング回路では、ローテーションキャパシタ 4 a ~ 4 d の各々に充電された電荷の一部をバッファキャパシタ 5 に移動して合成することで、4 タップの F I R フィルタの特性が実現される。離散時間ダイレクトサンプリング回路では、4 サンプル分の離散信号が合成されて 1 サンプル分の離散信号が出力されるため、サンプリングレートは、 $1/4$ にデシメーションされる。

[0021] ローテーションキャパシタ 4 e ~ 4 h も同じように、制御信号 S B Z により放出スイッチ 9 e ~ 9 h がオンされ、それぞれのローテーションキャパシタに充電されている電荷の一部は、バッファキャパシタ 5 との間で共有される。これにより、離散時間ダイレクトサンプリング回路では、4 タップの F I R フィルタ処理と $1/4$ デシメーションが行われる。このフィルタ特性は、第 2 の F I R フィルタと呼ぶことにする。

[0022] また、離散時間ダイレクトサンプリング回路では、ローテーションキャパシタ 4 a ~ 4 d 及び 4 e ~ 4 h の各グループを、バッファキャパシタ 5 と交互に電荷共有状態にすることで、I I R フィルタ特性が実現される。このフィルタ特性は、第 2 の I I R フィルタと呼ぶことにする。

[0023] 図 3 は、上記の各種フィルタ特性を示す。ここでは、ローカル周波数信号 L O の周波数を 2.4 GHz、ヒストリキャパシタ 3 の容量を 15 pF、ローテーションキャパシタ 4 a ~ 4 h の各々の容量を 0.5 pF、バッファキャパシタ 5 の容量を 15 pF とする。また、電圧電流変換器 1 の相互コンダクタンスを 7.5 mS とする。

[0024] 図 3 A は第 1 の F I R フィルタの特性、図 3 B は第 1 の I I R フィルタの特性を示す。また、図 3 C は第 2 の F I R フィルタの特性、図 3 D は第 2 の I I R フィルタの特性を示す。さらに、図 3 E は離散時間ダイレクトサンプリング回路全体の特性を示しており、図 3 F は図 3 E の特性のうち 2.4 GHz 近傍の周波数範囲を拡大したものである。なお、図において、DC 利得は、0 dB で正規化している。

[0025] 以上のように、離散時間ダイレクトサンプリング回路は、第1のFIRフィルタ、第1のIIRフィルタ、第2のFIRフィルタ、および第2のIIRフィルタの各特性を、合わせた特性のフィルタ処理を施した信号を、後段の回路に出力する。

先行技術文献

特許文献

[0026] 特許文献1：米国特許出願公開第2003/0083033号明細書、“Direct Radio Frequency Sampling with Recursive Filtering Method”

発明の概要

発明が解決しようとする課題

[0027] ところで、近年、MIMO (Multiple Input Multiple Output)、MRC (Maximum Ratio Combining) 及びダイバーシティなどのシステムは、複数の高周波部を必要とする。このようなシステムでは、回路規模を削減するために高周波部を時分割使用し、回路を兼用することが要求されている。

[0028] しかしながら、図1で示したような従来のダイレクトサンプリング回路では、回路の時分割兼用を考えた場合、一般に、時分割統合された信号に対して、フィルタ効果のあるオペレーションを実施すると、次のような課題がある。すなわち、従来のダイレクトサンプリング回路では、各系統間で信号の混ざりが発生し、その出力を各系統に分離することが困難になる。また、IIRフィルタ効果を有するダイレクトサンプリング回路は、時分割統合された信号を処理した場合、各系統間で信号が混ざり、所望のダイレクトサンプリング演算を実施することが困難になる。

[0029] 本発明の目的は、時分割統合された信号系列に対して、時分割で兼用する場合であっても、各系統間で信号の混ざりを回避するダイレクトサンプリング回路を提供することである。

課題を解決するための手段

[0030] 本発明のダイレクトサンプリング回路は、複数系統の入力信号が1系統に

時分割統合された信号をフィルタリングするスイッチトキャパシタフィルタと、前記スイッチトキャパシタフィルタの前段に系統毎に設けられ、フィルタリングする系統毎に前記スイッチトキャパシタフィルタ内のローテーションキャパシタと接続するヒストリキャパシタと、前記スイッチトキャパシタフィルタの後段に系統毎に設けられ、フィルタリングする系統毎に前記スイッチトキャパシタフィルタ内のローテーションキャパシタと接続するバッファキャパシタと、フィルタリングされた前記信号を系統毎に分離する分離部と、を具備する構成を採る。

発明の効果

[0031] 本発明によれば、時分割統合された信号系列に対して、時分割で兼用する場合であっても、各系統間で信号の混ざりを回避することができる。

図面の簡単な説明

[0032] [図1]従来の離散時間ダイレクトサンプリング回路の構成を示す図

[図2]図8に示したデジタルコントロールユニットが生成する各制御信号の説明に供するタイミングチャート

[図3]従来の離散時間ダイレクトサンプリング回路により実現されるフィルタ特性の例を示す特性図

[図4]本発明の実施の形態1に係る時分割ダイレクトサンプリングミキサの構成を示す図

[図5]図1に示したスイッチトキャパシタフィルタの内部構成を示す図

[図6]制御信号S0～S3及び選択信号SW1，SW2の説明に供するタイミングチャート

[図7]本発明の実施の形態2に係る時分割DSMの構成を示す図

[図8]本発明の実施の形態3に係るヒストリキャパシタ部の内部構成を示す図

[図9]本発明の実施の形態3に係るバッファキャパシタ部の内部構成を示す図

[図10]本発明の実施の形態4に係るバッファキャパシタ部の内部構成を示す図

発明を実施するための形態

[0033] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。ただし、実施の形態において、同一機能を有する構成には、同一符号を付し、重複する説明は省略する。

[0034] (実施の形態1)

図4は、本発明の実施の形態1に係る時分割ダイレクトサンプリングミキサ（以下、「時分割DSM (Direct Sampling Mixer)」という）100の構成を示す図である。以下、時分割DSM100の構成について図4を用いて説明する。

[0035] 時分割統合スイッチ120は、選択信号SW1に従って、A系統を入力するA入力とB系統を入力するB入力の2つの入力を切り替える。これにより、時分割統合スイッチ120は、A系統とB系統の2系統を1系統信号に時分割統合して、トランスコンダクタンスアンプ(TA)130に出力する。

[0036] トランスコンダクタンスアンプ130は、時分割統合スイッチ120から出力された信号を電流に変換して、サンプラ140に出力する。サンプラ140は、トランスコンダクタンスアンプ130から出力された信号にサンプリング処理を施して、ダウンコンバートする。サンプラ140は、ダウンコンバートした信号をスイッチトキャパシタフィルタ(SCF)160に出力する。

[0037] スwitchトキャパシタフィルタ160は、図示せぬ4つの制御信号S0, S1, S2, S3の入力を受けて、ローテーションキャパシタの充放電を繰り返す。これにより、スイッチトキャパシタフィルタ160は、サンプラ140から出力された信号にフィルタ処理を施して、分離スイッチ180に出力する。なお、スイッチトキャパシタフィルタ160の詳細については後述する。

[0038] サンプラ140とスイッチトキャパシタフィルタ160との間には、ヒストリキャパシタ部150が接続されている。ヒストリキャパシタ部150には、系統毎に対応した容量の異なるヒストリキャパシタ153, 155がそれぞれスイッチ152, 154を介して接続されている。スイッチ152,

154は、選択信号SW1の入力によって処理する系統毎に接続を切り替える。なお、この選択信号SW1は、時分割統合スイッチ120に入力される選択信号SW1と同一である。

[0039] また、スイッチトキャパシタフィルタ160と分離スイッチ180の間には、バッファキャパシタ部170が接続されている。バッファキャパシタ部170には、系統毎に対応した容量の異なるバッファキャパシタ173, 175がそれぞれスイッチ172, 174を介して接続されている。スイッチ172, 174は、選択信号SW2の入力によって処理する系統毎に接続を切り替える。

[0040] この選択信号SW2は、選択信号SW1を1タイムサイクル遅延させた信号である。これは、スイッチトキャパシタフィルタ160の出力信号が、スイッチトキャパシタフィルタ160のフィルタ処理によって入力信号に対して常に1タイムサイクル遅延するためである。

[0041] 分離スイッチ180は、選択信号SW2に従って、スイッチトキャパシタフィルタ160から出力された信号をA出力とB出力の各系統に分離する。具体的には、選択信号SW2がA出力の選択を示している場合、スイッチ181が入力ノードと接続され、スイッチ182が0Vと接続される。一方、選択信号SW2がB出力の選択を示している場合、スイッチ182が入力ノードと接続され、スイッチ181が0Vと接続される。なお、選択信号SW2は、バッファキャパシタ部170に入力される選択信号SW2と同一である。

[0042] 分離スイッチ180からのA出力は、ダイレクトサンプリング処理が施されたA入力がゼロパディングされた信号となる。この信号は、分離スイッチ180の後段に用意された図示せぬ補間フィルタによって、系統切り替えによって生じる信号の折り返し信号が除去され、所望の帯域の信号が抽出される。B出力は、A出力と同様に処理される。

[0043] 図5は、図4に示したスイッチトキャパシタフィルタ160の内部構成を示す図である。また、図6は、制御信号S0～S3及び選択信号SW1, S

W2のタイミングチャートを示す図である。以下、図5及び図6を用いて、スイッチトキャパシタフィルタ160の動作について説明する。ここでは、トランジスタスイッチ（トランジスタSW）240～トランジスタSW244までのブランチを例に説明する。

[0044] 時刻T0では、制御信号S0だけがハイになることによって、トランジスタSW242が導通する。これにより、ローテーションキャパシタ241に充電されている電荷は、全て放電される。

[0045] 時刻T1では、制御信号S1だけがハイになることによって、トランジスタSW243が導通する。これにより、プリチャージ電圧からローテーションキャパシタ241には、初期電荷が充電される。

[0046] 時刻T2では、制御信号S2だけがハイになることによって、トランジスタSW240が導通する。これにより、スイッチトキャパシタフィルタ160の前段にあるヒストリキャパシタ153又は155と、ローテーションキャパシタ241とが並列接続される。その結果、1タイムサイクル前の初期電荷と、接続されているヒストリ容量C_h及びローテーション容量C_rの容量比に応じた電荷とを加算した電荷は、ローテーションキャパシタ241に充電される。

[0047] 時刻T3では、制御信号S3だけがハイになることによって、トランジスタSW244が導通する。これにより、スイッチトキャパシタフィルタ160の後段にあるバッファキャパシタ173又は175と、ローテーションキャパシタ241とが並列接続される。その結果、接続されているバッファ容量C_bとローテーション容量C_rの容量比に応じた電荷は、ローテーションキャパシタ241に充電される。時刻T4以降では、時刻T0～T3の処理が繰り返される。

[0048] トランジスタSW220～トランジスタSW224のブランチ、トランジスタSW230～トランジスタSW234のブランチ、トランジスタSW250～トランジスタSW254のブランチは、タイムステップをずらしながら同様の処理がなされる。

[0049] このように、スイッチトキャパシタフィルタ 160 前段のヒストリキャパシタ部 150 と、スイッチトキャパシタフィルタ 160 内のローテーションキャパシタとの間では、電荷共有を行う。これにより、スイッチトキャパシタフィルタ 160 は、IIR フィルタ操作が行われる。同様に、スイッチトキャパシタフィルタ 160 後段のバッファキャパシタ部 170 と、スイッチトキャパシタフィルタ 160 内のローテーションキャパシタとの間では、電荷共有を行う。これにより、スイッチトキャパシタフィルタ 160 は、IIR フィルタ操作が行われる。この結果、スイッチトキャパシタフィルタ 160 は、2 次の IIR フィルタを形成することになる。

[0050] なお、選択信号 SW1 は、図 6 に示すように、制御信号と同期している必要があり、ハイ区間及びロー区間の長さは制御信号の自然数倍である必要がある。ここでは、選択信号 SW1 のハイ区間及びロー区間は、それぞれ 4 タイムサイクルである。選択信号 SW2 は、上述したように、選択信号 SW1 を 1 タイムサイクル遅延させた信号である。

[0051] 本実施の形態に係る時分割 DSM100 では、分離スイッチ 180 からの出力において、系統切り替えによる折り返し信号が発生する。この折り返し信号は、分離スイッチ 180 の後段に用意するフィルタで除去する必要がある。ところが、選択信号 SW1 と選択信号 SW2 の動作速度を高速にすれば、折り返し信号の発生周波数が大きくなる。このため、時分割 DSM100 は、選択信号 SW1 と選択信号 SW2 の動作速度を高速にすることにより、後段に必要となるフィルタの要求特性を緩くすることができる。

[0052] このように、時分割 DSM100 で実現される IIR フィルタ特性は、ヒストリキャパシタ部 150 に含まれるヒストリ容量 C_h と、スイッチトキャパシタフィルタ 160 を構成するローテーションキャパシタ容量 C_r との比により決定される。なお、ヒストリ容量 C_h は、ヒストリキャパシタ 153 の容量又はヒストリキャパシタ 155 の容量である。なお、ローテーションキャパシタ容量 C_r は、ローテーションキャパシタ 221、231、241、251 のいずれかの容量 C_r である。または、時分割 DSM100 で実現

される IIR フィルタ特性は、バッファキャパシタ 170 に含まれるバッファ容量 C_r と、スイッチトキャパシタフィルタ 160 を構成するローテーションキャパシタ容量 C_r との比により決定される。なお、バッファ容量 C_r は、バッファキャパシタ 173 の容量又はバッファキャパシタ 175 の容量である。なお、ローテーションキャパシタ容量 C_r は、ローテーションキャパシタ 221、231、241、251 のいずれかの容量 C_r である。

[0053] これにより、本実施の形態に係る時分割 DSM100 は、一般的な DSM によって実現される IIR フィルタ特性と比較し、1つの信号系統当たり、一般的な DSM の半分の容量のヒストリ容量 C_h (153、155) で実現することができる。同様に、本実施の形態に係る時分割 DSM100 は、バッファ容量も 1つの信号系統当たり、一般的な DSM の半分の容量のバッファ容量 C_b (173、175) で実現することができる。つまり、2系統を時分割使用する時分割 DSM において、一般的な DSM と同等の IIR フィルタ効果を実現するために、必要となるヒストリ容量 C_h の総和とバッファ容量 C_b の総和は、一般的な DSM と同じ大きさで済ませることができる。

[0054] 一般的な DSM においては、ヒストリ容量 C_h とバッファ容量 C_b は回路規模が大きく、これらの回路が最も支配的である。これに対して、本実施の形態に係る時分割統合 DSM100 では、ヒストリ容量 C_h とバッファ容量 C_b とは、同等の回路規模で、2系統の回路を実現することができる。

[0055] このように、実施の形態 1 に係る時分割 DSM100 は、スイッチトキャパシタフィルタの前段に系統毎にヒストリキャパシタを接続し、スイッチトキャパシタフィルタの後段に系統毎にバッファキャパシタを接続し、スイッチトキャパシタフィルタのローテーションキャパシタと接続するヒストリキャパシタ及びバッファキャパシタをフィルタリングする系統毎に切り替える。これにより、時分割 DSM100 は、系統毎に IIR フィルタ特性を切り替えることができるので、各系統間で信号の混ざりを回避することができると共に、回路規模を削減することができる。

[0056] また、時分割 DSM100 は、複数のヒストリキャパシタ及び複数のバッ

ファキャパシタのうち、それぞれ1つのヒストリキャパシタ及び1つのバッファキャパシタが用いられるので、消費電力を低減することができる。

[0057] なお、本実施の形態では、A系統とB系統の2系統に対してIIRフィルタ操作にかかるアクティブ区間が同一である場合について説明した。しかしながら、本発明は、これに限らず、2系統のうち一方のアクティブ区間を長くし、他方のアクティブ区間を短くしてもよい。これは、例えば、一方を重要なデータとし、他方を重要ではないデータとした場合が考えられる。これにより、重要なデータについては、ゲインを増やすことができる。このようなデータの例として、2ストリームのダイバーシティでは、一方のストリームが高性能である場合を重要なデータ、他方のストリームが高性能ではない場合を重要ではないデータと考えることができる。

[0058] (実施の形態2)

図7は、本発明の実施の形態2に係る時分割DSM200の構成を示す図である。図7が図4と異なる点は、バッファキャパシタ部170をバッファキャパシタ部270に変更し、分離スイッチ180を分離スイッチ280に変更した点である。

[0059] 分離スイッチ280は、選択信号SW2に従って、スイッチトキャパシタフィルタ160から出力された信号をA出力とB出力の各系統に分離する。具体的には、選択信号SW2がA出力の選択を示している場合、分離スイッチ280がA出力ノードと接続される。一方、選択信号SW2がB出力の選択を示している場合、分離スイッチ280は、B出力ノードと接続される。

[0060] バッファキャパシタ部270は、分離スイッチ280がA出力ノードと接続されたとき、バッファキャパシタ271がスイッチトキャパシタフィルタ160のローテーションキャパシタと接続される。また、バッファキャパシタ部270は、分離スイッチ280がB出力ノードと接続されたとき、バッファキャパシタ272がスイッチトキャパシタフィルタ160のローテーションキャパシタと接続される。これらの場合において、バッファキャパシタ部270は、それぞれIIRフィルタ操作が行われる。

[0061] このような構成により、分離スイッチ280において選択されていない出力ノード側のバッファキャパシタには、電荷が保持された状態となり、出力電圧は直前に選択された状態の電圧となる。この結果、A出力とB出力に含まれる所望波スペクトルを基準として折り返し信号のスペクトルの大きさが小さくなる。このため、時分割DSM200は、時分割DSM200後段のフィルタに要求される特性をさらに緩和することができる。

[0062] このように、実施の形態2に係る時分割DSM200は、スイッチトキャパシタフィルタに系統毎の信号に分離する分離スイッチを接続し、分離スイッチ後段にバッファキャパシタを系統毎に接続する。これにより、時分割DSM200は、時分割DSM200後段のフィルタに要求される特性をさらに緩和し、回路を構成する部品点数を減らすことができる。

[0063] (実施の形態3)

本発明の実施の形態3に係る時分割DSMの構成は、実施の形態1の図4に示した構成と同様であり、ヒストリキャパシタ部とバッファキャパシタ部の内部構成が異なるのみである。

[0064] 図8は、本発明の実施の形態3に係るヒストリキャパシタ部300の内部構成を示す図である。以下、ヒストリキャパシタ部300の構成について図8を用いて説明する。ヒストリキャパシタ部300は、1つ目の系統用のヒストリキャパシタ群320と、2つ目の系統用のヒストリキャパシタ群360と、それらを導通又は遮断に切り替えるスイッチ310、350から構成される。

[0065] スイッチ310、350は、外部から入力される選択信号SW1によって互いに排他的に導通と遮断とを切り替えられる。

[0066] ヒストリキャパシタ群320内の構成は、1つのスイッチと1つのヒストリキャパシタとを1組とすると、これらがN組み設けられている。これらN個のヒストリキャパシタの接続と非接続との切り替えは、選択信号SEL1に基づいて行われる。選択信号SEL1は、さまざまな通信システムへの適応や、システム構成要素の個体ばらつきなどによる特性の微調整に用いられ

る。また、選択信号SEL1は、ある一つの通信時には変更されず固定である。

[0067] ヒストリキャパシタ群360は、ヒストリキャパシタ群320と同様であるので、その詳細な説明は省略する。

[0068] 図9は、本発明の実施の形態3に係るバッファキャパシタ部400の内部構成を示す図である。以下、バッファキャパシタ部400の構成について図9を用いて説明する。バッファキャパシタ部400は、1つ目の系統用のバッファキャパシタ群420と、2つ目の系統用のバッファキャパシタ群460と、それらを導通又は遮断に切り替えるスイッチ410、450から構成される。

[0069] スイッチ410、450は、外部から入力される選択信号SW2によって互いに排他的に導通と遮断とを切り替えられる。

[0070] バッファキャパシタ群420内の構成は、1つのスイッチと1つのバッファキャパシタとを1組とすると、これらがN組み設けられている。これらN個のバッファキャパシタの接続と非接続との切り替えは、選択信号SEL2に基づいて行われる。選択信号SEL2は、選択信号SEL1と同様、特性の微調整に用いられ、ある一つの通信時には変更されず固定である。

[0071] バッファキャパシタ群460は、バッファキャパシタ群420と同様であるので、その詳細な説明は省略する。

[0072] 本実施の形態に係る時分割DSMは、信号線に容量成分が付加されることによる、フィルタ特性の劣化を抑制し、ヒストリキャパシタ及びバッファキャパシタの個数を増加させても信号線に直接付加される容量成分を小さく抑えることができる。このため、本実施の形態に係る時分割DSMは、フィルタ特性の劣化を抑えることができる。

[0073] このように、実施の形態3に係る時分割DSMは、スイッチトキャパシタフィルタの前段及び後段に接続するヒストリキャパシタ及びバッファキャパシタを系統毎に複数備え、ヒストリキャパシタ及びバッファキャパシタを選択的に切り替える。これにより、本実施の形態に係る時分割DSMは、さま

ざまな通信システムへの適応、また、システム構成要素の個体ばらつきなどによる特性の微調整を行うことができる。

[0074] (実施の形態4)

本発明の実施の形態4に係る時分割DSMの構成は、実施の形態2の図7に示した構成と同様であり、バッファキャパシタ部の内部構成が異なるのみである。

[0075] 図10は、本発明の実施の形態4に係るバッファキャパシタ部500の内部構成を示す図である。以下、バッファキャパシタ部500の構成について図10を用いて説明する。バッファキャパシタ部500は、1つ目の系統用のバッファキャパシタ群520と、2つ目の系統用のバッファキャパシタ群550とから構成される。

[0076] バッファキャパシタ群520内の構成は、1つのスイッチと1つのバッファキャパシタとを1組とすると、これらがN組み設けられている。これらN個のバッファキャパシタの接続と非接続との切り替えは、選択信号SEL3に基づいて行われる。選択信号SEL3は、さまざまな通信システムへの適応や、システム構成要素の個体ばらつきなどによる特性の微調整に用いられる。また、選択信号SEL3は、ある一つの通信時には変更されず固定である。

[0077] バッファキャパシタ群550内の構成は、1つのスイッチと1つのバッファキャパシタとを1組とすると、これらがN組み設けられている。これらN個のバッファキャパシタの接続と非接続との切り替えは、選択信号SEL4に基づいて行われる。選択信号SEL4は、選択信号SEL3と同様、特性の微調整に用いられ、ある一つの通信時には変更されず固定である。

[0078] このように、実施の形態4に係る時分割DSMは、スイッチトキャパシタフィルタに系統毎の信号に分離する分離スイッチを接続し、分離スイッチ後段にバッファキャパシタを系統毎に複数備え、バッファキャパシタを選択的に切り替える。これにより、本実施の形態に係る時分割DSMは、時分割DSM後段のフィルタに要求される特性をさらに緩和することができる。また

、本実施の形態に係る時分割DSMは、さまざまな通信システムへの適応、また、システム構成要素の個体ばらつきなどによる特性の微調整を行うことができる。

[0079] 2010年7月15日出願の特願2010-160721の日本出願に含まれる明細書、図面及び要約書の開示内容は、すべて本願に援用される。

産業上の利用可能性

[0080] 本発明にかかるダイレクトサンプリング回路は、時分割統合された信号系列に対して、時分割で兼用する場合であっても、各系統間で信号の混ざりを回避するものとして有用である。

符号の説明

[0081] 120 時分割統合スイッチ
130 トランスコンダクタンスアンプ
140 サンプラ
150、300 ヒストリキャパシタ部
152、154、172、174、181、182、310、330、331、332、339、350、370、371、372、379、410、430、431、432、439、450、470、471、472、479、530、531、532、539、560、561、562、569
スイッチ
153、155、340、341、342、349、380、381、382、389 ヒストリキャパシタ
160 スイッチトキャパシタフィルタ
170、270、400、500 バッファキャパシタ部
173、175、271、272、440、441、442、449、480、481、482、489、540、541、542、549、570、571、572、579 バッファキャパシタ
180、280 分離スイッチ
220、222、223、224、230、232、233、234、2

4 0、2 4 2、2 4 3、2 4 4、2 5 0、2 5 2、2 5 3、2 5 4 トラン
ジスタスイッチ

2 2 1、2 3 1、2 4 1、2 5 1 ローテーションキャパシタ

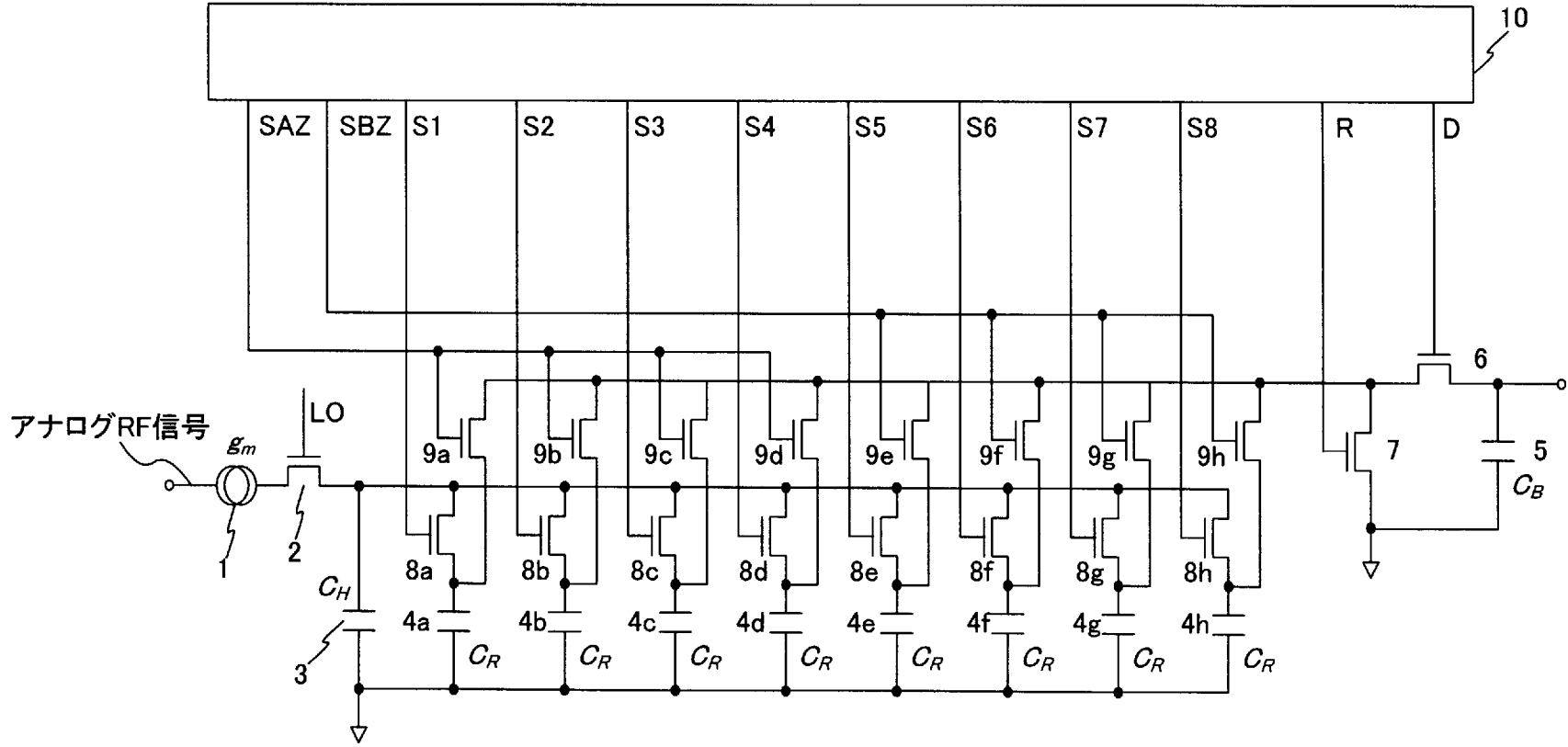
3 2 0、3 6 0 ヒストリキャパシタ群

4 2 0、4 6 0、5 2 0、5 5 0 バッファキャパシタ群

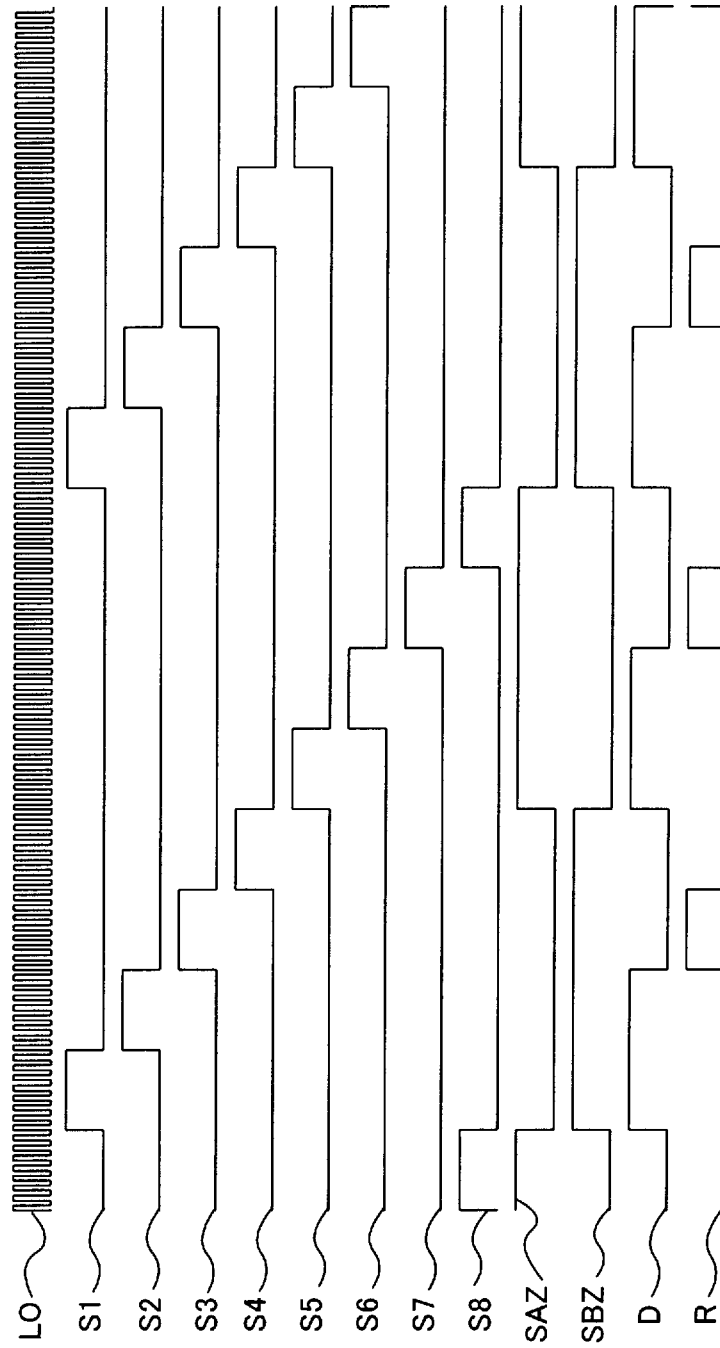
請求の範囲

- [請求項1] 複数系統の入力信号が1系統に時分割統合された信号をフィルタリングするスイッチトキャパシタフィルタと、
- 前記スイッチトキャパシタフィルタの前段に系統毎に設けられ、フィルタリングする系統毎に前記スイッチトキャパシタフィルタ内のローテーションキャパシタと接続するヒストリキャパシタと、
- 前記スイッチトキャパシタフィルタの後段に系統毎に設けられ、フィルタリングする系統毎に前記スイッチトキャパシタフィルタ内のローテーションキャパシタと接続するバッファキャパシタと、
- フィルタリングされた前記信号を系統毎に分離する分離部と、
- を具備するダイレクトサンプリング回路。
- [請求項2] 前記バッファキャパシタは、前記分離部の後段に設けられた請求項1に記載のダイレクトサンプリング回路。
- [請求項3] 前記ヒストリキャパシタ及び前記バッファキャパシタは、系統毎にそれぞれ複数設けられ、選択的に接続を切り替えられる請求項1に記載のダイレクトサンプリング回路。
- [請求項4] 前記バッファキャパシタは、系統毎に複数設けられ、選択的に接続を切り替えられる請求項2に記載のダイレクトサンプリング回路。

[図1]



[図2]



[図3]

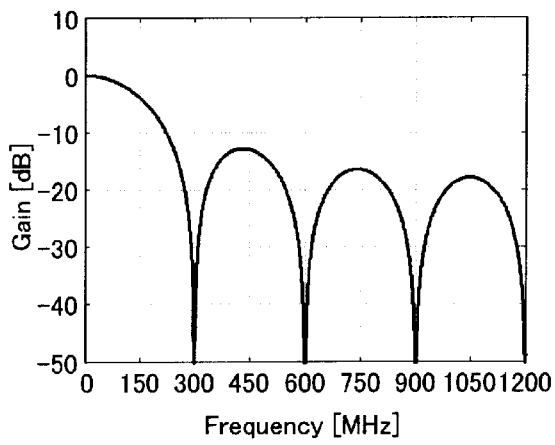


図3A

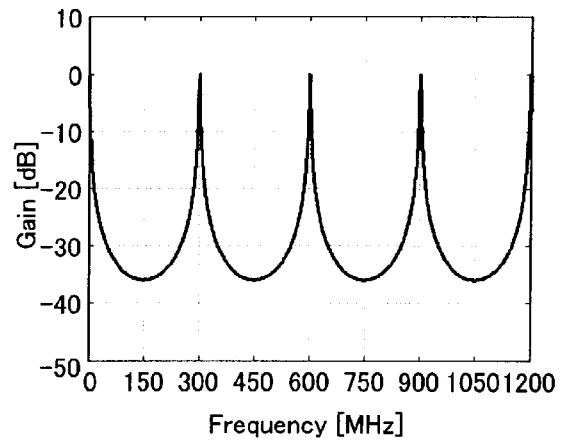


図3B

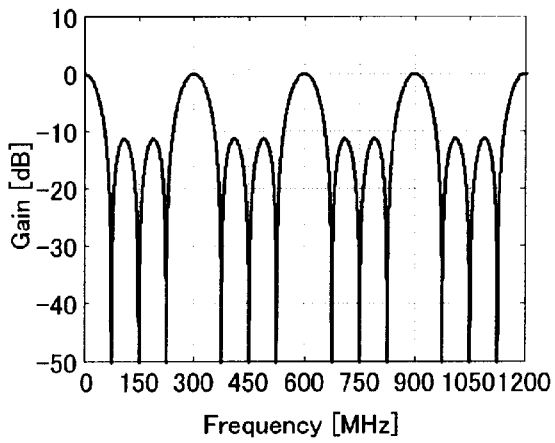


図3C

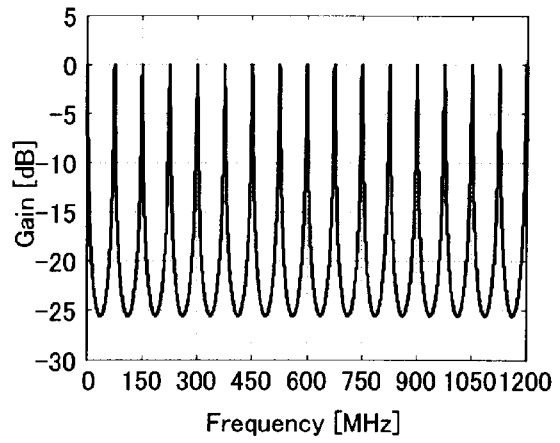


図3D

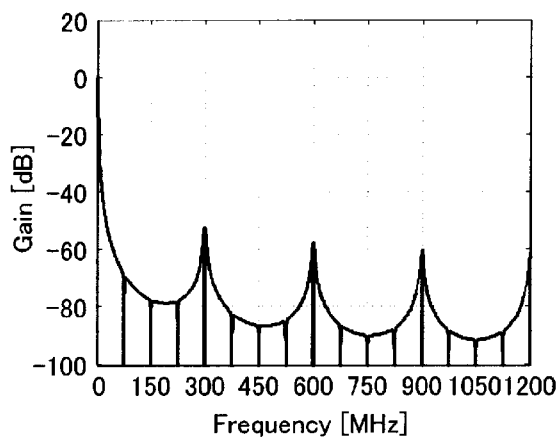


図3E

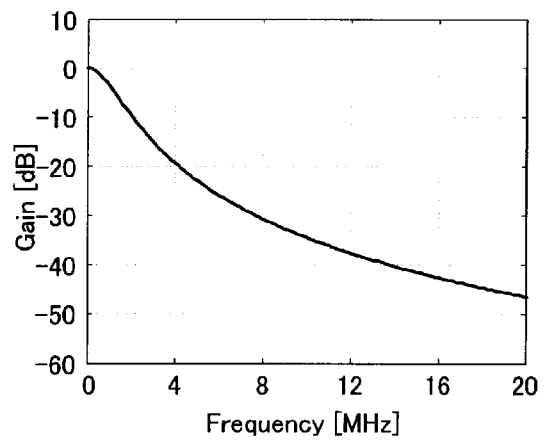
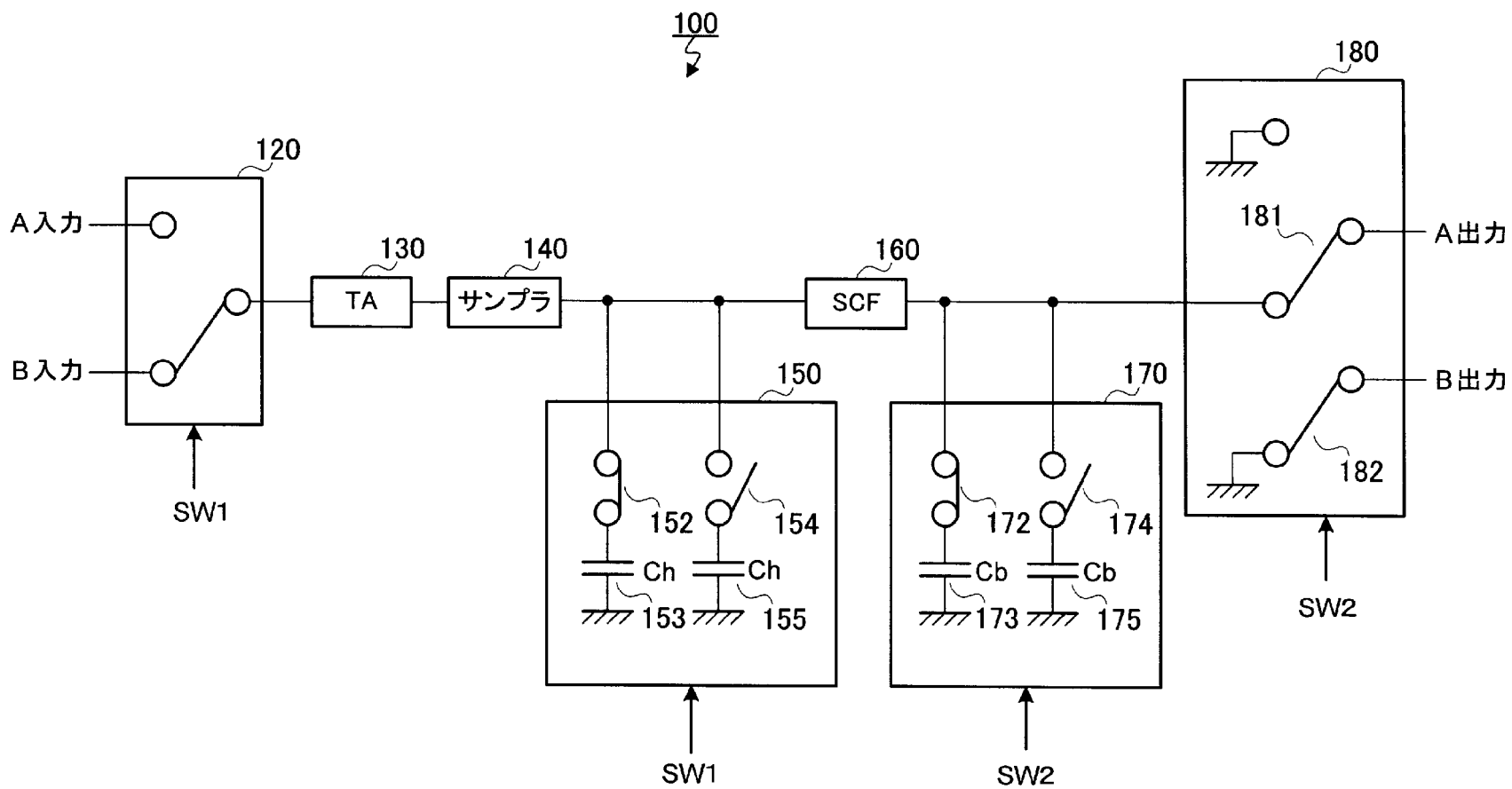
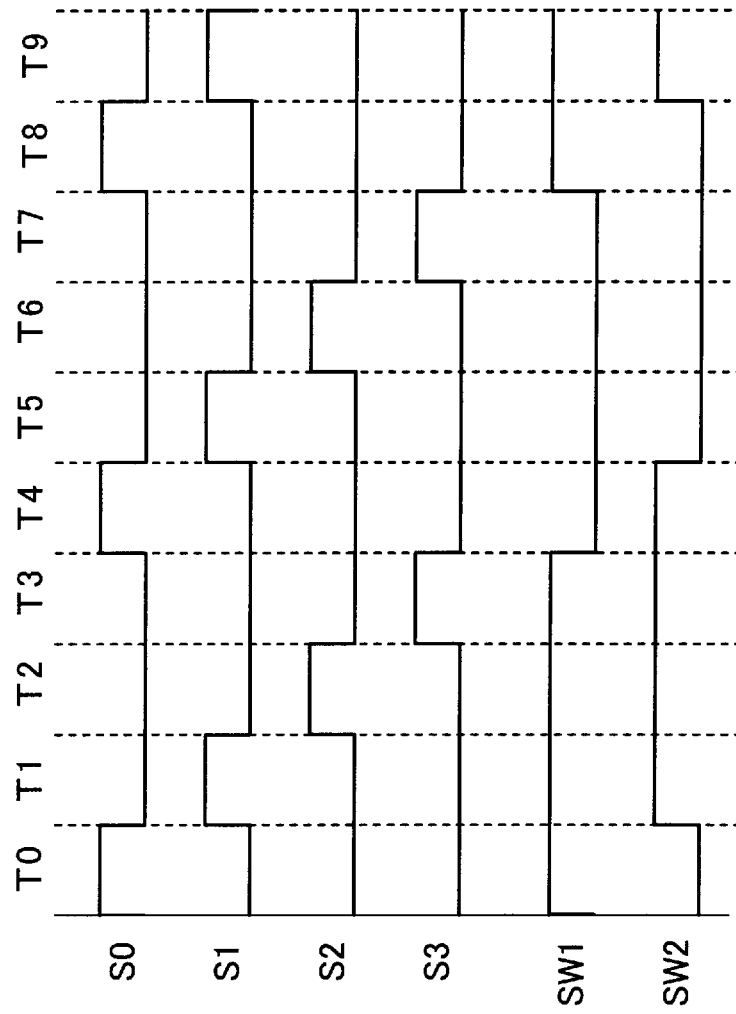


図3F

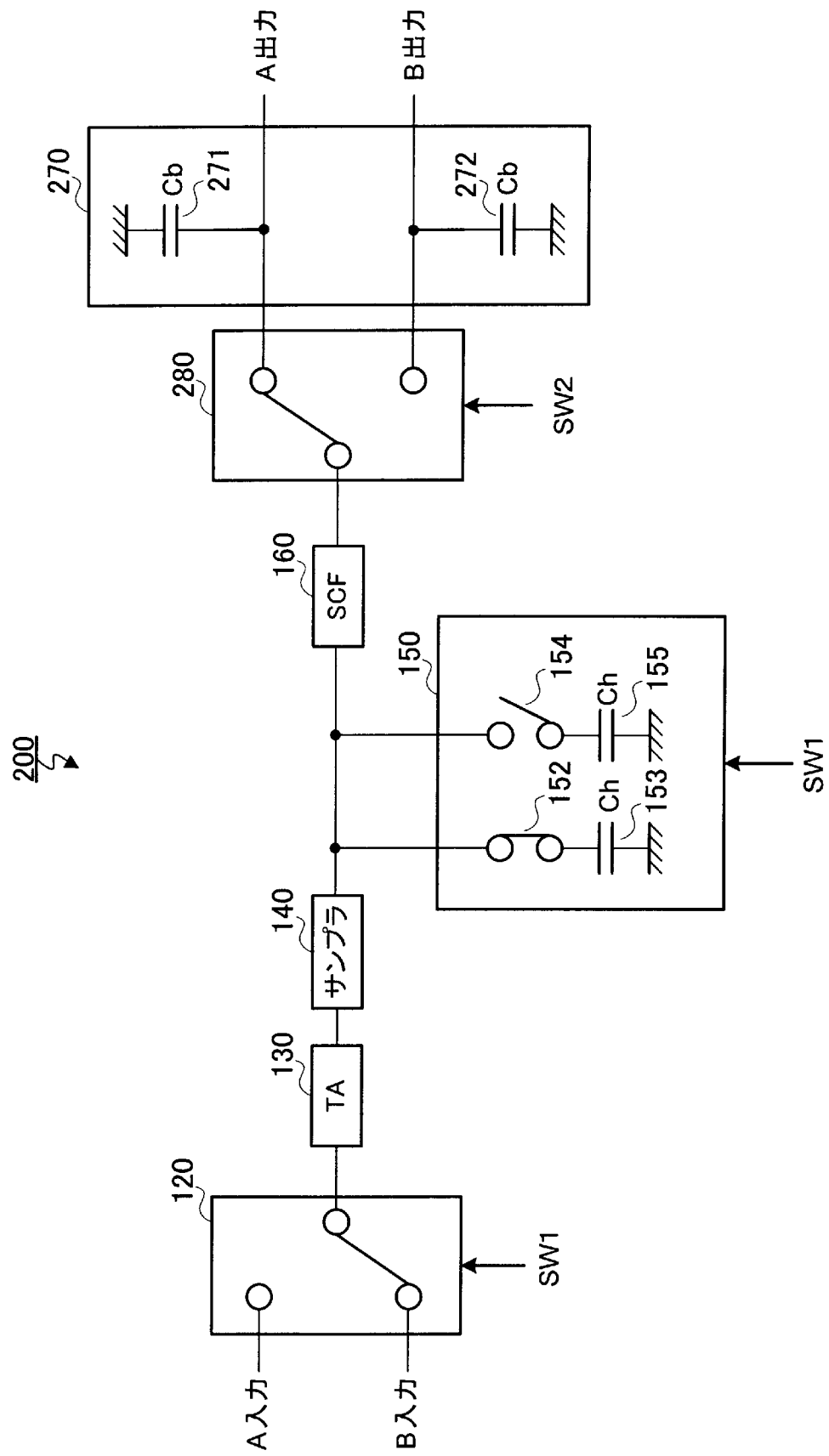
[図4]

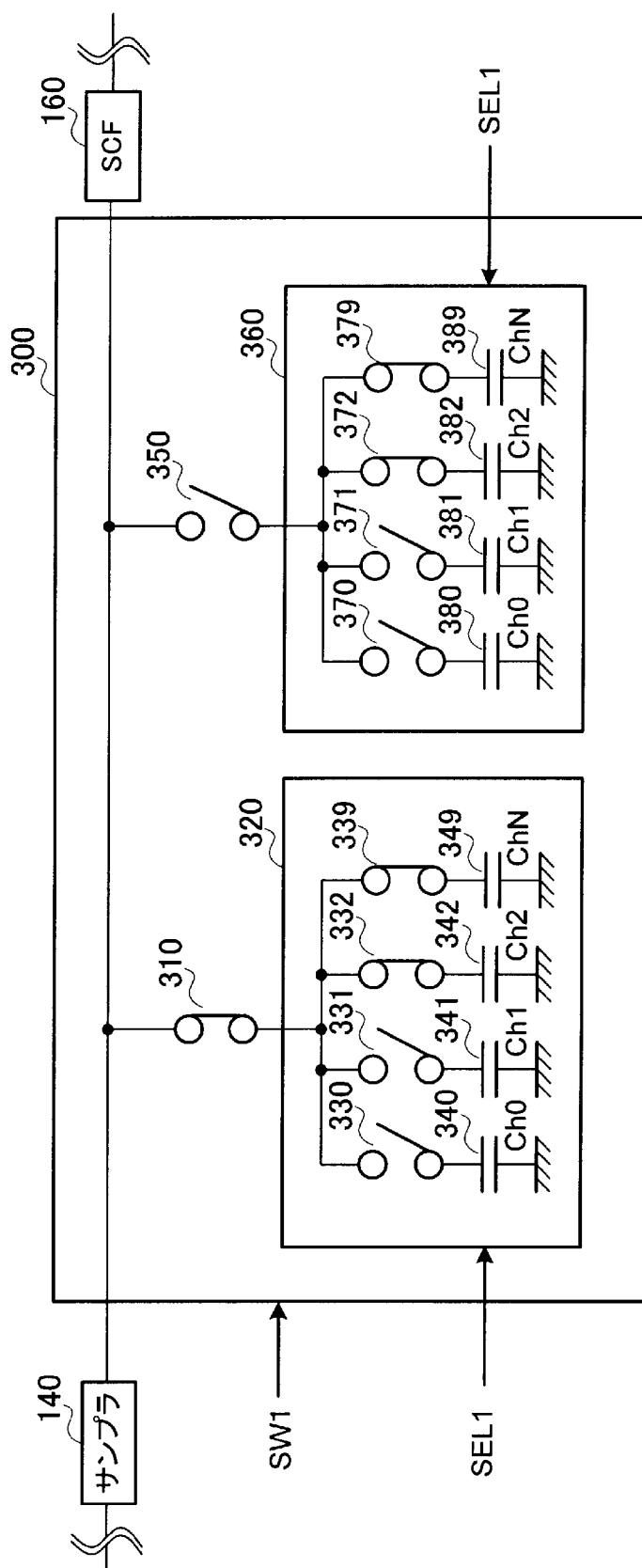


[図6]

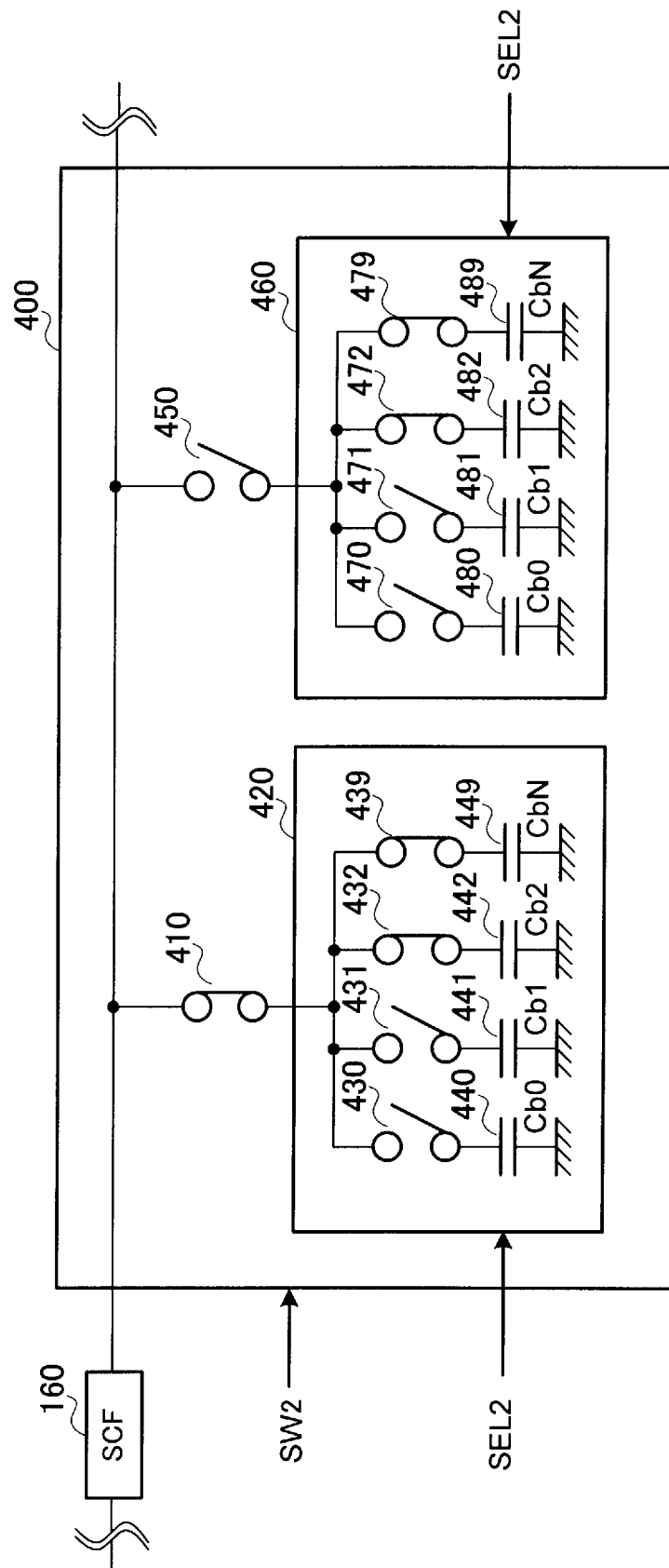


[図7]

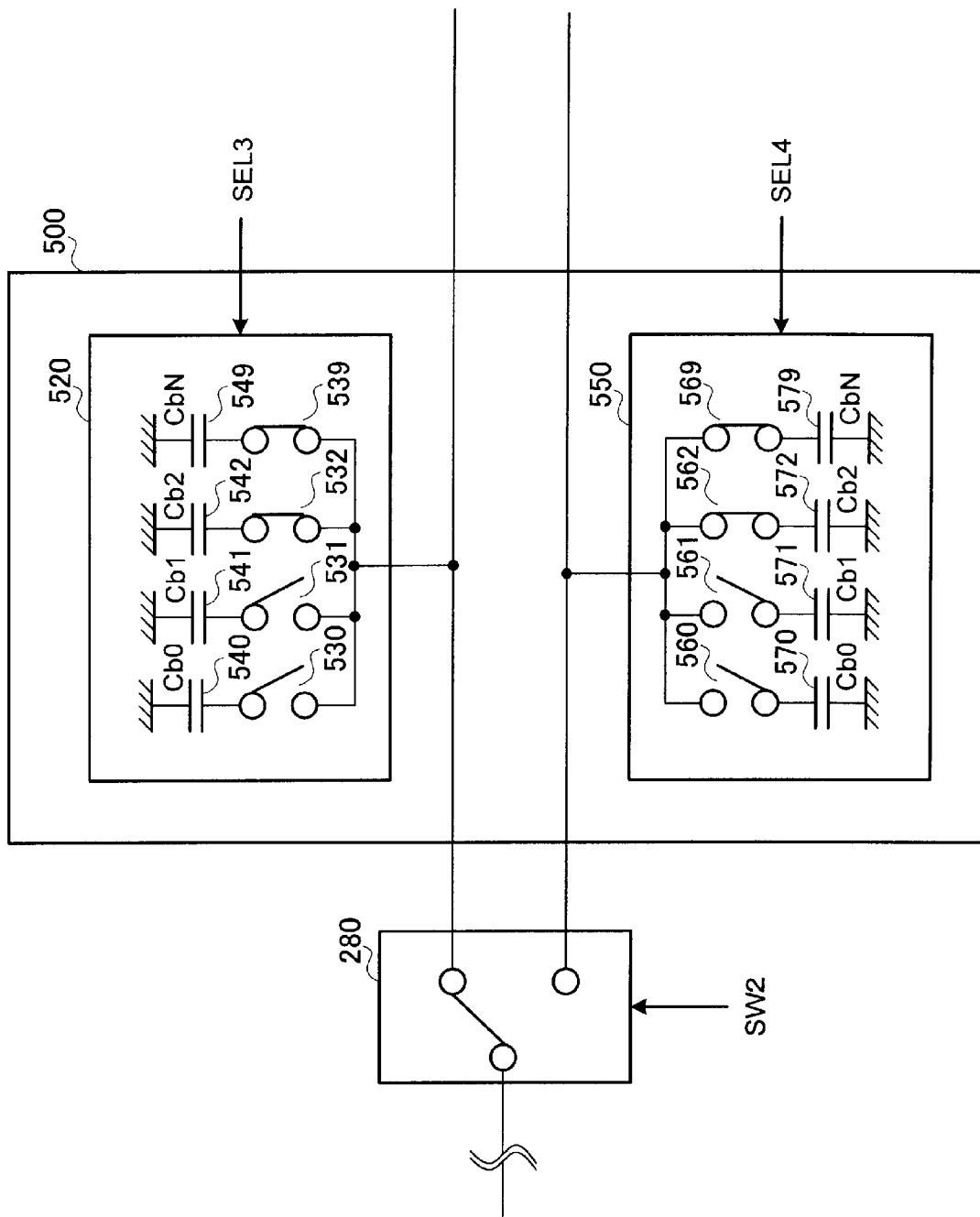




[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003709

A. CLASSIFICATION OF SUBJECT MATTER

H03H19/00 (2006.01) i, H03K17/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H19/00, H03K17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/004818 A1 (Panasonic Corp.), 08 January 2009 (08.01.2009), entire text; all drawings & JP 2009-147903 A & US 2010/0182077 A1 & CN 101689862 A	1-4
A	JP 09-083301 A (Yamaha Corp.), 28 March 1997 (28.03.1997), entire text; all drawings (Family: none)	1-4
A	JP 07-249989 A (Yamaha Corp.), 26 September 1995 (26.09.1995), entire text; all drawings (Family: none)	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13 September, 2011 (13.09.11)

Date of mailing of the international search report
27 September, 2011 (27.09.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H03H19/00(2006.01)i, H03K17/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03H19/00, H03K17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2 0 0 9 / 0 0 4 8 1 8 A 1（パナソニック株式会社） 2 0 0 9 . 0 1 . 0 8 , 全文, 全図 & J P 2 0 0 9 - 1 4 7 9 0 3 A & U S 2 0 1 0 / 0 1 8 2 0 7 7 A 1 & C N 1 0 1 6 8 9 8 6 2 A	1 - 4
A	J P 0 9 - 0 8 3 3 0 1 A（ヤマハ株式会社） 1 9 9 7 . 0 3 . 2 8 , 全文, 全図（ファミリーなし）	1 - 4

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 9 . 2 0 1 1

国際調査報告の発送日

2 7 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 孝治

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6

5 W

8 8 4 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 07-249989 A (ヤマハ株式会社) 1995.09.26, 全文, 全図 (ファミリーなし)	1-4