



(12) 发明专利

(10) 授权公告号 CN 101480874 B

(45) 授权公告日 2012. 09. 05

(21) 申请号 200810148942. 9

EP 1072412 A2, 2001. 01. 31, 全文.

(22) 申请日 2005. 04. 06

EP 1172211 A2, 2002. 01. 16, 图 11.

(30) 优先权数据

CN 1286171 A, 2001. 03. 07, 说明书 8 页 7

10/827142 2004. 04. 19 US

行 - 第 9 页 2 行.

(62) 分案原申请数据

审查员 宋庆华

200580011724. 5 2005. 04. 06

(73) 专利权人 惠普开发有限公司

地址 美国德克萨斯州

(72) 发明人 T·L·本贾明

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 李湘 王小衡

(51) Int. Cl.

B41J 2/05(2006. 01)

(56) 对比文件

US 4543644 A, 1985. 09. 24, 全文.

EP 1128324 A2, 2001. 08. 29, 说明书第

0063-0067 段、图 3, 4, 7, 8.

US 4377972 A, 1983. 03. 29, 全文.

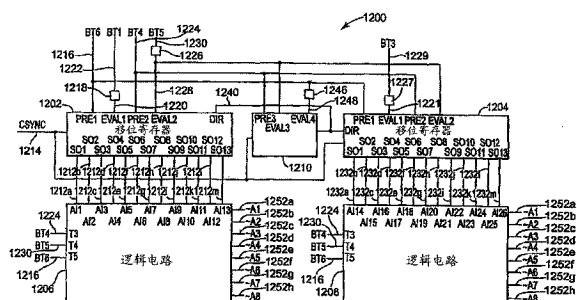
权利要求书 2 页 说明书 78 页 附图 17 页

(54) 发明名称

流体喷射装置及喷射流体的方法

(57) 摘要

一种流体喷射装置包括:点火单元,其包含第一组点火单元(1704a—c)和第二组点火单元(1704d—e);以及控制电路(1700)。控制电路(1700)被配置为响应控制信号而选择性启动适于允许第一组点火单元(1704a—c)激活的第一序列和适于允许第二组点火单元(1704d—e)激活的第二序列。



1. 一种流体喷射装置,包括:

激发单元,包括第一组流体喷射元件和第二组流体喷射元件;

地址生成器,其包括:

第一电路,其被配置为从一系列定时脉冲接收第一组定时脉冲,并且响应于所述定时脉冲产生第一组地址信号,其中第一组地址信号适于启动第一组流体喷射元件;以及

第二电路,其被配置为从该系列定时脉冲接收第二组定时脉冲,并且响应于所接收的定时脉冲产生第二组地址信号,其中第二组地址信号适于启动第二组流体喷射元件。

2. 如权利要求 1 所述的流体喷射装置,其中第一电路包括:

第一移位寄存器,其被配置为提供第一输出信号。

3. 如权利要求 2 所述的流体喷射装置,其中第二电路包括:

第二移位寄存器,其被配置为提供第二输出信号。

4. 如权利要求 3 所述的流体喷射装置,其中第一电路包括第一逻辑电路,其被配置为基于第一输出信号提供第一组地址信号,并且第二电路包括第二逻辑电路,其被配置为基于第二输出信号提供第二组地址信号。

5. 如权利要求 3 所述的流体喷射装置,其中地址生成器包括:

方向电路,其被配置为从该系列定时脉冲接收第三组定时脉冲,并且响应于所接收的定时脉冲提供方向信号。

6. 如权利要求 5 所述的流体喷射装置,其中第一移位寄存器和第二移位寄存器接收方向信号并基于方向信号以选定的方向移位。

7. 如权利要求 2 所述的流体喷射装置,其中第一电路包括:

第一逻辑电路,其被配置为基于第一输出信号提供第一组地址信号。

8. 如权利要求 1 所述的流体喷射装置,其中第一电路包括:

第一逻辑电路,其被配置为响应于所接收的定时脉冲而提供第一组地址信号。

9. 如权利要求 1 所述的流体喷射装置,其中地址生成器包括:

方向电路,其被配置为从该系列定时脉冲接收第三组定时脉冲,并且响应于所接收的定时脉冲而提供方向信号。

10. 如权利要求 9 所述的流体喷射装置,其中第一电路和第二电路接收方向信号,并基于方向信号在选定的序列中提供第一组地址信号和第二组地址信号。

11. 一种用于从流体喷射装置中喷射流体的方法,该方法包括:

接收控制信号;

响应于控制信号,提供第一序列的第一地址信号,其适于启动第一触排的激发单元以激活;和

响应于控制信号,提供第二序列的第二地址信号,其适于启动第二触排的激发单元以激活,其中独立于第一序列的地址信号,提供第二序列的地址信号。

12. 如权利要求 11 所述的方法,其中提供包括:

响应控制信号之一中的控制脉冲,启动第一序列和启动第二序列。

13. 如权利要求 11 所述的方法,其中提供包括:

响应控制信号中的一系列定时脉冲,提供第一地址信号和第二地址信号。

14. 如权利要求 11 所述的方法,其中提供包括:

接收控制信号之一中的控制脉冲；
接收控制信号中的一系列定时脉冲；以及
响应所接收的与该系列定时脉冲中的定时脉冲相符的控制脉冲，启动第一序列和启动第二序列。

15. 如权利要求 11 所述的方法，其中提供包括：
接收控制信号之一中的控制脉冲；
接收控制信号中的一系列定时脉冲；以及
响应所接收的与该系列定时脉冲中的第一定时脉冲相符的第一控制脉冲，启动第一序列。

16. 如权利要求 15 所述的方法，其中提供包括：
响应所接收的与该系列定时脉冲中的第二定时脉冲相符的第二控制脉冲，启动第二序列。

17. 如权利要求 16 所述的方法，其中提供包括：
响应所接收的与该系列定时脉冲中的第三定时脉冲相符的第三控制脉冲，设置方向信号。

流体喷射装置及喷射流体的方法

[0001] 本申请是国际申请日为 2005 年 4 月 6 日,申请号为 200580011724.5,发明名称为“流体喷射装置”的申请的分案申请。

[0002] 相关申请的引证

[0003] 本申请涉及专利申请系列号[还未分配]、代理人编号 No. 200209168-1、标题为“Fluid Ejection Device(流体喷射装置)”的专利申请;专利申请系列号[还未分配]、代理人编号 No. 200208780-1、标题为“Fluid Ejection Device With Address Generator(带有地址生成器的流体喷射装置)”的专利申请;专利申请系列号[还未分配]、No. 200311485-1、标题为“Device With Gates Configured In Loop Structures(带有以循环结构配置的门电路的装置)”的专利申请;专利申请系列号[还未分配]、No. 200210152-1、标题为“Fluid Ejection Device(流体喷射装置)”的专利申请;以及专利申请系列号[还未分配]、代理人编号 No. 200209237-1、标题为“Fluid Ejection Device With Identification Cells(带有识别单元的流体喷射装置)”的专利申请,其每一个都转让给本申请的受让人并与本申请一起在同一日期提交,而且其每一个在此完全引作参考,就好像它们在本文中完全公开了。

背景技术

[0004] 作为流体喷射系统的一种具体实施方式,喷墨打印系统可以包括打印头、为打印头提供墨水的墨水源以及控制打印头的电子控制器。作为流体喷射装置的一种实施方式,打印头通过多个喷孔或喷嘴喷射墨滴(ink drop)。墨水被射向打印媒介(print medium),例如纸张,以便将图像打印到打印媒介上。喷嘴典型地被设置在一个或多个阵列中,以致当打印头和打印媒介彼此相对移动时,墨水从喷嘴的适当排序的喷射引起字符或其它的图像被打印在打印媒介上。

[0005] 在一种典型的热喷墨打印系统中,通过快速地加热位于汽化室中的少量墨水,打印头通过喷嘴喷射墨滴。墨水利用小型电加热器例如在本文中称为激发电阻器的薄膜电阻器来加热。加热墨水,使得墨水汽化并被通过喷嘴喷射。

[0006] 为了喷射一滴墨水,控制打印头的电子控制器激活来自打印头外部的电源的电流。电流通过选择的激发电阻,以加热在对应选择的汽化室中的墨水并通过对应的喷嘴喷射墨水。已知的墨滴发生器包括激发电阻、对应的汽化室和对应的喷嘴。

[0007] 随着喷墨打印头的发展,在打印头中墨滴发生器的数目已经增加到提高打印速度和/或品质。每一打印头的墨滴发生器数目的增加导致打印头模具(printhead die)上激励增加数量的的激发电阻所需的输入(衬)垫(input pad)数目的相应增加。在一种类型的打印头中,每个激发电阻被耦合到对应的输入垫,以提供功率来激励激发电阻。随着激发电阻数目的增加,每个激发电阻一个输入垫变得不切实际。

[0008] 每个输入垫的墨滴发生器的数目在另一种类型的具有图元(primitive)的打印头中显著增加。单根电源线在一个图元中给所有激发电阻提供电力。每个激发电阻与电源线和对应场效应晶体管(FET)的漏源通路串联耦合。图元中的每个FET的栅极被耦合到由

多个图元共用的单独可激励的地址引线。

[0009] 制造商继续减少在打印头模具上输入垫的数目和增加墨滴发生器的数目。具有更少输入垫的打印头通常比具有更多输入垫的打印头的成本低。还有,具有更多墨滴发生器的打印头通常以更高的质量和/或打印速度打印。为了保持成本并提供特定的打印行高度(swath height),打印头模具尺寸可以不随着墨滴发生器数目的增加而显著改变。随着墨滴发生器密度的增加和输入垫数目的减少,打印头模具布局可以变得日益复杂。

[0010] 由于这些及其它的原因,需要本发明。

附图说明

[0011] 图 1 图解喷墨打印系统的一个实施方式。

[0012] 图 2 是图解打印头模具的一个实施方式的一部分的图。

[0013] 图 3 是图解在打印头模具的一个实施方式中墨滴发生器沿着供墨槽(ink feed slot)定位的布局的图。

[0014] 图 4 是图解在打印头模具的一个实施方式中采用的激发单元的一个实施方式的图。

[0015] 图 5 是图解喷墨打印头激发单元阵列的一个实施方式的示意图。

[0016] 图 6 是图解预充电激发单元的一个实施方式的示意图。

[0017] 图 7 是图解喷墨打印头激发单元阵列的一个实施方式的示意图。

[0018] 图 8 是图解激发单元阵列的一个实施方式的操作的时序图。

[0019] 图 9 是图解在打印头模具中地址生成器的一个实施方式的图。

[0020] 图 10A 是图解移位寄存器中的一个移位寄存器单元的图。

[0021] 图 10B 是图解方向电路的图。

[0022] 图 11 是图解在正向中地址生成器的操作的时序图。

[0023] 图 12 是图解在反向中地址生成器的操作的时序图。

[0024] 图 13 是图解在打印头模具中两个地址生成器和六个激发组的一个实施方式的方框图。

[0025] 图 14 是图解在打印头模具中地址生成器的正向与反向操作的时序图。

[0026] 图 15 是图解在打印头模具中的地址生成器、锁存电路和六个激发组的一个实施方式的方框图,

[0027] 图 15 是图解在打印头模具中触排(band)选择地址生成器的一个实施方式的图。

[0028] 图 16 是图解方向电路的一个实施方式的图。

[0029] 图 17 是图解在正向方向中触排选择地址生成器的一个实施例的操作的时序图。

[0030] 图 18 是图解在反向方向中触排选择地址生成器的一个实施例的操作的时序图。

[0031] 图 19 是图解在打印头模具中两个触排选择地址生成器和六个激发组的一个实施方式的方框图。

[0032] 图 20 是图解在打印头模具中两个触排选择地址生成器的一个实施方式的正向操作和反向操作的时序图。

具体实施方式

[0033] 在下面的详细说明中,参考附图,其形成说明书的一部分,并且其中通过图解示出了其中可以实现本发明的具体实施例。关于这一方面,方向术语例如“顶”、“底”、“前”、“后”、“引导 (leading)”、“结尾 (trailing)” 等等结合所描述的附图方向使用。因为本发明实施方式中的元件可以被设置在许多不同的方向,所以方向术语仅用于图解的目的而决不产生限制。应该理解的是,可以使用其它的实施方式,并且可以作出结构或逻辑的变化而不背离本发明的保护范围。因此,下面的详细说明不应该被理解为具有限制意义,并且本发明的保护范围由附加的权利要求来限定。

[0034] 图 1 图解喷墨打印系统 20 的一个实施方式。喷墨打印系统 20 构成流体喷射系统的一个实施方式,其包括流体喷射装置例如喷墨打印头组件 22 和流体源组件,例如墨水源组件 24。喷墨打印系统 20 还包括安装组件 26、媒介传送组件 28 和电子控制器 30。至少一个电源 32 为喷墨打印系统 20 的各个电气部件供电。

[0035] 在一个实施方式中,喷墨打印头组件 22 包括至少一个打印头或者打印头模具 40,其通过多个喷孔或喷嘴 34 朝向打印媒介 36 喷射墨滴,以便打印在印刷媒介 36 上。打印头 40 是流体喷射装置的一个实施方式。打印媒介 36 可以是任何类型的适当片材,例如纸张、卡片纸、透明胶片、聚酯薄膜、织物等等。典型地,喷嘴 34 被设置在一个或多个纵列或阵列中,以便当喷墨打印头组件 22 和打印媒介 36 彼此相对移动时,墨水从喷嘴 34 的适当顺序喷射引起字符、符号和 / 或其它的图形或图像被印刷在打印媒介 36 上。虽然下面的描述涉及墨水从打印头组件 22 喷射,但是,应理解的是,其它液体、流体或者可流动材料包括清澈流体都可以从打印头组件 22 喷射出。

[0036] 作为流体源组件的一个实施方式的墨水源组件 24 将墨水提供到打印头组件 22 并包括用于存储墨水的容器 38。这样,墨水从容器 38 流到喷墨打印头组件 22。墨水源组件 24 和喷墨打印头组件 22 可以形成单向墨水输送系统或者重复循环墨水输送系统。在单向墨水输送系统中,基本上所有提供给喷墨打印头组件 22 的墨水在打印期间被耗尽。在再循环墨水输送系统中,提供给喷墨打印头组件 22 的墨水仅有一部分在打印期间被耗尽。这样,打印期间没有耗尽的墨水返回到墨水源组件 24。

[0037] 在一个实施方式中,喷墨打印头组件 22 和墨水源组件 24 被共同收容在一个喷墨盒或者喷墨笔中。喷墨盒或喷墨笔是流体喷射装置的一个实施方式。在另一个实施方式中,墨水源组件 24 与打印头组件 22 分离开,并通过诸如供给管 (未示出) 之类的接口连接将墨水提供给喷墨打印头组件 22。在任一实施方式中,墨水源组件 24 的容器 38 可以被移除、更换和 / 或再充填。在一个实施方式中,其中喷墨打印头组件 22 和墨水源组件 24 被共同收容在喷墨盒中,容器 38 包括位于该盒中的本地容器并且也可以包括与该盒分离设置的更大的容器。这样,分离的、更大的容器用于再充填该本地容器。相应地,分离的、更大的容器和 / 或本地容器可以被移除、更换和 / 或再充填。

[0038] 安装组件 26 确定喷墨打印头组件 22 相对于媒介输送组件 28 的位置,并且媒介输送组件 28 确定打印媒介 36 相对于喷墨打印头组件 22 的位置。因此,打印区 37 被限定为在喷墨打印头组件 22 和打印媒介 36 之间的一个区域中靠近喷嘴 34。在一种实施方式中,喷墨打印头组件 22 是扫描类型打印头组件。这样,安装组件 26 包括一个托架 (carriage) (未示出),用于将喷墨打印头组件 22 相对于媒介输送组件 28 移动到扫描打印媒介 36。在另一种实施方式中,喷墨打印头组件 22 是一个非扫描类型的打印头组件。这样,安装组件

26 将喷墨打印头组件 22 相对于媒介传送组件 28 固定在一个指定位置。因此,媒介输送组件 28 确定打印媒介 36 相对于喷墨打印头组件 22 的位置。

[0039] 电子控制器或者打印机控制器 30 典型地包括处理器、固件以及其它的电子设备或者其任意组合,用于与喷墨打印头组件 22、安装组件 26 和媒介输送组件 28 通信并对它们进行控制。电子控制器 30 从诸如电脑之类的主机系统接收数据 39,并且通常包括用于临时储存数据 39 的存储器。典型地,数据 39 沿着电子、红外线、光或其它信息传输路径被发送到喷墨打印系统 20。数据 39 代表,例如,需要打印的一份文档和 / 或文件。这样,数据 39 形成用于喷墨打印系统 20 的打印作业并包括一或多个打印作业命令和 / 或命令参数。

[0040] 在一种实施方式中,电子控制器 30 控制喷墨打印头组件 22 从喷嘴 34 喷射墨滴。这样,电子控制器 30 确定喷射的墨滴的图案,所述喷射墨滴在打印媒介 36 上形成字符、符号和 / 或其它图形或图像。喷射的墨滴的图案由打印作业命令和 / 或命令参数确定。

[0041] 在一种实施方式中,喷墨打印头组件 22 包括一个打印头 40。在另一种实施方式中,喷墨打印头组件 22 是一个宽阵列或多头的打印头组件。在一个宽阵列的实施方式中,喷墨打印头组件 22 包括一个载体,其承载打印头模具 40,提供打印头模具 40 和电子控制器 30 之间的电子通信,并提供打印头模具 40 和墨水源组件 24 之间的流体传递。

[0042] 图 2 是图解打印头模具 40 的一个实施方式的一部分的示意图。打印头模具 40 包括打印或者流体喷射元件 42 的阵列。打印元件 42 被形成在一个基片 44 上,该基片 44 具有形成在其中的供墨槽 46。这样,供墨槽 46 为打印元件 42 提供墨水。供墨槽 46 是流体供给源的一个实施方式。流体供给源的其它实施方式包括但不局限于供给对应汽化室的对应独立供墨孔,和多个较短的供墨沟槽,其每一个供给对应的流体喷射元件组。薄膜结构 48 具有一个形成在其中的供墨通道 54,其与形成在基片 44 中的供墨槽 46 连通。喷孔层 50 具有一个正面 50a 和一个形成在正面 50a 中的喷嘴口 34。喷孔层 50 还具有一个形成在其中的喷嘴室或汽化室 56,其与喷嘴口 34 和薄膜结构 48 的供墨通道 54 连通。激发电阻 52 被设置在汽化室 56 的内部,并且引线 58 将激发电阻 52 电耦合到控制通过选定的激发电阻施加电流的电路。在本文中涉及的墨滴发生器 60 包括激发电阻 52、喷嘴室或汽化室 56 和喷嘴口 34。

[0043] 在打印期间,墨水从供墨槽 46 经供墨通道 54 流到汽化室 56。喷嘴口 34 被有效地与激发电阻 52 相关联,以至于在激励 (energize) 给激发电阻 52 时,汽化室 56 内的墨滴通过喷嘴口 34 (例如,实质上垂直于激发电阻 52 的平面) 并朝向打印媒介 36 被喷射。

[0044] 打印头模具 40 的实施例包括感热式打印头、压电打印头、静电打印头或者本领域中已知的可以整合成多层结构的任何其它类型的流体喷射装置。基片 44 由例如由硅、玻璃、陶瓷或者稳定的聚合体构成,薄膜结构 48 被形成为包括一或多个二氧化硅、碳化硅、氮化硅、钽、多晶硅玻璃或其它适当的材料的钝化或绝缘层。薄膜结构 48 还包括至少一个导电层,其限定激发电阻 52 和引线 58。在一个实施方式中,导电层包括例如铝、金、钽、钽-铝、或者其它的金属或者金属合金。在一个实施方式中,激发单元电路,例如在下面详细描写的,在诸如基片 44 和薄膜结构 48 之类的基片和薄膜层中实现。

[0045] 在一个实施方式中,喷孔层 50 包括可成像的环氧树脂,例如被称为 SU8 的环氧树脂,其由马萨诸塞州牛顿的 Micro-Chem 公司销售。用于用 SU8 或者其它聚合物制造喷孔层 50 的示例性技术在美国专利 No. 6, 162, 589 中详细描述,该专利在此引作参考。在一个实

施方式中,喷孔层 50 由两个独立的层构成,这两个独立的层被称为阻挡层(例如,干膜光阻阻挡层)和形成在阻挡层上方的金属喷孔层(例如镍、铜、铁/镍合金、钯、金或铱层)。然而,可以采用其它适当的材料来形成喷孔层 50。

[0046] 图 3 是图解在打印头模具 40 的一个实施方式中沿着供墨槽 46 设置的墨滴发生器 60 的图。供墨槽 46 包括相对的供墨槽侧 46a 和 46b。墨滴发生器 60 沿着每个相对的供墨槽侧 46a 和 46b 配置。总共 n 个墨滴发生器 60 沿着供墨槽 46 设置,具有沿着供墨槽侧 46a 的 m 个墨滴发生器 60,和沿着供墨槽侧 46b 的 $n-m$ 个墨滴发生器 60。在一个实施方式中, n 等于 200 个沿着供墨槽 46 设置的墨滴发生器 60, m 等于 100 个沿着相对的供墨槽侧 46a 和 46b 的每一个设置的墨滴发生器 60。在其它的实施方式,任何适当数目的墨滴发生器 60 可以沿着供墨槽 46 配置。

[0047] 供墨槽供墨到沿着供墨槽 46 设置的 n 个墨滴发生器 60。 n 个墨滴发生器 60 的每一个包括激发电阻 52、汽化室 56 和喷嘴口 34。 n 个汽化室 56 的每一个通过至少一个供墨通道 54 被流体耦合到供墨槽 46。墨滴发生器 60 的激发电阻 52 以受控的顺序被激励,以便从汽化室 56 并通过喷嘴 34 喷射流体,从而在打印媒介 36 上打印图像。

[0048] 图 4 是图解在打印头模具 40 的一个实施方式中采用的激发单元 70 一个实施方式的示意图。激发单元 70 包括激发电阻 52、电阻器驱动开关 72 和存储电路 74。激发电阻 52 是墨滴发生器 60 的一部分。驱动开关 72 和存储电路 74 是控制通过激发电阻 52 的电流施加的电路的一部分。激发单元 70 被构成在薄膜结构 48 中并在基片 44 上。

[0049] 在一个实施方式中,激发电阻 52 是薄膜电阻器,驱动开关 72 是场效应晶体管(FET)。激发电阻 52 被电耦合到激发线 76 和驱动开关 72 的漏源通路(drain-source path)。驱动开关 72 的漏源通路还被电耦合到基准线 78,基准线 78 电耦合到基准电压,例如接地。驱动开关 72 的栅极被电耦合到控制驱动开关 72 状态的存储电路 74。

[0050] 存储电路 74 被电耦合到数据线 80 和使能线 82。数据线 80 接收表示一部分图像的数据信号,使能线 82 接收使能信号来控制存储电路 74 的操作。存储电路 74 当其由使能信号启动时存储一比特(位)数据。存储数据位的逻辑电平设置驱动开关 72 的状态(例如,接通或断开,导通或不导通)。使能信号可以包括一或多个选择信号和一或多个地址信号。

[0051] 激发线 76 接收包括能量脉冲的能量信号并给激发电阻 52 提供能量脉冲。在一个实施方式中,能量脉冲由电子控制器 30 提供以具有定时的起始时间和定时的持续时间,以便提供适当的能量来加热和汽化墨滴发生器 60 的汽化室 56 中的流体。如果驱动开关 72 接通(导通),则能量脉冲加热激发电阻 52 以从墨滴发生器 60 加热和喷射流体。如果驱动开关 72 断开(不导通),能量脉冲不会加热激发电阻 52 并且流体保持在墨滴发生器 60 中。

[0052] 图 5 是图解喷墨打印头激发单元阵列的一个实施方式的示意图,标示在 100 上。激发单元阵列 100 包括多个设置在 n 个激发组 102a-102n 中的激发单元 70。在一个实施方式中,激发单元 70 被设置在六个激发组 102a-102n 中。在其它的实施方式中,激发单元 70 可以被设置在任何适当数目的激发组 102a-102n,例如四个或更多的激发组 102a-102n。

[0053] 阵列 100 中的激发单元 70 被示意地设置成 L 排和 m 列。 L 排的激发单元 70 被电耦合到接收使能信号的使能线 104。每排激发单元 70,在本文中被称作激发单元 70 的排子

群或者子群,被电耦合到一组子群使能线 106a-106L。该子群使能线 106a-106L 接收启动激发单元 70 的相应子群的子群使能信号 SG1、SG2……SGL。

[0054] m 列被电耦合到分别接收数据信号 D1、D2……Dm 的 m 条数据线 108a-108m。m 列的每一个包括在 n 个激发组 102a-102n 的每一个中的激发单元 70,并且每列激发单元 70,在本文中被称作数据线组或者数据组,被电耦合到数据线 108a-108m 的一条。换句话说,每一条数据线 108a-108m 被电耦合到一列中的每个激发单元 70,包括在每个激发组 102a-102n 中的激发单元 70。例如,数据线 108a 被电耦合到最左列中的每个激发单元 70,包括在每个激发组 102a-102n 中的激发单元 70。数据线 108b 被电耦合到相邻列中的每个激发单元 70,以此类推,直到数据线 108m 被电耦合到最右列中的每个激发单元 70,包括在每一激发组 102a-102n 中的激发单元 70。

[0055] 在一个实施方式中,阵列 100 被设置在六个激发组 102a-102n 中,并且该六个激发组 102a-102n 的每一个包括 13 个子群和八个数据线组。在其它实施方式中,阵列 100 可以被设置在任何适当数目的激发组 102a-102n 中并被设置在任何适当数目的子群和数据线组中。在任一实施方式中,激发组 102a-102n 不局限于具有相同数目的子群和数据线组。而是,每一激发组 102a-102n 可以具有与其它任一激发组 102a-102n 相比不同数目的子群和/或数据线组。另外,每一个子群可以具有与其它任一子群相比不同数目的激发单元 70,并且每个数据线组可以具有与其它任一数据线组相比不同数目的激发单元 70。

[0056] 每个激发组 102a-102n 中的激发单元 70 被电耦合到激发线 110a-110n 之一。在激发组 102a 中,每个激发单元 70 被电耦合到接收激发信号或能量信号 FIRE1 的激发线 110a。在激发组 102b 中,每个激发单元 70 被电耦合到接收激发信号或者能量信号 FIRE2 的激发线 110b,以此类推,直到激发组 102n,其中每个激发单元 70 被电耦合到接收激发信号或者能量信号 FIREn 的激发线 110n。另外,在每个激发组 102a-102n 中的每个激发单元 70 被电耦合到一个接地的公共基准线 112。

[0057] 运行中,在子群使能线 106a-106L 上提供子群使能信号 SG1、SG2……SGL 以启动激发单元 70 的一个子群。启动的激发单元 70 储存在数据线 108a-108m 上提供的数据信号 D1、D2……Dm。数据信号 D1、D2……Dm 被存储在启动的激发单元 70 的存储电路 74 中。每个存储的数据信号 D1、D2……Dm 设置启动的激发单元 70 之一中的驱动开关 72 的状态。驱动开关 72 基于存储的数据信号值被设置成导通或不导通。

[0058] 在选定的驱动开关 72 的状态被设置之后,在对应于激发组 102a-102n 的激发线 110a-110n 上提供能量信号 FIRE1-FIREn,该激发组 102a-102n 包括选定的激发单元 70 的子群。能量信号 FIRE1-FIREn 包括能量脉冲。在选定的激发线 110a-110n 上提供能量脉冲,以激励具有导通驱动开关 72 的激发单元 70 中的激发电阻 52。激活的激发电阻 52 加热并将墨水喷射到打印媒介 36 上,以便打印由数据信号 D1、D2……Dm 表示的图像。启动激发单元 70 的子群,在启动后的子群中存储数据信号 D1、D2……Dm 并提供能量信号 FIRE1-FIREn 以激活在启动的子群中的激发电阻 52,持续上述过程,直到打印停止。

[0059] 在一种实施方式中,当能量信号 FIRE1-FIREn 被提供到一个选定的激发组 102a-102n 时,子群使能信号 SG1、SG2……SGL 变化,以选择并启动不同激发组 102a-102n 中的另一子群。新启动的子群储存数据线 108a-108m 上提供的数据信号 D1、D2……Dm,并且能量信号 FIRE1-FIREn 被提供在激发线 110a-110n 之一上,以便激活在新启动的激发单

元 70 中的激发电阻 52。在任一时刻,仅有一个子群的激发单元 70 由子群使能信号 SG1、SG2……SGL 启动,以存储数据线 108a-108m 上提供的数据信号 D1、D2……Dm。在这方面,数据线 108a -108m 上的数据信号 D1、D2……Dm 为时分多路复用的数据信号。还有,在能量信号 FIRE1-FIREn 被提供给选定的激发组 102a-102n 的同时,在选定的激发组 102a-102n 中仅有一个子群包含被设置成导通的驱动开关 72。然而,提供给不同激发组 102a-102n 的能量信号 FIRE1-FIREn 可以并且确实重叠。

[0060] 图 6 是图解一个预充电激发单元 120 的实施方式的示意图。预充电激发单元 120 是激发单元 70 的一个实施方式。预充电激发单元 120 包含一个被电耦合到激发电阻 52 的驱动开关 172。在一种实施方式中,驱动开关 172 是 FET,其包括一个漏源通路,其一端被电耦合到激发电阻 52 的一端而在另一端被藕荷到基准线 122。基准线 122 被接到基准电压,例如接地。激发电阻 52 的另一端被电耦合到激发线 124,该激发线 124 接收包含能量脉冲的激发信号或者能量信号 FIRE。如果驱动开关 172 接通(导通),则能量脉冲激活激发电阻 52。

[0061] 驱动开关 172 的栅极构成一个存储结点电容 126,其起着存储元件的作用,以按照预充电晶体管 128 和选择晶体管 130 的依次激活来存储数据。预充电晶体管 128 的漏源通路和栅极被电耦合到接收预充电信号的预充电线 132。驱动开关 172 的栅极被电耦合到预充电晶体管 128 的漏源通路和选择晶体管 130 的漏源通路。选择晶体管 130 的栅极被电耦合到接收选择信号的选择线 134。存储结点电容 126 以虚线示出,其是驱动开关 172 的一部分。作为选择,可以使用与驱动开关 172 分立的电容作为存储元件。

[0062] 数据晶体管 136、第一地址晶体管 138 和第二地址晶体管 140 包含被并联电耦合的漏源通路。数据晶体管 136、第一地址晶体管 138 和第二地址晶体管 140 的并联组合被电耦合在选择晶体管 130 的漏源通路和基准线 122 之间。串联电路,其包括耦合到数据晶体管 136、第一地址晶体管 138 和第二地址晶体管 140 的并联组合的选择晶体管 130,所述串联电路被电耦合在驱动开关 172 的结点电容 126 上。数据晶体管 136 的栅极被电耦合到接收数据信号~ DATA 的数据线 142。第一地址晶体管 138 的栅极被电耦合到接收地址信号~ ADDRESS1 的地址线 144,第二地址晶体管 140 的栅极被电耦合到接收地址信号~ ADDRESS2 的第二地址线 146。下文中当在信号名的前面标出 tilde(~) 时,数据信号~ DATA 和地址信号~ ADDRESS1 以及~ ADDRESS2 是有效的。结点电容 126、预充电晶体管 128、选择晶体管 130、数据晶体管 136 和地址晶体管 138 以及 140 构成存储单元。

[0063] 运行中,通过在预充电线 132 上提供高电平电压脉冲经预充电晶体管 128 给结点电容 126 预充电。在一种实施方式中,在预充电线 132 上提供高电平电压脉冲之后,在数据线 142 上提供数据信号~ DATA 以设定数据晶体管 136 的状态,并且在地址线 144 和 146 上提供地址信号~ ADDRESS1 和 ADDRESS2 以设定第一地址晶体管 138 和第二地址晶体管 140 的状态。在选择线 134 上提供足够大小的电压脉冲以接通选择晶体管 130,并且如果数据晶体管 136、第一地址晶体管 138 和 / 或第二地址晶体管 140 接通,则结点电容 126 放电。作为选择,如果数据晶体管 136、第一地址晶体管 138 和第二地址晶体管 140 全部断开,则结点电容 126 保持被充电。

[0064] 如果地址信号~ ADDRESS1 和~ ADDRESS2 都低,则预充电激发单元 120 是寻址的激发单元,并且如果数据信号~ DATA 高,则结点电容 126 放电,或者如果数据信号~ DATA

低,则结点电容 126 保持被充电。如果至少地址信号 $\sim$ ADDRESS1 和 $\sim$ ADDRESS2 之一是高的,则预充电激发单元 120 不是寻址的激发单元,并且结点电容 126 不管数据信号 $\sim$ DATA 的电压电平为多少都放电。第一和第二地址晶体管 136 和 138 包含地址解码器,并且如果预充电激发单元 120 被寻址,则数据晶体管 136 控制结点电容 126 上的电压电平。

[0065] 预充电激发单元 120 可以采用任何数量的其它的布局或者布置,只要保持上述的操作关系。例如,"或"门可以被耦合到地址线 144 和 146,其输出端被藕荷到单独的晶体管。

[0066] 图 7 是图解喷墨打印头激发单元阵列 200 的一个实施方式的示意图。激发单元阵列 200 包括多个设置成 6 个激发组 202a-202f 的预充电激发单元 120。在每个激发组 202a-202f 中的预充电激发单元 120 被示意性地排列成为 13 排和八列。在阵列 200 中的激发组 202a-202f 和预充电激发单元 120 被示意性地排列成 78 排和八列,虽然预充电激发单元的数目和它们的布局可以随要求的变化而变化。

[0067] 八列预充电激发单元 120 被各自电耦合到接收数据信号 $\sim$ D1、 $\sim$ D2…… $\sim$ D8 的八条数据线 208a-208h。该八列中的每一个,在本文中被称作数据线组或者数据组,包含在六个激发组 202a-202f 的每一个中的预充电激发单元 120。在每列预充电激发单元 120 中的每个激发单元 120 被电耦合到数据线 208a-208h 中的一个。在一个数据线组中的全部预充电激发单元 120 都被电耦合到同样的数据线 208a-208h,数据线 208a-208h 被电耦合到该列预充电激发单元 120 中的数据晶体管 136 的栅极。

[0068] 数据线 208a 被电耦合到最左列中的每个预充电激发单元 120,包括在每个激发组 202a-202f 中的预充电激发单元。数据线 208b 被电连接到相邻列中的每个预充电激发单元 120,以此类推,直到数据线 208h 被电连接到最右列中的每个预充电激发单元 120,包括在每个激发组 202a-202f 中的预充电激发单元 120。

[0069] 成排的预充电激发单元 120 被分别电耦合到接收地址信号 $\sim$ A1、 $\sim$ A2... $\sim$ A7 的地址线 206a-206g。在一排预充电激发单元 120 中的每个预充电激发单元 120,在本文中被称作预充电激发单元 120 的排子群或者子群,被电耦合到地址线 206a-206g 中的两条。在排子群中的全部预充电激发单元 120 被电耦合到同样的两条地址线路 206a-206g。

[0070] 激发组 202a-202f 的子群被标识为激发组一 (FG1) 202a 中的子群 SG1-1 至 SG1-13、激发组二 (FG2) 202b 中的子群 SG2-1 至 -SG2-13,以此类推,直到激发组六 (FG6) 202f 中的子群 SG6-1 至 SG6-13。在其它的实施方式中,每个激发组 202a-202f 可以包含任意适当数目的子群,例如 14 个或更多的子群。

[0071] 预充电激发单元 120 的每个子群被电耦合到两条地址线 206a-206g。对应于一个子群的两条地址线 206a-206g 被电耦合到该子群的全部预充电激发单元 120 中的第一和第二地址晶体管 138 和 140。一条地址线 206a-206g 被电耦合到第一和第二地址晶体管 138 和 140 中一个的栅极,另一条地址线 206a-206g 被电耦合到第一和第二地址晶体管 138 和 140 中另一个的栅极。地址线 206a-206g 接收地址信号 $\sim$ A1、 $\sim$ A2... $\sim$ A7,并被耦合以便为阵列 200 的子群提供地址信号 $\sim$ A1、 $\sim$ A2... $\sim$ A7,如下表所述:

[0072]

排子群地址信号	排子群
~ A1、~ A2	SG1-1, SG2-1... SG6-1
~ A1、~ A3	SG1-2, SG2-2... SG6-2
~ A1、~ A4	SG1-3, SG2-3... SG6-3
~ A1、~ A5	SG1-4, SG2-4... SG6-4
~ A1、~ A6	SG1-5, SG2-5... SG6-5
~ A1、~ A7	SG1-6, SG2-6... SG6-6
~ A2、~ A3	SG1-7, SG2-7... SG6-7
~ A2、~ A4	SG1-8, SG2-8... SG6-8
~ A2、~ A5	SG1-9, SG2-9... SG6-9
~ A2、~ A6	SG1-10, SG2-10... SG6-10
~ A2、~ A7	SG1-11, SG2-11... SG6-11
~ A3、~ A4	SG1-12, SG2-12... SG6-12
~ A3、~ A5	SG1-13, SG2-13... SG6-13

[0073] 预充电激发单元 120 的子群通过在地址线 206a-206g 上提供地址信号 ~ A1、~ A2... ~ A7 而被寻址。在一种实施方式中,地址线 206a-206g 被电耦合到一个或多个在打印头模具 40 上提供的地址生成器。

[0074] 预充电线 210a-210f 接收预充电信号 PRE1、PRE2...PRE6,并提供预充电信号 PRE1、PRE2...PRE6 到相应的激发组 202a-202f。预充电线 210a 被电耦合到 FG1 202a 中所有的预充电激发单元 120。预充电线 210b 被电耦合到 FG2 202b 中全部的预充电激发单元 120,以此类推,直到预充电线 210f 被电耦合到 FG6 202f 中全部的预充电激发单元 120。每个预充电线 210a-210f 被电耦合到对应激发组 202a-202f 中所有的预充电晶体管 128 的栅极和漏源通路,并且在激发组 202a-202f 中的所有预充电激发单元 120 被电耦合到仅仅一条预充电线 210a-210f。因此,在激发组 202a-202f 中的所有预充电激发单元 120 的结点电容 126 通过提供相应的预充电信号 PRE1、PRE2...PRE6 到相应的预充电线 210a-210f 而被充电。

[0075] 选择线 212a-212f 接收选择信号 SEL1、SEL2...SEL6 并提供选择信号 SEL 1,SEL 2...SEL 6 给相应的激发组 202a-202f。选择线 212a 被电耦合到 FG1 202a 中的所有预充电激发单元 120。选择线 212b 被电耦合到 FG2 202b 中的所有预充电激发单元 120,以此类推,直到选择线 212f 被电耦合到 FG6 202f 中的全部预充电激发单元 120。每条选择线 212a-212f 被电耦合到对应激发组 202a-202f 中的所有选择充电晶体管 130 的栅极,并且在激发组 202a-202f 中的所有预充电激发单元 120 被电耦合到仅仅一条选择线 212a-212f。

[0076] 激发线 214a-214f 接收激发信号或者能量信号 FIRE1、FIRE2...FIRE6,并且提供能量信号 FIRE1、FIRE2...FIRE6 给相应的激发组 202a-202f。激发线 214a 被电耦合到 FG1 202a 中所有的预充电激发单元 120。激发线 214b 被电耦合到 FG2 202b 中全部的预充电激发单元 120,以此类推,直到激发线 214f 被电耦合到 FG6 202f 中全部的预充电激发单元 120。每条激发线 214a-214f 被电耦合到对应激发组 202a-202f 中所有的选择激发电阻 52,并且在激发组 202a-202f 中所有的预充电激发单元 120 被电耦合到仅仅一条激发线 214a-214f。激发线 214a-214f 通过适当的界面垫 (interface pad) 被电耦合到外部电源电路。(见图 25)。阵列 200 中所有的预充电激发单元 120 被电耦合到基准线 216,该基准线 216 连接到基准电压,例如接地。因此,在预充电激发单元 120 的排子群中的预充电激发单元 120 被电耦合到相同的地址线 206a-206g、预充电线 210a-210f、选择线 212a-212f

和激发线 214a-214f。

[0077] 运行中,在一种实施方式中,选择激发组 202a-202f 以连续地激发。FG1202a 在 FG2 202b 之前被选中,FG2 202b 在 FG3 之前被选中,以此类推,直到选中 FG6 202f。在 FG6 202f 之后,激发组循环由 FG1 202a 重新开始。然而,也可以使用其它顺序以及不按顺序的选择。

[0078] 地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 在重复排子群地址之前循环通过 13 排子群地址。在通过激发组 202a-202f 的每个循环期间,在地址线 206a-206g 上提供的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 被设定到一个排子群地址。对于通过激发组 202a-202f 的一个循环,地址信号 $\sim A1 \sim A2 \dots \sim A7$ 选择每个激发组 202a-202f 中的一个排子群。对于通过激发组 202a-202f 的下一个循环,地址信号 $\sim A1$ 、 $\sim A2 \dots \sim A7$ 改为选择每个激发组 202a-202f 中的另一个排子群。这持续到地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 选择激发组 202a-202f 中最后的排子群。在选择最后的排子群之后,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 选择第一排子群,以再次开始地址循环。

[0079] 在运行的另一方面,激发组 202a-202f 之一通过在一个激发组 202a-202f 的预充电线 210a-210f 上提供预充电信号 PRE1、PRE2...PRE6 而被操作。预充电信号 PRE1、PRE2...PRE6 确定了预充电时间间隔或者周期,在此时间期间,在一个激发组 202a-202f 中的每个驱动开关 172 上的结点电容 126 被充电到高电压电平,以便对该一个激发组 202a-202f 预充电。

[0080] 在地址线 206a-206g 上提供地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$,以寻址每个激发组 202a-202f 中的一个排子群,包括在预充电激发组 202a-202f 中的一个排子群。在数据线 208a-208h 上提供数据信号 $\sim D1$ 、 $\sim D2$ …… $\sim D8$,以便提供数据给所有的激发组 202a-202f,包括在预充电组 202a-202f 中被寻址的一排子群。

[0081] 然后,在预充电激发组 202a-202f 的选择线 212a-212f 上提供选择信号 SEL1、SEL2...SEL6,以便选择预充电激发组 202a-202f。选择信号 SEL1、SEL2...SEL6 确定了一个放电时间间隔,用于对预充电激发单元 120 中每个驱动开关 172 上的结点电容 126 放电,该预充电激发单元 120 或者不在选定的激发组 202a-202f 中的被寻址的排子群中,或者在选定的激发组 202a-202f 中被寻址并接收高电平数据信号 $\sim D1$ 、 $\sim D2 \dots \sim D8$ 。结点电容 126 不在预充电激发单元 120 中放电,所述预充电激发单元 120 在选定的激发组 202a-202f 中被寻址并接收低电平数据信号 $\sim D1$ 、 $\sim D2$ …… $\sim D8$ 。结点电容 126 上的高电压电平接通驱动开关 172(导通)。

[0082] 在将选定的激发组 202a-202f 中的驱动开关 172 设置为导通或非导通之后,在选定的激发组 202a-202f 的激发线 214a-214f 上提供能量脉冲或者电压脉冲。具有导通驱动开关 172 的预充电激发单元 120 传导电流通过激发电阻 52,以便加热墨水并从相应的墨滴发生器 60 喷射墨水。

[0083] 由于激发组 202a-202f 连续运行,用于一个激发组 202a-202f 的选择信号 SEL1、SEL2...SEL6 被用作用于下一激发组 202a-202f 的预充电信号 PRE1、PRE2...PRE6。对于一个激发组 202a-202f 的预充电信号 PRE1、PRE2...PRE6 存在于用于这一个激发组 202a-202f 的选择信号 SEL1、SEL2...SEL6 和能量信号 FIRE1、FIRE2...FIRE6 之前。在预充电信号 PRE1、PRE2...PRE6 之后,数据信号 $\sim D1$ 、 $\sim D2$ …… $\sim D8$ 随时间被多路复合并

由选择信号 SEL1、SEL2……SEL6 存储在激发组 202a-202f 的定址排子群中。用于选定的激发组 202a-202f 的选择信号 SEL1、SEL2……SEL6 也是用于下一激发组 202a-202f 的预充电信号 PRE1、PRE2……PRE6。在用于选定的激发组 202a-202f 的选择信号 SEL1、SEL2……SEL6 结束之后,提供用于下一激发组 202a-202f 的选择信号 SEL1、SEL2……SEL6。随着向选定的激发组 202a-202f 提供能量信号 FIRE1、FIRE2……FIRE6,包括能量脉冲,在选定的子群中的预充电激发单元 120 基于存储的数据信号 $\sim D1$ 、 $\sim D2$ …… $\sim D8$ 激发或者加热墨水。

[0084] 图 8 是图解一个激发单元阵列 200 实施方式的运行的时序图。激发组 202a -202f 被连续地选择,以便基于标记为 300 的数据信号 $\sim D1$ 、 $\sim D2$ …… $\sim D8$ 激活预充电激发单元 120。300 处的数据信号 $\sim D1$ 、 $\sim D2$ …… $\sim D8$ 根据要喷射流体的喷嘴而变化,喷嘴标记为 302,用于每排子群地址和激发组 202a-202f 组合。在 304 处的地址线 206a-206g 上提供地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$,以便从每个激发组 202a-202f 寻址一个排子群。304 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 被设置到一个地址,该地址标记为 306,用于通过激发组 202a-202f 的一个循环。在该循环完成之后,304 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 在 308 处被改变,以便从每个激发组 202a-202f 寻址不同的排子群。304 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 经由所述各排子群而加 1,以便以从 1 到 13 然后回到 1 的连续次序寻址所述各排子群。在其它的实施方式中,304 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 可以被设定以任意适当的次序寻址各个子群。

[0085] 在通过激发组 202a-202f 的一个循环期间,连接到 FG6 202f 的选择线 212f 和连接到 FG1 202a 的预充电线 210a 接收 SEL6/PRE1 信号 309,包括 SEL6/PRE1 信号脉冲 310。在一种实施方式中,选择线 212f 和预充电线 210a 被电耦合在一起以便接收相同的信号。在另一种实施方式中,选择线 212f 和预充电线 210a 没有被电耦合在一起,但是接收类似的信号。

[0086] 预充电线 210a 上的 310 处 SEL6/PRE1 信号脉冲给 FG1 202a 中的所有激发单元 120 进行预充电。FG1 202a 中每个预充电激发单元 120 的结点电容 126 被充电到一个高电压电平。在标记为 311 的一排子群 SG1-K 中对于预充电激发单元 120 的结点电容 126 在 312 处被预充电到一个高电压电平。在 306 处,所述排子群地址选择子群 SG1-K,并且在 314 处设置的数据信号被提供到所有激发组 202a-202f 的所有预充电激发单元 120 中的数据晶体管 136,包括地址选定的排子群 SG1-K。

[0087] 用于 FG1 202a 的选择线 212a 和用于 FG2 202b 的预充电线 210b 接收 SEL1/PRE2 信号 315,包括 SEL1/PRE2 信号脉冲 316。选择线 212a 上的 SEL1/PRE2 信号脉冲 316 接通在 FG1 202a 中的每个预充电激发单元 120 中的选择晶体管 130。不在地址选定的排子群 SG1-K 内的 FG1 202a 中的所有预充电激发单元 120 的结点电容 126 被放电。在地址选定的排子群 SG1-K 中,314 处的数据被存储在排子群 SG1-K 中驱动开关 172 的结点电容 126 中,标记为 318,以使驱动开关接通(导通)或断开(非-导通)。

[0088] 预充电线 210b 上 316 处的 SEL1/PRE2 信号脉冲给 FG2 202b 中的所有激发单元 120 进行预充电。FG2 202b 中每个预充电激发单元 120 的结点电容 126 被充电到高电压电平。在一个排子群 SG2-K 中对于预充电激发单元 120 的结点电容 126,标记为 319,在 320 处被预充电到的高电压电平。在 306 处的排子群地址选择子群 SG2-K,并且在 328 处设置

的数据信号被提供到在所有激发组 202a-202f 的所有预充电激发单元 120 中的数据晶体管 136, 包括地址选定的排子群 SG2-K。

[0089] 激发线 214a 接收能量信号 FIRE1, 标记为 323, 包括 322 处的能量脉冲, 以激活 FG1 202a 中具有导通的驱动开关 172 的预充电激发单元 120 的激发电阻 52。FIRE1 能量脉冲 322 变成高电平, 同时 SEL1/PRE2 信号脉冲 316 是高电平并且同时非导通的驱动开关 172 上的结点电容 126 正在被有效地降低, 关于能量信号 FIRE1 323 标记为 324。在结点电容 126 被有效降低的同时将能量脉冲 322 转换成高电平, 防止结点电容 126 在能量脉冲 322 变成高电平时通过驱动开关 172 被无意中充电。SEL1/PRE2 信号 315 变成低电平, 并且在预定时间向 FG1 202a 提供能量脉冲 322, 以加热墨水并通过对应于导通的预充电激发单元 120 的喷嘴 34 喷射墨水。

[0090] 用于 FG2202b 的选择线 212b 和用于 FG3 202c 的预充电线 210c 接收 SEL2/PRE3 信号 325, 包括 SEL2/PRE3 信号脉冲 326。在 SEL1/PRE2 信号脉冲 316 变成低电平之后并且在能量脉冲 322 是高电平时, 选择线 212b 上的 SEL2/PRE3 信号脉冲 326 接通 FG2202b 中每个预充电激发单元 120 的选择晶体管 130。FG2 202b 中不在所述地址选定的排子群 SG2-K 中的所有预充电激发单元 120 上的结点电容 126 被放电。对于子群 SG2-K 的数据信号组 328 被存储在子群 SG2-K 的预充电激发单元 120 中, 标记为 330, 以便将驱动开关 172 接通 (导通) 或关闭 (非导通)。预充电线 210c 上的 SEL2/PRE3 信号脉冲给 FG3 202c 中的所有预充电激发单元 120 进行预充电。

[0091] 激发线 214b 接收能量信号 FIRE2, 标记为 331, 包括能量脉冲 332, 以便激活 FG2 202b 中具有导通驱动开关 172 的预充电激发单元 120 的激发电阻 52。FIRE2 能量脉冲 332 变成高电平, 同时 SEL2/PRE3 信号脉冲 326 为高电平, 标记为 334。SEL2/PRE3 信号脉冲 326 变成低电平, FIRE2 能量脉冲 332 保持高电平, 以便从相应的墨滴发生器 60 加热和喷射墨水。

[0092] 在 SEL2/PRE3 信号脉冲 326 变成低电平之后, 且在能量脉冲 332 为高电平时, 提供 SEL3/PRE4 信号, 以选择 FG3202c 和预充电 FG4 202d。预充电、选择并提供包括能量脉冲在内的能量信号的过程不断持续, 直到 FG6 202f。

[0093] 预充电线 210f 上的 SEL5/PRE6 信号脉冲给 FG6 202f 中的所有激发单元 120 进行预充电。FG6 202f 中每个预充电激发单元 120 的结点电容 126 被充电到一个高电压电平。一个排子群 SG6-K 中预充电激发单元 120 的结点电容 126, 标记为 339, 在 341 处被预充电到的高电压电平。在 306 处的一排子群地址选择子群 SG6-K, 并且数据信号组 338 被提供到所有激发组 202a-202f 的所有预充电激发单元 120 中的数据晶体管 136, 包括所述地址选定的排子群 SG6-K。

[0094] 用于 FG6 202f 的选择线 212f 和用于 FG1 202a 的预充电线 210a 在 336 处接收一个第二 SEL6/PRE1 信号脉冲。选择线 212f 上的 SEL6/PRE1 信号脉冲 336 接通 FG6 202f 中每个预充电激发单元 120 中的选择晶体管 130。FG6 202f 中不在所述地址选定的排子群 SG6-K 中的所有预充电激发单元 120 的结点电容 126 被放电。在所述地址选定的排子群 SG6-K 中, 在 340 处数据 338 被存储在每个驱动开关 172 的结点电容 126 中, 以便将驱动开关接通或关闭。

[0095] 预充电线 210a 上的 SEL6/PRE1 信号将 FG1202a 中所有激发单元 120 中的结点电

容 126 预充电到高电压电平,所述激发单元 120 包括在排子群 SG1-K 中的激发单元 120,标记为 342。FG1 202a 中的激发单元 120 被预充电,同时地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7304$ 选择排子群 SG1-K、SG2-K 等,直到排子群 SG6-K。

[0096] 激发线 214f 接收能量信号 FIRE6,标记为 343,包括 344 处的能量脉冲,以激活 FG6 202f 中具有导通驱动开关 172 的预充电激发单元 120 的激发电阻 52。能量脉冲 344 变成高电平,同时 SEL6/PRE1 信号脉冲 336 是高电平并且在非导通驱动开关 172 上的结点电容 126 正在被有效地降低电平,标记为 346。在结点电容 126 被有效降低的同时将能量脉冲 344 转换成高电平,防止了结点电容 126 在能量脉冲 344 变成高电平时通过驱动开关 172 被无意中充电。SEL6/PRE1 信号脉冲 336 变成低电平,并且能量脉冲 344 保持预定时间的高电平,以便加热墨水并通过对应于导通的预充电激发单元 120 的喷嘴 34 喷射墨水。

[0097] 在 SEL6/PRE1 信号脉冲 336 变成低电平之后,在能量脉冲 344 为高电平时,地址信号 $\sim A1$ 、 $\sim A2$... $\sim A7304$ 在 308 处被改变,以选择另一组子群 SG1-K+1、SG2-K+1,等等,直到 SG6-K+1。用于 FG1 202a 的选择线 212a 和用于 FG2 202b 的预充电线 210b 接收 SEL1/PRE2 信号脉冲,标记为 348。选择线 212a 上的 SEL1/PRE2 信号脉冲 348 接通在 FG1 202a 中的每个预充电激发单元 120 中的选择晶体管 130。FG1 202a 中不在地址选定的排子群 SG1-k+1 中的所有预充电激发单元 FG120 的结点电容 FG126 被放电。子群 SG1-k+1 的数据信号组 350 被存储在子群 SG1-k+1 的预充电激发单元 120 中,以便将驱动开关 172 接通或关闭。预充电线 210b 上的 SEL1/PRE2 信号脉冲 348 给 FG2 202b 中的所有激发单元 120 进行预充电。

[0098] 激发线 214a 接收能量脉冲 352,以便激活 FG1 202a 中具有导通的驱动开关 172 的激发电阻 52 和预充电激发单元 120。能量脉冲 352 变成高电平,同时在 348 处的 SEL1/PRE2 信号脉冲为高电平。SEL1/PRE2 信号脉冲 348 变成低电平,能量脉冲 352 保持高电平,以便从相应的墨滴发生器 60 加热和喷射墨水。继续该过程,直到打印完成。

[0099] 图 9 是图解在打印头模具 40 中的地址生成器 400 的一种实施方式的示意图。地址生成器 400 包含移位寄存器 402,方向电路 404 和逻辑阵列 406。移位寄存器 402 通过方向控制线 408 被电耦合到方向电路 404。还有,移位寄存器 402 通过移位寄存器输出线 410a-410m 被电耦合到逻辑阵列 406。

[0100] 在如下所述的实施方式中,地址生成器 400 向激发单元 120 提供地址信号。在一种实施方式中,地址生成器 400 接收外部信号,见图 25,该外部信号包括控制信号 CSYNC 和六个定时信号 T1-T6,并且响应提供七个地址信号 $\sim A1$ 、 $\sim A2$,…… $\sim A7$ 。地址信号 $\sim A1$ 、 $\sim A2$,…… $\sim A7$ 在它们处于低电压电平时是有效的,通过在每个信号名前标记 $\sim$ 符号来表示。在一个种施方式中,在选择线(例如,图 7 中示出的选择线 212a-212f)上提供定时信号 T1-T6。地址生成器 400 是控制电路的一种实施方式,该控制电路被配置为响应控制信号(例如 CSYNC)来启动一个系列(例如,正向或反向顺序的地址 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 系列),以便启动激活激发单元 120。

[0101] 地址生成器 400 包含接收定时信号 T2、T4 和 T6 的电阻器划分网络(divide network)412、414 和 416。电阻器划分网络 412 通过定时信号线路 418 接收定时信号 T2,并且递减划分定时信号 T2 的电压电平,以便在第一评估信号线(evaluation signal line)420 上提供下降的电压电平 T2 定时信号。电阻器划分网络 414 通过定时信号线路

422 接收定时信号 T4, 并且递减划分定时信号 T4 的电压电平, 以便在第二评估信号线 424 上提供下降的电压电平 T4 定时信号。电阻器划分网络 416 通过定时信号线路 426 接收定时信号 T6, 并且递减划分定时信号 T6 的电压电平, 以便在第三评估信号线 428 上提供下降的电压电平 T6 定时信号。

[0102] 移位寄存器 402 通过控制信号线路 430 接收控制信号 CSYNC, 并通过方向信号线路 408 接收方向信号。还有, 移位寄存器 402 通过定时信号线路 432 接收定时信号 T1, 作为第一预充电信号 PRE1。下降的电压电平 T2 通过第一评估信号线 420 被接收, 作为第一评估信号 EVAL1。定时信号 T3 通过定时信号线 434 被接收作为第二预充电信号 PRE2, 并且下降的电压电平 T4 定时信号通过第二评估信号线 424 被接收作为第二评估信号 EVAL2。移位寄存器 402 在移位寄存器输出线 410a-410m 上提供移位寄存器输出信号 S01-S013。

[0103] 移位寄存器 402 包含十三个移位寄存器单元 403a-403m, 它们提供十三个移位寄存器输出信号 S01-S013。每个移位寄存器单元 403a-403m 提供十三个移位寄存器输出信号 S01-S013 中的一个。十三个移位寄存器单元 403a-403m 被串联电耦合, 以便提供在正向和反向移位。在其它的实施方式中, 移位寄存器 402 可以包含任意适当数目的移位寄存器单元 403, 以便提供任意适当数目的移位寄存器输出信号, 以便提供任意数目的期望地址信号。

[0104] 移位寄存器单元 403a 在移位寄存器输出线 410a 上提供移位寄存器输出信号 S01。移位寄存器单元 403b 在移位寄存器输出线路 410b 上提供移位寄存器输出信号 S02。移位寄存器单元 403c 在移位寄存器输出线路 410c 上提供移位寄存器输出信号 S03。移位寄存器单元 403d 在移位寄存器输出线路 410d 上提供移位寄存器输出信号 S04。移位寄存器单元 403e 在移位寄存器输出线路 410e 上提供移位寄存器输出信号 S05。移位寄存器单元 403f 在移位寄存器输出线路 410f 上提供移位寄存器输出信号 S06。移位寄存器单元 403g 在移位寄存器输出线路 410g 上提供移位寄存器输出信号 S07。移位寄存器单元 403h 在移位寄存器输出线路 410h 上提供移位寄存器输出信号 S08。移位寄存器单元 403i 在移位寄存器输出线路 410i 上提供移位寄存器输出信号 S09。移位寄存器单元 403j 在移位寄存器输出线路 410j 上提供移位寄存器输出信号 S010。移位寄存器单元 403k 在移位寄存器输出线路 410k 上提供移位寄存器输出信号 S011。移位寄存器单元 403l 在移位寄存器输出线路 410l 上提供移位寄存器输出信号 S012, 并且移位寄存器单元 403m 在移位寄存器输出线路 410m 上提供移位寄存器输出信号 S013。

[0105] 方向电路 404 接收控制信号线路 430 上的控制信号 CSYNC。定时信号 T3 在定时信号线路 434 上被接收作为第四预充电信号 PRE4。下降的电压电平 T4 在评估信号线 424 上被接收作为第四评估信号 EVAL4。定时信号 T5 在定时信号线路 436 上被接收作为第三预充电信号 PRE3, 并且下降的电压电平 T6 定时信号在第三评估信号线 428 上被接收作为第三评估信号 EVAL3。方向电路 404 通过方向信号线路 408 向移位寄存器 402 提供方向信号。

[0106] 逻辑阵列 406 包含地址线预充电晶体管 438a-438g、地址评估晶体管 440a-440m、评估阻止晶体管 442a 和 442b 以及逻辑评估预充电晶体管 444。还有, 逻辑阵列 406 包含地址晶体管对 446、448……470, 它们解码在移位寄存器输出线 410a-410m 上的移位寄存器输出信号 S01-S013, 以便提供地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。逻辑阵列 406 包含地址一晶体管 446a 和 446b, 地址二晶体管 448a 和 448b, 地址三晶体管 450a 和 450b, 地址四晶体

管 452a 和 452b,地址五晶体管 454a 和 454b,地址六晶体管 456a 和 456b,地址七个晶体管 458a 和 458b,地址八晶体管 460a 和 460b,地址九晶体管 462a 和 462b,地址十晶体管 464a 和 464b,地址十一晶体管 466a 和 466b,地址十二晶体管 468a 和 468b 和地址十三晶体管 470a 和 470b。

[0107] 地址线预充电晶体管 438a-438g 被电耦合到 T3 信号线 434 和地址线 472a-472g。地址线预充电晶体管 438a 的漏源通路的一侧和栅极被电耦合到 T3 信号线 434。地址线预充电晶体管 438a 的漏源通路的另一侧被电耦合到地址线 472a。地址线预充电晶体管 438b 的漏源通路的一侧和栅极被电耦合到 T3 信号线 434。地址线预充电晶体管 438b 的漏源通路的另一侧被电耦合到地址线 472b。地址线预充电晶体管 438c 的漏源通路的一侧和栅极被电耦合到 T3 信号线 434。地址线预充电晶体管 438c 的漏源通路的另一侧被电耦合到地址线 472c。地址线预充电晶体管 438d 的漏源通路的一侧和栅极被电耦合到 T3 信号线 434。地址线预充电晶体管 438d 的漏源通路的另一侧被电耦合到地址线 472d。地址线预充电晶体管 438e 的漏源通路的一侧和栅极被电耦合到 T3 信号线 434。地址线预充电晶体管 438e 的漏源通路的另一侧被电耦合到地址线 472e。地址线预充电晶体管 438f 的漏源通路的一侧和栅极被电耦合到 T3 信号线 434。地址线预充电晶体管 438f 的漏源通路的另一侧被电耦合到地址线 472f。地址线预充电晶体管 438g 的漏源通路的一侧和栅极被电耦合到 T3 信号线 434。地址线预充电晶体管 438g 的漏源通路的另一侧被电耦合到地址线 472g。在一种实施方式中,地址线预充电晶体管 438a-438g 被电耦合到 T4 信号线 422,而不是 T3 信号线 434。T4 信号线 422 被电耦合到每个地址线预充电晶体管 438a-438g 的漏源通路的一侧和栅极。

[0108] 每个地址评估晶体管 440a-440m 的栅极被电耦合到逻辑评估信号线 474。每个地址评估晶体管 440a-440m 的漏源通路的一侧被电耦合到地。另外,地址评估晶体管 440a 的漏源通路被电耦合到评估线路 476a。地址评估晶体管 440b 的漏源通路被电耦合到评估线路 476b。地址评估晶体管 440c 的漏源通路被电耦合到评估线路 476c。地址评估晶体管 440d 的漏源通路被电耦合到评估线路 476d。地址评估晶体管 440e 的漏源通路被电耦合到评估线路 476e。地址评估晶体管 440f 的漏源通路被电耦合到评估线路 476f。地址评估晶体管 440g 的漏源通路被电耦合到评估线路 476g。地址评估晶体管 440h 的漏源通路被电耦合到评估线路 476h。地址评估晶体管 440i 的漏源通路被电耦合到评估线路 476i。地址评估晶体管 440j 的漏源通路被电耦合到评估线路 476j。地址评估晶体管 440k 的漏源通路被电耦合到评估线路 476k。地址评估晶体管 440l 的漏源通路被电耦合到评估线路 476l。地址评估晶体管 440m 的漏源通路被电耦合到评估线路 476m。

[0109] 逻辑评估预充电晶体管 444 的引出-引入通路的一侧和栅极被电耦合到 T5 信号线 436,漏源通路的另一侧被电耦合到逻辑评估信号线 474。评估阻止晶体管 442a 的栅极被电耦合到 T3 信号线 434。评估阻止晶体管 442a 的漏源通路在其一侧上被电耦合到逻辑评估信号线 474,而在另一侧上被连接到 478 处的基准(reference)。评估阻止晶体管 442b 的栅极被电耦合到 T4 信号线 422。评估阻止晶体管 442b 的漏源通路在其一侧上被电耦合到逻辑评估信号线 474,而在另一侧上被连接到 478 处的基准。

[0110] 地址晶体管对 446、448……470 的漏源通路被电耦合在地址线 472a-472g 和评估线路 476a-476m 之间。地址晶体管对 446、448……470 的栅极由通过移位寄存器输出信号

线 410a-410m 的移位寄存器输出信号 S01-S013 驱动。

[0111] 地址一晶体管 446a 和 446b 的栅极被电耦合到移位寄存器输出信号线 410a。地址一晶体管 446a 的漏源通路在其一侧上被电耦合到地址线 472a,而在其另一侧上被连接到评估线路 476a。地址一晶体管 446b 的漏源通路在其一侧上被电耦合到地址线 472b,而在其另一侧上被连接到评估线路 476a。移位寄存器输出信号线 410a 上的高电平移位寄存器输出信号 S01 接通地址一晶体管 446a 和 446b,同时地址评估晶体管 440a 通过逻辑评估信号线 474 上的高电压电平评估信号 LEVAL 被接通。地址一晶体管 446a 和地址评估晶体管 440a 导通,以便有效地使地址线 472a 降低到低电压电平。地址一晶体管 446b 和地址评估晶体管 440a 导通,以便有效地使地址线 472b 降低到低电压电平。

[0112] 地址二晶体管 448a 和 448b 的栅极被电耦合到移位寄存器输出信号线 410b。地址二晶体管 448a 的漏源通路在其一侧上被电耦合到地址线 472a,而在其另一侧上被连接到评估线路 476b。地址二晶体管 448b 的漏源通路在其一侧上被电耦合到地址线 472c,而在其另一侧上被连接到评估线路 476b。移位寄存器输出信号线 410b 上的高电平移位寄存器输出信号 S02 接通地址二晶体管 448a 和 448b,同时地址评估晶体管 440b 通过逻辑评估信号线 474 上的高电压电平评估信号 LEVAL 被接通。地址二晶体管 448a 和地址评估晶体管 440b 导通,以便有效地使地址线 472a 降低到低电压电平。地址二晶体管 448b 和地址评估晶体管 440b 导通,以便有效地使地址线 472c 降低到低电压电平。

[0113] 地址三晶体管 450a 和 450b 的栅极被电耦合到移位寄存器输出信号线 410c。地址三晶体管 450a 的漏源通路在其一侧上被电耦合到地址线 472a,而在其另一侧上被连接到评估线路 476c。地址三晶体管 450b 的漏源通路在其一侧上被电耦合到地址线 472d,而在其另一侧上被连接到评估线路 476c。移位寄存器输出信号线 410c 上的高电平移位寄存器输出信号 S03 接通地址三晶体管 450a 和 450b,同时地址评估晶体管 440c 通过逻辑评估信号线 474 上的高电压电平评估信号 LEVAL 被接通。地址三晶体管 450a 和地址评估晶体管 440c 导通,以便有效地使地址线 472a 降低到低电压电平。地址三晶体管 450b 和地址评估晶体管 440c 导通,以便有效地使地址线 472d 降低到低电压电平。

[0114] 地址四晶体管 452a 和 452b 的栅极被电耦合到移位寄存器输出信号线 410d。地址四晶体管 452a 的漏源通路在其一侧上被电耦合到地址线 472a,而在其另一侧上被连接到评估线路 476d。地址四晶体管 452b 的漏源通路在其一侧上被电耦合到地址线 472e,而在其另一侧上被连接到评估线路 476d。移位寄存器输出信号线 410d 上的高电平移位寄存器输出信号 S04 接通地址四晶体管 452a 和 452b,同时地址评估晶体管 440d 通过逻辑评估信号线 474 上的高电压电平评估信号 LEVAL 被接通。地址四晶体管 452a 和地址评估晶体管 440d 导通,以便有效地使地址线 472a 降低到低电压电平。地址四晶体管 452b 和地址评估晶体管 440d 导通,以便有效地使地址线 472e 降低到低电压电平。

[0115] 地址五晶体管 454a 和 454b 的栅极被电耦合到移位寄存器输出信号线 410e。地址五晶体管 454a 的漏源通路在其一侧上被电耦合到地址线 472a,而在其另一侧上被连接到评估线路 476e。地址五晶体管 454b 的漏源通路在其一侧上被电耦合到地址线 472f,而在其另一侧上被连接到评估线路 476e。移位寄存器输出信号线 410e 上的高电平移位寄存器输出信号 S05 接通地址五晶体管 454a 和 454b,同时地址评估晶体管 440e 通过逻辑评估信号线 474 上的高电压电平评估信号 LEVAL 被接通。地址五晶体管 454a 和地址评估晶体管

440e 导通,以便有效地使地址线 472a 降低到低电压电平。地址五晶体管 454b 和地址评估晶体管 440e 导通,以便有效地使地址线 472f 降低到低电压电平。

[0116] 地址六晶体管 456a 和 456b 的栅极被电耦合到移位寄存器输出信号线 410f。地址六晶体管 456a 的漏源通路在其一侧上被电耦合到地址线 472a,而在其另一侧上被连接到评估线路 476f。地址六晶体管 456b 的漏源通路在其一侧上被电耦合到地址线 472g,而在其另一侧上被连接到评估线路 476f。移位寄存器输出信号线 410f 上的高电平移位寄存器输出信号 S06 接通地址六晶体管 456a 和 456b 以导通,同时地址评估晶体管 440f 通过高电压电平评估信号 LEVAL 被接通。地址六晶体管 456a 和地址评估晶体管 440f 导通,以便有效地使地址线 472a 降低到低电压电平。地址六晶体管 456b 和地址评估晶体管 440f 导通,以便有效地使地址线 472g 降低到低电压电平。

[0117] 地址七晶体管 458a 和 458b 的栅极被电耦合到移位寄存器输出信号线 410g。地址六晶体管 458a 的漏源通路在其一侧上被电耦合到地址线 472b,而在其另一侧上被连接到评估线路 476g。地址六晶体管 458b 的漏源通路在其一侧上被电耦合到地址线 472c,而在其另一侧上被连接到评估线路 476g。移位寄存器输出信号线 410g 上的高电平移位寄存器输出信号 S07 接通地址六晶体管 458a 和 458b,同时地址评估晶体管 440g 通过一个高电压电平评估信号 LEVAL 被接通。地址七晶体管 458a 和地址评估晶体管 440g 导通,以便有效地使地址线 472b 降低到低电压电平。地址七晶体管 458b 和地址评估晶体管 440g 导通,以便有效地使地址线 472c 降低到低电压电平。

[0118] 地址八晶体管 460a 和 460b 的栅极被电耦合到移位寄存器输出信号线 410h。地址八晶体管 460a 的漏源通路在其一侧上被电耦合到地址线 472b,而在其另一侧上被连接到评估线路 476h。地址八晶体管 460b 的漏源通路在其一侧上被电耦合到地址线 472d,而在其另一侧上被连接到评估线路 476h。移位寄存器输出信号线 410h 上的高电平移位寄存器输出信号 S08 接通地址八晶体管 460a 和 460b,同时地址评估晶体管 440h 通过高电压电平评估信号 LEVAL 被接通。地址八晶体管 460a 和地址评估晶体管 440h 导通,以便有效地使地址线 472b 降低到低电压电平。地址八晶体管 460b 和地址评估晶体管 440h 导通,以便有效地使地址线 472d 降低到低电压电平。

[0119] 地址九晶体管 462a 和 462b 的栅极被电耦合到移位寄存器输出信号线 410i。地址九晶体管 462a 的漏源通路在其一侧上被电耦合到地址线 472b,而在其另一侧上被连接到评估线路 476i。地址九晶体管 462b 的漏源通路在其一侧上被电耦合到地址线 472e,而在其另一侧上被连接到评估线路 476i。移位寄存器输出信号线 410i 上的高电平移位寄存器输出信号 S09 接通地址九晶体管 462a 和 462b 以导通,同时地址评估晶体管 440i 通过一个高电压电平评估信号 LEVAL 被接通。地址九晶体管 462a 和地址评估晶体管 440i 导通,以便有效地使地址线 472b 降低到低电压电平。地址九晶体管 462b 和地址评估晶体管 440i 导通,以便有效地使地址线 472e 降低到低电压电平。

[0120] 地址十晶体管 464a 和 464b 的栅极被电耦合到移位寄存器输出信号线 410j。地址十晶体管 464a 的漏源通路在其一侧上被电耦合到地址线 472b,而在其另一侧上被连接到评估线路 476j。地址十晶体管 464b 的漏源通路在其一侧上被电耦合到地址线 472f,而在其另一侧上被连接到评估线路 476j。移位寄存器输出信号线 410j 上的高电平移位寄存器输出信号 S010 接通地址十晶体管 464a 和 464b,同时地址评估晶体管 440j 通过高电压电平

评估信号 LEVAL 被接通。地址十晶体管 464a 和地址评估晶体管 440j 导通,以便有效地使地址线 472b 降低到低电压电平。地址十晶体管 464b 和地址评估晶体管 440j 导通,以便有效地使地址线 472f 降低到低电压电平。

[0121] 地址十一晶体管 466a 和 466b 的栅极被电耦合到移位寄存器输出信号线 410k。地址十一晶体管 466a 的漏源通路在其一侧上被电耦合到地址线 472b,而在其另一侧上被连接到评估线路 476k。地址十一晶体管 466b 的漏源通路在其一侧上被电耦合到地址线 472g,而在其另一侧上被连接到评估线路 476k。移位寄存器输出信号线 410k 上的高电平移位寄存器输出信号 S011 接通地址十一晶体管 466a 和 466b,同时地址评估晶体管 440k 通过高电压电平评估信号 LEVAL 被接通。地址十一晶体管 466a 和地址评估晶体管 440k 导通,以便有效地使地址线 472b 降低到低电压电平。地址十一晶体管 466b 和地址评估晶体管 440k 导通,以便有效地使地址线 472g 降低到低电压电平。

[0122] 地址十二晶体管 468a 和 468b 的栅极被电耦合到移位寄存器输出信号线 410l。地址十二晶体管 468a 的漏源通路在其一侧上被电耦合到地址线 472c,而在其另一侧上被连接到评估线路 476l。地址十二晶体管 468b 的漏源通路在其一侧上被电耦合到地址线 472d,而在其另一侧上被连接到评估线路 476l。移位寄存器输出信号线 410l 上的高电平移位寄存器输出信号 S012 接通地址十二晶体管 468a 和 468b,同时地址评估晶体管 440l 通过高电压电平评估信号 LEVAL 被接通。地址十二晶体管 468a 和地址评估晶体管 440l 导通,以便有效地使地址线 472c 降低到低电压电平。地址十二晶体管 468b 和地址评估晶体管 440l 导通,以便有效地使地址线 472d 降低到低电压电平。

[0123] 地址十三晶体管 470a 和 470b 的栅极被电耦合到移位寄存器输出信号线 410m。地址十三晶体管 470a 的漏源通路在其一侧上被电耦合到地址线 472c,而在其另一侧上被连接到评估线路 476m。地址十三晶体管 470b 的漏源通路在其一侧上被电耦合到地址线 472e,而在其另一侧上被连接到评估线路 476m。移位寄存器输出信号线 410m 上的高电平移位寄存器输出信号 S013 接通地址十三晶体管 470a 和 470b,同时地址评估晶体管 440m 通过高电压电平评估信号 LEVAL 被接通。地址十三晶体管 470a 和地址评估晶体管 440m 导通,以便有效地使地址线 472c 降低到低电压电平。地址十三晶体管 470b 和地址评估晶体管 440m 导通,以便有效地使地址线 472e 降低到低电压电平。

[0124] 移位寄存器 402 将单个高电压电平输出信号从一个移位寄存器输出信号线 410a-410m 移位到下一个移位寄存器输出信号线 410a-410m。移位寄存器 402 接收在控制线 430 上控制信号 CSYNC 中的控制脉冲,并从定时信号 T1-T4 接收一系列的定时脉冲,以便将接收的控制脉冲移位进入移位寄存器 402 中。作为响应,移位寄存器 402 提供单个高电压电平移位寄存器输出信号 S01 或者 S013。所有的其它移位寄存器输出信号 S01-S013 被以低电压电平提供。移位寄存器 402 从定时信号 T1-T4 接收另一系列的定时脉冲,并将单个的高电压电平输出信号从一个移位寄存器输出信号 S01-S013 移位到下一个移位寄存器输出信号 S01-S013,而所有其它的移位寄存器输出信号 S01-S013 都以低电压电平提供。移位寄存器 402 接收一个重复系列的定时脉冲,并且响应每个系列的定时脉冲,移位寄存器 402 移位单个高电压电平输出信号,以提供一系列高达十三个的高电压电平移位寄存器输出信号 S01-S013。每个高电压电平移位寄存器输出信号 S01-S013 接通两个地址晶体管对 446、448……470,以便向激发单元 120 提供地址信号 ~A1、~A2……~A7。地址信号 ~

A1、~ A2……~ A7 在相应于十三个移位寄存器输出信号 S01-S013 的十三个地址时隙中被提供。在另一种实施方式中,移位寄存器 402 可以包含任意适当数目的移位寄存器输出信号,例如十四个,以便在任意适当数目的地址时隙例如十四个地址时隙中提供地址信号~ A1、~ A2……~ A7。

[0125] 移位寄存器 402 通过方向信号线路 408 从方向电路 404 接收方向信号。方向信号设置移位寄存器 402 中的移位方向。移位寄存器 402 可以被设定以正向方向移位高电压输出信号,即从移位寄存器输出信号 S01 到移位寄存器输出信号 S013,或者以反向方向移位,即从移位寄存器输出信号 S013 到移位寄存器输出信号 S01。

[0126] 在正向方向中,移位寄存器 402 接收控制信号 CSYNC 中的控制脉冲,并提供高电压电平移位寄存器输出信号 S01。所有的其它移位寄存器输出信号 S02-S013 被以低电压电平提供。移位寄存器 402 接收下一系列的定时脉冲,并提供高电压电平移位寄存器输出信号 S02,而所有其它的移位寄存器输出信号 S01 和 S03-S013 以低电压电平提供。移位寄存器 402 接收下一系列的定时脉冲,并提供高电压电平移位寄存器输出信号 S03,而所有其它的移位寄存器输出信号 S01、S02 和 S04-S013 以低电压电平提供。移位寄存器 402 继续响应每个系列的定时脉冲移位高电平输出信号,直至并包括提供高电压电平移位寄存器输出信号 S013,而所有其它的移位寄存器输出信号 S01-S012 以低电压电平提供。在提供高电压电平移位寄存器输出信号 S013 以后,移位寄存器 402 接收下一系列的定时脉冲并为所有的移位寄存器输出信号 S01-S013 提供低电压电平信号。在控制信号 CSYNC 中的另一个控制脉冲被提供,以便开始或者启动移位寄存器 402 在正向方向移位,即高电压电平输出信号系列从移位寄存器输出信号 S01 到移位寄存器输出信号 S013。

[0127] 在反向方向中,移位寄存器 402 接收控制信号 CSYNC 中的控制脉冲,并提供高电平移位寄存器输出信号 S013。所有的其它移位寄存器输出信号 S01-S012 被以低电压电平提供。移位寄存器 402 接收下一系列的定时脉冲,并提供高电压电平移位寄存器输出信号 S012,而所有其它的移位寄存器输出信号 S01-S011 和 S013 以低电压电平提供。移位寄存器 402 接收下一系列的定时脉冲,并提供高电压电平移位寄存器输出信号 S011,而所有其它的移位寄存器输出信号 S01-S010、S012 和 S013 以低电压电平提供。移位寄存器 402 继续响应每个系列的定时脉冲移位高电平输出信号,直至并包括提供高电压电平移位寄存器输出信号 S01,而所有其它的移位寄存器输出信号 S02-S013 以低电压电平提供。在提供了高电压电平移位寄存器输出信号 S01 以后,移位寄存器 402 接收下一系列的定时脉冲并为所有的移位寄存器输出信号 S01-S013 提供低电压电平信号。在控制信号 CSYNC 中的另一个控制脉冲被提供,以便开始或者启动移位寄存器 402 以反向方向移位,即高电压电平输出信号系列从移位寄存器输出信号 S013 到移位寄存器输出信号 S01。

[0128] 方向电路 404 通过方向信号线路 408 提供两个方向信号。方向信号设置移位寄存器 402 中正向 / 反向的移位方向。而且,方向信号可用于从移位寄存器 402 中清除高电压电平输出信号。

[0129] 方向电路 404 从定时信号 T3-T6 接收一个重复系列的定时脉冲。另外,方向电路 404 接收控制线 430 上控制信号 CSYNC 中的控制脉冲。方向电路 404 响应接收与来自定时信号 T4 的定时脉冲相符的控制脉冲,提供正向方向信号。正向方向信号设置移位寄存器 402 以正向方向从移位寄存器输出信号 S01 到移位寄存器输出信号 S013 进行移位。方向电路

404 响应接收与来自定时信号 T6 的定时脉冲相符的控制脉冲,提供反向方向信号。反向方向信号设置移位寄存器 402 以反向方向移位,即从移位寄存器输出信号 S013 到移位寄存器输出信号 S01。方向电路 404 响应接收与来自定时信号 T4 的定时脉冲和来自定时信号 T6 的定时脉冲都相符的控制脉冲,提供清除移位寄存器 402 的方向信号。

[0130] 逻辑阵列 406 接收移位寄存器输出信号线 410a-410m 上的移位寄存器输出信号 S01-S013,并从定时信号线路 434、422 和 436 上的定时信号 T3-T5 接收定时脉冲。响应于移位寄存器输出信号 S01-S013 中的单个高电压输出信号和来自定时信号 T3-T5 的定时脉冲,逻辑阵列 406 提供两个出自所述七个地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 的低电压电平地址信号。

[0131] 逻辑阵列 406 从定时信号 T3 接收定时脉冲,其接通评估阻止晶体管 442a 以便使评估信号线 474 降低到低电压电平并且关闭地址评估晶体管 440。还有,来自定时信号 T3 的定时脉冲通过地址线预充电晶体管 438 将地址线 472a-472g 充电到高电压电平。在一种实施方式中,来自定时信号 T3 的定时脉冲被来自定时信号 T4 的定时脉冲所替代,以便通过地址线预充电晶体管 438 将地址线 472a-472g 充电到高电压电平。

[0132] 来自定时信号 T4 的定时脉冲接通评估阻止晶体管 442b,以便将评估信号线 474 拉到低电压电平并且关闭地址评估晶体管 440。移位寄存器输出信号 S01-S013 在来自定时信号 T4 的定时脉冲期间用于使输出信号有效。在移位寄存器输出信号 S01-S013 中的单个高电压电平输出信号被提供到逻辑阵列 406 中地址晶体管对 446、448……470 的栅极。来自定时信号 T5 的定时脉冲将评估信号线 474 充电到高电压电平,以接通地址评估晶体管 440。当地址评估晶体管 440 被接通时,逻辑阵列 406 中接收高电压电平的移位寄存器输出信号 S01-S013 的地址晶体管对 446、448……或者 470 导通,从而为相应的地址线 472 放电。通过导通的地址晶体管对 446、448……470 和导通的地址评估晶体管 440,相应的地址线 472 被有效地降低电平。其它地址线 472 保持被充电到高电压电平状态。

[0133] 在每个地址时隙中,逻辑阵列 406 提供两个出自所述七个地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 的低电压电平地址信号。如果移位寄存器输出信号 S01 处于高电压电平,地址一晶体管 446a 和 446b 导通以便将地址线 472a 和 472b 拉低到低电压电平并提供有效的低电平地址信号 $\sim A1$ 和 $\sim A2$ 。如果移位寄存器输出信号 S02 处于高电压电平,地址二晶体管 448a 和 448b 导通,以便将地址线 472a 和 472c 拉低到低电压电平并提供有效的低电平地址信号 $\sim A1$ 和 $\sim A3$ 。如果移位寄存器输出信号 S03 处于高电压电平,地址三晶体管 450a 和 450b 导通,以便将地址线 472a 和 472d 拉低到低电压电平并提供有效的低电平地址信号 $\sim A1$ 和 $\sim A4$,并且对于每个移位寄存器输出信号 S04-S013 以此类推。在下面的表格中列出了用于十三个地址时隙中的每一个的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$,它们与移位寄存器输出信号 S01-S013 相关联。

[0134]

地址时隙	有效的地址信号
1	~ A1 和 ~ A2
2	~ A1 和 ~ A3
3	~ A1 和 ~ A4
4	~ A1 和 ~ A5
5	~ A1 和 ~ A6
6	~ A1 和 ~ A7
7	~ A2 和 ~ A3
8	~ A2 和 ~ A4
9	~ A2 和 ~ A5
10	~ A2 和 ~ A6
11	~ A2 和 ~ A7
12	~ A3 和 ~ A4
13	~ A3 和 ~ A5

[0135] 在另一个实施方式中,逻辑阵列 406 可以为十三个地址时隙的每一个提供有效的地址信号 ~ A1、~ A2……~ A7,它们在下面的表格中列出:

[0136]

地址时隙	有效的地址信号
1	~ A1 和 ~ A3
2	~ A1 和 ~ A4
3	~ A1 和 ~ A5
4	~ A1 和 ~ A6
5	~ A2 和 ~ A4
6	~ A2 和 ~ A5
7	~ A2 和 ~ A6
8	~ A2 和 ~ A7
9	~ A3 和 ~ A5
10	~ A3 和 ~ A6
11	~ A3 和 ~ A7
12	~ A4 和 ~ A6
13	~ A4 和 ~ A7

[0137] 还有,在其它的实施方式中,逻辑阵列 406 可以包含这样的地址晶体管:它们为每个高电压电平输出信号 S01-S013 提供任意适当数目的低电压电平地址信号 ~ A1、~ A2……~ A7 以及以任何适当系列的低电压电平地址信号 ~ A1、~ A2……~ A7。这些例如可以通过适当地设置每个晶体管对 446、448……470 以便放电任意两个期望的地址线 672a-g 而实现。

[0138] 另外,在其它的实施方式中,逻辑阵列 406 可以包含任意适当数目的地址线,以便在任意适当数目的地址时隙中提供任意适当数目的地址信号。

[0139] 运行中,从定时信号 T1-T6 提供重复系列的六个定时脉冲。每个定时信号 T1-T6 在每个六个定时脉冲的系列中提供一个定时脉冲。来自定时信号 T1 的定时脉冲的后面跟着来自定时信号 T2 的定时脉冲,其后面接着是来自定时信号 T3 的定时脉冲,再后面接着是来自定时信号 T4 的定时脉冲,后面接着是来自定时信号 T5 的定时脉冲,再后面接着是来自定时信号 T6 的定时脉冲。该六个定时脉冲的系列以重复的六个定时脉冲系列重复。

[0140] 在一个六个定时脉冲系列中,方向电路 404 从第四预充电信号 PRE4 中的定时信号 T3 接收定时脉冲。在第四预充电信号 PRE4 中的定时脉冲将方向线 408 的第一方向线充电到高电压电平。方向电路 404 从第四评估信号 EVAL4 中的定时信号 T4 接收下降的电压电

平时脉冲。如果方向电路 404 在控制信号 CSYNC 中接收与第四评估信号 EVAL4 相符的控制脉冲,则方向电路 404 使第一方向线 408 放电。如果方向电路 404 接收与第四评估信号 EVAL4 中定时脉冲相一致的低电压电平控制信号 CSYNC,则第一方向线 408 保持被充电到高电压电平。

[0141] 然后,方向电路 404 从第三预充电信号 PRE3 中的定时信号 T5 接收定时脉冲。在第三预充电信号 PRE3 中的定时脉冲将方向线 408 的第二方向线充电。方向电路 404 从第三评估信号 EVAL3 中的定时信号 T6 接收下降的电压电平定时脉冲。如果方向电路 404 在控制信号 CSYNC 中接收与第三评估信号 EVAL3 中的定时脉冲相一致的控制脉冲,则方向电路 404 使第二方向线 408 放电到低电压电平。如果方向电路 404 接收与第三评估信号 EVAL3 中的定时脉冲相一致的低电压电平控制信号 CSYNC,则第二方向电路 408 保持被充电到高电压电平。

[0142] 如果第一方向线 408 被放电到低电压电平并且第二方向线 408 保持在高电压电平,则第一和第二方向线 408 上的信号电平使移位寄存器 402 以正向方向移位。如果第一方向线 408 保持在高电压电平并且第二方向线 408 被放电到低电压电平,则方向线 408 上的信号电平使移位寄存器 402 以反向方向移位。如果第一和第二方向线 408 都被放电到低电压电平,则移位寄存器 402 被阻止提供高电压电平移位寄存器输出信号 S01-S013。方向线 408 上的方向信号在每六个定时脉冲的系列期间被设置。

[0143] 开始时,在六个定时脉冲的一个系列中设定方向,并且移位寄存器 402 在下一次的六个定时脉冲系列中启动。为了启动移位寄存器 402,移位寄存器 402 从第一预充电信号 PRE1 中的定时信号 T1 接收定时脉冲。第一预充电信号 PRE1 中的定时脉冲为十三个移位寄存器单元的每一个中的内部节点进行预充电,其标示为 403a-403m。移位寄存器 402 从第一评估信号 EVAL1 中的定时信号 T2 接收下降的电压电平定时脉冲。如果移位寄存器 402 接收了与第一评估信号 EVAL1 中的定时脉冲相一致的控制信号 CSYNC 中的控制脉冲,则移位寄存器 402 使十三个移位寄存器单元之一的内部节点放电,以便在放电的内部节点处提供低电压电平。如果控制信号 CSYNC 保持处于与第一评估信号 EVAL1 中的定时脉冲相一致的低电压电平,则在十三个移位寄存器单元的每一个中的内部节点保持处于高电压电平。

[0144] 移位寄存器 402 从第二预充电信号 PRE2 中的定时信号 T3 接收定时脉冲。第二预充电信号 PRE2 中的定时脉冲为十三个移位寄存器输出线路 410a-410m 的每一个进行预充电,以提供高电压电平移位寄存器输出信号 S01-S013。移位寄存器 402 从第二评估信号 EVAL2 中的定时信号 T4 接收下降的电压电平定时脉冲。如果移位寄存器单元 403 中的内部节点处于低电压电平,例如在从控制信号 CSYNC 接收了与第一评估信号 EVAL1 中的定时脉冲相一致的控制脉冲之后,移位寄存器 402 使移位寄存器输出信号 S01-S013 保持在高电压电平。如果移位寄存器单元 403 中的内部节点处于高电压电平,例如在所有其它的移位寄存器单元 403 中,移位寄存器 402 使移位寄存器输出线路 410a-410m 放电,以提供低电压电平的移位寄存器输出信号 S01-S013。移位寄存器 402 在一个系列的六个定时脉冲中启动。移位寄存器输出信号 S01-S013 在来自第二评估信号 EVAL2 中定时信号 T4 的定时脉冲期间有效,并且保持有效直到来自下一系列的六个定时脉冲中定时信号 T3 的定时脉冲。在每个随后系列的六个定时脉冲中,移位寄存器 402 将高电压电平移位寄存器输出信号 S01-S013 从一个移位寄存器单元 403 移位到下一个移位寄存器单元 403。

[0145] 逻辑阵列 406 接收移位寄存器输出信号 S01-S013。在一个实施方式中,逻辑阵列 406 接收来自定时信号 T3 的定时脉冲,以预充电地址线 472 和关闭地址评估晶体管 440。在一个实施方式中,逻辑阵列 406 接收来自定时信号 T3 的定时脉冲以关闭地址评估晶体管 440,并接收来自定时信号 T4 的定时脉冲以预充电地址线 472。

[0146] 逻辑阵列 406 接收来自定时信号 T4 的定时脉冲以便关闭地址评估晶体管 440,同时移位寄存器输出信号 S01-S013 用于使移位寄存器输出信号 S01-S013 有效。如果移位寄存器 402 被启动,则在来自定时信号 T4 的定时脉冲之后,一个移位寄存器输出信号 S01-S013 保持处于高电压电平。逻辑阵列 406 接收来自定时信号 T5 的定时脉冲,以便充电评估信号线 474 并接通地址评估晶体管 440。接收高电压电平移位寄存器输出信号 S01-S013 的地址晶体管对 446、448……470 被接通,以便将七个地址线 472a-472g 中的两个降低到低电压电平。在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 中的两个低电压电平地址信号被用于启动激活激发单元 120 和激发单元子群。在来自定时信号 T5 的定时脉冲期间,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 变为有效,并保持有效直到来自下一系列六个定时脉冲中定时信号 T3 的定时脉冲。

[0147] 如果移位寄存器 402 没有被启动,所有的移位寄存器输出线路 410 被放电,以提供低电压电平移位寄存器输出信号 S01-S013。低电压电平的移位寄存器输出信号 S01-S013 关闭地址晶体管对 446、448……470,并且地址线 472 保持被充电,以提供高电压电平地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。高电压电平的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 防止激发单元 120 和激发单元子群被允许激活。

[0148] 虽然图 9 描述了地址电路的一个实施方式,但是也可以利用采用不同逻辑元件的其它实施方式。例如,可以利用一个控制器,其接收上述的输入信号,例如信号 T1-T6,并且其提供地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。

[0149] 图 10A 是图解移位寄存器 402 中的一个移位寄存器单元 403a 的图。移位寄存器 402 包含提供十三个移位寄存器输出信号 S01-S013 的十三个移位寄存器单元 403a-403m。每个移位寄存器单元 403a-403m 提供移位寄存器输出信号 S01-S013 中的一个,并且每个移位寄存器单元 403a-403m 类似于移位寄存器单元 403a。十三个移位寄存器单元 403 被串连电连接,以提供正向方向和反向方向的移位。在其它的实施方式中,移位寄存器 402 可以包含任意适当数目的移位寄存器单元 403,以提供任意适当数目的移位寄存器输出信号。

[0150] 移位寄存器单元 403a 包含作为输入级的第一级,其在 500 处以虚线示出,和作为输出级的第二级,其在 502 处以虚线示出。第一级 500 包含第一预充电晶体管 504、第一评估晶体管 506、正向输入晶体管 508、反向输入晶体管 510、正向晶体管 512 和反向晶体管 514。第二级 502 包含第二预充电晶体管 516、第二评估晶体管 518 和内部节点晶体管 520。

[0151] 在第一级 500 中,第一预充电晶体管 504 的漏源通路的一侧和栅极被电耦合到定时信号线路 432。定时信号线路 432 提供定时信号 T1 给移位寄存器 402 作为第一预充电信号 PRE1。第一预充电晶体管 504 的漏源通路的另一侧被电耦合到第一评估晶体管 506 的漏源通路的一侧,并通过内部节点 522 被连接到内部节点晶体管 520 的栅极。内部节点 520 提供在级 500 和 502 之间的移位寄存器内部节点信号 SN1 给内部节点晶体管 520 的栅极。

[0152] 第一评估晶体管 506 的栅极被电耦合到第一评估信号线 420。第一评估信号线 420 提供下降的电压电平 T2 定时信号到移位寄存器 402 作为第一评估信号 EVAL1。第一评估晶

体管 506 的漏源通路的另一侧通过内部通路 524 被电耦合到正向输入晶体管 508 的漏源通路的一侧和反向输入晶体管 510 的漏源的一侧。

[0153] 正向输入晶体管 508 的漏源通路的另一侧在 526 处被电耦合到正向晶体管 512 的漏源通路的一侧,反向输入晶体管 510 的漏源通路的另一侧在 528 处被电耦合到反向晶体管 514 的漏源通路的一侧。正向晶体管 512 和反向晶体管 514 的漏源通路在 530 处被电耦合到一个基准,例如接地。

[0154] 正向晶体管 512 的栅极被电耦合到从方向电路 404 接收正向信号 DIRF 的方向线 408a。反向晶体管 514 的栅极被电耦合到从方向电路 404 接收反向信号 DIRR 的方向线 408b。

[0155] 在第二级 502 中,第二预充电晶体管 516 的漏源通路的一侧和栅极被电耦合到定时信号线路 434。定时信号线路 434 提供定时信号 T3 到移位寄存器 402 作为第二预充电信号 PRE2。第二预充电晶体管 516 的漏源通路的另一侧被电耦合到第二评估晶体管 518 的漏源通路的一侧,并被电耦合到移位寄存器输出线路 410a。第二评估晶体管 518 的漏源通路的另一侧在 532 处被电耦合到内部节点晶体管 520 漏源通路的一侧。第二评估晶体管 518 的栅极被电耦合到第二评估信号线 424,以便提供下降的电压电平 T4 定时信号到移位寄存器 402 作为第二评估信号 EVAL2。内部节点晶体管 520 的栅极被电耦合到内部节点 522,而内部节点晶体管 520 的漏源通路的另一侧在 534 处被电耦合到一个基准,例如接地。内部节点晶体管 520 的栅极包含在 536 处的电容,用于存储移位寄存器单元内部节点信号 SN1。移位寄存器输出信号线 410a 包含在 538 处的电容,用于存储移位寄存器输出信号 S01。

[0156] 在一系列的十三个移位寄存器单元 403 中的每个移位寄存器单元 403a-403m 都类似于移位寄存器单元 403a。在每个移位寄存器单元 403a-403m 中的正向晶体管 508 的栅极被电耦合到控制线 430 或者移位寄存器输出线路 410a-410l 之一,以便以正向移位。在每个移位寄存器单元 403a-403m 中的反向晶体管 510 的栅极被电耦合到控制线 430 或者移位寄存器输出线路 410b-410m 之一,以便以反向移位。移位寄存器输出信号线 410 被电耦合到一个正向晶体管 508 和一个反向晶体管 510,其中移位寄存器输出信号线 410a 和 410m 除外。移位寄存器输出信号线 410a 被电耦合到移位寄存器单元 403b 中的正向晶体管 508,而不被电耦合到反向晶体管 510。移位寄存器输出信号线 410m 被电耦合到移位寄存器单元 403l 中的反向晶体管 510,而不被电耦合到正向晶体管 508。

[0157] 移位寄存器单元 403a 是在移位寄存器 402 正向移位时在一系列十三个移位寄存器 403 中的第一移位寄存器 403。移位寄存器单元 403a 中正向输入晶体管 508 的栅极被电耦合到控制信号线路 430 以接收控制信号 CSYNC。第二移位寄存器单元 403b 包含被电耦合到移位寄存器输出线路 410a 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S01。第三移位寄存器单元 403c 包含被电耦合到移位寄存器输出线路 410b 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S02。第四移位寄存器单元 403d 包含被电耦合到移位寄存器输出线路 410c 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S03。第五移位寄存器单元 403e 包含被电耦合到移位寄存器输出线路 410d 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S04。第六移位寄存器单元 403f 包含被电耦合到移位寄存器输出线路 410e 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S05。第七移位寄存器单元 403g 包含被电耦合到移位寄存器输出线路 410f 的正向输入晶体管的栅极,以接

收移位寄存器输出信号 S06。第八移位寄存器单元 403h 包含被电耦合到移位寄存器输出线路 410g 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S07。第九移位寄存器单元 403i 包含被电耦合到移位寄存器输出线路 410h 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S08。第十移位寄存器单元 403j 包含被电耦合到移位寄存器输出线路 410I 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S09。第十一移位寄存器单元 403k 包含被电耦合到移位寄存器输出线路 410j 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S010。第十二移位寄存器单元 403l 包含被电耦合到移位寄存器输出线路 410k 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S011。第十三移位寄存器单元 403m 包含被电耦合到移位寄存器输出线路 410l 的正向输入晶体管的栅极,以接收移位寄存器输出信号 S012。

[0158] 当移位寄存器 402 以反向方向移位时,移位寄存器单元 403a 是一系列十三个移位寄存器单元 403 中最后的移位寄存器单元 403。移位寄存器单元 403a 中反向输入晶体管 510 的栅极被电耦合到在前移位寄存器输出线路 410b,以接收移位寄存器输出信号 S02。移位寄存器单元 403b 包含被电耦合到移位寄存器输出线路 410c 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S03。移位寄存器单元 403c 包含被电耦合到移位寄存器输出线路 410d 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S04。移位寄存器单元 403d 包含被电耦合到移位寄存器输出线路 410e 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S05。移位寄存器单元 403e 包含被电耦合到移位寄存器输出线路 410f 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S06。移位寄存器单元 403f 包含被电耦合到移位寄存器输出线路 410g 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S07。移位寄存器单元 403g 包含被电耦合到移位寄存器输出线路 410h 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S08。移位寄存器单元 403h 包含被电耦合到移位寄存器输出线路 410I 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S09。移位寄存器单元 403i 包含被电耦合到移位寄存器输出线路 410j 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S010。移位寄存器单元 403j 包含被电耦合到移位寄存器输出线路 410k 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S011。移位寄存器单元 403k 包含被电耦合到移位寄存器输出线路 410l 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S012。移位寄存器单元 403l 包含被电耦合到移位寄存器输出线路 410m 的反向输入晶体管的栅极,以接收移位寄存器输出信号 S013。移位寄存器单元 403m 包含被电耦合到控制信号线路 430 的反向输入晶体管的栅极,以便接收控制信号 CSYNC。移位寄存器输出线路 410a-410m 还被电耦合到逻辑阵列 406。

[0159] 移位寄存器 402 接收控制信号 CSYNC 中的控制脉冲,并提供单个的高电压电平输出信号。如上所述并且如下文中详细描述,移位寄存器 402 的移位方向被设置为响应方向信号 DIRF 和 DIRR,方向信号 DIRF 和 DIRR 基于控制信号线路 430 上的控制信号 CSYNC 在定时信号 T3-T6 中的定时脉冲期间产生。如果移位寄存器 402 以正向方向移位,则响应于控制脉冲和定时信号 T1-T4 上的定时脉冲,移位寄存器 402 将移位寄存器输出线路 410a 和移位寄存器输出信号 S01 设置为高电压电平。如果移位寄存器 402 以反向方向移位,则响应于控制脉冲和定时信号 T1-T4 中的定时脉冲,移位寄存器 402 将移位寄存器输出线路 410m 和移位寄存器输出信号 S013 设置为高电压电平。响应于定时信号 T1-T4 中的定时脉

冲,高电压电平输出信号 S01 或者 S013 通过移位寄存器 402 从一个移位寄存器单元 403 移位到下一个移位寄存器单元 403。

[0160] 移位寄存器 402 在控制脉冲中移位,并利用两次预充电操作和两次评估操作将单个高电平输出信号从一个移位寄存器单元 403 移位到下一个移位寄存器单元 403。每个移位寄存器单元 403 的第一级 500 接收正向信号 DIRF 和反向信号 DIRR。还有,每个移位寄存器 403 的第一级 500 接收正向移位寄存器输入信号 SIF 和反向移位寄存器输入信号 SIR。移位寄存器 402 中所有的移位寄存器单元 403 被设置为以与定时脉冲被接收到定时信号 T1-T4 中的方向相同的方向且同时移位。

[0161] 每个移位寄存器单元 403 的第一级 500 以正向移位寄存器输入信号 SIF 或者反向移位寄存器输入信号 SIR 移位。高或低电平的选定的移位寄存器输入信号 SIF 或者 SIR 作为移位寄存器输出信号 S01-S013 而被提供。每个移位寄存器单元 403 的第一级 500 在来自定时信号 T1 的定时脉冲期间预充电内部节点 522,并且在来自定时信号 T2 的定时脉冲期间评估选定的移位寄存器输入信号 SIF 或者 SIR。每个移位寄存器单元 403 中的第二级 502 在来自定时信号 T3 的定时脉冲期间预充电移位寄存器输出线路 410a-410m,并在来自定时信号 T4 的定时脉冲期间评估内部节点信号 SN(例如,SN1)。

[0162] 方向信号 DIRF 和 DIRR 设置移位寄存器 402 中移位寄存器单元 403a 以及其它所有移位寄存器单元 403 的正向 / 反向移位。如果正向信号 DIRF 处于高电压电平而反向信号 DIRR 处于低电压电平,则移位寄存器 402 以正向方向移位。如果反向信号 DIRR 处于高电压电平而正向信号 DIRF 处于低电压电平,则移位寄存器 402 以反向方向移位。如果方向信号 DIRF 和 DIRR 都处于低电压电平,则移位寄存器 402 在两个方向中都不移位,并且所有的移位寄存器输出信号 S01-S013 被清空为无效的低电压电平。

[0163] 在使移位寄存器单元 403a 以正向方向移位的操作中,正向信号 DIRF 被设置为高电压电平而反向信号 DIRR 被设置为低电压电平。高电压电平正向信号 DIRF 接通正向晶体管 512,而低电压电平反向信号 DIRR 关闭反向晶体管 514。来自定时信号 T1 的定时脉冲在第一预充电信号 PRE1 中被提供给移位寄存器 402,以通过第一预充电晶体管 504 将内部节点 522 充电到高电压电平。然后,将来自定时信号 T2 的定时脉冲提供给电阻器划分网络 412,并且将下降的电压电平 T2 定时脉冲在第一评估信号 EVAL1 中提供给移位寄存器 402。在第一评估信号 EVAL1 中的定时脉冲接通第一评估晶体管 506。如果正向移位寄存器输入信号 SIF 处于高电压电平,则正向输入晶体管 508 将被接通,并且由于正向晶体管 512 已经被接通,内部节点 522 被放电以提供低电压电平内部节点信号 SN1。内部节点 522 通过第一评估晶体管 506、正向输入晶体管 508 和正向晶体管 512 被放电。如果正向移位寄存器输入信号 SIF 处于低电压电平,则正向输入晶体管 508 被关闭,并且内部节点 522 保持被充电,以提供高电压电平内部节点信号 SN1。反向移位寄存器输入信号 SIR 控制反向输入晶体管 510。然而,反向晶体管 514 被关闭以致内部节点 522 不能通过反向输入晶体管 510 被放电。

[0164] 内部节点 522 上的内部节点信号 SN1 控制内部节点晶体管 520。低电压电平的内部节点信号 SN1 关闭内部节点晶体管 520,高电压电平内部节点信号 SN1 接通内部节点晶体管 520。

[0165] 来自定时信号 T3 的定时脉冲被提供给移位寄存器 402 作为第二预充电信号 PRE2。

第二预充电信号 PRE2 中的定时脉冲通过第二预充电晶体管 516 将移位寄存器输出线路 410a 充电到高电压电平。然后,向电阻器划分网络 414 提供来自定时信号 T4 的定时脉冲,并将下降的电压电平 T4 定时脉冲提供给移位寄存器 402 作为第二评估信号 EVAL2。在第二评估信号 EVAL2 中的定时脉冲接通第二评估晶体管 518。如果内部节点晶体管 520 关闭,则移位寄存器输出线路 410a 保持被充电至高电压电平。如果内部节点晶体管 520 接通,则移位寄存器输出线路 410a 被放电到低电压电平。移位寄存器输出信号 S01 是内部节点信号 SN1 的高 / 低反向,这是正向移位寄存器输入信号 SIF 的高 / 低反向。正向移位寄存器输入信号 SIF 的电平被移位到移位寄存器输出信号 S01。

[0166] 在移位寄存器单元 403a 中,正向移位寄存器输入信号 SIF 是控制线 430 上的控制信号 CSYNC。为了将内部节点 522 放电到低电压电平,在与第一评估信号 EVAL1 中定时脉冲相同的时间上提供控制信号 CSYNC 中的控制脉冲被。与来自定时信号 T2 的定时脉冲相一致的控制信号 CSYNC 中的控制脉冲启动移位寄存器 402,以正向移位。

[0167] 在使移位寄存器单元 403a 以反向移位的操作中,正向信号 DIRF 被设置为低电压电平而反向信号 DIRR 被设置为高电压电平。低电压电平正向信号 DIRF 关闭正向晶体管 512,而高电压电平反向信号 DIRR 接通反向晶体管 514。来自定时信号 T1 的定时脉冲被提供在第一预充电信号 PRE1 中,以通过第一预充电晶体管 504 将内部节点 522 充电到高电压电平。然后,来自定时信号 T2 的定时脉冲被提供给电阻器划分网络 412,并且下降的电压电平 T2 定时脉冲在第一评估信号 EVAL1 中被提供。在第一评估信号 EVAL1 中的定时脉冲接通第一评估晶体管 506。如果反向移位寄存器输入信号 SIR 处于高电压电平,则反向输入晶体管 510 被接通,并且由于反向晶体管 514 已经被接通,内部节点 522 被放电,以提供低电压电平内部节点信号 SN1。内部节点 522 通过第一评估晶体管 506、反向输入晶体管 510 和反向晶体管 514 被放电。如果反向移位寄存器输入信号 SIR 处于低电压电平,则反向输入晶体管 510 被关闭,并且内部节点 522 保持被充电,以提供高电压电平内部节点信号 SN1。正向移位寄存器输入信号 SIF 控制正向输入晶体管 508。然而,正向晶体管 512 被关闭以致于内部节点 522 不能通过正向输入晶体管 508 被放电。

[0168] 来自定时信号 T3 的定时脉冲被提供在第二预充电信号 PRE2 中。第二预充电信号 PRE2 中的定时脉冲通过第二预充电电阻器 516 将移位寄存器输出线路 410a 充电到高电压电平。然后,来自定时信号 T4 的定时脉冲被提供给电阻器划分网络 414,并且下降的电压电平 T4 定时脉冲被提供在第二评估信号 EVAL2 中。在第二评估信号 EVAL2 中的定时脉冲接通第二评估晶体管 518。如果内部节点晶体管 520 关闭,移位寄存器输出线路 410a 保持被充电至高电压电平。如果内部节点晶体管 520 接通,则移位寄存器输出线路 410a 被放电到低电压电平。移位寄存器输出信号 S01 是内部节点信号 SN1 的高 / 低反向,这是反向移位寄存器输入信号 SIR 的高 / 低反向。反向移位寄存器输入信号 SIR 的电平被移位到移位寄存器输出信号 S01。

[0169] 在移位寄存器单元 403a 中,反向移位寄存器输入信号 SIR 是移位寄存器输出线路 410b 上的移位寄存器输出信号 S02。在移位寄存器单元 403m 中,反向移位寄存器输入信号 SIR 是控制线 430 上的控制信号 CSYNC。为了将移位寄存器单元 403m 中的内部节点 522 放电到低电压电平,在与第一评估信号 EVAL1 中定时脉冲的同时,提供控制信号 CSYNC 中的控制脉冲。与来自定时信号 T2 的定时脉冲相一致的控制信号 CSYNC 中的启动脉冲促使移位

寄存器 402 以反向方向移位,即从移位寄存器单元 403m 向移位寄存器单元 403a。

[0170] 在清除移位寄存器 402 中的移位寄存器单元 403a 和所有移位寄存器单元 403 的操作中,方向信号 DIRF 和 DIRR 被设置到低电压电平。低电压电平正向信号 DIRF 关闭正向晶体管 512,低电压电平反向信号 DIRR 关闭反向晶体管 514。来自定时信号 T1 的定时脉冲被提供在第一预充电信号 PRE1 中,以使内部节点 522 充电并且提供高电压电平内部节点信号 SN1。来自定时信号 T2 的定时脉冲被提供作为第一评估信号 EVAL1 中的下降的电压电平 T2 定时脉冲,以接通第一评估晶体管 506。正向晶体管 512 和反向晶体管 514 都被关闭,以致内部节点 522 不通过正向输入晶体管 508 或反向输入晶体管 510 放电。

[0171] 高电压电平的内部节点信号 SN1 接通内部节点晶体管 520。来自定时信号 T3 的定时脉冲被提供在第二预充电信号 PRE2 中,以使移位寄存器输出信号线 410a 和所有的移位寄存器输出信号线 410 充电。然后,来自定时信号 T4 的定时脉冲作为下降的电压电平 T4 定时脉冲被提供在第二评估信号 EVAL2 中,以接通第二评估晶体管 518。移位寄存器输出线路 410a 通过第二评估晶体管 518 和内部节点晶体管 520 被放电,以提供低电压电平的移位寄存器输出信号 S01。还有,所有其它的移位寄存器输出线路 410 被放电,以提供不活动的低电压电平移位寄存器输出信号 S02-S013。

[0172] 图 10B 是图解方向电路 404 的图。方向电路 404 包含正向信号电路 550 和反向信号电路 552。正向信号电路 550 包含第三预充电晶体管 554、第三评估晶体管 556 和第一控制晶体管 558。反向信号电路 552 包含第四预充电晶体管 560、第四评估晶体管 562 和第二控制晶体管 564。

[0173] 第三预充电晶体管 554 的漏源通路的一侧和栅极被电耦合到定时信号线 436。定时信号线路 436 提供定时信号 T5 到方向电路 404 作为第三预充电信号 PRE3。第三预充电晶体管 554 的漏源通路的另一侧通过方向信号线路 408a 被电耦合到第三评估晶体管 556 的漏源通路的一侧。方向信号线路 408a 提供正向信号 DIRF 到移位寄存器 402 中每个移位寄存器单元 403 中的正向晶体管的栅极,例如移位寄存器单元 403a 中的正向晶体管 512 的栅极。第三评估晶体管 556 的栅极被电耦合到第三评估信号线 428,该第三评估信号线 428 提供下降的电压电平 T6 定时信号到方向电路 404。第三评估晶体管 556 的漏源通路的另一侧在 566 处被电耦合到控制晶体管 558 的漏源通路。控制晶体管 558 的漏源通路在 568 处还被电耦合到一个基准,例如接地。控制晶体管 558 的栅极被电耦合到控制线路 430,以接收控制信号 CSYNC。

[0174] 第四预充电晶体管 560 的漏源通路的一侧和栅极被电耦合到定时信号线 434。定时信号线路 434 提供定时信号 T3 到方向电路 404 作为第四预充电信号 PRE4。第四预充电晶体管 560 的漏源通路的另一侧通过方向信号线路 408b 被电耦合到第四评估晶体管 562 的漏源通路的一侧。方向信号线路 408b 提供反向信号 DIRR 到移位寄存器 402 中每个移位寄存器单元 403 中的反向晶体管的栅极,例如移位寄存器单元 403a 中反向晶体管 514 的栅极。第四评估晶体管 562 的栅极被电耦合到第四评估信号线 424,该第四评估信号线 424 提供下降的电压电平 T4 定时信号到方向电路 404。第四评估晶体管 562 的漏源通路的另一侧在 570 处被电耦合到控制晶体管 564 的漏源通路。控制晶体管 564 的漏源通路在 572 处还被电耦合到一个基准,例如接地。控制晶体管 564 的栅极被电耦合到控制线路 430,以接收控制信号 CSYNC。

[0175] 方向信号 DIRF 和 DIRR 在移位寄存器 402 中设置移位方向。如果正向信号 DIRF 被设置到高电压电平而反向信号 DIRR 被设置到低电压电平,则正向晶体管,例如正向晶体管 512,被接通,而反向晶体管,例如反向晶体管 514,被关闭。移位寄存器 402 以正向方向移位。如果正向信号 DIRF 被设置到低电压电平而反向信号 DIRR 被设置到高电压电平,则正向晶体管,例如正向晶体管 512,被关闭,而反向晶体管,例如反向晶体管 514,被接通。移位寄存器 402 以反向方向移位。方向信号 DIRF 和 DIRR 在来自定时信号 T3-T6 的每系列的定时脉冲期间被设置,同时移位寄存器 402 有效地以正向方向或者以反向方向移位。为了终止移位或者防止移位寄存器 402 的移位,方向信号 DIRF 和 DIRR 被设置到低电压电平。这清除了来自移位寄存器输出信号 S01-S013 的单个高电压电平信号,从而所有的移位寄存器输出信号 S01-S013 都处于低电压电平。低电压电平的移位寄存器输出信号 S01-S013 关闭所有地址晶体管对 446、448……470,并且地址信号 $\sim A1, \sim A2, \dots, \sim A7$ 保持处于不会启动激发单元 120 的高电压电平。

[0176] 运行中,定时信号线路 434 在第四预充电信号 PRE4 中提供来自定时信号 T3 的定时脉冲到方向电路 404。在第四预充电信号 PRE4 中的定时脉冲将反向信号线 408b 充电到高电压电平。来自定时信号 T4 的定时脉冲被提供到电阻器划分网络 414,电阻器划分网络 414 在第四评估信号 EVAL4 中向方向电路 404 提供下降的电压电平 T4 定时脉冲。在第四评估信号 EVAL4 中的定时脉冲接通第四评估晶体管 562。如果当第四评估信号 EVAL4 中的定时脉冲被提供给第四评估晶体管 562 的同时,来自控制信号 CSYNC 的控制脉冲被提供到控制晶体管 564 的栅极,则反向信号线 408b 放电到低电压电平。如果第四评估信号 EVAL4 中的定时脉冲被提供给第四评估晶体管 562 时,控制信号 CSYNC 保持处于低电压电平,则反向信号线 408b 保持被充电到高电压电平。

[0177] 定时信号线路 436 在第三预充电信号 PRE3 中提供来自定时信号 T5 的定时脉冲到方向电路 404。在第三预充电信号 PRE3 中的定时脉冲将正向信号线 408a 充电到高电压电平。来自定时信号 T6 的定时脉冲被提供给电阻器划分网络 416,该电阻器划分网络 416 提供下降的电压电平 T6 定时脉冲到方向电路 404 的第三评估电路 EVAL3。在第三评估信号 EVAL3 中的定时脉冲接通第三评估晶体管 556。如果当第三评估信号 EVAL3 中的定时脉冲被提供到第三评估晶体管 556 的同时,来自控制信号 CSYNC 的控制脉冲被提供到控制晶体管 558 的栅极,正向信号线 408a 放电到低电压电平。如果当第三评估信号 EVAL3 中的定时脉冲被提供到第三评估晶体管 556 时,控制信号 CSYNC 保持处于低电压电平,则正向信号线 408a 保持被充电到高电压电平。

[0178] 图 11 是图解在正向方向中地址生成器 400 的操作的时序图。定时信号 T1-T6 提供一系列的六个重复脉冲。每个定时信号 T1-T6 提供该系列定时脉冲中的一个脉冲。

[0179] 在一个系列的六个脉冲中,600 处的定时信号 T1 包含定时脉冲 602,604 处的定时信号 T2 包含定时脉冲 606,608 处的定时信号 T3 包含定时脉冲 610,612 处的定时信号 T4 包含定时脉冲 614,616 处的定时信号 T5 包含定时脉冲 618,620 处的定时信号 T6 包含定时脉冲 622。624 处的控制信号 CSYNC 包含控制脉冲,该控制脉冲设置移位寄存器 402 中的移位方向并启动移位寄存器 402 用以产生标记为 625 的地址信号 $\sim A1, \sim A2, \dots, \sim A7$ 。

[0180] 600 处的定时信号 T1 的定时脉冲 602 在第一预充电信号 PRE1 中被提供给移位寄存器 402。在定时脉冲 602 期间,每个移位寄存器单元 403a-403m 中的内部节点 522 充电以

提供高电压电平内部节点信号 SN 1-SN 13。标记为 626 的所有移位寄存器内部节点信号 SN 在 628 处被设置到高电压电平。高电压电平内部节点信号 SN 626 接通在每个移位寄存器单元 403a-403m 中的内部节点晶体管 520。在这个实施例中,所述系列六个定时脉冲在定时脉冲 602 前已经被提供,并且移位寄存器 402 没有被启动,使得标记为 630 的所有移位寄存器输出信号 S0 被放电到低电压电平,标记为 632,并且 625 处的所有地址信号~ A1、~ A2……~ A7 保持处于高电压电平,标记为 633。

[0181] 604 处的定时信号 T2 的定时脉冲 606 在第一评估信号 EVAL1 中被提供给移位寄存器 402。定时脉冲 606 接通每个移位寄存器单元 403a-403m 中的第一评估晶体管 506。当控制信号 CSYNC 624 在 634 处保持处于低电压电平并且所有的移位寄存器输出信号 S0 630 在 636 处保持处于低电压电平时,在每个移位寄存器单元 403a-403m 中的正向输入晶体管 508 和反向输入晶体管 510 关闭。非导通正向输入晶体管 508 和非导通反向输入晶体管 510 防止每个移位寄存器单元 403a-403m 中的内部节点 522 放电到低电压电平。所有移位寄存器内部节点信号 SN 626 在 638 处保持处于高电压电平。

[0182] 608 处的定时信号 T3 的定时脉冲 610 在第二预充电信号 PRE2 中被提供到移位寄存器 402,在第四预充电信号 PRE4 中被提供到方向电路 404,并且被提供到逻辑阵列 406 中的地址线预充电晶体管 438 和评估阻止晶体管 422a。在第二预充电信号 PRE2 的定时脉冲 610 期间,所有的移位寄存器输出信号 S0 630 在 640 处充电到高电压电平。还有,在第四预充电信号 PRE4 中的定时脉冲 610 期间,反向信号 DIRR 642 在 644 处充电到高电压电平。另外,定时脉冲 610 在 646 处将所有地址信号 625 充电到高电压电平,并接通评估阻止晶体管 422a 以使逻辑评估信号 LEVAL 648 在 650 处降低到低电压电平。

[0183] 612 处的定时信号 T4 的定时脉冲 614 在第二预充电信号 EVAL2 中被提供到移位寄存器 402,在第四评估信号 EVAL4 中被提供到方向电路 404,并且被提供到逻辑阵列 406 中的评估阻止晶体管 422b。第二评估信号 EVAL2 中的定时脉冲 614 接通每个移位寄存器单元 403a-403m 中的第二评估晶体管 518。由于处于高电压电平的内部节点信号 SN 626 已经接通了每个移位寄存器单元 403a-403m 中的内部节点晶体管 520,所有的移位寄存器输出信号 S0 630 在 652 处放电到低电压电平。还有,在第四评估信号 EVAL4 中的定时脉冲 614 接通第四评估晶体管 562。控制信号 CSYNC 624 在 654 处的控制脉冲接通控制晶体管 564。由于第四评估晶体管 562 和控制晶体管 564 被接通,方向信号 DIRR642 在 656 处被放电到低电压电平。另外,定时脉冲 614 接通评估阻止晶体管 442b,以在 658 处将逻辑评估信号 LEVAL 648 保持在低电压电平。低电压电平的逻辑评估信号 LEVAL 648 关闭地址评估晶体管 440。

[0184] 616 处的定时信号 T5 的定时脉冲 618 在第三预充电信号 PRE3 中被提供到方向电路 404,并且被提供到逻辑阵列 406 中的逻辑评估预充电晶体管 444。在第三预充电信号 PRE3 中的定时脉冲 618 期间,正向信号 DIRF 658 在 660 处充电到高电压电平。高电压电平的正向信号 DIRF 658 接通每个移位寄存器单元 403a-403m 中的正向晶体管 512,以设置移位寄存器 402 以正向方向移位。还有,在定时脉冲 618 期间,逻辑评估信号 LEVAL 648 在 662 处充电到高电压电平,其接通所有的逻辑评估晶体管 440。由于所有的移位寄存器输出信号 S0 630 处于低电压电平,所有的地址晶体管对 446、448……470 被关闭,并且所有的地址信号~ A1、~ A2……~ A7 在 625 处保持处于高电压电平。

[0185] 来自定时信号 T6 的定时脉冲 622 被提供到方向电路 404 作为第三评估信号 EVAL3。定时脉冲 622 接通第三评估晶体管 556。因为控制信号 CSYNC 624 在 664 处保持处于低电压电平,所以控制晶体管 558 关闭并且正向信号 DIRF 658 保持处于高电压电平。高电压电平正向信号 DIRF 658 和低电压电平反向信号 DIRR 642 设置每个移位寄存器单元 403a-403m 以正向方向移位。

[0186] 在下一个系列的六个定时脉冲中,定时脉冲 666 将所有的内部节点信号 SN626 充电到高电压电平。定时脉冲 668 接通每个移位寄存器单元 403a-403m 中的第一评估晶体管 506。控制信号 CSYNC 624 提供在 670 处的控制脉冲到移位寄存器单元 403a 中的正向输入晶体管 508。由于正向晶体管 512 已经被接通,移位寄存器单元 403a 中的内部节点信号 SN1 放电到低电压电平,标示为 672。移位寄存器输出信号 S0 630 在 674 处处于低电压电平,其关闭移位寄存器单元 403b-403m 中的正向输入晶体管。由于正向输入晶体管关闭,移位寄存器单元 403b-403m 中每个其它内部节点信号 SN2-SN13 保持处于高电压电平,标记为 676。

[0187] 在定时脉冲 678 期间,所有的移位寄存器输出信号 S0 630 在 680 处被充电到的高电压电平,反向信号 DIRR 642 在 682 处被充电到高电压电平。另外,在定时脉冲 678 期间,所有地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7625$ 在 684 处被充电到高电压电平,并且逻辑评估信号 LEVAL 648 在 686 处被放电到低电压电平。低电压电平的逻辑评估信号 LEVAL 648 关闭地址评估晶体管 440,其防止地址晶体管对 446、448……470 使地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7625$ 降低到低电压电平。

[0188] 在定时脉冲 688 期间,移位寄存器输出信号 S02-S013 在 690 处放电到低电压电平。移位寄存器输出信号 S01 保持处于高电压电平,标记为 692,由于在 672 处内部节点信号 SN1 关闭移位寄存器单元 403a 的内部节点晶体管 520。还有,定时脉冲 688 接通第二评估晶体管 562,并且控制脉冲 694 接通控制晶体管 564,以在 696 处将反向信号 DIRR 642 放电到低电压电平。另外,定时脉冲 688 接通评估阻止晶体管 442b,以便将逻辑评估信号 LEVAL 648 在 698 处拉低到低电压电平,并保持评估晶体管 440 关闭。

[0189] 在定时脉冲 700 期间,正向信号 DIRF 658 被维持在高电压电平,并且逻辑评估信号 LEVAL 648 在 702 处被充电到高电压电平。高电压电平的逻辑评估信号 LEVAL 648 在 702 处接通评估晶体管 440。692 处的高电平移位寄存器输出信号 S01 接通地址晶体管对 446a 和 446b,并且 625 处的地址信号 $\sim A1$ 和 $\sim A2$ 在 704 处被有效地拉低到低电压电平。其它移位寄存器输出信号 S02-S013 在 690 处被拉低到低电压电平,从而地址晶体管 448、450……470 被关闭并且地址信号 $\sim A3$ 、 $\sim A7$ 保持处于高电压电平,标记为 706。625 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 在 616 处定时信号 T5 中的定时脉冲 700 期间变为有效。定时脉冲 708 接通第三评估晶体管 556。然而,控制信号 CSYNC 624 在 710 处处于低电压电平,正向信号 DIRF 658 在 712 处保持处于高电压电平。

[0190] 在下一个系列的六个定时脉冲中,定时脉冲 714 在 716 处将所有的内部节点信号 SN 626 充电到高电压电平。如果每个移位寄存器单元 403a-403m 处的正向输入信号 SIF 处于高电压电平,定时脉冲 718 接通每个移位寄存器单元 403a-403m 中的第一评估晶体管 506 以允许节点 522 放电。移位寄存器单元 403a 处的正向输入信号 SIF 是控制信号 CSYNC 624,其在 720 处处于低电压电平。每个其它的移位寄存器单元 403b-403m 处的正向输入信

号 SIF 是在前移位寄存器单元 403 的移位寄存器输出信号 S0 630。移位寄存器输出信号 S01 在 692 处处于高电压电平并且是第二移位寄存器单元 403b 的正向输入信号 SIF。移位寄存器输出信号 S02-S023 在 690 处都处于低电压电平。

[0191] 移位寄存器单元 403a 和 403c-403m 接收低电压电平正向输入信号 SIF,其关闭在每个移位寄存器单元 403a 和 403c-403m 中的正向输入晶体管 508,从而内部节点信号 SN1 和 SN3-SN13 在 722 处保持高电平。移位寄存器单元 403b 接收高电压电平移位寄存器输出信号 S01 作为正向输入信号 SIF,其接通正向输入晶体管,以便在 724 处放电内部节点信号 SN2。

[0192] 在定时脉冲 726 期间,所有的移位寄存器输出信号 S0 630 在 728 处被充电到高电压电平,反向信号 DIRR 642 在 730 处被充电到高电压电平。还有,定时脉冲 726 将所有的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7625$ 在 732 处向高电压电平充电,并且接通评估阻止晶体管 442a,以便在 734 处将 LEVAL 648 拉到低电压电平。

[0193] 从地址信号 $\sim A1$, $\sim A2$ 在 704 处被拉低到低电平的时刻直到所有地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7625$ 在 732 处被拉高到高电平,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7625$ 是有效的。在前系列六个定时脉冲的来自 620 处的定时信号 T6 的定时脉冲 708 期间,以及在当前系列六个定时脉冲的来自 600 处的定时信号 T1 和来自 604 处的定时脉冲 T2 的定时脉冲 714 和 718 期间,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7625$ 是有效的。

[0194] 定时脉冲 736 接通每个移位寄存器单元 403a-403m 中的第二评估晶体管 518 以评估内部节点信号 SN 626。内部节点信号 SN1 和 SN3-SN13 在 722 处处于高电压电平而在 738 处将移位寄存器输出信号 S01 和 S03-S013 放电到低电压电平。内部节点信号 SN2 在 724 处于低电压电平,其关闭移位寄存器单元 403b 的内部节点晶体管并在 740 处将移位寄存器输出信号 S02 保持在高电压电平。

[0195] 当第四评估晶体管 562 利用定时脉冲 736 接通,以及 CSYNC 624 中的控制脉冲 742 接通控制晶体管 564 时,反向信号 DIRR 642 在 744 处放电到低电压电平。方向信号 DIRR 642 和 DIRF 658 在每个系列的六个定时脉冲期间被设置。另外,定时脉冲 736 接通评估阻止晶体管 442b,以在 746 处将 LEVAL 648 保持在低电压电平。

[0196] 在定时脉冲 748 期间,正向信号 DIRF 658 在 750 处被维持高电压电平,并且 LEVAL 648 在 752 处充电到高电压电平。在 752 处的高电压电平逻辑评估信号 LEVAL 678 接通评估晶体管 440。740 处的高电压电平移位寄存器输出信号 S02 接通向地址晶体管 448a 和 448b,以便将地址信号 $\sim A1$ 和 $\sim A3$ 在 754 处拉低到低电压电平。其它地址信号 $\sim A2$ 和 $\sim A4$ - $\sim A7$ 在 756 处被维持在高电压电平。

[0197] 定时脉冲 758 接通第三评估晶体管 556。控制信号 CSYNC 624 在 760 处保持处于低电压电平,以关闭控制晶体管 558 和保持正向信号 DIRF 642 处于高电压电平。

[0198] 下一系列的六个定时脉冲将高电压电平移位寄存器输出信号 S02 移位到下一个移位寄存器单元 403c,移位寄存器单元 403c 提供高电压电平的移位寄存器输出信号 S03。移位随着每个系列的六个定时脉冲继续,直到每个移位寄存器输出信号 S01-S013 已经成为高电平一次。在移位寄存器输出信号 S013 已经成为高电平以后,该系列的高电压电平移位寄存器输出信号 S0 630 停止。通过在控制信号 CSYNC 中提供与来自 604 处的定时信号 T2 的定时脉冲相一致的控制脉冲,例如控制脉冲 670,移位寄存器 402 能够被再启动。

[0199] 在正向操作中,提供与来自 612 处的定时信号 T4 的定时脉冲相一致的控制信号 CSYNC 624 中的控制脉冲,以便将移位方向设置为正向方向。还有,提供与来自 604 处的定时信号 T2 的定时脉冲相一致的来自控制信号 CSYNC 624 的控制脉冲,以通过移位寄存器输出信号 S01-S013 开始或者启动移位寄存器 402 移位高电压信号。

[0200] 图 12 是图解在反向方向中地址生成器 400 的操作的时序图。定时信号 T1-T6 提供重复的系列六个脉冲。每个定时信号 T1-T6 提供一系列定时脉冲中的一个脉冲。在一个系列的六个脉冲中,800 处的定时信号 T1 包含定时脉冲 802,804 处的定时信号 T2 包含定时脉冲 806,808 处的定时信号 T3 包含定时脉冲 810,812 处的定时信号 T4 包含定时脉冲 814,816 处的定时信号 T5 包含定时脉冲 818,并且 820 处的定时信号 T6 包含定时脉冲 822。824 处的控制信号 CSYNC 包含控制脉冲,这些控制脉冲设置移位寄存器 402 中的移位方向并启动移位寄存器 402 用以产生地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$,标示为 825。

[0201] 在第一预充电信号 PRE1 中向移位寄存器 402 提供定时脉冲 802。在定时脉冲 802 期间,每个移位寄存器单元 403a-403m 中的内部节点 522 充电,以提供相应的高电压电平内部节点信号 SN 1-SN 13。移位寄存器内部节点信号 SN826 在 828 被设置为高电压电平。高电压电平内部节点信号 SN 826 接通在移位寄存器单元 403 中的内部节点晶体管 520。在这个实施例中,在定时脉冲 802 之前已经提供了一系列六个定时脉冲,并且没有启动移位寄存器 402,从而所有移位寄存器输出信号 S0 830 被放电到低电压电平,其标示为 832,并且 825 处的所有地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 保持处于高电压电平,标示为 833。

[0202] 在第一评估信号 EVAL1 中向移位寄存器 402 提供定时脉冲 806。定时脉冲 806 接通每个移位寄存器单元 403a-403m 中的第一评估晶体管 506。控制信号 CSYNC 824 在 834 处保持处于低电压电平并且所有移位寄存器输出信号 S0 830 在 836 处保持处于低电压电平,以关闭每个移位寄存器单元 403a-403m 中的正向输入晶体管 508 和反向输入晶体管 510。非导通正向和反向输入晶体管 508 和 510 防止每个移位寄存器单元 403a-403m 中的内部节点 522 放电到低电压电平。所有的移位寄存器内部节点信号 SN 826 在 838 处保持处于高电压电平。

[0203] 定时脉冲 810 在第二预充电信号 PRE2 中被提供到移位寄存器 402,在第四预充电信号 PRE4 中被提供到方向电路 404,并且被提供到逻辑阵列 406 中的地址线预充电晶体管 438 和评估阻止晶体管 422a。在定时脉冲 810 期间,所有移位寄存器输出信号 S0 830 在 840 处被充电到高电压电平。还有,在定时脉冲 810 期间,反向信号 DIRR 842 在 844 处充电到高电压电平。另外,定时脉冲 810 将所有的地址信号 825 保持在高电压电平,并接通评估阻止晶体管 422a 以使逻辑评估信号 LEVAL 848 在 850 处降低到低电压电平。

[0204] 定时脉冲 814 在第二预充电信号 EVAL2 中被提供到移位寄存器 402,在第四评估信号 EVAL4 中被提供到方向电路 404,并且被提供到逻辑阵列 406 中的评估阻止晶体管 422b。定时脉冲 814 接通每个移位寄存器单元 403a-403m 中的第二评估晶体管 518。由于处于高电压电平的内部节点信号 SN 826 接通了每个移位寄存器单元 403a-403m 中的内部节点晶体管 520,所有的移位寄存器输出信号 S0 830 在 852 处放电到低电压电平。还有,定时脉冲 814 接通第四评估晶体管 562,并且控制信号 CSYNC 824 提供低电压,以关闭控制晶体管 564。由于控制晶体管 564 被关闭,反向信号 DIRR 842 保持被充电到高电压电平。另外,定时脉冲 814 接通评估阻止晶体管 442b,以在 858 处将逻辑评估信号 LEVAL848 保持在低电压

电平。低电压电平逻辑评估信号 LEVAL 848 关闭地址评估晶体管 440。

[0205] 定时脉冲 818 在第三预充电信号 PRE3 中被提供到方向电路 404 并且被提供到逻辑阵列 406 中的逻辑评估预充电晶体管 444。在定时脉冲 818 期间,正向信号 DIRF 858 在 860 处充电到高电压电平。还有,在定时脉冲 818 期间,逻辑评估信号 LEVAL 848 在 662 处充电到高电压电平,以便接通所有的逻辑评估晶体管 440。由于所有的移位寄存器输出信号 S0 830 处于低电压电平,所有的地址晶体管对 446、448……470 被关闭,并且在 825 处的所有地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 保持处于高电压电平。

[0206] 定时脉冲 822 被提供到方向电路 404 作为第三评估信号 EVAL3。定时脉冲 822 接通第三评估晶体管 556。控制信号 CSYNC 824 提供控制脉冲 864,以接通控制晶体管 558,并且正向信号 DIRF 858 在 865 处被放电到低电压电平。低电压电平正向信号 DIRF 858 和高电压电平反向信号 DIRR 842 设置每个移位寄存器单元 403a-403m 以反向方向移位。

[0207] 在下一个系列的六个定时脉冲中,在定时脉冲 866 期间,所有的内部节点信号 SN 826 被充电到高电压电平。定时脉冲 868 接通每个移位寄存器单元 403a-403m 中的第一评估晶体管 506。提供一个控制脉冲 870,其可以在控制信号 CSYNC 中,以接通移位寄存器单元 403m 中的反向输入晶体管,并且由于反向 晶体管被接通,内部节点信号 SN13 放电到低电压电平,标示为 872。移位寄存器输出信号 S0 830 在 874 处处于低电压电平,其关闭移位寄存器单元 403a-4031 中的反向输入晶体管。由于反向输入晶体管关闭,每个其它的内部节点信号 SN1-SN12 保持处于高电压电平,标示为 876。

[0208] 在定时脉冲 878 期间,所有的移位寄存器输出信号 S0 830 在 880 处被充电到高电压电平,反向信号 DIRR 842 在 882 处被维持在高电压电平。另外,定时脉冲 878 将所有的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 825 在 884 处保持在高电压电平,并在 886 处将逻辑评估信号 LEVAL 848 拉低到低电压电平。低电压电平的逻辑评估信号 LEVAL 848 关闭地址评估晶体管 440,其防止地址晶体管对 446、448……470 使地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 825 降低到低电压电平。

[0209] 在定时脉冲 888 期间,移位寄存器输出信号 S01-S012 在 890 处被放电到低电压电平。基于 872 处低电压电平内部节点信号 SN13,其关闭移位寄存器单元 403m 的内部节点晶体管 520,移位寄存器输出信号 S013 保持处于高电压电平。还有,定时脉冲 888 接通第二评估晶体管并且控制信号 CSYNC 824 关闭控制晶体管 564,以便在 896 处将反向信号 DIRR 842 保持在高电压电平。另外,定时脉冲 888 接通评估阻止晶体管 442b,以便将逻辑评估信号 LEVAL 848 在 898 处保持在低电压电平并保持评估晶体管 440 关闭。移位寄存器输出信号 S0830 在定时脉冲 888 期间建立(settle),从而一个移位寄存器输出信号 S013 处于高电压电平,并且所有其它的移位寄存器输出信号 S01-S012 处于低电压电平。

[0210] 在定时脉冲 900 期间,正向信号 DIRF 858 在 901 处充电到高电压电平,并且逻辑评估信号 LEVAL 848 在 902 处充电到高电压电平。在 902 处的高电压电平逻辑评估信号 LEVAL 848 接通评估晶体管 440。892 处的高电压电平移位寄存器输出信号 S013 接通向地址晶体管 470a 和 470b,并且地址信号 $\sim A3$ 和 $\sim A5$ 被有效地拉低到低电压电平,标记为 904。其它的移位寄存器输出信号 S01-S012 在 890 处被拉低到低电压电平,从而地址晶体管对 446、448……468 被关闭,并且地址信号 $\sim A1$ 、 $\sim A2$ 、 $\sim A4$ 、 $\sim A6$ 和 $\sim A7$ 保持处于高电压电平,标记为 906。地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 825 在定时脉冲 900 期间变为有效。

定时脉冲 908 接通第三评估晶体管 556, 并且控制信号 CSYNC 824 中的控制脉冲 910 接通控制晶体管 558, 以便将正向信号 DIRF 858 在 912 处放电到低电压。

[0211] 在下一个系列的六个定时脉冲中, 在定时脉冲 914 期间, 所有的内部节点信号 SN 826 在 916 处被充电到高电压电平。如果每个移位寄存器单元 403a-403m 处的反向输入信号 SIR 处于高电压电平, 则定时脉冲 918 接通每个移位寄存器单元 403a-403m 中的第一评估晶体管 506 以便放电节点 522。移位寄存器单元 403m 处的反向输入信号 SIR 是控制信号 CSYNC 824, 其在 920 处处于低电压电平。每个其它的移位寄存器单元 403a-403l 处的反向输入信号 SIR 是随后移位寄存器单元 403 的移位寄存器输出信号 S0 830。移位寄存器输出信号 S013 在 892 处处于高电压电平并且是移位寄存器单元 403l 的反向输入信号 SIR。移位寄存器输出信号 S01-S012 在 890 处都处于低电压电平。移位寄存器单元 403a-403k 和 403m 具有低电压电平反向输入信号 SIR, 其关闭反向输入晶体管 510, 从而内部节点信号 SN1-SN11 和 SN13 在 922 处保持处于高电压电平。移位寄存器单元 403l 接收高电压电平移位寄存器输出信号 S013 作为反向输入信号 SIR, 其接通反向输入晶体管以便在 924 处放电内部节点信号 SN12。

[0212] 在定时脉冲 926 期间, 所有的移位寄存器输出信号 S0 830 在 928 处被充电到高电压电平, 反向信号 DIRR 842 在 930 处被维持在高电压电平。还有, 在定时脉冲 926 期间, 所有的地址信号 ~ A1、~ A2……~ A7825 在 932 处被充电到高电压电平, 并且评估阻止晶体管 442a 被接通以便在 934 处将 LEVAL 848 拉低到低电压电平。从地址信号 ~ A3 和 ~ A5 在 904 处被拉低, 直到所有的地址信号 ~ A1、~ A2……~ A7825 在 932 处被拉高, 地址信号 ~ A1、~ A2……~ A7825 是有效的。地址信号 ~ A1、~ A2……~ A7825 在定时脉冲 908、914 和 918 期间是有效的。

[0213] 定时脉冲 936 接通每个移位寄存器单元 403a-403m 中的第二评估晶体管 518 以便评估内部节点信号 SN 826。内部节点信号 SN1-SN11 和 SN13 在 922 处处于高电压电平, 以便在 938 处将移位寄存器输出信号 S01-S011 和 S013 放电到低电压电平。内部节点信号 SN12 在 924 处处于低电压电平, 其关闭移位寄存器单元 403l 的内部节点晶体管并在 940 处将移位寄存器输出信号 S012 保持在高电压电平。

[0214] 还有, 定时脉冲 936 接通第四评估晶体管 562 并且控制信号 CSYNC 824 处于低电压电平以关闭控制晶体管 564, 以便在 944 处将反向信号 DIRR 842 保持在低电压电平。另外, 定时脉冲 936 接通评估阻止晶体管 442b, 以便在 946 处将逻辑评估信号 LEVAL 848 保持在低电压电平。

[0215] 在定时脉冲 948 期间, 正向信号 DIRF 858 被充电到高电压电平, 并且逻辑评估信号 LEVAL 648 在 952 处被充电到高电压电平。在 952 处的高电压电平逻辑评估信号 LEVAL 848 接通评估晶体管 440。940 处的高电压电平移位寄存器输出信号 S012 接通向地址晶体管 468a 和 468b 以便将地址信号 ~ A3 和 ~ A4 在 954 处拉低到低电压电平。其它地址信号 ~ A1、~ A2 和 ~ A5- ~ A7 在 956 处被维持在高电压电平。

[0216] 定时脉冲 958 接通第三评估晶体管 556。控制信号 CSYNC 824 中的控制脉冲 960 接通控制晶体管 558, 并且正向信号 DIRF 842 在 962 处放电到低电压电平。

[0217] 下一系列六个定时脉冲将高电压电平移位寄存器输出信号 S012 移位到下一个移位寄存器单元 403k, 移位寄存器单元 403k 提供高电压电平移位寄存器输出信号 S011。移

位随着每个系列六个定时脉冲继续,直到每个移位寄存器输出信号 S01-S013 已经成为高电平一次。在移位寄存器输出信号 S01 为高电平以后,该系列高电压电平移位寄存器输出信号 S0 830 停止。通过提供与来自定时信号 T2 804 的定时脉冲相一致的控制脉冲,例如控制脉冲 870,移位寄存器 402 可以被再启动。

[0218] 在反向操作中,提供与来自 820 处的定时信号 T6 的定时脉冲相一致的来自 CSYNC 824 的控制脉冲,以便将移位方向设置为反向方向。还有,提供与来自 804 处的定时电平信号 T2 的定时脉冲相一致的来自控制电平信号 CSYNC824 的控制脉冲,以便通过移位寄存器输出电平信号 S01-S013 开始或者启动移位寄存器 402 移位高电压电平信号。

[0219] 图 13 是图解两个地址生成器 1000 和 1002 以及六个激发组 1004a-1004f 的一个实施方式的框图。每个地址生成器 1000 和 1002 类似于图 9 的地址生成器 400,激发组 1004a-1004f 类似于在图 7 中图解的激发组 202a-202f。地址生成器 1000 通过第一地址线 1006 被电耦合到激发组 1004a-1004c。地址线 1006 提供来自地址生成器 1000 的地址信号 $\sim A1, \sim A2, \dots \sim A7$ 到每个激发组 1004a-1004c。还有,地址生成器 1000 被电耦合到控制线 1010。控制线 1010 接收导通控制信号 CSYNC 到地址生成器 1000。在一个实施方式中,CSYNC 信号通过一个外部控制器被提供到打印头模具,在该打印头模具上安装了两个地址发生器 1000 和 1002 以及六个激发组 1004a-1004f。另外,地址生成器 1000 被电耦合到选择线 1008a-1008f。选择线 1008a-1008f 类似于图 7 中图解的选择线 212a-212f。选择线 1008a-1008f 导通选择信号 SEL1、SEL2……SEL6 到地址生成器 1000 和相应的激发组 1004a-1004f(未示出)。

[0220] 选择线 1008a 导通选择信号 SEL1 到地址生成器 1000,在一个实施方式中是定时信号 T3 定时信号 T6。选择线 1008b 导通选择信号 SEL2 到地址生成器 1000,在一个实施方式中是定时信号 T3 定时信号 T1。选择线 1008c 导通选择信号 SEL3 到地址生成器 1000,在一个实施方式中是定时信号 T3 定时信号 T2。选择线 1008d 导通选择信号 SEL4 到地址生成器 1000,在一个实施方式中是定时信号 T3 定时信号 T3。选择线 1008e 导通选择信号 SEL5 到地址生成器 1000,在一个实施方式中是定时信号 T3 定时信号 T4,并且选择线 1008f 导通选择信号 SEL6 到地址生成器 1000,在一个实施方式中是定时信号 T3 定时信号 T5。

[0221] 地址生成器 1002 通过第二地址线路 1012 被电耦合到激发组 1004d-1004f。地址线 1012 将地址信号 $\sim B1, \sim B2, \dots \sim B7$ 从地址生成器 1002 提供到每个激发组 1004d-1004f。还有,地址生成器 1002 被电耦合到传输控制信号 CSYNC 到地址生成器 1002 的控制线 1010。另外,地址生成器 1002 被电耦合到选择线 1008a-1008f。选择线 1008a-1008f 导通选择信号 SEL1、SEL2……SEL6 到地址生成器 1002 和相应的激发组 1004a-1004f(未示出)。

[0222] 选择线 1008a 导通选择信号 SEL1 到地址生成器 1002,其在一个实施方式中是定时信号 T3。选择线 1008b 导通选择信号 SEL2 到地址生成器 1002,其在一个实施方式中是定时信号 T4。选择线 1008c 导通选择信号 SEL3 到地址生成器 1002,其在一个实施方式中是定时信号 T5。选择线 1008d 导通选择信号 SEL4 到地址生成器 1002,其在一个实施方式中是定时信号 T6。选择线 1008e 导通选择信号 SEL5 到地址生成器 1002,其在一个实施方式中是定时信号 T1,并且选择线 1008f 导通选择信号 SEL6 到地址生成器 1002,其在一个实施方式中是定时信号 T2。

[0223] 选择信号 SEL1、SEL2……SEL6 包含一系列六个脉冲,其以重复的系列六个脉冲

重复。每个选择信号 SEL1、SEL2……SEL6 包含在该系列六个脉冲中的一个脉冲。在一个实施方式中,选择信号 SEL1 中的脉冲后面是选择信号 SEL2 中的脉冲,其后面是选择信号 SEL3 中的脉冲,其后面是选择信号 SEL4 中的脉冲,其后面是选择信号 SEL5 中的脉冲,其后面是选择信号 SEL6 中的脉冲。在选择信号 SEL6 中的脉冲之后,这个系列从选择信号 SEL1 中的脉冲开始重复。控制信号 CSYNC 包含与选择信号 SEL1、SEL2……SEL6 中的脉冲相一致的脉冲,以便启动地址生成器 1000 和 1002,并设置地址生成器 1000 和 1002 中的移位方向或者地址生成,例如关于图 11 和 12 所讨论的。为了从地址生成器 1000 启动地址生成,控制信号 CSYNC 包含与定时信号 T2 中的定时脉冲相一致的控制脉冲,定时信号 T2 中的定时脉冲对应于选择信号 SEL3 中的定时脉冲。

[0224] 地址生成器 1000 响应于选择信号 SEL1、SEL2……SEL6 和控制信号 CSYNC 产生地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。地址信号 $\sim A1$ 、 $\sim A2$,…… $\sim A7$ 通过第一地址线 1006 提供到激发组 1004a-1004c。

[0225] 在地址生成器 1000 中,在定时信号 T6、T1 和 T2 中的定时脉冲期间,定时信号 T6、T1 和 T2 中的定时脉冲对应于选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 是有效的。控制信号 CSYNC 包含与定时信号 T4 中的定时脉冲相一致的控制脉冲,定时信号 T4 中的定时脉冲对应于选择信号 SEL5 中的定时脉冲,以便设置地址生成器 1000 以正向方向移位。控制信号 CSYNC 包含与定时信号 T6 中的定时脉冲相一致的控制脉冲,其中定时信号 T6 中的定时脉冲对应于选择信号 SEL1 中的定时脉冲,以便设置地址生成器 1000 以反向方向移位。

[0226] 在选择信号 SEL1、SEL2 和 SEL3 的脉冲期间,激发组 1004a-1004c 接收有效的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。当在 1004a 处的激发组一 (FG1) 接收地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和选择信号 SEL1 中的脉冲时,在选定排子群 SG1 中的激发单元 120 由激发信号 FIRE1 启动激活。当在 1004b 处的激发组二 (FG2) 接收地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和选择信号 SEL2 中的脉冲时,在选定排子群 SG2 中的激发单元 120 由激发信号 FIRE2 启动激活。当在 1004c 处的激发组三 (FG3) 接收地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和选择信号 SEL3 中的脉冲时,在选定排子群 SG3 中的激发单元 120 被允许利用激发信号 FIRE3 激活。

[0227] 地址生成器 1002 响应于选择信号 SEL1、SEL2……SEL6 和控制信号 CSYNC 产生地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 通过第二地址线路 1012 被提供到激发组 1004d-1004f。在地址生成器 1002 中,在定时信号 T6、T1 和 T2 的定时脉冲期间,其中定时信号 T6、T1 和 T2 的定时脉冲对应于选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲,地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 是有效的。控制信号 CSYNC 包含与定时信号 T4 中的定时脉冲相一致的控制脉冲,其中定时信号 T4 中的定时脉冲对应于选择信号 SEL2 中的定时脉冲,以便设置地址生成器 1002 以正向方向移位。控制信号 CSYNC 包含与定时信号 T6 中的定时脉冲相一致的控制脉冲,其中定时信号 T6 中的定时脉冲对应于选择信号 SEL4 中的定时脉冲,以便设置地址生成器 1002 以反向方向移位。为了从地址生成器 1002 启动地址生成,控制信号 CSYNC 包含与定时信号 T2 中的定时脉冲相一致的控制脉冲,其中定时信号 T2 中的定时脉冲对应于选择信号 SEL6 中的定时脉冲。

[0228] 在选择信号 SEL4、SEL5 和 SEL6 的脉冲期间,激发组 1004d-1004f 接收有效的地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。当在 1004d 处的激发组四 (FG4) 接收地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 时,在选定排子群 SG4 中的激发单元 120 由激发信号 FIRE4 启动激活。

B7 和选择信号 SEL4 中的脉冲时,在选定排子群 SG4 中的激发单元 120 允许利用激发信号 FIRE4 激活。当在 1004e 处的激发组五 (FG5) 接收地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 和选择信号 SEL5 中的脉冲时,在选定排子群 SG5 中的激发单元 120 允许利用激发信号 FIRE5 激活。当在 1004f 处的激发组六 (FG6) 接收地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 和选择信号 SEL6 中的脉冲时,在选定排子群 SG6 中的激发单元 120 允许利用激发信号 FIRE6 激活。

[0229] 在一个操作实施例中,在一个系列的六个脉冲期间,控制信号 CSYNC 包含与选择信号 SEL2 和 SEL5 中的定时脉冲相一致的控制脉冲,以便设置地址生成器 1000 和 1002 以正向方向移位。与选择信号 SEL2 中的定时脉冲相一致的控制脉冲设置地址生成器 1002 以正向方向移位。与选择信号 SEL5 中的定时脉冲相一致的控制脉冲设置地址生成器 1000 以正向方向移位。

[0230] 在下一系列的六个脉冲中,控制信号 CSYNC 包含与选择信号 SEL2、SEL3、SEL5 和 SEL6 中的定时脉冲相一致的控制脉冲。与选择信号 SEL2 和 SEL5 中的定时脉冲相一致的控制脉冲在地址生成器 1000 和 1002 中将移位方向设置为正向。与选择信号 SEL3 和 SEL6 中的定时脉冲相一致的控制脉冲启动地址生成器 1000 和 1002,用以产生地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。与选择信号 SEL3 中的定时脉冲相一致的控制脉冲启动地址生成器 1000,并且与选择信号 SEL6 中的定时脉冲相一致的控制脉冲启动地址生成器 1002。

[0231] 在第三系列的定时脉冲期间,地址生成器 1000 产生地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$,它们在选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲期间是有效的。有效的地址信号 $\sim A1$ 、 $\sim A2$,…… $\sim A7$ 用于启动激活 1004a-1004c 处激发组 FG1、FG2 和 FG3 中的排子群 SG1、SG2 和 SG3 中的激发单元 120。在第三系列的定时脉冲期间,地址生成器 1002 产生地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$,它们在选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲期间是有效的。有效的地址信号 $\sim B1$ 、 $\sim B2$,…… $\sim B7$ 用于启动激活 1004d-1004f 处激发组 FG4、FG5 和 FG6 中的排子群 SG4、SG5 和 SG6 中的激发单元 120。

[0232] 在选择信号 SEL1、SEL2……SEL6 中的第三系列定时脉冲期间,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 包含对应于十三个地址中的一个地址的低电压电平信号,地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 包含对应于十三个地址中的同一个地址的低电压电平信号。在来自选择信号 SEL1、SEL2……SEL6 的每个随后系列定时脉冲期间,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 包含对应于十三个地址中的同一个地址的低电压电平信号。每个系列定时脉冲是地址时隙,从而在每个系列定时脉冲期间提供十三地址中之一。

[0233] 在正向操作中,地址一由地址生成器 1000 和 1002 首先提供,后面是地址二以此类推直到地址十三。在地址十三以后,地址生成器 1000 和 1002 提供全部高电压电平地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。还有,在来自选择信号 SEL1、SEL2……SEL6 的每个系列定时脉冲期间,提供与选择信号 SEL2 和 SEL5 中的定时脉冲相一致的控制脉冲,以便继续以正方向移位。

[0234] 在另一个操作实施例中,在一个系列的六个脉冲期间,控制信号 CSYNC 包含与选择信号 SEL1 和 SEL4 中的定时脉冲相一致的控制脉冲,以设置地址生成器 1000 和 1002 以反向移位。与选择信号 SEL1 中的定时脉冲相一致的控制脉冲设置地址生成器 1000 以反向移位。与选择信号 SEL4 中的定时脉冲相一致的控制脉冲设置地址生成器 1002 以反向移位。

[0235] 在下一系列的六个脉冲中,控制信号 CSYNC 包含与选择信号 SEL1、SEL3、SEL4 和 SEL6 中的定时脉冲相一致的控制脉冲。与选择信号 SEL1 和 SEL4 中的定时脉冲相一致的控制脉冲在地址生成器 1000 和 1002 中设置移位方向为反向方向。与选择信号 SEL3 和 SEL6 中的定时脉冲相一致的控制脉冲启动地址生成器 1000 和 1002,用以产生地址信号 $\sim A1$ 、 $\sim A2 \dots \sim A7$ 和 $\sim B1$ 、 $\sim B2 \dots \sim B7$ 。与选择信号 SEL3 中的定时脉冲相一致的控制脉冲启动地址生成器 1000,与选择信号 SEL6 中的定时脉冲相一致的控制脉冲启动地址生成器 1002。

[0236] 在第三系列的定时脉冲期间,地址生成器 1000 产生地址信号 $\sim A1$ 、 $\sim A2 \dots \sim A7$,它们在选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲期间是有效的。有效的地址信号 $\sim A1$ 、 $\sim A2, \dots \sim A7$ 用于启动激活 1004a-1004c 处激发组 FG1、FG2 和 FG3 中的排子群 SG1、SG2 和 SG3 中的激发单元 120。在第三系列定时脉冲期间,地址生成器 1002 产生地址信号 $\sim B1$ 、 $\sim B2 \dots \sim B7$,它们在选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲期间是有效的。有效的地址信号 $\sim B1$ 、 $\sim B2, \dots \sim B7$ 用于启动激活 1004d-1004f 处激发组 FG4、FG5 和 FG6 中的排子群 SG4、SG5 和 SG6 中的激发单元 120。

[0237] 在反向操作中,在选择信号 SEL1、SEL2……SEL6 中的第三系列定时脉冲期间,地址信号 $\sim A1$ 、 $\sim A2 \dots \sim A7$ 包含对应于十三地址中的一个地址的低电压电平信号,地址信号 $\sim B1$ 、 $\sim B2 \dots \sim B7$ 包含对应于十三地址中相同的一个地址的低电压电平信号。在来自选择信号 SEL1、SEL2……SEL6 的每个随后系列定时脉冲期间,地址信号 $\sim A1$ 、 $\sim A2 \dots \sim A7$ 和地址信号 $\sim B1$ 、 $\sim B2 \dots \sim B7$ 包含对应于十三地址中同一个地址的低电压电平信号。每个系列的定时脉冲是一个地址时隙,因此在每个系列的定时脉冲期间提供十三地址中的一个。

[0238] 反向操作中,地址十三由地址生成器 1000 和 1002 首先提供,后面是地址十二以此类推直到地址一。在地址一以后,地址生成器 1000 和 1002 提供全部高电压电平的地址信号 $\sim A1$ 、 $\sim A2 \dots \sim A7$ 和 $\sim B1$ 、 $\sim B2 \dots \sim B7$ 。还有,在来自选择信号 SEL1、SEL1……SEL6 的每个系列定时脉冲期间,提供与选择信号 SEL1 和 SEL4 中的定时脉冲相一致的控制脉冲,以便继续以反向方向移位。

[0239] 为了终止或者防止地址生成,控制信号 CSYNC 包含与选择信号 SEL1、SEL2、SEL4 和 SEL5 中的定时脉冲相一致的控制脉冲。这清除了地址生成器 1000 和 1002 中的移位寄存器,例如移位寄存器 402。控制信号 CSYNC 中的恒定高电压电平或者一系列高电压脉冲也终止或者防止地址生成,并且控制信号 CSYNC 中的恒定低电压电平将不会启动地址生成器 1000 和 1002。

[0240] 图 14 是图解地址生成器 1000 和 1002 的正反向操作的时序图。用于以正向方向移位的控制信号是 1124 处的 CSYNC(FWD),而用于以反向方向移位的控制信号是 1126 处的 CSYNC(REV)。在 1128 处的地址信号 $\sim A1$ 、 $\sim A2 \dots \sim A7$ 由地址生成器 1000 提供并包含正向和反向的操作地址基准。在 1130 处的地址信号 $\sim B1$ 、 $\sim B2 \dots \sim B7$ 由地址生成器 1002 提供并包含正向和反向的操作地址基准。

[0241] 选择信号 SEL1、SEL2……SEL6 包含一个重复系列的六个脉冲。每个选择信号 SEL1、SEL2……SEL6 包含在该一系列六个脉冲中的一个脉冲。在重复系列六个脉冲的一个系列中,1100 处的选择信号 SEL1 包含定时脉冲 1102,1104 处的选择信号 SEL2 包含定时脉

冲 1106, 1108 处的选择信号 SEL3 包含定时脉冲 1110, 1112 处的选择信号 SEL4 包含定时脉冲 1114, 1116 处的选择信号 SEL5 包含定时脉冲 1118, 并且 1120 处的选择信号 SEL6 包含定时脉冲 1122。

[0242] 在正向操作中, 控制信号 CSYNC(FWD) 1124 包含与 1104 处选择信号 SEL2 中的定时脉冲 1106 相一致的控制脉冲 1132。控制脉冲 1132 设置地址生成器 1002 以正向方向移位。还有, 控制信号 CSYNC(FWD) 1124 包含与 1116 处选择信号 SEL5 中的定时脉冲 1118 相一致的控制脉冲 1134。控制脉冲 1134 设置地址生成器 1000 以正向方向移位。

[0243] 在下一个重复系列六个脉冲中, 1100 处的选择信号 SEL1 包含定时脉冲 1136, 1104 处的选择信号 SEL2 包含定时脉冲 1138, 1108 处的选择信号 SEL3 包含定时脉冲 1140, 1112 处的选择信号 SEL4 包含定时脉冲 1142, 1116 处的选择信号 SEL5 包含定时脉冲 1144, 并且 1120 处的选择信号 SEL6 包含定时脉冲 1146。

[0244] 控制信号 CSYNC(FWD) 1124 包含与定时脉冲 1138 一致的控制脉冲 1148 以便继续设置地址生成器 1002 以正向移位, 并包含与定时脉冲 1144 一致的控制脉冲 1152 以继续设置地址生成器 1000 以正向移位。还有, 控制信号 CSYNC(FWD) 1124 包含与 1108 处选择信号 SEL3 中的定时脉冲 1140 相一致的控制脉冲 1150。控制脉冲 1150 启动地址生成器 1000 用于在 1128 处产生地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。另外, 控制信号 CSYNC(FWD) 1124 包含与 1120 处选择信号 SEL6 中的定时脉冲 1146 相一致的控制脉冲 1154。控制脉冲 1154 启动地址生成器 1002 用于在 1130 处产生地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。

[0245] 在下一个或者第三系列的六个脉冲中, 1100 处的选择信号 SEL1 包含定时脉冲 1156, 1104 处的选择信号 SEL2 包含定时脉冲 1158, 1108 处的选择信号 SEL3 包含定时脉冲 1160, 1112 处的选择信号 SEL4 包含定时脉冲 1162, 1116 处的选择信号 SEL5 包含定时脉冲 1164, 并且 1120 处的选择信号 SEL6 包含定时脉冲 1166。控制信号 CSYNC(FWD) 1124 包含与定时脉冲 1158 一致的控制脉冲 1168 以便继续设置地址生成器 1002 以正向移位, 并包含与定时脉冲 1164 一致的控制脉冲 1170 以便继续设置地址生成器 1000 以正向移位。

[0246] 地址生成器 1000 在 1128 处提供地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。在启动正向操作以后, 地址生成器 1000 和 1128 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 在 1172 处提供地址一。在 1120 处选择信号 SEL6 中的定时脉冲 1146 期间, 1172 处的地址一变有效并且保持有效直到 1112 处选择信号 SEL4 中的定时脉冲 1162。在 1100、1104 和 1108 处选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲 1156、1158 和 1160 期间, 1172 处的地址一是有有效的。

[0247] 地址生成器 1002 在 1130 处提供地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。在启动正向操作以后, 地址生成器 1002 和 1130 处的地址信号 $\sim B1$ 、 $\sim A2$ …… $\sim A7$ 在 1174 处提供地址一。在 1108 处选择信号 SEL3 中的定时脉冲 1160 期间, 1174 处的地址一变有效并且保持有效直到 1100 处选择信号 SEL1 中的定时脉冲 1176。在 1112、1116 和 1120 处选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲 1162、1164 和 1166 期间, 1174 处的地址一是有有效的。

[0248] 1128 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和 1130 处的 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 提供相同的地址, 1172 和 1174 处的地址一。地址一在以定时脉冲 1156 开始并以定时脉冲 1166 结束的所述系列六个定时脉冲期间提供, 其是用于地址一的地址时隙。在下一系列的六个脉冲期间, 从定时脉冲 1176 开始, 1128 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 在 1178 处提供地址二, 在 1130 处的地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 也提供地址二。这样, 地址生成器 1000

和 1002 以正向方向提供从地址一到地址十三的地址。在地址十三之后,地址生成器 1000 和 1002 被重新启动以便以同样的方式通过有效的地址再次循环。

[0249] 在反向操作中,控制信号 CSYNC(REV) 1126 包含与 1100 处选择信号 SEL1 中的定时脉冲 1102 相一致的控制脉冲 1180。控制脉冲 1180 设置地址生成器 1000 以反向方向移位。还有,控制信号 CSYNC(REV) 1126 包含与 1112 处选择信号 SEL4 中的定时脉冲 1114 相一致的控制脉冲 1182。控制脉冲 1182 设置地址生成器 1002 以反向方向移位。

[0250] 控制信号 CSYNC(REV) 1126 包含与定时脉冲 1136 相一致的控制脉冲 1184 以便继续设置地址生成器 1002 以反向方向移位,并包含与定时脉冲 1142 一致的控制脉冲 1188 以便继续设置地址生成器 1002 以反向方向移位。还有,控制信号 CSYNC(REV) 1126 包含与 1108 处选择信号 SEL3 中的定时脉冲 1140 相一致的控制脉冲 1186。控制脉冲 1186 启动地址生成器 1000 用于在 1128 处产生地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 。另外,控制信号 CSYNC(REV) 1126 包含与 1120 处选择信号 SEL6 中的定时脉冲 1146 相一致的控制脉冲 1190。控制脉冲 1190 启动地址生成器 1002 用于在 1130 处产生地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。

[0251] 控制信号 CSYNC(REV) 1126 包含与定时脉冲 1156 一致的控制脉冲 1192 以便继续设置地址生成器 1000 以反向移位,并包含与定时脉冲 1162 一致的控制脉冲 1194 以便继续设置地址生成器 1002 以反向移位。

[0252] 地址生成器 1000 在 1128 处提供地址信号 $\sim A1$ – $\sim A7$ 。在启动反向操作以后,地址生成器 1000 和 1128 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 在 1172 处提供地址十三。1172 处的地址十三在定时脉冲 1146 期间变为有效并保持有效直到定时脉冲 1162。在 1100、1104 和 1108 处选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲 1156、1158 和 1160 期间,1172 处的地址十三是有效的。

[0253] 地址生成器 1002 在 1130 处提供地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 。在启动反向操作以后,地址生成器 1002 和 1130 处的地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 在 1174 处提供地址十三。1174 处的地址十三在定时脉冲 1160 期间变为有效并保持有效直到定时脉冲 1176。在 1112、1116 和 1120 处选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲 1162、1164 和 1166 期间,1174 处的地址十三是有效的。

[0254] 1128 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 和 1130 处的 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 提供相同的地址,1172 和 1174 处的地址十三。地址十三在以定时脉冲 1156 开始并以定时脉冲 1166 结束的所述系列六个定时脉冲期间提供,其是用于地址十三的地址时隙。在下一系列的六个脉冲期间,从定时脉冲 1176 开始,1128 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A7$ 在 1178 处提供地址十二,并且 1130 处的地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B7$ 也提供地址十二。地址生成器 1000 和 1002 以反向方向从地址十三到地址一提供地址。在地址一以后,地址生成器 1000 和 1002 被重新启动以便再次提供有效的地址。

[0255] 图 15 是图解在打印头模具 40 中触排 (bank) 选择地址生成器 1200 的一个实施方式的图。触排选择地址生成器 1200 是打印头模具 40 中控制电路的一个实施方式。触排选择地址生成器 1200 被配置为在八个地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 提供二十六个地址信号组合,称为地址 1–26。提供小数字的地址 1–13,其被称为低触排地址 1–13,以启动第一组激发单元中的激发单元,其被称为低触排的激发单元。提供大数字的地址 14–26,其被称为高触排地址 14–26,以便启动在第二组激发单元中的激发单元,其称为高触排的激发单元。在

一个实施方式中,一次八个地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的两个有效,以便提供二十六个地址 1-26。

[0256] 触排选择地址生成器 1200 包含低触排移位寄存器 1202、高触排移位寄存器 1204、低触排逻辑电路 1206、高触排逻辑电路 1208 和方向电路 1210。低触排移位寄存器 1202 类似于移位寄存器 402(如图 9 所示),并且,高触排移位寄存器 1204 也类似于移位寄存器 402。低触排移位寄存器 1202 接收与移位寄存器 402 不同的定时信号,高触排移位寄存器 1204 接收与移位寄存器 402 不同的定时信号。低触排逻辑电路 1206 包含类似于逻辑电路 406(如图 9 所示)的晶体管逻辑电路,以便提供低触排地址 1-13,高触排逻辑电路 1208 包含类似于逻辑电路 406 的晶体管逻辑电路,以便提供高触排地址 14-26。

[0257] 低触排移位寄存器 1202 通过移位寄存器输出线路 1212a-1212m 被电耦合到低触排逻辑电路 1206。移位寄存器输出线路 1212a-1212m 分别提供移位寄存器输出信号 S01-S013 到逻辑电路 1206 作为逻辑电路输入信号 AI1-AI13。还有,低触排移位寄存器 1202 被电耦合到控制信号线路 1214,控制信号线路 1214 提供控制信号 CSYNC 到低触排移位寄存器 1202。另外,低触排移位寄存器 1202 接收触排定时信号 BT1、BT4、BT5 和 BT6 中的定时脉冲。

[0258] 低触排移位寄存器 1202 被电耦合到定时信号线路 1216,定时信号线路 1216 提供触排定时信号 BT6 到低触排移位寄存器 1202 作为第一预充电信号 PRE1。低触排移位寄存器 1202 通过第一评估信号线 1220 被电耦合到第一电阻器划分网络 1218。第一电阻器划分网络 1218 被电耦合到定时信号线路 1222,定时信号线路 1222 提供触排定时信号 BT1 到第一电阻器划分网络 1218。第一电阻器划分网络 1218 在第一评估信号线 1220 上提供一个下降的电压电平 BT1 定时信号到低触排移位寄存器 1202 作为第一评估信号 EVAL1。低触排移位寄存器 1202 被电耦合到定时信号线路 1224,定时信号线路 1224 提供触排定时信号 BT4 到低触排移位寄存器 1202 作为第二预充电信号 PRE2,并且低触排移位寄存器 1202 通过第二评估信号线 1228 被电耦合到第二电阻器划分网络 1226。第二电阻器划分网络 1226 被电耦合到定时信号线路 1230,定时信号线路 1230 提供触排定时信号 BT5 到第二电阻器划分网络 1226。第二电阻器划分网络 1226 通过第二评估信号线 1228 提供一个下降的电压电平 BT5 定时信号到低触排移位寄存器 1202 作为第二评估信号 EVAL2。

[0259] 高触排移位寄存器 1204 通过移位寄存器输出线路 1232a-1232m 被电耦合到高触排逻辑电路 1208。移位寄存器输出线路 1232a-1232m 分别提供移位寄存器输出信号 S01-S013 到逻辑电路 1208 作为逻辑电路输入信号 AI14-AI26。还有,高触排移位寄存器 1204 被电耦合到控制信号线路 1214,其提供控制信号 CSYNC 到高触排移位寄存器 1204。另外,高触排移位寄存器 1204 接收定时信号 BT3、BT4、BT5 和 BT6 中的定时脉冲。

[0260] 高触排移位寄存器 1204 被电耦合到定时信号线路 1216,定时信号线路 1216 提供触排定时信号 BT6 到高触排移位寄存器 1204 作为第一预充电信号 PRE1。高触排移位寄存器 1204 通过第三评估信号线 1221 被电耦合到第三电阻器划分网络 1227。第三电阻器划分网络 1227 被电耦合到定时信号线路 1229,定时信号线路 1229 提供触排定时信号 BT3 到第三电阻器划分网络 1227。第三电阻器划分网络 1227 通过第一评估信号线 1221 提供一个下降的电压电平 BT3 定时信号到高触排移位寄存器 1204 作为第一评估信号 EVAL1。高触排移位寄存器 1204 被电耦合到定时信号线路 1224,定时信号线路 1224 提供触排定时信号

BT4 到高触排移位寄存器 1204 作为第二预充电信号 PRE2。高触排移位寄存器 1204 被电耦合到第二评估信号线 1228, 第二评估信号线 1228 提供一个下降的电压电平 BT5 定时信号到高触排移位寄存器 1204 作为第二评估信号 EVAL2。

[0261] 方向电路 1210 通过方向信号线路 1240 被电耦合到低触排移位寄存器 1202 和高触排移位寄存器 1204。方向信号线路 1240 从方向电路 1210 提供方向信号 DIRR 和 DIRF 到低触排移位寄存器 1202 和高触排移位寄存器 1204。还有, 方向电路 1210 被电耦合到控制信号线路 1214, 控制信号线路 1214 提供控制信号 CSYNC 到方向电路 1210。另外, 方向电路 1210 接收定时信号 BT4-BT6 中的定时脉冲。

[0262] 方向电路 1210 被电耦合到定时信号线路 1224, 定时信号线路 1224 提供定时信号 BT4 到方向电路 1210 作为第三预充电信号 PRE3。方向电路 1210 被电耦合到第二评估信号线 1228, 第二评估信号线 1228 提供下降的电压 BT5 定时信号到方向电路 1210 作为第三评估信号 EVAL3。还有, 方向电路 1210 通过评估信号线 1248 被电耦合到第四电阻器划分网络 1246。第四电阻器划分网络 1246 被电耦合到定时信号线路 1216, 定时信号线路 1216 提供触排定时信号 BT6 到第四电阻器划分网络 1246。第四电阻器划分网络 1246 提供一个下降的电压 BT6 定时信号到方向电路 1210 作为第四评估信号 EVAL4。

[0263] 低触排逻辑电路 1206 分别被电耦合到移位寄存器输出线路 1212a-1212m, 以便接收移位寄存器输出信号 S01-S013 作为输入信号 AI1-AI13。还有, 低触排逻辑电路 1206 被电耦合到地址线 1252a-1252h, 以便分别提供地址信号 $\sim A1, \sim A2 \dots \sim A8$ 。另外, 低触排逻辑电路 1206 被电耦合到定时信号线路 1224, 定时信号线路 1224 提供定时信号 BT4 到低触排逻辑电路 1206 作为定时信号 T3, 低触排逻辑电路 1206 被电耦合到定时信号线路 1230, 定时信号线路 1230 提供定时信号 BT5 到低触排逻辑电路 1206 作为定时信号 T4, 并且低触排逻辑电路 1206 被电耦合到定时信号线路 1216, 定时信号线路 1216 提供定时信号 BT6 到低触排逻辑电路 1206 作为定时信号 T5。

[0264] 高触排逻辑电路 1208 被电耦合到移位寄存器输出线路 1232a-1232m, 以便分别接收移位寄存器输出信号 S01-S013 作为输入信号 AI14-AI26。还有, 高触排逻辑电路 1208 分别被电耦合到地址线 1252a-1252h, 以便提供地址信号 $\sim A1, \sim A2 \dots \sim A8$ 。另外, 高触排逻辑电路 1208 被电耦合到定时信号线路 1224, 定时信号线路 1224 提供定时信号 BT4 到高触排逻辑电路 1208 作为定时信号 T3, 高触排逻辑电路 1208 被电耦合到定时信号线路 1230, 定时信号线路 1230 提供定时信号 BT5 到高触排逻辑电路 1208 作为定时信号 T4, 并高触排逻辑电路 1208 被电耦合到定时信号线路 1216, 定时信号线路 1216 提供定时信号 BT6 到高触排逻辑电路 1206 作为定时信号 T5。

[0265] 低触排移位寄存器 1202 和低触排逻辑电路 1206 在地址信号 $\sim A1, \sim A2 \dots \sim A8$ 中提供低电压电平的信号, 以提供十三个低触排地址 1-13。低触排移位寄存器 1202 和低触排逻辑电路 1206 提供低触排地址 1-13, 在正向方向上从地址一到地址十三以及在反向方向上从地址十三到地址一。高触排移位寄存器 1204 和高触排逻辑电路 1208 在地址信号 $\sim A1, \sim A2 \dots \sim A8$ 中提供低电压电平的信号, 以便提供十三个高触排地址 14-26。高触排移位寄存器 1204 和高触排逻辑电路 1208 提供高触排地址 14-26, 在正向方向上从地址十四到地址二十六以及在反向方向上从地址二十六到地址十四。方向电路 1210 提供方向信号 DIRF 和 DIRR, 它们在低触排移位寄存器 1202 和高触排移位寄存器 1204 中设置正向或

者反向操作。

[0266] 十三个移位寄存器单元的每一个都被电耦合以便接收第一预充电信号 PRE1、第一评估信号 EVAL1、第二预充电信号 PRE2 和第二评估信号 EVAL2。低触排移位寄存器 1202 通过接收与定时信号 BT1 中的定时脉冲实质上一致的控制信号 CSYNC 中的控制脉冲而被启动。作为响应,在 S01 或者 S013 处提供高电压电平信号。在每个随后系列的六个定时脉冲期间,低触排移位寄存器 1202 将该高电压电平信号移位到下一个移位寄存器单元 403,并且高电压电平信号作为移位寄存器输出信号 S01-S013 的一个。在正向方向上,高电压电平信号从移位寄存器输出信号 S01 被移位到移位寄存器输出信号 S02,以此类推,直到并包括移位寄存器输出信号 S013。在反向方向上,高电压电平信号从移位寄存器输出信号 S013 被移位到移位寄存器输出信号 S012,以此类推,直到并包含包括移位寄存器输出信号 S01。在一个序列期间,在每个移位寄存器输出间信号 S01-S013 已经被设置为高电压电平之后,所有的移位寄存器输出信号 S01-S013 被设置为低电压电平。

[0267] 低触排逻辑电路 1206 包含晶体管逻辑电路,其在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供低电压电平地址信号。低触排逻辑电路 1206 在低触排输入信号 AI1-AI13 之一处接收高电压电平信号并在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供对应的一组低电压电平地址信号。低触排输入信号 AI1-AI13 分别相应于低触排地址 1-13。在一个实施方式中,响应于高电压电平输入信号 AI1,低触排逻辑电路 1206 在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供两个低电压电平地址信号,例如 $\sim A1$ 和 $\sim A2$,作为低触排地址 1。响应于高电压电平输入信号 AI2,低触排逻辑电路 1206 在地址信号 $\sim A2$ 、 $\sim A2$ …… $\sim A8$ 中提供两个低电压电平地址信号,例如 $\sim A1$ 和 $\sim A3$,作为低触排地址 2。这不断继续,直到低触排逻辑电路 1206 接收高电压电平输入信号 AI13,并在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供两个低电压电平地址信号作为低触排地址 13。

[0268] 高触排移位寄存器 1204 包含十三个移位寄存器单元 403,它们提供十三个移位寄存器输出信号 S01-S013。十三个移位寄存器单元的每一个都被电耦合以便接收第一预充电信号 PRE1、第一评估信号 EVAL1、第二预充电信号 PRE2 和第二评估信号 EVAL2。高触排移位寄存器 1204 通过接收与定时信号 BT3 中的定时脉冲实质上一致的控制信号 CSYNC 中的控制脉冲而被启动。作为响应,在 S01 或者 S013 处提供一个高电压电平信号。在每个随后系列的六个定时脉冲期间,高触排移位寄存器 1204 将所述高电压电平信号移位到下一个移位寄存器单元 403 和移位寄存器输出信号 S01-S013 之一。在正向方向上,所述高电压电平信号从移位寄存器输出信号 S01 被移位到移位寄存器输出信号 S02,以此类推,直到并包括移位寄存器输出信号 S013。在反向方向上,高电压电平信号从移位寄存器输出信号 S013 被移位到移位寄存器输出信号 S012,以此类推,直到并包括移位寄存器输出信号 S01。在每个移位寄存器输出信号 S01-S013 已经被设置为高电压电平之后,所有移位寄存器输出信号 S01-S013 被设置为低电压电平。

[0269] 高触排逻辑电路 1208 包含晶体管逻辑电路,在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供低电压电平地址信号。高触排逻辑电路 1208 接收在高触排输入信号 AI14-AI26 之一处的高电压电平信号并在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供对应的一组低电压电平地址信号。高触排输入信号 AI14-AI26 分别相应于高触排地址 14-26。在一个实施方式中,响应于高电压电平输入信号 AI14,高触排逻辑电路 1208 在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中

提供两个低电压电平地址信号作为高触排地址 14。响应于高电压电平输入信号 AI15,高触排逻辑电路 1208 在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供两个低电压电平地址信号作为高触排地址 15。这不断继续,直到高触排逻辑电路 1208 接收高电压电平输入信号 AI26,并在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供两个低电压电平地址信号作为高触排地址 26。

[0270] 方向信号线路 1210 提供方向信号 DIRR 和 DIRF 到低触排移位寄存器 1202 和高触排移位寄存器 1204,以便设置移位方向。如果方向电路 1210 接收与定时信号 BT5 中的定时脉冲实质上一致的控制信号 CSYNC 中的控制脉冲,方向电路 1210 提供低电压把方向信号 DIRR 和高电压电平方向信号 DIRF,以便以正向方向移位和提供地址。如果方向电路 1210 没有接收与定时信号 BT5 中的 定时脉冲实质上一致的控制信号 CSYNC 中的控制脉冲,方向电路 1210 提供低电压把方向信号 DIRR 和高电压电平方向信号 DIRR,以便以反向方向移位和提供地址。

[0271] 触排定时信号 BT1-BT6 提供一个重复系列的六个脉冲。每个定时信号 BT1-BT6 提供在该系列六个脉冲中的一个脉冲,并且定时信号 BT1-BT6 按从定时信号 BT1 到定时信号 BT6 的顺序提供脉冲。

[0272] 在低触排移位寄存器 1202 的正向操作中,方向电路 1210 接收定时信号 BT4 中的定时脉冲,以便将方向信号 DIRR 和 DIRF 预充电到高电压电平。方向电路 1210 接收与定时信号 BT5 中的定时脉冲实质上一致的控制信号 CSYNC 中的控制脉冲,以便将方向信号 DIRR 放电到低电压电平。高电压电平方向信号 DIRF 和低电压电平方向信号 DIRR 设置低触排移位寄存器 1202 和高触排移位寄存器 1204 以正向方向移位。操作方向在定时信号 BT1-BT6 中的每个系列定时脉冲期间设置。还有,在定时信号 BT6 中的定时脉冲期间,移位寄存器单元 403 中的所有内部节点 SN 在低触排移位寄存器 1202 和高触排移位寄存器 1204 中被预充电到高电压电平。

[0273] 为了在定时信号 BT1-BT6 中的下一系列六个脉冲中启动低触排移位寄存器 1202,提供一个与定时信号 BT1 中的定时脉冲基本上一致的控制信号 CSYNC 中的控制脉冲。在基本上与定时信号 BT1 中的定时脉冲一致的控制信号 CSYNC 中的控制脉冲期间,低触排移位寄存器 1202 中的内部节点 SN1 放电到低电压电平。低触排移位寄存器 1202 中的内部节点 SN2-SN13 保持处于高电压电平,高触排移位寄存器 1204 中的内部节点 SN1-SN13 保持处于高电压电平。高触排移位寄存器 1204 没有被启动。

[0274] 低触排移位寄存器 1202 和高触排移位寄存器 1204 接收在定时信号 BT4 中的定时脉冲,在该定时脉冲期间,在低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 被预充电到高电压电平。低触排移位寄存器 1202 和高触排移位寄存器 1204 接收在定时信号 BT5 中的定时脉冲,在定时脉冲期间,在低触排移位寄存器 1202 中的移位寄存器输出信号 S02-S013 和在高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 放电。低触排移位寄存器 1202 中的移位寄存器输出信号 S01 保持处于高电压电平,同时内部节点信号 SN1 处于低电压电平。低触排移位寄存器 1202 提供 高电压电平输出信号 S01 到低触排逻辑电路 1206。

[0275] 低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT4 中的定时脉冲以便预充电地址线 1252a-1252h。定时信号 BT5 中的定时脉冲防止逻辑评估晶体管在低触排逻辑电路 1206 和高触排逻辑电路 1208 中接通。在一个实施方式中,在定时信号 BT5 中的

定时脉冲期间,而不是在定时信号 BT4 中的定时脉冲期间,地址线 1252a-1252h 被预充电。

[0276] 然后,低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT6 中的定时脉冲以便接通逻辑评估晶体管。低触排逻辑电路 1206 分别接收一个高电压电平移位寄存器输出信号 S01 作为低触排输入信号 AI1 和接收低电压电平移位寄存器输出信号 S02-S013 作为低触排输入信号 AI2-AI13。作为响应,低触排逻辑电路 1206 有效地将对应于低触排地址 1 中的低电压电平地址信号的地址线拉低到低电压电平。高触排逻辑电路 1208 接收低电压电平移位寄存器输出信号 S01-S013 作为高触排输入信号 AI14-AI26,并不会放电任一地址线 1252a-1252h。

[0277] 每个随后系列的六个定时脉冲,将该高电压电平信号从低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S013 之一移位到相邻的一个移位寄存器输出信号 S01-S013。低触排逻辑电路 1206 接收每个高电压电平输出信号 S01-S013,并在地址信号~A1、~A2……~A8 中提供相应的低触排地址 1-13,从低触排地址 1 到低触排地址 13。在移位寄存器输出信号 S013 已经变成高电平之后,所有的移位寄存器输出信号 S01-S013 被设置为低电压电平,地址信号~A1、~A2……~A8 保持被充电到高电压电平,除非逻辑电路被再次启动或者地址线被其它触排的逻辑电路放电。

[0278] 在高触排移位寄存器 1204 的正向操作中,方向电路 1210 接收定时信号 BT4 中的定时脉冲,以便将方向信号 DIRR 和 DIRF 预充电到高电压电平。方向电路 1210 接收与定时信号 BT5 中的定时脉冲实质上一致的控制信号 CSYNC 中的控制脉冲,以便将方向信号 DIRR 放电到低电压电平。方向电路 1210 接收定时信号 BT6 中的定时脉冲,并且方向信号 DIRR 处于低电压电平,方向信号 DIRF 保持处于高电压电平。高电压电平方向信号 DIRF 和低电压电平方向信号 DIRR 设置低触排移位寄存器 1202 和高触排移位寄存器 1204 以正向方向移位。操作方向在定时信号 BT1-BT6 中的每个系列定时脉冲期间设置。还有,在定时信号 BT6 中的定时脉冲期间,移位寄存器单元 403 中的所有内部节点 SN 在低触排移位寄存器 1202 和高触排移位寄存器 1204 中被预充电到高电压电平。

[0279] 为了在定时信号 BT1-BT6 中的下一系列六个脉冲中启动高触排移位寄存器 1204,提供与定时信号 BT3 中的定时脉冲基本上一致的控制信号 CSYNC 中的控制脉冲。控制信号 CSYNC 中的控制脉冲基本上与定时信号 BT3 中的定时脉冲一致,在该定时脉冲期间高触排移位寄存器 1202 中的内部节点 SN1 放电到低电压电平。高触排移位寄存器 1204 的内部节点 SN2-SN13 保持处于高电压电平,低触排移位寄存器 1202 中的内部节点 SN1-SN13 保持处于高电压电平。低触排移位寄存器 1202 没有被启动。

[0280] 低触排移位寄存器 1202 和高触排移位寄存器 1204 接收在定时信号 BT4 中的定时脉冲,在此定时脉冲期间,在低触排移位寄存器 1202 和高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 被预充电到高电压电平。低触排移位寄存器 1202 和高触排移位寄存器 1204 接收在定时信号 BT5 中的定时脉冲,在定时脉冲期间在低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 和在高触排移位寄存器 1204 中的移位寄存器输出信号 S02-S013 放电。高触排移位寄存器 1204 中的移位寄存器输出信号 S01 保持处于高电压电平,因为内部节点信号 SN1 处于低电压电平。高触排移位寄存器 1204 提供高电压电平输出信号 S01 到高触排逻辑电路 1208。

[0281] 低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT4 中的定时脉冲以

便预充电地址线 1252a-1252h。定时信号 BT5 中的定时脉冲防止逻辑评估晶体管在低触排逻辑电路 1206 和高触排逻辑电路 1208 中接通。在一个实施方式中,在定时信号 BT5 中的定时脉冲期间,而不是在定时信号 BT4 中的定时脉冲期间,地址线 1252a-1252h 被预充电。

[0282] 然后,低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT6 中的定时脉冲以便接通逻辑评估晶体管。高触排逻辑电路 1208 分别接收一个高电压电平移位寄存器输出信号 S01 作为高触排输入信号 AI14 和低电压电平移位寄存器输出信号 S02-S013 作为高触排输入信号 AI15-AI26。作为响应,高触排逻辑电路 1208 有效地将对应于高触排地址 14 中的低电压电平地址信号的地址线拉低到低电压电平。低触排逻辑电路 1206 接收低电压电平移位寄存器输出信号 S01-S013 作为低触排输入信号 AI1-AI13,并不会放电任一地址线 1252a -1252h。

[0283] 每个随后系列的六个脉冲,将该高电压电平信号从高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 之一移位到下一个移位寄存器输出信号 S01-S013。高触排逻辑电路 1208 接收每个高电压电平输出信号 S01-S013,并在地址信号 ~ A1、~ A2……~ A8 中提供相应的高触排地址 14-26,从高触排地址 14 到高触排地址 26。在高触排移位寄存器 1204 中的移位寄存器输出信号 S013 变成高电平之后,所有的移位寄存器输出信号 S01-S013 被设置为低电压电平,地址信号 ~ A1、~ A2……~ A8 保持被充电到高电压电平,除非逻辑电路被再次启动或者地址线被其它触排的逻辑电路放电。

[0284] 在低触排移位寄存器 1202 的反向操作中,在定时信号 BT1-BT6 中的一个系列六个脉冲中,方向电路 1210 接收定时信号 BT4 中的定时脉冲,以便将方向信号 DIRR 和 DIRF 预充电到高电压电平。方向电路 1210 接收与定时信号 BT5 中的定时脉冲实质上一致的低电压电平控制信号 CSYNC,以便将方向信号 DIRR 保持在高电压电平。方向电路 1210 接收定时信号 BT6 中的定时脉冲,并且方向信号 DIRR 处于高电压电平,然后方向信号 DIRF 放电到低电压电平。低电压电平方向信号 DIRF 和高电压电平方向信号 DIRR 设置低触排移位寄存器 1202 和高触排移位寄存器 1204 以反向方向移位。操作方向在定时信号 BT1-BT6 中的每个系列定时脉冲期间设置。还有,在定时信号 BT6 中的定时脉冲期间中,在低触排移位寄存器 1202 和高触排移位寄存器 1204 中的移位寄存器单元 403 中的所有内部节点 SN 被预充电到高电压电平。

[0285] 为了在定时信号 BT1-BT6 中的下一系列六个脉冲中启动低触排移位寄存器 1202,在控制信号 CSYNC 中的控制脉冲被提供与定时信号 BT1 中的定时脉冲基本上一致。控制信号 CSYNC 中的控制脉冲基本上与定时信号 BT1 中的定时脉冲一致,低触排移位寄存器 1202 中的内部节点 SN13 放电到低电压电平。低触排移位寄存器 1202 的内部节点 SN1-SN12 保持处于高电压电平,高触排移位寄存器 1204 中的内部节点 SN1-SN13 保持处于高电压电平。高触排移位寄存器 1204 没有被启动。

[0286] 低触排移位寄存器 1202 和高触排移位寄存器 1204 接收在定时信号 BT4 中的定时脉冲,在此定时脉冲期间,在低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 预充电到高电压电平。低触排移位寄存器 1202 和高触排移位寄存器 1204 接收在定时信号 BT5 中的定时脉冲,在此定时脉冲期间,在低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S012 和在高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 放电。低触排寄存器 1202 中的移位寄存器输出信号 S013 保持处

于高电压电平,因为内部节点信号 SN13 处于低电压电平。低触排移位寄存器 1202 提供高电压电平输出信号 S013 到低触排逻辑电路 1206。

[0287] 低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT4 中的定时脉冲以便预充电地址线 1252a-1252h。定时信号 BT5 中的定时脉冲防止逻辑评估晶体管在低触排逻辑电路 1206 和高触排逻辑电路 1208 中接通。在一个实施方式中,在定时信号 BT5 中的定时脉冲期间,而不是在定时信号 BT4 中的定时脉冲期间,地址线 1252a-1252h 被预充电。

[0288] 然后,低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT6 中的定时脉冲以便接通逻辑评估晶体管。低触排逻辑电路 1206 分别接收一个高电压电平移位寄存器输出信号 S013 作为低触排输入信号 AI13 和接收低电压电平移位寄存器输出信号 S01-S012 作为低触排输入信号 AI1-AI12。作为响应,低触排逻辑电路 1206 有效地将对应用于低触排地址 13 中的低电压电平地址信号的地址线拉低到低电压电平。高触排逻辑电路 1208 接收低电压电平移位寄存器输出信号 S01-S013 作为高触排输入信号 AI14-AI26,并不会放电任一地址线 1252a-1252h。

[0289] 每个随后系列的六个定时脉冲,将该高电压电平信号从低触排移位寄存器 1202 中的一个移位寄存器输出信号 S01-S013 移位到下一个移位寄存器输出信号 S01-S013。低触排逻辑电路 1206 接收每个高电压电平输出信号 S01-S013,并在地址信号 ~ A1、~ A2……~ A8 中提供相应的低触排地址 1-13,从低触排地址 13 到低触排地址 1。在移位寄存器输出信号 S01 已经变成高电平之后,所有的移位寄存器输出信号 S01-S013 被设置为低电压电平,地址信号 ~ A1、~ A2……~ A8 保持被充电到高电压电平,除非逻辑电路被再次启动或者地址线被其它触排的逻辑电路放电。

[0290] 在高触排移位寄存器 1204 的反向操作中,在定时信号 BT1-BT6 中的一个系列六个脉冲中,方向电路 1210 接收定时信号 BT4 中的定时脉冲,以便将方向信号 DIRR 和 DIRF 预充电到高电压电平。方向电路 1210 接收低电压电平的 控制信号 CSYNC,其与定时信号 BT5 中的定时脉冲实质上一致,以便将方向信号 DIRR 保持在高电压电平。方向电路 1210 接收定时信号 BT6 中的定时脉冲,并且方向信号 DIRR 处于低电压电平,方向信号 DIRF 放电到低电压电平。低电压电平方向信号 DIRF 和高电压电平方向信号 DIRR 设置低触排移位寄存器 1202 和高触排移位寄存器 1204 以反向方向移位。操作方向在定时信号 BT1-BT6 中的每个系列定时脉冲期间设置。还有,在定时信号 BT6 中的定时脉冲期间,低触排移位寄存器 1202 和高触排移位寄存器 1204 中的移位寄存器单元 403 中的所有内部节点 SN 被预充电到高电压电平。

[0291] 为了在定时信号 BT1-BT6 中的下一系列六个脉冲中启动高触排移位寄存器 1204,与定时信号 BT3 中的定时脉冲基本上一致的在控制信号 CSYNC 中的控制脉冲被提供。控制信号 CSYNC 中的控制脉冲基本上与定时信号 BT3 中的定时脉冲一致,高触排移位寄存器 1204 中的内部节点 SN13 放电到低电压电平。高触排移位寄存器 1204 中的内部节点 SN1-SN12 保持处于高电压电平,低触排移位寄存器 1202 中的内部节点 SN1-SN13 保持处于高电压电平。低触排移位寄存器 1202 没有被启动。

[0292] 低触排移位寄存器 1202 和高触排移位寄存器 1204 接收在定时信号 BT4 中的定时脉冲,在此定时脉冲期间,低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 放电到高电压电平。低触排移位寄存器 1202 和高触排移位寄存

器 1204 接收在定时信号 BT5 中的定时脉冲,在低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 和在高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S012 放电。高触排寄存器 1204 中的移位寄存器输出信号 S013 保持处于高电压电平,因为内部节点信号 SN13 处于低电压电平。高触排移位寄存器 1204 提供高电压电平输出信号 S013 到高触排逻辑电路 1208。

[0293] 低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT4 中的定时脉冲以便预充电地址线 1252a-1252h。定时信号 BT5 中的定时脉冲防止逻辑评估晶体管在低触排逻辑电路 1206 和高触排逻辑电路 1208 中接通。在一个实施方式中,在定时信号 BT5 中的定时脉冲期间,而不是在定时信号 BT4 中的定时脉冲期间,地址线 1252a-1252h 被预充电。

[0294] 然后,低触排逻辑电路 1206 和高触排逻辑电路 1208 接收定时信号 BT6 中的定时脉冲以便接通逻辑评估晶体管。高触排逻辑电路 1208 分别接收一个高电压电平移位寄存器输出信号 S013 作为高触排输入信号 AI26 和低电压电平移位寄存器输出信号 S01-S012 作为高触排输入信号 AI14-AI25。作为响应,高触排逻辑电路 1208 有效地将对应于高触排地址 26 中的低电压电平地址信号的地址线拉低到低电压电平。低触排逻辑电路 1206 接收低电压电平移位寄存器输出信号 S01-S013 作为低触排输入信号 AI1-AI13,并不会放电任一地址线 1252a-1252h。

[0295] 每个随后系列的六个定时脉冲,将该高电压电平信号从高触排移位寄存器 1204 中的一个移位寄存器输出信号 S01-S013 移位到下一个移位寄存器输出信号 S01-S013。高触排逻辑电路 1208 接收每个高电压电平输出信号 S01-S013,并在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供相应的高触排地址 14-26,从高触排地址 26 到高触排地址 14。在高触排移位寄存器 1204 中的移位寄存器输出信号 S01 变成高电平之后,所有的移位寄存器输出信号 S01-S013 被设置为低电压电平,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 保持被充电到高电压电平,除非逻辑电路被再次启动或者地址线被其它触排的逻辑电路放电。

[0296] 在运行中,低触排移位寄存器 1202 独立于高触排移位寄存器 1204 启动,以便在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中以正向或者反向方向提供低触排地址 1-13,并且高触排移位寄存器 1204 独立于低触排移位寄存器 1202 启动,以便在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中以正向或者反向方向提供高触排地址 14-26。还有,低触排移位寄存器 1202 可以被一次接一次地启动,以便在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中重复地产生低触排地址 1-13,并且高触排移位寄存器 1204 可以被一次接一次地启动,以便在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中重复地产生高触排地址 14-26。另外,可以启动低触排移位寄存器 1202 来产生低触排地址 1-13,在其后面可以启动高触排移位寄存器 1204 以产生高触排地址 14-26,或者反之亦然。

[0297] 应该注意的是,在某些实施方式中,低触排移位寄存器 1202 和低触排逻辑电路 1206,以及高触排移位寄存器 1204 和高触排逻辑电路 1208,在打印头模具 40 上互相靠近设置。在其它实施方式中,低触排移位寄存器 1202 和低触排逻辑电路 1206,以及高触排移位寄存器 1204 和高触排逻辑电路 1208,在打印头模具 40 上没有互相靠近设置。在这些后面的实施方式中,提供两个方向电路 1210,一个靠近低触排移位寄存器 1202 和低触排逻辑电路 1206,以及高触排移位寄存器 1204 和高触排逻辑电路 1208 中的每一个。

[0298] 图 16 是图解方向电路 1210 的图。方向电路 1210 包含反向信号级 1260 和正向信号级 1262。反向信号级 1260 包含预充电晶体管 1264、评估晶体管 1266、和控制晶体管

1268。正向信号级 1262 包含预充电晶体管 1270、评估晶体管 1272 和控制晶体管 1274。

[0299] 预充电晶体管 1264 的漏源通路的一侧和栅极被电耦合到定时信号线 1224。定时信号线路 1224 提供定时信号 BT4 到方向电路 1210 作为第三预充电信号 PRE3。预充电晶体管 1264 的漏源通路的另一侧经由方向信号线路 1240b 被电耦合到评估晶体管 1266 的漏源通路的一侧。方向信号线路 1240b 提供反向信号 DIRF 到低触排移位寄存器 1202 和高触排移位寄存器 1204 中各移位寄存单元中反向晶体管的栅极。评估晶体管 1266 的栅极被电耦合到评估信号线 1228, 其提供下降的电压电平 BT5 定时信号到方向电路 1210 作为第三评估信号 EVAL3。评估晶体管 1266 的漏源通路的另一侧在 1276 处被电耦合到控制晶体管 1268 的漏源通路。控制晶体管 1268 的漏源通路在 1278 处还被电耦合到一个基准, 例如接地。控制晶体管 1268 的栅极被电耦合到控制线路 1214 以便接收控制信号 CSYNC。

[0300] 预充电晶体管 1270 的漏源通路的一侧和栅极被电耦合到定时信号线 1224。预充电晶体管 1270 的漏源通路的另一侧经由方向信号线路 1240a 被电耦合到评估晶体管 1272 的漏源通路的一侧。方向信号线路 1240a 提供正向信号 DIRF 到低触排移位寄存器 1202 和高触排移位寄存器 1204 的每个移位寄存器中的正向晶体管的栅极。评估晶体管 1272 的栅极被电耦合到评估信号线 1248, 其提供下降的电压电平 BT6 定时信号到方向电路 1210 作为第四评估信号 EVAL4。评估晶体管 1272 的漏源通路的另一侧在 1280 处被电耦合到控制晶体管 1274 的漏源通路。控制晶体管 1274 的漏源通路在 1282 处还被电耦合到一个基准, 例如接地。控制晶体管 1274 的栅极被电耦合到方向信号线路 1240b 以便接收反向信号 DIRR。

[0301] 方向信号 DIRF 和 DIRR 设置低触排移位寄存器 1202 和高触排移位寄存器 1204 中的移位方向。如果正向信号 DIRF 被设置为高电压电平而反向信号 DIRR 被设置为低电压电平, 则诸如正向晶体管 512 之类的正向晶体管被接通, 而诸如反向晶体管 514 之类的反向晶体管被关闭。低触排移位寄存器 1202 和高触排移位寄存器 1204 以正向方向移位。如果正向信号 DIRF 被设置为低电压电平而反向信号 DIRR 被设置为高电压电平, 则诸如正向晶体管 512 之类的正向晶体管被关闭, 而诸如反向晶体管 514 之类的反向晶体管被接通。低触排移位寄存器 1202 和高触排移位寄存器 1204 以反向方向移位。方向信号 DIRF 和 DIRR 在在定时信号 BT4、BT5 和 BT6 中定时脉冲期间被设置。

[0302] 在运行中, 定时信号线路 1224 在第三预充电信号 PRE3 中提供定时信号 BT4 中的定时脉冲到方向电路 1210。在第三预充电信号 PRE3 中的定时脉冲期间, 正向信号线 1240a 和反向信号线 1240b 充电到高电压电平。向电阻器划分网络 1226 提供定时信号 BT5 中的定时脉冲, 阻器划分网络 1226 在第三评估信号 EVAL3 中提供一个下降的电压电平 BT5 定时脉冲到方向电路 1210。在第三评估信号 EVAL3 中的定时脉冲接通第三评估晶体管 1266。如果在向评估晶体管 1266 提供第三评估信号 EVAL3 中的定时脉冲的同时, 向控制晶体管 1268 的栅极提供控制信号 CSYNC 中的控制脉冲, 则反向信号线 1240b 放电到低电压电平。如果在向评估晶体管 1266 提供第三评估信号 EVAL3 中的定时脉冲时, 控制信号 CSYNC 保持处于低电压电平, 则反向信号线 1240b 保持充电在高电压电平。

[0303] 向电阻器划分网络 1246 提供定时信号 BT6 中的定时脉冲, 电阻器划分网络 1246 提供一个下降的电压电平 BT6 定时脉冲到方向电路 1210 的第四评估信号 EVAL4 中。在第四评估信号 EVAL4 中的定时脉冲接通第四评估晶体管 1272。如果反向信号 DIRR 处于高电压电平, 则正向信号线 1240a 放电到低电压电平。如果反向信号 DIRR 处于低电压电平, 则

正向信号线 1240a 保持被充电至高电压电平。

[0304] 图 17 是图解在正向方向中触排选择地址生成器 1200 的操作的时序图。定时信号 BT1-BT6 提供一系列的六个脉冲,它们以一个重复系列的六个脉冲重复。每个定时信号 BT1-BT6 提供该系列定时脉冲中的一个脉冲。

[0305] 在一个系列的六个脉冲中,1300 处的定时信号 BT1 包含定时脉冲 1302,1304 处的定时信号 BT2 包含定时脉冲 1306,1308 处的定时信号 BT3 包含定时脉冲 1310,1312 处的定时信号 BT4 包含定时脉冲 1314,1316 处的定时信号 BT5 包含定时脉冲 1318 并且在 1320 处的定时信号 BT6 包含定时脉冲 1322。在 1324 处的控制信号 CSYNC 包含控制脉冲,所述控制脉冲设置触排选择地址生成器 1200 中的移位方向并启动低触排移位寄存器 1202 和高触排移位寄存器 1204 以便产生地址 1-26。

[0306] 开始时,低触排移位寄存器 1202 和高触排移位寄存器 1204 都不移位,并且方向电路 1210 还没有被控制信号 CSYNC 1324 中的控制脉冲设置。在 1326 处的反向信号 DIRR 已经被充电到接通控制晶体管 1274 的高电压电平,,所述控制晶体管 1274 之前预先放电正向信号 DIRF 1328 到低电压电平。低触排移位寄存器 1202 和高触排移位寄存器 1204 中的移位寄存器单元中 1330 处的内部节点信号 SN 保持被充电到高电压电平,它们将在 1332 处的所有移位寄存器输出信号 S0 放电到低电压电平。低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估信号 LEVAL 1334 从 1320 处定时信号 BT6 中的在先脉冲开始保持被充电到高电压电平。还有,由于移位寄存器输出信号 S0 1332 处于低电压电平,在 1336 处的地址信号 ~A1、~A2……~A8 保持被充电到高电压电平,除非逻辑电路被再次启动或者地址线被其它触排的逻辑电路放电。

[0307] 在 1300 处的定时信号 BT1 中的定时脉冲 1302 在第一评估信号 EVAL1 中向低触排移位寄存器 1202 提供。定时脉冲 1302 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管。控制信号 CSYNC 1324 保持处于低电压电平并且所有的移位寄存器输出信号 S0 1332 处于低电压电平,其关闭了低触排移位寄存器 1202 和高触排移位寄存器 1204 的移位寄存器单元中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止低触排移位寄存器 1202 和高触排移位寄存器 1204 的移位寄存器单元中的内部节点信号 SN1330 放电到低电压电平。所有的移位寄存器内部节点信号 SN 1330 保持处于高电压电平。1304 处定时信号 BT2 中的定时脉冲 1306 没有提供给触排选择地址生成器 1200,并且在定时脉冲 1306 期间每个信号保持不变。

[0308] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1308 处定时信号 BT3 中的定时脉冲 1310,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管。控制信号 CSYNC 1324 保持处于低电压电平并且所有的移位寄存器输出信号 S0 1332 处于低电压电平,其关闭了低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止低触排移位寄存器 1202 和高触排移位寄存器 1204 的移位寄存器单元中的内部节点信号 SN 1330 放电到低电压电平。所有的移位寄存器内部节点信号 SN 1330 保持处于高电压电平。

[0309] 1312 处定时信号 BT4 中的定时脉冲 1314 在第二预充电信号 PRE2 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第三充电信号 PRE3 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208。在第二预充电信号 PRE2

中的定时脉冲 1314 期间,低触排移位寄存器 1202 和高触排移位寄存器 1204 中所有的移位寄存器输出信号 S0 1332 在 1338 处充电到高电压电平。还有,在第三预充电信号 PRE3 中的定时脉冲 1314 期间,正向信号 DIRF 1328 在 1340 处充电到高电压电平,并将反向信号 DIRR 1326 保持在高电压电平。定时脉冲 1314 被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的每条地址线预充电晶体管 and 评估阻止晶体管。定时脉冲 1314 在 1336 处将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 保持在高电压电平并接通评估阻止晶体管,以便在 1342 处将逻辑评估信号 LEVAL 1334 拉低到低电压电平。

[0310] 1316 处定时信号 BT5 中的定时脉冲 1318 在第二评估信号 EVAL2 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第三评估信号 EVAL3 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208。第二评估信号 EVAL2 中的定时脉冲 1318 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 的移位寄存器单元中的每个第二评估晶体管。由于内部节点信号 SN 1330 处于高电压电平以接通低触排移位寄存器 1202 和高触排移位寄存器 1204 的移位寄存器单元中的每个内部节点晶体管,所有移位寄存器输出信号 S0 1332 在 1344 处放电到低电压电平。还有,在第三评估信号 EVAL3 中的定时脉冲 1318 接通第三评估晶体管 1266。在控制信号 CSYNC 1324 中的控制脉冲 1346 接通控制晶体管 1268。由于第四评估晶体管 1266 和控制晶体管 1268 被接通,方向信号 DIRR 1326 在 1348 处被放电到低电压电平。定时脉冲 1318 被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的每个评估阻止晶体管。定时脉冲 1318 接通每个评估阻止晶体管以便将逻辑评估信号 LEVAL 1334 保持在低电压电平。低电压电平的逻辑评估信号 LEVAL 1334 关闭地址评估晶体管。

[0311] 1320 处定时信号 BT6 中的定时脉冲 1322 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1322 将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有内部节点信号 SN 1330 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1322 接通方向电路 1210 中的评估晶体管 1272。低电压电平反向信号 DIRR 1326 关闭控制晶体管 1274。由于控制晶体管 1274 被关闭,方向信号 DIRR 1328 保持充电到高电压电平。在此期间,每个逻辑评估信号 LEVAL 1334 中的定时脉冲 1322 在 1350 处在低触排逻辑电路 1206 和高触排逻辑电路 1208 中充电到高电压电平。由于所有的移位寄存器输出信号 S0 1332 处于低电压电平,低触排逻辑电路 1206 和高触排逻辑电路 1208 中所有的地址晶体管对被关闭,并且地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 保持处于高电压电平。高电压电平正向信号 DIRF1328 和低电压电平反向信号 DIRF 1326 设置低触排移位寄存器 1202 和高触排移位寄存器 1204 以正向方向移位。

[0312] 在下一个系列的六个定时脉冲中,1300 处的定时信号 BT1 包含定时脉冲 1352,1304 处的定时信号 BT2 包含定时脉冲 1354,1308 处的定时信号 BT3 包含定时脉冲 1356,1312 处的定时信号 BT4 包含定时脉冲 1358,1316 处的定时信号 BT5 包含定时脉冲 1396,并且在 1320 处的定时信号 BT6 包含定时脉冲 1362。

[0313] 定时脉冲 1352 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管。控制信号 CSYNC 1324 中在 1364 处的控制脉冲接通低触排移位寄存器 1202 和高

触排移位寄存器 1204 的第一移位寄存器单元中的每个正向输入晶体管。还有,正向晶体管由正向信号 DIRF 1328 被接通。由于低触排移位寄存器 1202 中的第一评估晶体管被接通,第一移位寄存器单元中的正向输入晶体管被接通,并且正向晶体管被接通,低触排移位寄存器 1202 中第一移位寄存器单元中的内部节点信号 SN1 放电到低电压电平,标记为 1366。

[0314] 高触排移位寄存器 1204 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1352 被接通,并且高触排移位寄存器 1204 中所有的内部节点信号 SN1330 保持处于高电压电平。还有,移位寄存器输出信号 S0 1332 处于低电压电平,其关闭在所有其它的移位寄存器单元中的正向输入晶体管。由于正向输入晶体管关闭,低触排移位寄存器 1202 中每个其它的内部节点信号 SN2-SN13 保持处于高电压电平。1304 处定时信号 BT2 中的定时脉冲 1354 没有提供给触排选择地址生成器 1200,并且在定时脉冲 1354 期间每个信号保持不变。

[0315] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1308 处定时信号 BT3 中的定时脉冲 1356,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管。控制信号 CSYNC 1324 保持处于低电压电平并且高触排移位寄存器 1204 中的移位寄存器输出信号 S0 1332 处于低电压电平,其关闭了高触排移位寄存器 1204 中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止高触排移位寄存器 1204 中的内部节点信号 SN 1330 放电到低电压电平。高触排移位寄存器 1204 中的所有的移位寄存器内部节点信号 SN 1330 保持在高电压电平。

[0316] 在 1312 处定时信号 BT4 中的定时脉冲 1358 期间,所有移位寄存器输出信号 S0 1332 在 1368 处充电到高电压电平。还有,在定时脉冲 1358 期间,反向信号 DIRR 1326 在 1370 处充电到高电压电平,并将正向信号 DIRF 1328 保持在高电压电平。另外,定时脉冲 1358 将所有的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1336 保持在高电压电平,并在 1372 处将逻辑评估信号 LEVAL 1334 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1334 关闭地址评估晶体管,以防止地址晶体管将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1336 拉低到低电压电平。

[0317] 1316 处定时信号 BT5 中的定时脉冲 1360 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的第二评估晶体管。由于低触排移位寄存器 1202 中的内部节点信号 SN2-SN13 处于高电压电平,并且由于高触排移位寄存器 1204 中的内部节点信号 SN1-SN13 处于高电压电平,在定时脉冲 1360 期间,低触排移位寄存器 1202 中的移位寄存器输出信号 S02-S013 和高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 在 1374 处放电到低电压电平。由于低触排移位寄存器 1202 中的内部节点信号 SN1 处于低电压电平,低触排移位寄存器 1202 中的移位寄存器输出信号 S01 保持处于高电压,标记为 1376。

[0318] 定时脉冲 1360 还接通评估晶体管 1266,并且控制信号 CSYNC 1324 中的控制脉冲 1378 接通控制晶体管 1268,以便在 1380 处将反向信号 DIRR 1326 放电到低电压电平。另外,定时脉冲 1360 接通评估低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1334 保持在关闭评估晶体管的低电压电平。移位寄存器输出信号 S0 1332 在定时脉冲 1360 期间建立,从而低触排移位寄存器 1202 中的一个移位寄存器输出信号 S01 建立到高电压电平,并且低触排移位寄存器 1202 中的所有其它移位寄存器输出信号 S02-S013 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 建立到低电压电平。

[0319] 1320 处定时信号 BT6 中的定时脉冲 1362 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204, 在第四评估信号 EVAL4 中被提供到方向电路 1210, 并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1362 期间, 低触排移位寄存器 1202 中的内部节点信号 SN1 在 1382 处充电到高电压电平, 并且将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1330 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1362 接通方向电路 1210 中的评估晶体管 1272。低电压电平反向信号 DIRR 1326 关闭控制晶体管 1274, 并且方向信号 DIRF 1328 保持被充电到高电压电平。还有, 在定时脉冲 1362 期间, 在低触排逻辑电路 1206 和高触排逻辑电路 1208 中的每个逻辑评估信号 LEVAL 1334 在 1384 处充电到高电压电平。低触排移位寄存器 1202 中的高电平移位寄存器输出信号 S01 被接收作为低触排逻辑电路 1206 中的输入信号 AI1。高电压电平输入信号 AI1 接通低触排逻辑电路 1206 中的地址晶体管, 以便有效地拉低地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的地址信号, 以便在 1386 处提供低触排地址 1。低触排移位寄存器 1202 中的其它移位寄存器输出信号 S02-S013 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 处于低电压电平, 它们关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管以不使地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 放电。地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1362 期间建立为有效值。

[0320] 在下一个系列的六个定时脉冲中, 1300 处的定时信号 BT1 包含定时脉冲 1388, 1304 处的定时信号 BT2 包含定时脉冲 1390, 1308 处的定时信号 BT3 包含定时脉冲 1392, 1312 处的定时信号 BT4 包含定时脉冲 1394, 1316 处的定时信号 BT5 包含定时脉冲 1396 并且在 1320 处的定时信号 BT6 包含定时脉冲 1398。

[0321] 定时脉冲 1388 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管, 以便评估低触排移位寄存器 1202 中移位寄存器单元中的每个正向输入信号 SIF (在图 10A 中示出)。第一移位寄存器单元的正向输入信号 SIF 是控制信号 CSYNC 1324, 其处于低电压电平。每个其它的移位寄存器单元处的正向输入信号 SIF 是在前移位寄存器输出信号 S0 1332。低触排移位寄存器 1202 中的移位寄存器输出信号 S01 处于高电压电平, 并且是低触排移位寄存器 1202 中第二移位寄存器单元的正向输入信号 SIF。

[0322] 低触排移位寄存器 1202 中的移位寄存器输出信号 S01 接通低触排移位寄存器 1202 中第二移位寄存器单元中的正向输入晶体管。还有, 正向晶体管通过正向信号 DIRF 1328 被接通。由于低触排移位寄存器 1202 中的第一评估晶体管被接通, 第二移位寄存器单元中的正向输入晶体管被接通, 并且正向晶体管被接通, 在低触排移位寄存器 1202 中第二移位寄存器单元中的内部节点信号 SN2 放电到低电压电平, 标记为 1400。

[0323] 高触排移位寄存器 1204 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1388 被接通, 并且高触排移位寄存器 1204 中所有的内部节点信号 SN1330 保持处于高电压电平。还有, 控制信号 CSYNC 1324 和低触排移位寄存器 1202 中的移位寄存器输出信号 S02-S013 处于低电压电平, 其关闭了低触排移位寄存器 1202 的其它移位寄存器单元中的正向输入晶体管。由于正向输入晶体管关闭, 低触排移位寄存器 1202 中每个其它的内部节点信号 SN1 和 SN3-SN13 保持处于高电压电平。没有向触排选择地址生成器 1200 提供定时信号 BT2 中的定时脉冲 1390, 并且在定时脉冲 1390 期间每个信号保持不变。

[0324] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1308 处的定时信号 BT3 中的定时脉冲 1392,以接通高触排移位寄存器 1204 中的每个第一评估晶体管。控制信号 CSYNC 1324 保持处于低电压电平并且高触排移位寄存器 1204 中的移位寄存器输出信号 S0 1332 处于低电压电平,其关闭了高触排移位寄存器 1204 中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止高触排移位寄存器 1204 中的内部节点信号 SN 1330 放电到低电压电平。高触排移位寄存器 1204 中的所有的移位寄存器内部节点信号 SN 1330 保持在高电压电平。

[0325] 在 1312 处的定时信号 BT4 中的定时脉冲 1394 期间,移位寄存器输出信号 S0 1332 在 1402 处被充电和 / 或被维持在高电压电平。还有,在定时脉冲 1394 期间,反向信号 DIRR 1326 在 1404 处充电到高电压电平,并且正向信号 DIRF1328 被保持在高电压电平。另外,在定时脉冲 1394 期间,地址信号 ~ A1、~ A2……~ A81336 在 1406 处被充电和 / 或被保持在高电压电平,并在 1408 处将逻辑评估信号 LEVAL 1334 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1334 关闭地址评估晶体管,以防止地址晶体管将地址信号 ~ A1、~ A2……~ A81336 拉低到低电压电平。地址信号 ~ A1、~ A2……~ A81336 中的低触排地址 1 地址信号在定时脉冲 1388、1390 和 1392 期间是有效的。

[0326] 1316 处的定时信号 BT5 中的定时脉冲 1396 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的第二评估晶体管。由于低触排移位寄存器 1202 中的内部节点信号 SN1 和 SN3-SN13 处于高电压电平,并且由于高触排移位寄存器 1204 中的内部节点信号 SN1-SN13 处于高电压电平,定时脉冲 1396 将低触排移位寄存器 1202 中的移位寄存器输出信号 S01 和 S03-S013 以及高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 在 1410 处放电到低电压电平。由于低触排移位寄存器 1202 中的内部节点信号 SN2 处于低电压电平,低触排移位寄存器 1202 中的移位寄存器输出信号 S02 保持处于高电压,标示为 1412。

[0327] 定时脉冲 1396 还接通评估晶体管 1266,并且控制信号 CSYNC 1324 中的控制脉冲 1414 接通控制晶体管 1268,以便在 1416 处将反向信号 DIRR 1326 放电到低电压电平。另外,定时脉冲 1360 接通低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1334 保持在关闭评估晶体管的低电压电平。移位寄存器输出信号 S0 1332 在定时脉冲 1396 期间建立,从而低触排移位寄存器 1202 中的一个移位寄存器输出信号 S02 建立为高电压电平,并且低触排移位寄存器 1202 中的所有其它移位寄存器输出信号 S01 和 S03-S013 以及高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 建立为低电压电平。

[0328] 1320 处定时信号 BT6 中的定时脉冲 1398 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1398 期间,低触排移位寄存器 1202 中的内部节点信号 SN2 在 1418 处充电到高电压电平,并且将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1330 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1398 接通方向电路 1210 中的评估晶体管 1272。低电压电平反向信号 DIRR 1326 关闭控制晶体管 1274,并且方向信号 DIRF 1328 保持被充电到高电压电平。在定

时脉冲 1398 期间,每个逻辑评估信号 LEVAL 1334 在低触排逻辑电路 1206 和高触排逻辑电路 1208 中在 1420 处充电到高电压电平。低触排移位寄存器 1202 中的高电平移位寄存器输出信号 S02 被接收作为低触排逻辑电路 1206 中的输入信号 AI1。高电压电平输入信号 AI2 接通低触排逻辑电路 1206 中的地址晶体管,以便有效地拉低地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的地址信号,以便在 1422 处提供低触排地址 2。低触排移位寄存器 1202 中的其它移位寄存器输出信号 S01 和 S03-S013 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 处于低电压电平,它们关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管以不使地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 放电。地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1398 期间建立为有效值。

[0329] 在定时信号 BT1-BT6 中的下一系列六个定时脉冲将高电压电平移位寄存器输出信号 S02 移位到低触排移位寄存器 1202 中的下一个移位寄存器单元,以便在 1336 处在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中在低触排移位寄存器 1202 和低触排地址 3 中提供高电压电平移位寄存器输出信号 S03。移位随着每个系列的六个定时脉冲继续,直到低触排移位寄存器 1202 中的每个移位寄存器输出信号 S01-S013 已经成为高电平一次。在低触排移位寄存器 1202 中的移位寄存器输出信号 S013 已经变成高电平并且已经在 1336 处在地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供了低触排地址 13 之后,该系列停止。为了开始下一个系列,可以分别启动低触排移位寄存器 1202 或者高触排移位寄存器 1204 来以正向方向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26。在这个例子操作中,当低触排地址 13 被提供在 1336 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中 1424 处时,高触排移位寄存器 1204 被启动,以便以正向方向提供高触排地址 14-26。

[0330] 在该系列的六个定时脉冲中,1300 处的定时信号 BT1 包含定时脉冲 1426,1304 处的定时信号 BT2 包含定时脉冲 1428,1308 处的定时信号 BT3 包含定时脉冲 1430,1312 处的定时信号 BT4 包含定时脉冲 1432,1316 处的定时信号 BT5 包含定时脉冲 1434,并且在 1320 处的定时信号 BT6 包含定时脉冲 1436。

[0331] 定时脉冲 1426 接通低触排移位寄存器 1202 的移位寄存器单元中的每个第一评估晶体管,并且正向信号 DIRF 1328 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的每个正向晶体管。控制信号 CSYNC 1324 处于低电压电平,以便关闭在低触排移位寄存器 1202 和高触排移位寄存器 1204 的第一移位寄存器单元中的每个正向输入晶体管。还有,低触排移位寄存器 1202 中移位寄存器输出信号 S01-S012 处于低电压电平,其关闭了低触排移位寄存器 1202 中所有其它移位寄存器单元中的正向输入晶体管。由于正向输入晶体管被关闭,低触排移位寄存器 1202 中的每个内部节点信号 SN1-SN13 保持处于高电压电平。另外,高触排移位寄存器 1204 的移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1352 被接通,并且高触排移位寄存器 1204 中所有的内部节点信号 SN1-SN13 保持处于高电压电平。没有向触排选择地址生成器 1200 提供在 1304 处的定时信号 BT2 中的定时脉冲 1428,并且在定时脉冲 1428 期间每个信号保持不变。

[0332] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供在 1308 处的定时信号 BT3 中的定时脉冲 1430,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管。在 1438 处,控制信号 CSYNC 1324 中的控制脉冲接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中第一移位寄存器单元中的每个正向输入晶体管。还有,正向晶体管通过正向

信号 DIRF 1328 被接通。由于高触排移位寄存器 1204 中的第一评估晶体管接通,第一移位寄存器单元中的正向输入晶体管被接通,并且正向晶体管被接通,高触排移位寄存器 1204 中第一移位寄存器单元中的内部节点信号 SN1 放电到高电压电平,标记为 1440。

[0333] 低触排移位寄存器 1202 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1430 被接通,并且低触排移位寄存器 1202 中所有的内部节点信号 SN1-SN13 保持处于高电压电平。还有,高触排移位寄存器 1204 中移位寄存器输出信号 S01-S012 处于低电压电平,其关闭了所有其它移位寄存器单元中的正向输入晶体管。由于正向输入晶体管关闭,高触排移位寄存器 1204 中的每个其它内部节点信号 SN2-SN13 保持处于高电压电平。

[0334] 在 1312 处的定时信号 BT4 中的定时脉冲 1432 期间,所有移位寄存器输出信号 S0 1332 在 1442 处充电到高电压电平。还有,在定时脉冲 1432 期间,反向信号 DIRR 1326 在 1444 处充电到高电压电平,并将正向信号 DIRF 1328 保持在高电压电平。另外,在定时脉冲 1432 期间,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1336 在 1446 处充电到和 / 或保持在高电压电平,并在 1448 处将逻辑评估信号 LEVAL 1334 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1334 关闭地址评估晶体管,以防止地址晶体管将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1336 拉低到低电压电平。

[0335] 1316 处的定时信号 BT5 中的定时脉冲 1434 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的第二评估晶体管。由于高触排移位寄存器 1204 中的内部节点信号 SN2-SN13 处于高电压电平,并且由于低触排移位寄存器 1202 中的内部节点信号 SN1-SN13 处于高电压电平,在定时脉冲 1434 期间,高触排移位寄存器 1204 中的移位寄存器输出信号 S02-S013 和低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S013 在 1450 处放电到低电压电平。由于高触排移位寄存器 1204 中的内部节点信号 SN1 处于低电压电平,高触排移位寄存器 1204 中的移位寄存器输出信号 S01 保持处于高电压,标记为 1452。

[0336] 定时脉冲 1434 还接通评估晶体管 1266,并且控制信号 CSYNC 1324 中的控制脉冲 1454 接通控制晶体管 1268,以便在 1456 处将反向信号 DIRR 1326 放电到低电压电平。另外,定时脉冲 1434 接通低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1334 保持在关闭评估晶体管的低电压电平。移位寄存器输出信号 S0 1332 在定时脉冲 1434 期间建立,从而高触排移位寄存器 1204 中的一个移位寄存器输出信号 S01 建立为高电压电平,并且高触排移位寄存器 1204 中的所有其它移位寄存器输出信号 S02-S013 和低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 建立为低电压电平。

[0337] 1320 处的定时信号 BT6 中的定时脉冲 1436 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1436 期间,高触排移位寄存器 1204 中的内部节点信号 SN1 在 1458 处充电到高电压电平,并且将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1330 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1436 接通方向电路 1210 中的评估晶体管 1272。低电压电平反向信号 DIRR 1326 关闭控制晶体管 1274,并且方向信号 DIRF 1328 保持被充电到高电压电平。还有,在定时脉冲 1436 期间,每个逻辑评估信号 LEVAL 1334 在 1460 处在低触排逻辑

电路 1206 和高触排逻辑电路 1208 中充电到高电压电平。高触排移位寄存器 1204 中的高电平移位寄存器输出信号 S01 被接收作为高触排逻辑电路 1208 中的输入信号 AI14。高电压电平输入信号 AI14 接通高触排逻辑电路 1208 中的地址晶体管,以便有效地拉低地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的地址信号,以便在 1462 处提供高触排地址 14。高触排移位寄存器 1204 中的其它移位寄存器输出信号 S02-S013 和低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 处于低电压电平,它们关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管以不使地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 放电。地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1436 期间处于有效值。

[0338] 定时脉冲 1464 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管,以便评估在低触排移位寄存器 1202 中的移位寄存器单元处的每个正向输入信号 SIF(在图 10A 中示出)。第一移位寄存器单元的正向输入信号 SIF 是控制信号 CSYNC 1324,其处于低电压电平。在每个其它移位寄存器单元处的正向输入信号 SIF 是一个在前移位寄存器输出信号 S01-S012,它们处于低电压电平。由于控制信号 CSYNC 1324 和低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S013 处于低电压电平,低触排移位寄存器 1202 中的正向输入晶体管被关闭,并且低触排移位寄存器 1202 中的每个内部节点信号 SN 1-SN 13 保持在高电压电平。高触排移位寄存器 1204 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1464 被接通,并且高触排移位寄存器 1204 中的内部节点信号 SN1-SN13 保持处于高电压电平。没有向触排选择地址生成器 1200 提供 1304 处的定时信号 BT2 中的定时脉冲 1466,并且在定时脉冲 1466 期间每个信号保持不变。

[0339] 然后,1308 处的定时信号 BT3 中的定时脉冲 1468 在第一评估信号 EVAL1 中被提供到高触排移位寄存器 1204,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管,以便评估高触排移位寄存器 1204 中移位寄存器单元处的每个正向输入信号 SIF(在图 10A 中示出)。第一移位寄存器单元的正向输入信号 SIF 是控制信号 CSYNC 1324,其处于低电压电平。每个其它的移位寄存器单元处的正向输入信号 SIF 是在前移位寄存器输出信号 S01-S012。高触排移位寄存器 1204 中的移位寄存器输出信号 S01 处于高电压电平,并且是高触排移位寄存器 1204 中第二移位寄存器单元的正向输入信号 SIF。

[0340] 高触排移位寄存器 1204 中的移位寄存器输出信号 S01 接通高触排移位寄存器 1204 的第二移位寄存器单元中的正向输入晶体管。还有,正向晶体管通过正向信号 DIRF 1328 被接通。由于高触排移位寄存器 1204 中的第一评估晶体管被接通,第二移位寄存器单元中的正向输入晶体管被接通,并且正向晶体管被接通,高触排移位寄存器 1204 的第二移位寄存器单元中的内部节点信号 SN2 放电到低电压电平,标记为 1476。

[0341] 低触排移位寄存器 1202 的移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1468 被接通,并且低触排移位寄存器 1202 中所有的内部节点信号 SN1-SN13 在 1478 处保持处于低电压电平。还有,控制信号 CSYNC 1324 和高触排移位寄存器 1204 中的移位寄存器输出信号 S02-S013 处于低电压电平,其关闭了高触排移位寄存器 1204 中其它移位寄存器单元中的正向输入晶体管。由于正向输入晶体管关闭,高触排移位寄存器 1204 中的每个其它内部节点信号 SN1 和 SN3-SN13 在 1478 处保持处于高电压电平。

[0342] 在 1312 处的定时信号 BT4 中的定时脉冲 1470 期间,移位寄存器输出信号 S0 1332 在 1480 处被充电和 / 或维持在高电压电平。还有,在定时脉冲 1470 期间,反向信号 DIRR

1326 在 1482 处充电到高电压电平,并且正向信号 DIRF 1328 被保持在高电压电平。另外,在定时脉冲 1470 期间,地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1336 在 1484 处被充电和 / 或保持在高电压电平,并在 1486 处将逻辑评估信号 LEVAL 1334 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1334 关闭地址评估晶体管,以防止地址晶体管将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1336 拉低到低电压电平。地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1336 中的高触排地址 14 地址信号在定时脉冲 1464、1466 和 1468 期间是有效的。

[0343] 1316 处的定时信号 BT5 中的定时脉冲 1472 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的第二评估晶体管。由于低触排移位寄存器 1204 中的内部节点信号 SN1 和 SN3-SN13 处于高电压电平,并且由于高触排移位寄存器 1202 中的内部节点信号 SN1-SN13 处于高电压电平,在定时脉冲 1472 期间,高触排移位寄存器 1204 中的移位寄存器输出信号 S01 和 S03-S013 以及低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S013 在 1488 处放电到低电压电平。由于高触排移位寄存器 1204 中的内部节点信号 SN2 处于低电压电平,高触排移位寄存器 1204 中的移位寄存器输出信号 S02 保持处于高电压电平,标记为 1490。

[0344] 定时脉冲 1472 还接通评估晶体管 1266,并且控制信号 CSYNC 1324 中的控制脉冲 1492 接通控制晶体管 1268,以便在 1494 处将反向信号 DIRR 1326 放电到低电压电平。另外,定时脉冲 1472 接通评估低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1334 保持在关闭评估晶体管的低电压电平。移位寄存器输出信号 S0 1332 在定时脉冲 1472 期间是这样的使得高触排移位寄存器 1204 中的一个移位寄存器输出信号 S02 处于高电压电平,而高触排移位寄存器 1204 中的所有其它移位寄存器输出信号 S01 和 S03-S013 以及低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 处于低电压电平。

[0345] 1320 处的定时信号 BT6 中的定时脉冲 1474 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1474 期间,高触排移位寄存器 1204 中的内部节点信号 SN2 在 1496 处充电到高电压电平,并且低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1330 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1474 接通方向电路 1210 中的评估晶体管 1272。低电压电平反向信号 DIRR 1326 关闭控制晶体管 1274,并且方向信号 DIRF 1328 保持被充电到高电压电平。在定时脉冲 1474 期间,每个逻辑评估信号 LEVAL 1334 在低触排逻辑电路 1206 和高触排逻辑电路 1208 中在 1497 处充电到高电压电平。高触排移位寄存器 1204 中的高电平移位寄存器输出信号 S02 被接收作为高触排逻辑电路 1208 中的输入信号 AI15。高电压电平输入信号 AI15 接通高触排逻辑电路 1208 中的地址晶体管,以便有效地将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的地址信号拉低到低电压电平,并在 1498 处提供高触排地址 15。高触排移位寄存器 1204 中的其它移位寄存器输出信号 S01 和 S03-S013 以及低触排移位寄存器 1202 中的所有移位寄存器输出 S01-S013 处于低电压电平,其关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管以不使 1336 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 处放电。1336 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1474 期间建立为有效值。

[0346] 在定时信号 BT1-BT6 中的下一系列六个定时脉冲将高电压电平移位寄存器输出信号 S02 移位到高触排移位寄存器 1204 中的下一个移位寄存器单元,以便在高触排移位寄存器 1204 提供高电压电平移位寄存器输出信号 S03 和在 1336 处的地址信号~ A1、~ A2……~ A8 中提供高触排地址 16。移位随着每个系列的六个定时脉冲继续,直到高触排移位寄存器 1204 中的每个移位寄存器输出信号 S01-S013 已经成为高电平一次。在高触排移位寄存器 1204 中的移位寄存器输出信号 S013 已经变成高电平并且已经在 1336 处的地址信号~ A1、~ A2……~ A8 中提供了高触排地址 26 之后,该系列停止。为了开始下一个系列的地址,可以分别启动低触排移位寄存器 1202 或者高触排移位寄存器 1204 来以正向方向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26。

[0347] 在低触排移位寄存器 1202 并提供低触排地址 1-13 的正向操作中,提供一个与 1316 处定时信号 BT5 中的定时脉冲实质上相符的控制信号 CSYNC 1324 中的控制脉冲,以便将移位方向设置为正向。还有,提供与 1300 处定时信号 BT1 中的定时脉冲实质上相符的控制信号 CSYNC 1324 中的控制脉冲,以便通过移位寄存器输出信号 S01-S013 开始或者启动低触排移位寄存器 1202 移位高电压信号。

[0348] 在高触排移位寄存器 1204 并提供高触排地址 14-26 的正向操作中,提供一个与 1316 处定时信号 BT5 中的定时脉冲实质上相符的控制信号 CSYNC 1324 中的控制脉冲,以便将移位方向设置正向。还有,提供一个与 1308 处定时信号 BT3 中的定时脉冲实质上相符的控制信号 CSYNC 1324 中的控制脉冲,以便通过移位寄存器输出信号 S01-S013 开始或者启动高触排移位寄存器 1204 移位高电压信号。

[0349] 图 18 是图解在反向方向中触排选择地址生成器 1200 的操作的时序图。定时信号 BT1-BT6 提供一系列的六个脉冲,它们以一个重复系列的六个脉冲重复。每个定时信号 BT1-BT6 提供在该一系列定时脉冲中的一个脉冲。

[0350] 在一个系列的六个脉冲中,1500 处的定时信号 BT1 包含定时脉冲 1502,1504 处的定时信号 BT2 包含定时脉冲 1506,1508 处的定时信号 BT3 包含定时脉冲 1510,1512 处的定时信号 BT4 包含定时脉冲 1514,1516 处的定时信号 BT5 包含定时脉冲 1518 并且在 1520 处的定时信号 BT6 包含定时脉冲 1522。1524 处的控制信号 CSYNC 包含控制脉冲,它们设置触排选择地址生成器 1200 中的移位方向并启动低触排移位寄存器 1202 和高触排移位寄存器 1204 以产生地址 1-26。

[0351] 开始时,低触排移位寄存器 1202 和高触排移位寄存器 1204 都不移位,并且方向电路 1210 还没有通过控制信号 CSYNC 1524 中的控制脉冲被设置。在 1526 处的反向信号 DIRR 已经被充电到高电压电平,其接通控制晶体管 1274,所述控制晶体管 1274 之前已经预放电 1528 处的正向信号 DIRF 到低电压电平。低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的 1530 处的内部节点信号 SN 保持被充电到高电压电平,它们将在 1532 处的所有移位寄存器输出信号 S0 放电到低电压电平。低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估信号 LEVAL 1534 从 1520 处定时信号 BT6 中的在先脉冲开始保持被充电到高电压电平。还有,由于移位寄存器输出信号 S0 1532 处于低电压电平,在 1536 处的地址信号~ A1、~ A2……~ A8 保持被充电到高电压电平,除非逻辑电路被再次启动或者地址线被其它触排的逻辑电路放电。

[0352] 在 1500 处的定时信号 BT1 中的定时脉冲 1502 在第一评估信号 EVAL1 中向低触排

移位寄存器 1202 提供。定时脉冲 1502 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管。控制信号 CSYNC 1524 保持处于低电压电平并且所有的移位寄存器输出信号 S0 1532 处于低电压电平,其关闭了低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的内部节点信号 SN 1530 放电到低电压电平。所有的移位寄存器内部节点信号 SN 1530 保持处于高电压电平。没有向触排选择地址生成器 1200 提供 1504 处的定时信号 BT2 中的定时脉冲 1506,并且在定时脉冲 1506 期间每个信号保持不变。

[0353] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1508 处的定时信号 BT3 中的定时脉冲 1510,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管。控制信号 CSYNC 1524 保持处于低电压电平并且所有的移位寄存器输出信号 S0 1532 处于低电压电平,其关闭了低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的内部节点信号 SN 1530 放电到低电压电平。所有的移位寄存器内部节点信号 SN 1530 保持处于高电压电平。

[0354] 1512 处的定时信号 BT4 中的定时脉冲 1514 在第二预充电信号 PRE2 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第三充电信号 PRE3 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208。在第二预充电信号 PRE2 中的定时脉冲 1514 期间,低触排移位寄存器 1202 和高触排移位寄存器 1204 中所有的移位寄存器输出信号 S0 1532 在 1538 处充电到高电压电平。还有,在第三预充电信号 PRE3 中的定时脉冲 1514 期间,正向信号 DIRF 1528 在 1540 处被充电到高电压电平,并将反向信号 DIRR1526 保持在高电压电平。定时脉冲 1514 被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的每个地址线预充电晶体管和评估阻止晶体管。定时脉冲 1514 将在 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 保持在高电压电平并接通评估阻止晶体管,以便在 1542 处将逻辑评估信号 LEVAL 1534 拉低到低电压电平。

[0355] 1516 处的定时信号 BT5 中的定时脉冲 1518 在第二评估信号 EVAL2 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第三评估信号 EVAL3 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208。第二评估信号 EVAL2 中的定时脉冲 1518 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的每个第二评估晶体管。由于内部节点信号 SN 1530 处于高电压电平,以接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中移位寄存器单元中的每个内部节点晶体管,所有的移位寄存器输出信号 S0 1532 在 1544 处放电到低电压电平。还有,在第三评估信号 EVAL3 中的定时脉冲 1518 接通评估晶体管 1266。控制信号 CSYNC 1524 处于低电压电平以关闭控制晶体管 1268,并且方向信号 DIRR 1526 保持被充电到高电压电平。定时脉冲 1518 被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的每个评估阻止晶体管。定时脉冲 1518 接通每个评估阻止晶体管以便将逻辑评估信号 LEVAL 1534 保持在低电压电平。低电压电平的逻辑评估信号 LEVAL 1534 关闭地址评估晶体管。

[0356] 1520 处的定时信号 BT6 中的定时脉冲 1522 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电

路 1210, 并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1522 将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有内部节点信号 SN 1530 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1522 接通方向电路 1210 中的评估晶体管 1272。高电压电平反向信号 DIRR 1526 接通控制晶体管 1274, 以便在 1548 处将方向信号 DIRF 1528 放电到低电压电平。在定时脉冲 1522 期间, 每个逻辑评估信号 LEVAL 1534 在低触排逻辑电路 1206 和高触排逻辑电路 1208 中在 1550 处充电到高电压电平。由于所有的移位寄存器输出信号 S0 1532 处于低电压电平, 低触排逻辑电路 1206 和高触排逻辑电路 1208 中所有的地址晶体管被关闭, 并且地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 保持处于高电压电平。低电压电平正向信号 DIRF 1528 和高电压电平反向信号 DIRR1526 设置低触排移位寄存器 1202 和高触排移位寄存器 1204 以反向方向移位。

[0357] 在下一个系列的六个脉冲中, 1500 处的定时信号 BT1 包含定时脉冲 1552, 1504 处的定时信号 BT2 包含定时脉冲 1554, 1508 处的定时信号 BT3 包含定时脉冲 1556, 1512 处的定时信号 BT4 包含定时脉冲 1558, 1516 处的定时信号 BT5 包含定时脉冲 1596 并且在 1520 处的定时信号 BT6 包含定时脉冲 1562。

[0358] 定时脉冲 1552 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管。控制信号 CSYNC 1524 在 1564 处的控制脉冲接通低触排移位寄存器 1202 和高触排移位寄存器 1204 的最后或者第十三个移位寄存器单元中的每个反向输入晶体管。还有, 反向晶体管通过反向信号 DIRR 1526 被接通。由于低触排移位寄存器 1202 中的第一评估晶体管被接通, 在最后移位寄存器单元中的反向输入晶体管被接通, 并且反向晶体管被接通, 低触排移位寄存器 1202 的第十三个移位寄存器单元中的内部节点信号 SN13 放电到低电压电平, 标记为 1566。

[0359] 高触排移位寄存器 1204 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1552 被接通, 并且高触排移位寄存器 1204 中所有的内部节点信号 SN1-SN13 保持处于高电压电平。还有, 移位寄存器输出信号 S0 1532 处于低电压电平, 其关闭了低触排移位寄存器 1202 中所有其它移位寄存器单元例如移位寄存器单元 403a-403l 中的反向输入晶体管。由于反向输入晶体管关闭, 低触排移位寄存器 1202 中每个内部节点信号 SN1-SN12 保持处于高电压电平。没有向触排选择地址生成器 1200 提供 1504 处的定时信号 BT2 中的定时脉冲 1554, 并且在定时脉冲 1554 期间每个信号保持不变。

[0360] 然后, 在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1508 处的定时信号 BT3 中的定时脉冲 1556, 以便接通高触排移位寄存器 1204 中的每个第一评估晶体管。控制信号 CSYNC 1524 保持处于低电压电平并且高触排移位寄存器 1204 中的移位寄存器输出信号 S0 1532 处于低电压电平, 其关闭了高触排移位寄存器 1204 中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止高触排移位寄存器 1204 中的内部节点信号 SN 1-SN13 放电到低电压电平。高触排移位寄存器 1204 中的所有移位寄存器内部节点信号 SN 1-SN 13 保持处于高电压电平。

[0361] 在 1512 处的定时信号 BT4 中的定时脉冲 1558 期间, 所有移位寄存器输出信号 S0 1532 在 1568 处被充电到高电压电平。还有, 在定时脉冲 1558 期间, 反向信号 DIRR 1526 被维持在高电压电平, 并在 1570 处将正向信号 DIRF 1528 充电到高电压电平。另外, 在定时

脉冲 1558 期间,所有的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1536 被保持在高电压电平,并在 1572 处将逻辑评估信号 LEVAL1534 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1534 关闭地址评估晶体管,以防止地址晶体管将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1536 拉低到低电压电平。

[0362] 1516 处的定时信号 BT5 中的定时脉冲 1560 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的第二评估晶体管。由于低触排移位寄存器 1202 中的内部节点信号 SN1-SN12 处于高电压电平,并且由于高触排移位寄存器 1204 中的内部节点信号 SN1-SN13 处于高电压电平,在定时脉冲 1560 期间,低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S012 和高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 在 1574 处放电到低电压电平。由于低触排移位寄存器 1202 中的内部节点信号 SN13 处于低电压电平,低触排移位寄存器 1202 中的移位寄存器输出信号 S013 保持处于高电压,标记为 1576。

[0363] 定时脉冲 1560 还接通方向电路 1210 中的评估晶体管 1266。控制信号 CSYNC 1524 处于低电压电平以关闭控制晶体管 1268,并且反向信号 DIRR 1526 保持被充电到高电压电平。另外,定时脉冲 1560 接通低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1534 保持低电压电平以关闭评估晶体管。移位寄存器输出信号 S0 1532 在定时脉冲 1560 期间建立,从而低触排移位寄存器 1202 中的一个移位寄存器输出信号 S013 建立为高电压电平,并且低触排移位寄存器 1202 中的所有其它移位寄存器输出信号 S01-S012 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 建立为低电压电平。

[0364] 1520 处的定时信号 BT6 中的定时脉冲 1562 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1562 期间,低触排移位寄存器 1202 中的内部节点信号 SN13 在 1582 处充电到高电压电平,并且将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1530 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1562 接通方向电路 1210 中的评估晶体管 1272。高电压电平反向信号 DIRR 1526 接通控制晶体管 1274,并且此时将方向信号 DIRF 1528 在 1580 处放电到低电压电平。还有,在定时脉冲 1562 期间,低触排逻辑电路 1206 和高触排逻辑电路 1208 中每个逻辑评估信号 LEVAL 1534 在 1584 处充电到高电压电平。低触排移位寄存器 1202 中的高电平移位寄存器输出信号 S013 被接收作为低触排逻辑电路 1206 中的输入信号 AI13。高电压电平输入信号 AI13 接通低触排逻辑电路 1206 中的地址晶体管,以便有效地拉低在 1536 处的地址信号 $\sim A13$ 、 $\sim A13$ …… $\sim A8$ 中的地址信号,以便在 1586 处提供低触排地址 13。低触排移位寄存器 1202 中的其它移位寄存器输出信号 S02-S012 和高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 处于低电压电平,它们关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管以不使 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 放电。1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1562 期间建立为有效值。

[0365] 在下一个系列的六个脉冲中,1500 处的定时信号 BT1 包含定时脉冲 1588,1504 处的定时信号 BT2 包含定时脉冲 1590,1508 处的定时信号 BT3 包含定时脉冲 1592,1512 处的定时信号 BT4 包含定时脉冲 1594,1516 处的定时信号 BT5 包含定时脉冲 1596 并且在 1520

处的定时信号 BT6 包含定时脉冲 1598。

[0366] 定时脉冲 1588 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管,以便评估低触排移位寄存器 1202 中移位寄存器单元中的每个反向输入信号 SIR(在图 10A 中示出)。最后一个移位寄存器单元的反向输入信号 SIR 是控制信号 CSYNC 1524,其处于低电压电平。每个其它的移位寄存器单元处的反向输入信号 SIR 是后续的(next-in-line)移位寄存器输出信号 S02-S013。低触排移位寄存器 1202 中的移位寄存器输出信号 S013 处于高电压电平,并且是低触排移位寄存器 1202 中接近最后的或者第十二个移位寄存器单元的反向输入信号 SIR。

[0367] 低触排移位寄存器 1202 中的移位寄存器输出信号 S013 接通低触排移位寄存器 1202 中第十二个移位寄存器单元中的反向输入晶体管。还有,反向晶体管通过反向信号 DIRR 1526 被接通。由于低触排移位寄存器 1202 中的第一评估晶体管被接通,在第十二个移位寄存器中的反向输入晶体管被接通,并且反向晶体管被接通,低触排移位寄存器 1202 的第十二个移位寄存器中的内部节点信号 SN12 放电到低电压电平,标记为 1600。

[0368] 高触排移位寄存器 1204 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1588 被接通,并且高触排移位寄存器 1204 中所有的内部节点信号 SN1-SN13 保持处于高电压电平。还有,控制信号 CSYNC 1524 和低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S012 处于低电压电平,其关闭了低触排移位寄存器 1202 的其它移位寄存器单元中的反向输入晶体管。由于反向输入晶体管关闭,低触排移位寄存器 1102 中每个其它内部节点信号 SN1-SN11 和 SN13 保持处于高电压电平。没有向触排选择地址生成器 1200 提供定时信号 BT21504 中的定时脉冲 1590,并且在定时脉冲 1590 期间每个信号保持不变。

[0369] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1508 处的定时信号 BT3 中的定时脉冲 1592,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管。控制信号 CSYNC 1524 保持处于低电压电平并且高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 处于低电压电平,其关闭了高触排移位寄存器 1204 中的每个正向输入晶体管和每个反向输入晶体管。非导通的正反向输入晶体管防止高触排移位寄存器 1204 中的内部节点信号 SN1-SN13 放电到低电压电平。高触排移位寄存器 1204 中的所有移位寄存器内部节点信号 SN1-SN13 保持处于高电压电平。

[0370] 在 1512 处的定时信号 BT4 中的定时脉冲 1594 期间,移位寄存器输出信号 S0 1532 在 1602 处充电到和 / 或维持在高电压电平。还有,在定时脉冲 1594 期间,反向信号 DIRR 1526 被维持在高电压电平,并在 1604 处将正向信号 DIRF1528 充电到高电压电平。另外,在定时脉冲 1594 期间,1536 处的地址信号 ~ A1、~ A2……~ A8 在 1606 处充电到和 / 或保持处于高电压电平,并在 1608 处将逻辑评估信号 LEVAL 1534 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1534 关闭地址评估晶体管,以防止地址晶体管将在 1536 处的地址信号 ~ A1、~ A2……~ A8 拉低到低电压电平。1536 处地址信号 ~ A1、~ A2……~ A8 中的低触排地址 13 地址信号在定时脉冲 1588、1590 和 1592 期间是有效的。

[0371] 1516 处的定时信号 BT5 中的定时脉冲 1596 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的第二评估晶体管。由于低触排移位寄存器 1202 中的内部节点信号 SN1-SN11 和 SN13 处于高电压电平,并且由于高触排移位寄存器 1204 中的内部节点信号 SN1-SN13 处于高电压电平,在定时脉冲 1596 期间,低触排移位寄存器 1202 中的移位寄

寄存器输出信号 S01-S011 和 S013 以及高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S013 在 1610 处放电到低电压电平。由于低触排移位寄存器 1202 中的内部节点信号 SN12 处于低电压电平,低触排移位寄存器 1202 中的移位寄存器输出信号 S012 保持处于低电压电平,标记为 1612。

[0372] 定时脉冲 1596 还接通方向电路 1210 中的评估晶体管 1266。控制信号 CSYNC 1524 处于低电压电平以关闭控制晶体管 1268,并且反向信号 DIRR 1526 保持处于高电压电平。另外,定时脉冲 1560 接通低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1534 保持在关闭评估晶体管的低电压电平。移位寄存器输出信号 S0 1532 在定时脉冲 1596 期间建立,从而低触排移位寄存器 1202 中的一个移位寄存器输出信号 S012 建立为高电压电平,并且低触排移位寄存器 1202 中的所有其它移位寄存器输出信号 S01-S011 和 S013 和高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 建立为低电压电平。

[0373] 1520 处的定时信号 BT6 中的定时脉冲 1598 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1598 期间,低触排移位寄存器 1202 中的内部节点信号 SN12 在 1618 处充电到高电压电平,并且将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1530 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1598 接通方向电路 1210 中的评估晶体管 1272。高电压电平的反向信号 DIRR 1526 接通控制晶体管 1274,并且将方向信号 DIRF 1528 在 1616 处放电到低电压电平。还有,在定时脉冲 1598 期间,每个逻辑评估信号 LEVAL1534 在低触排逻辑电路 1206 和高触排逻辑电路 1208 中在 1620 处充电到高电压电平。低触排移位寄存器 1202 中的高电平移位寄存器输出信号 S012 被接收作为低触排逻辑电路 1206 中的输入信号 AI12。高电压电平输入信号 AI12 接通低触排逻辑电路 1206 中的地址晶体管,以便有效地拉低 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的地址信号,以便在 1622 处提供低触排地址 12。低触排移位寄存器 1202 中的其它移位寄存器输出信号 S01-S011 和 S013 以及高触排移位寄存器 1204 中的所有移位寄存器输出信号 S01-S013 处于低电压电平,它们关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管,以便不使地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1536 放电。1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1598 期间建立为有效值。

[0374] 在定时信号 BT1-BT6 中的下一系列六个定时脉冲将高电压电平移位寄存器输出信号 S012 移位到低触排移位寄存器 1202 中的在前移位寄存器单元,以便在 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中在低触排移位寄存器 1202 和低触排地址 11 中提供高电压电平移位寄存器输出信号 S011。移位随着每个系列的六个定时脉冲继续,直到低触排移位寄存器 1202 中的每个移位寄存器输出信号 S01-S013 已经成为高电平一次。在低触排移位寄存器 1202 中的移位寄存器输出信号 S01 已经变成高电平并且在已经在 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供了低触排地址 1 之后,该系列停止。为了开始下一个系列,可以分别启动低触排移位寄存器 1202 或者高触排移位寄存器 1204 来以正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26。在这个实施例操作中,当低触排地址 1 被提

供在 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的 1624 处时,高触排移位寄存器 1204 被启动以便以反向方向提供高触排地址 14-26。

[0375] 在该系列的六个脉冲中,1500 处的定时信号 BT1 包含定时脉冲 1626,1504 处的定时信号 BT2 包含定时脉冲 1628,1508 处的定时信号 BT3 包含定时脉冲 1630,1512 处的定时信号 BT4 包含定时脉冲 1632,1516 处的定时信号 BT5 包含定时脉冲 1634 并且在 1520 处的定时信号 BT6 包含定时脉冲 1636。

[0376] 定时脉冲 1626 接通低触排移位寄存器 1202 中移位寄存器单元中的每个第一评估晶体管,并且反向信号 DIRR 1526 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的每个反向晶体管。控制信号 CSYNC 1524 处于低电压电平,以便关闭在低触排移位寄存器 1202 和高触排移位寄存器 1204 中第十三个移位寄存器单元中的每个反向输入晶体管。还有,低触排移位寄存器 1202 中的移位寄存器输出信号 S02-S013 处于低电压电平,其关闭了低触排移位寄存器 1202 中所有其它的移位寄存器单元例如移位寄存器单元 403a-4031 中的反向输入晶体管。由于反向输入晶体管被关闭,低触排移位寄存器 1202 中的每个内部节点信号 SN1-SN13 保持处于高电压电平。另外,高触排移位寄存器 1204 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1552 被接通,并且高触排移位寄存器 1204 中所有内部节点信号 SN1-SN13 保持处于高电压电平。没有向触排选择地址生成器 1200 提供 1504 处的定时信号 BT2 中的定时脉冲 1628,并且在定时脉冲 1628 期间每个信号保持不改变。

[0377] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1508 处的定时信号 BT3 中的定时脉冲 1630,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管。控制信号 CSYNC 1524 中 1638 处的控制脉冲接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中第十三个移位寄存器单元中的每个反向输入晶体管。还有,反向晶体管通过反向信号 DIRR 1526 被接通。由于高触排移位寄存器 1204 中第一评估晶体管被接通,在第十三个移位寄存器单元中的反向输入晶体管被接通,并且反向晶体管被接通,高触排移位寄存器 1204 中第十三个移位寄存器单元中的内部节点信号 SN13 放电到低电压电平,标记为 1640。

[0378] 低触排移位寄存器 1202 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1630 被接通,并且低触排移位寄存器 1202 中所有内部节点信号 SN1-SN13 保持处于高电压电平。还有,高触排移位寄存器 1204 中移位寄存器输出信号 S01-S013 处于低电压电平,其关闭了高触排移位寄存器 1204 中所 有其它移位寄存器单元中的反向输入晶体管。由于反向输入晶体管关闭,高触排移位寄存器 1204 中的每个其它内部节点信号 SN1-SN12 保持处于高电压电平。

[0379] 在 1512 处的定时信号 BT4 中的定时脉冲 1632 期间,所有的移位寄存器输出信号 S0 1532 在 1642 处充电到高电压电平。还有,在定时脉冲 1632 期间,反向信号 DIRR 1526 被维持在高电压电平,并在 1644 处将正向信号 DIRF 1528 充电到高电压电平。另外,在定时脉冲 1632 期间,1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在 1646 处充电到和 / 或保持在高电压电平,并在 1648 处将逻辑评估信号 LEVAL 1534 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1534 关闭地址评估晶体管,以防止地址晶体管将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1536 拉低到低电压电平。

[0380] 1516 处的定时信号 BT5 中的定时脉冲 1634 接通低触排移位寄存器 1202 和高触

排移位寄存器 1204 中的第二评估晶体管。由于高触排移位寄存器 1204 中的内部节点信号 SN1-SN12 处于高电压电平,并且由于低触排移位寄存器 1202 的内部节点信号 SN1-SN13 处于高电压电平,定时脉冲 1634 将高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S012 和低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S013 在 1650 处放电到低电压电平。由于高触排移位寄存器 1204 中的内部节点信号 SN13 处于低电压电平,高触排移位寄存器 1204 中的移位寄存器输出信号 S013 保持处于高电压电平,标记为 1652。

[0381] 定时脉冲 1634 还接通方向电路 1210 中的评估晶体管 1266。控制信号 CSYNC 1524 处于低电压电平以关闭控制晶体管 1268,并且反向信号 DIRR 1526 保持处于高电压电平。另外,定时脉冲 1634 接通低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1534 保持在关闭评估晶体管的低电压电平。移位寄存器输出信号 S0 1532 在定时脉冲 1634 期间建立,从而高触排移位寄存器 1204 中的一个移位寄存器输出信号 S013 建立为高电压电平,并且高触排移位寄存器 1204 中的所有其它移位寄存器输出信号 S01-S012 和低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 建立为低电压电平。

[0382] 1520 处的定时信号 BT6 中的定时脉冲 1636 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1636 将高触排移位寄存器 1204 中的内部节点信号 SN13 在 1658 处充电到高电压电平,并且将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1530 保持在低电压电平。在第四评估信号 EVAL4 中的定时脉冲 1636 接通方向电路 1210 中的评估晶体管 1272。高电压电平的反向信号 DIRR 1526 接通控制晶体管 1274,并且将方向信号 DIRF 1528 在 1656 处放电到低电压电平。定时脉冲 1636 还将每个逻辑评估信号 LEVAL 1534 在低触排逻辑电路 1206 和高触排逻辑电路 1208 中在 1660 处充电到高电压电平。高触排移位寄存器 1204 中的高电平移位寄存器输出信号 S013 被接收作为高触排逻辑电路 1208 中的输入信号 AI26。高电压电平输入信号 AI26 接通高触排逻辑电路 1208 中的地址晶体管,以便有效地拉低 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的地址信号,以便在 1662 处提供高触排地址 26。高触排移位寄存器 1204 中的其它移位寄存器输出信号 S01-S012 和低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 处于低电压电平,它们关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管以不使 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 放电。1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1636 期间建立为有效值。

[0383] 在下一个系列的六个脉冲中,1500 处的定时信号 BT1 包含定时脉冲 1664,1504 处的定时信号 BT2 包含定时脉冲 1666,1508 处的定时信号 BT3 包含定时脉冲 1668,1512 处的定时信号 BT4 包含定时脉冲 1670,1516 处的定时信号 BT5 包含定时脉冲 1672 并且在 1520 处的定时信号 BT6 包含定时脉冲 1674。

[0384] 定时脉冲 1664 接通低触排移位寄存器 1202 的移位寄存器单元中的每个第一评估晶体管,以便评估低触排移位寄存器 1202 的移位寄存器单元中的每个反向输入信号 SIR(在图 10A 中示出)。最后一个移位寄存器单元的反向输入信号 SIR 是控制信号 CSYNC 1524,其处于低电压电平。每个其它的移位寄存器单元处的反向输入信号 SIR 是后续的移

位寄存器输出信号 S02-S013 中的一个,其处于的低电压电平。由于控制信号 CSYNC 1524 和低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S013 处于低电压电平,低触排移位寄存器 1202 中的反向输入晶体管被关闭,并且低触排移位寄存器 1202 中的每个内部节点信号 SN 1-SN 13 保持在高电压电平。高触排移位寄存器 1204 中移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1664 被接通,并且高触排移位寄存器 1204 中的内部节点信号 SN1-SN13 保持处于高电压电平。没有向触排选择地址生成器 1200 提供 1504 处的定时信号 BT2 中的定时脉冲 1666,并且在定时脉冲 1666 期间每个信号保持不变。

[0385] 然后,在第一评估信号 EVAL1 中向高触排移位寄存器 1204 提供 1508 处的定时信号 BT3 中的定时脉冲 1668,以便接通高触排移位寄存器 1204 中的每个第一评估晶体管,以便评估高触排移位寄存器 1204 中移位寄存器单元处的每个反向输入信号 SIR(在图 10A 中示出)。最后一个移位寄存器单元的反向输入信号 SIR 是控制信号 CSYNC 1524,其处于低电压电平。每个其它移位寄存器单元处的反向输入信号 SIR 是后续的移位寄存器输出信号 S02-S013 中。高触排移位寄存器 1204 中的移位寄存器输出信号 S013 处于高电压电平,并且是高触排移位寄存器 1204 中接近最后的移位寄存器单元的反向输入信号 SIR。

[0386] 高触排移位寄存器 1204 中的移位寄存器输出信号 S013 接通高触排移位寄存器 1204 中接近最后的移位寄存器单元中的反向输入晶体管。还有,反向晶体管通过反向信号 DIRR 1526 被接通。由于高触排移位寄存器 1204 中的第一评估晶体管被接通,在相邻于最后一个移位寄存器单元中的反向输入晶体管被接通,并且反向晶体管被接通,高触排移位寄存器 1204 中相邻于最后的或者第十二个移位寄存器单元中的内部节点信号 SN12 放电到低电压电平,标记为 1676。

[0387] 低触排移位寄存器 1202 的移位寄存器单元中的第一评估晶体管没有通过定时脉冲 1668 被接通,并且低触排移位寄存器 1202 中所有的内部节点信号 SN1-SN13 在 1678 处保持处于高电压电平。还有,控制信号 CSYNC 1524 和高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S012 处于低电压电平,其关闭了高触排移位寄存器 1204 中其它移位寄存器单元中的反向输入晶体管。由于反向输入晶体管关闭,高触排移位寄存器 1204 中的每个其它内部节点信号 SN1-SN11 和 SN13 在 1678 处保持处于高电压电平。

[0388] 1512 处的定时信号 BT4 中的定时脉冲 1670 将移位寄存器输出信号 S01532 在 1680 处充电和 / 或保持到高电压电平。还有,定时脉冲 1670 将反向信号 DIRR1526 保持在高电压电平,并且在 1682 处将正向信号 DIRF 1528 充电到高电压电平。另外,定时脉冲 1670 将 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在 1684 处充电和 / 或保持到高电压电平,并在 1686 处将逻辑评估信号 LEVAL1534 拉低到低电压电平。低电压电平逻辑评估信号 LEVAL 1534 关闭地址评估晶体管,以防止地址晶体管将地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1536 拉低到低电压电平。地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 1536 中的高触排地址 26 地址信号在定时脉冲 1664、1666 和 1668 期间是有效的。

[0389] 1516 处的定时信号 BT5 中的定时脉冲 1672 接通低触排移位寄存器 1202 和高触排移位寄存器 1204 中的第二评估晶体管。由于高触排移位寄存器 1204 中的内部节点信号 SN1-SN11 和 SN13 处于高电压电平,并且由于低触排移位寄存器 1202 中的内部节点信号 SN1-SN13 处于高电压电平,定时脉冲 1672 将高触排移位寄存器 1204 中的移位寄存器输出信号 S01-S011 和 S013 以及低触排移位寄存器 1202 中的移位寄存器输出信号 S01-S013 在

1688 处放电到低电压电平。由于高触排移位寄存器 1204 中的内部节点信号 SN12 处于低电压电平,高触排移位寄存器 1204 中的移位寄存器输出信号 S012 保持处于低电压,标记为 1690。

[0390] 定时脉冲 1672 还接通方向电路 1210 中的评估晶体管 1266。控制信号 CSYNC 1524 处于低电压电平以关闭控制晶体管 1268,并且反向信号 DIRR 1526 保持被充电到高电压电平。另外,定时脉冲 1672 接通低触排逻辑电路 1206 和高触排逻辑电路 1208 中的评估阻止晶体管,以便将逻辑评估信号 LEVAL 1534 保持在关闭评估晶体管的低电压电平。移位寄存器输出信号 S0 1532 在定时脉冲 1672 期间建立,从而高触排移位寄存器 1204 中的一个移位寄存器输出信号 S012 建立为高电压电平,并且高触排移位寄存器 1204 中的所有其它移位寄存器输出信号 S01-S011 和 S013 以及低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 建立为低电压电平。

[0391] 1520 处的定时信号 BT6 中的定时脉冲 1674 在第一预充电信号 PRE1 中被提供到低触排移位寄存器 1202 和高触排移位寄存器 1204,在第四评估信号 EVAL4 中被提供到方向电路 1210,并被提供到低触排逻辑电路 1206 和高触排逻辑电路 1208 中的逻辑评估预充电晶体管。在第一预充电信号 PRE1 中的定时脉冲 1674 将高触排移位寄存器 1204 中的内部节点信号 SN12 在 1696 处充电到高电压电平,并且将低触排移位寄存器 1202 和高触排移位寄存器 1204 中的所有其它内部节点信号 SN 1530 保持在高电压电平。在第四评估信号 EVAL4 中的定时脉冲 1674 接通方向电路 1210 中的评估晶体管 1272。高电压电平反向信号 DIRR 1526 接通控制晶体管 1274,并且将方向信号 DIRF 1528 放电到 1694 处的低电压电平。定时脉冲 1674 还将每个逻辑评估信号 LEVAL 1534 在低触排逻辑电路 1206 和高触排逻辑电路 1208 中在 1697 处充电高电压电平。高触排移位寄存器 1204 中的高电平移位寄存器输出信号 S012 被接收作为高触排逻辑电路 1208 中的输入信号 AI25。高电压电平输入信号 AI25 接通高触排逻辑电路 1208 中的地址晶体管,以便有效地将 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中的地址信号拉低到低电压电平,并在 1698 处提供高触排地址 25。高触排移位寄存器 1204 中的其它移位寄存器输出信号 S01-S011 和 S013 以及低触排移位寄存器 1202 中的所有移位寄存器输出信号 S01-S013 处于低电压电平,它们关闭低触排逻辑电路 1206 和高触排逻辑电路 1208 中的地址晶体管以不使 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 放电。1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 在定时脉冲 1674 期间建立为有效值。

[0392] 在定时信号 BT1-BT6 中的下一系列六个定时脉冲将高电压电平移位寄存器输出信号 S012 移位到高触排移位寄存器 1204 中的在前移位寄存器单元,以便在 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中在高触排移位寄存器 1204 和高触排地址 24 中提供高电压电平的移位寄存器输出信号 S011。移位随着每个系列的六个定时脉冲继续,直到高触排移位寄存器 1204 中的每个移位寄存器输出信号 S01-S013 已经成为高电平一次。在高触排移位寄存器 1204 中的移位寄存器输出信号 S01 已经变成高电平并且已经在 1536 处的地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 中提供了高触排地址 14 之后,该系列停止。为了开始下一个系列的地址,可以分别启动低触排移位寄存器 1202 或者高触排移位寄存器 1204 来正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26。

[0393] 在低触排移位寄存器 1202 并提供低触排地址 13-1 的反向操作中,提供与 1516 处

定时信号 BT5 中的定时脉冲实质上相符的低电压控制信号 CSYNC1524, 以便将移位方向设置为反向。还有, 提供与在 1500 处定时信号 BT1 中的定时脉冲实质上相符的在控制信号 CSYNC 1524 中的控制脉冲, 以便通过从 S013 到 S01 的移位寄存器输出信号开始或者启动低触排移位寄存器 1202 移位高电压信号。

[0394] 在高触排移位寄存器 1204 及提供高触排地址 26-14 的反向操作中, 提供与 1516 处定时信号 BT5 中的定时脉冲实质上相符的低电压电平控制信号 CSYNC 1524 中的控制脉冲, 以便将移位方向设置为反向。还有, 提供与 1508 处定时信号 BT3 中的定时脉冲实质上相符的在控制信号 CSYNC 1524 中的控制脉冲, 以便通过从 S013- 到 S01 的移位寄存器输出信号开始或者启动高触排移位寄存器 1204 移位高电压信号。

[0395] 控制信号 CSYNC 控制在打印头模具中的一个或多个地址生成器的操作。每个地址生成器由控制信号 CSYNC 中的控制脉冲控制, 该控制脉冲与定时信号中的定时脉冲实质上相符以便设置操作方向并启动操作。在一个实施方式中, 两个地址生成器在相应于六个激发信号的六个选择信号中的六个定时脉冲期间提供有效的地址信号。一个地址生成器在六个定时脉冲中的三个定时脉冲期间提供有效的地址信号, 而另一个地址生成器在六个定时脉冲的另三个定时脉冲期间提供有效的地址信号。在一个实施方式中, 两个地址生成器的每一个都类似于图 9 中的地址生成器 400。在另一个实施方式中, 两个地址生成器的每一个都类似于图 15 中的触排选择地址生成器 1200。

[0396] 用以控制图 9 的地址生成器 400 的在控制信号 CSYNC 中的控制脉冲的定时, 不同于用以图 15 的控制触排选择地址生成器 1200 的在控制信号 CSYNC 中的控制脉冲的定时。定时信号 T3 中的定时脉冲 (在图 9 中示出) 和定时信号 BT4 (在图 15 中示出) 分别预充电地址生成器 400 和触排选择地址生成器 1200 中的移位寄存器单元的第二级。预充电的移位寄存器单元的第二级将移位寄存器输出信号 S0 充电到高电压电平, 并且可能破坏有效的、有效驱动的地址信号的有效性。为了产生下一个有效的地址信号, 移位寄存器输出信号 S0 被评估成有效值并且地址信号被评估成有效的地址信号。在地址生成器 400 中定时信号 T4 中的定时脉冲期间以及在触排选择地址生成器 1200 中定时信号 BT5 中的定时脉冲期间, 移位寄存器输出信号 S0 被评估成有效值。在地址生成器 400 中定时信号 T5 中的定时脉冲期间并且在触排选择地址生成器 1200 中在定时信号 BT6 中的定时脉冲期间, 有效的移位寄存器输出信号 S0 被提供到逻辑电路, 并且地址信号被评估成有效值, 以便提供有效的地址信号。这产生了下面的系列。

[0397]

T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO 高	SO 评估	SO 有效	SO 有效	SO 有效	SO 有效	SO 高	SO 评估	SO 有效	SO 有效	SO 有效	SO 有效
地址 破坏		地址 评估	地址 有效	地址 有效	地址 有效	地址 破坏		地址 评估	地址 有效	地址 有效	地址 有效

[0398] 当在 T3 或者 BT4 期间移位寄存器输出信号 SO 被预充电时,地址信号可以被预充电。在定时信号 T5 或者 BT6 中,地址信号在被评估成有效的地址信号之前被预充电。因此,在地址生成器 400 中在定时信号 T3 或者 T4 中的定时脉冲期间以及在触排选择地址生成器 1200 中在定时信号 BT4 或者 BT5 中的定时脉冲期间,地址信号可以被预充电。在地址生成器 400 中在定时信号 T3 和 T4 中的定时脉冲期间以及在触排选择地址生成器 1200 中在定时信号 BT4 和 BT5 中的定时脉冲期间,当移位寄存器输出信号 SO 被充电到高电压电平并被评估成有效值时,逻辑评估信号 LEVAL 关闭地址生成器 400 和触排选择地址生成器 1200 中的逻辑评估晶体管。在下面的序列中加入了地址信号的预充电。

[0399]

T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO 高	SO 评估	SO 有效	SO 有效	SO 有效	SO 有效	SO 高	SO 评估	SO 有效	SO 有效	SO 有效	SO 有效
地址 破坏		地址 评估	地址 有效	地址 有效	地址 有效	地址 破坏		地址 评估	地址 有效	地址 有效	地址 有效
地址 预充电						地址 预充电					

[0400] 移位寄存器单元中的内部节点信号 SN 需要在移位寄存器输出信号 SO 被评估成有效值的时候成为有效值。最初的内部节点信号 SN 可以在定时信号 T5 或者 BT6 中的定时脉冲期间被预充电,在移位寄存器输出信号 SO 成为有效之后。因为,移位寄存器输出信号 SO 被用于地址生成器 400 和 1200 中在前的或后续的移位寄存器单元的输入信号,在定时信号 T3 或者 BT4 期间内部节点信号 SN 在移位寄存器输出信号 SO 被预充电到高电压电平之前被评估。内部节点信号 SN 在定时信号 T2 或者 BT3 中的定时脉冲之前或者期间被评估。还有,基本上与控制信号 CSYNC 中的控制脉冲一致的内部节点信号 SN 被评估以便启动移位寄存器。在下面的序列中增加了内部节点信号预充电和评估的可能性。

[0401]

T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO 高	SO Eval	SO 有效	SO 有效	SO 有效	SO 有效	SO 高	SO Eval	SO 有效	SO 有效	SO 有效	SO 有效
地址 破坏		地址 Eval	地址 有效	地址 有效	地址 有效	地址 破坏		地址 Eval	地址 有效	地址 有效	地址 有效
地址 预充电						地址 预充电					
		SN 预充电						SN 预充电			
SN 有效	SN 有效		SN eval			SN 有效	SN 有效		SN Eval		

[0402] 在地址生成器 400 中,内部节点信号 SN 在定时信号 T1 中的定时脉冲期间被预充电,并且在定时信号 T2 中的定时脉冲期间被评估。为了启动地址生成器 400,控制信号 CSYNC 中的控制脉冲在定时信号 T2 中的定时脉冲期间提供。

[0403] 用于触排选择地址生成器 1200 中低触排移位寄存器 1202 和高触排移位寄存器 1204 的内部节点信号 SN 在定时信号 BT6 中的定时脉冲期间被预充电。低触排移位寄存器 1202 中的内部节点信号 SN 在定时信号 BT1 中的定时脉冲期间被评估,并且高触排移位寄存器 1204 中的内部节点信号在定时信号 BT3 中的定时脉冲期间被评估。为了启动低触排移位寄存器 1202,控制信号 CSYNC 中的控制脉冲在定时信号 BT1 中的定时脉冲期间被提供,并且为了启动高触排移位寄存器 1204,控制信号 CSYNC 中的控制脉冲在定时信号 BT3 中的定时脉冲期间被提供。

[0404] 方向信号 DIRR 和 DIRF 在内部节点信号 SN 被评估的时候是有效的。在地址生成器 400 中,反向信号 DIRR 在定时信号 T3 中的定时脉冲期间被预充电,其正好在内部节点信号 SN 被评估之后。反向信号 DIRR 在定时信号 T4 中的定时脉冲期间被评估。正向信号 DIRF 在定时信号 T5 中的定时脉冲期间被预充电,并且在定时信号 T6 中的定时脉冲期间被评估,以便在定时信号 T1 和 T2 中的定时脉冲期间提供有效的方向信号 DIRR 和 DIRF。

[0405] 在触排选择地址生成器 1200 中,在每个系列的六个定时脉冲期间方向信号 DIRR 和 DIRF 由控制信号 CSYNC 中的控制脉冲设置。控制信号 CSYNC 中的两个其它的控制脉冲启动低触排移位寄存器 1202 和高触排移位寄存器 1204。还有,内部节点信号 SN 在定时信号 BT1 和 BT3 中的定时脉冲期间被评估,并且方向信号 DIRR 和 DIRF 需要在定时信号 BT1 和 BT3 中的定时脉冲期间是有效的。

[0406] 在图 16 的触排选择地址生成器 1200 和方向电路 1210 中,方向信号 DIRR 和 DIRF 在定时信号 BT4 中的定时脉冲期间被预充电,其刚好在高触排移位寄存器 1204 中的内部节点信号 SN 被评估之后。方向信号 DIRR 在定时信号 BT5 中的定时脉冲期间被评估,并且方向信号 DIRF 在定时信号 BT6 中的定时脉冲期间被评估。方向信号 DIRF 和 DIRR 在定时信号 BT1、BT2 和 BT3 中的定时脉冲期间是有效的。控制信号 CSYNC 中的控制脉冲在定时信号 BT5 中的定时脉冲期间被提供,以便设置移位方向并提供地址信号。

[0407] 在一个实施方式中,选择信号 SEL1、SEL2……SEL6 中的六个定时脉冲与提供给六个激发组的六个激发信号相一致。在选择信号 SEL1、SEL2……SEL6 中的六个定时脉冲提供为用于控制诸如地址生成器 400 或者触排选择地址生成器 1200 之类的地址生成器的控制信号 CSYNC 中的控制脉冲提供六个可能的位置。在地址生成器 400 中,控制信号 CSYNC 中的控制脉冲被用于启动移位寄存器 402,并且控制信号 CSYNC 中的两个控制脉冲被用于设置方向信号 DIRR 和 DIRF。用以启动移位寄存器 402 的控制信号 CSYNC 中的控制脉冲在定时信号 T2 中的定时脉冲期间提供。控制信号 CSYNC 中用于设置方向信号 DIRR 的控制脉冲在定时信号 T4 中的定时脉冲期间提供,并且控制信号 CSYNC 中用于设置方向信号 DIRF 的控制脉冲在定时信号 T6 中的定时脉冲期间提供。

[0408] 在触排选择地址生成器 1200 中,方向信号 DIRR 和 DIRF 由与定时信号 BT5 中的定时脉冲实质上相符的控制信号 CSYNC 中的一个控制脉冲或者低电压电平设置。触排选择地址生成器 1200 利用控制信号 CSYNC 中的两个控制脉冲启动。控制信号 CSYNC 中的一个控制脉冲启动低触排移位寄存器 1202,控制信号 CSYNC 中的另一个控制脉冲启动高触排移位寄

寄存器 1204。低触排移位寄存器 1202 通过与定时信号 BT1 中的定时脉冲实质上相符的控制信号 CSYNC 中的控制脉冲启动,并且高触排移位寄存器 1204 由与定时信号 BT3 中的定时脉冲实质上相符的控制信号 CSYNC 中的控制脉冲启动,该控制脉冲。在定时信号 BT1、BT3 和 BT5 中的定时脉冲期间提供的控制信号 CSYNC 中的控制脉冲控制触排选择地址生成器 1200 的操作。

[0409] 在一个实施方式中,在一个打印头模具 40 中使用两个触排选择地址生成器 1200。两个触排选择地址生成器 1200 中的一个提供地址信号到激发组 1-3,另一触排选择地址生成器 1200 提供地址信号到激发组 4-6。控制信号 CSYNC 中的控制脉冲由三个定时脉冲移位,以便控制第二触排选择地址生成器 1200,所述三个定时脉冲与定时信号 BT2、BT4 和 BT6 中的定时脉冲实质上相符。

[0410] 图 19 是图解一个在打印头模具 40 中两个触排选择地址生成器 1700 和 1702 以及六个激发组 1704a-1704f 的实施方式的框图。触排选择地址生成器 1700 和 1702 是打印头模具 40 中控制电路的一个实施方式。每个地址生成器 1700 和 1702 类似于触排选择地址生成器 1200,激发组 1704a-1704f 类似于在图 7 中图解的激发组 202a-202f。

[0411] 地址生成器 1700 通过第一地址线 1712 被电耦合到激发组 1704a-1704c。地址线 1712 从触排选择地址生成器 1700 提供地址信号 ~ A1、~ A2……~ A8 到每个激发组 1704a-1704c 中的激发单元 120。还有,触排选择地址生成器 1700 被电耦合到控制线 1710。控制线 1710 接收控制信号 CSYNC 并提供控制信号 CSYNC 到触排选择地址生成器 1700。另外,触排选择地址生成器 1700 被电耦合到选择线 1708a-1708f。选择线 1708a-1708f 接收选择信号 SEL1、SEL2……SEL6 并提供选择信号 SEL1、SEL2……SEL6 到触排选择地址生成器 1700 和相应的激发组 1704a-1704f。

[0412] 选择线 1708a 提供选择信号 SEL1 到触排选择地址生成器 1700 作为定时信号 BT1。选择线 1708b 提供选择信号 SEL2 到触排选择地址生成器 1700 作为定时信号 BT2。选择线 1708c 提供选择信号 SEL3 到触排选择地址生成器 1700 作为定时信号 BT3。选择线 1708d 提供选择信号 SEL4 到触排选择地址生成器 1700 作为定时信号 BT4。选择线 1708e 提供选择信号 SEL5 到触排选择地址生成器 1700 作为定时信号 BT5,并且选择线 1708f 提供选择信号 SEL6 到触排选择地址生成器 1700 作为定时信号 BT6。

[0413] 触排选择地址生成器 1702 通过第一地址线 1716 被电耦合到激发组 1704d-1704f。地址线 1716 从触排选择地址生成器 1702 提供地址信号 ~ B1、B2……~ B8 到每个激发组 1704d-1704f 中的激发单元 120。还有,触排选择地址生成器 1702 被电耦合到控制线 1710,其接收控制信号 CSYNC 并提供控制信号 CSYNC 到触排选择地址生成器 1702。另外,触排选择地址生成器 1702 被电耦合到选择线 1708a-1708f。选择线 1708a-1708f 提供选择信号 SEL1、SEL2……SEL6 到触排选择地址生成器 1702 和相应的激发组 1704a-1704f。

[0414] 选择线 1708a 提供选择信号 SEL1 到触排选择地址生成器 1702 作为定时信号 BT4。选择线 1708b 提供选择信号 SEL2 到触排选择地址生成器 1702 作为定时信号 BT5。选择线 1708c 提供选择信号 SEL3 到触排选择地址生成器 1702 作为定时信号 BT6。选择线 1708d 提供选择信号 SEL4 到触排选择地址生成器 1702 作为定时信号 BT1。选择线 1708e 提供选择信号 SEL5 到触排选择地址生成器 1702 作为定时信号 BT2,并且选择线 1708f 提供选择信号 SEL6 到触排选择地址生成器 1702 作为定时信号 BT3。

[0415] 在运行中,1704a 处的激发组一 (FG1) 接收地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 和选择信号 SEL1 中的脉冲,用于使激发单元 120 通过激发信号 FIRE1 启动激活。1704b 处的激发组二 (FG2) 接收地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 和选择信号 SEL2 中的脉冲,用于使激发单元 120 通过激发信号 FIRE2 启动激活。1704c 处的激发组三 (FG3) 接收地址信号 $\sim A1$ 、 $\sim A2$ …… $\sim A8$ 和选择信号 SEL3 中的脉冲,用于使激发单元 120 通过激发信号 FIRE3 启动激活。

[0416] 1704d 处的激发组四 (FG4) 接收地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B8$ 和选择信号 SEL4 中的脉冲,用于使激发单元 120 通过激发信号 FIRE4 启动激活。1704e 处的激发组五 (FG5) 接收地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B8$ 和选择信号 SEL5 中的脉冲,用于使激发单元 120 通过激发信号 FIRE5 启动激活。1704f 处的激发组六 (FG6) 接收地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B8$ 和选择信号 SEL6 中的脉冲,用于使激发单元 120 通过激发信号 FIRE6 启动激活。

[0417] 每个触排选择地址生成器 1700 和 1702 可以独立地启动以便以正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26。触排选择地址生成器 1700 可以被启动以便以正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26,而不需要启动触排选择地址生成器 1702,并且触排选择地址生成器 1702 可以被启动以便以正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26,而不需要启动触排选择地址生成器 1700。还有,触排选择地址生成器 1700 可以被启动以便以正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26,而同时触排选择地址生成器 1702 可以被启动以以正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26。

[0418] 有效的地址信号 $\sim A1$, $\sim A2$,…… $\sim A8$ 用于启动激活 1704a-1704c 处激发组 FG1、FG2 和 FG3 中的低触排激发单元 120。有效的地址信号 $\sim B1$ 、 $\sim B2$ …… $\sim B8$ 用于启动激活 1704d-1704f 处激发组 FG4、FG5 和 FG6 中的低触排激发单元 120。

[0419] 在一个实施方式中,低或者高触排激发单元是连接到同一子群选择线的那些激发单元。在其它的实施方式中,低或者高触排激发单元物理上互相靠近。在更多的实施方式中,触排选择地址生成器 1700 中的低触排电路被电耦合到与触排选择地址生成器 1700 中高触排电路不同的激发单元,这个布局也可以用于触排选择地址生成器 1702。

[0420] 在某些实施方式中,触排选择地址生成器 1700 和 1702 包含互相靠近的低触排移位寄存器和低触排逻辑电路,高触排移位寄存器和高触排逻辑电路以及方向电路。在其它的实施方式,触排选择地址生成器 1700 和 1702 每个被分成两个部分,第一部分包括低触排移位寄存器、低触排逻辑电路和方向电路,第二部分包括高触排移位寄存器、高触排逻辑电路和方向电路,其中第一部分和第二部分不必互相靠近设置但是被互相电耦合。

[0421] 图 20 是图解在打印头模具 40 中触排选择地址生成器 1700 和 1702 的正向和反向操作的时序图。用于正向移位的控制信号是 1824 处的 CSYNC(FWD),而用于反向移位的控制信号是 1826 处的 CSYNC(REV)。1828 处的地址信号 $\sim A1$ – $\sim A8$ 表示由触排选择地址生成器 1700 提供的地址并包括正反向操作地址基准。1830 处的地址信号 $\sim B1$ – $\sim B8$ 由触排选择地址生成器 1702 提供并包括正反向操作地址基准。

[0422] 选择信号 SEL1、SEL2……SEL6 包含在一个重复系列六个脉冲中的一系列的六个脉冲。每个选择信号 SEL1、SEL2……SEL6 提供在该一系列六个脉冲中的一个脉冲。在一个系列的六个脉冲中,1800 处的选择信号 SEL1 包含定时脉冲 1802,1804 处的选择信号 SEL2

包含定时脉冲 1806,1808 处的选择信号 SEL3 包含定时脉冲 1810,1812 处的选择信号 SEL4 包含定时脉冲 1814,1816 处的选择信号 SEL5 包含定时脉冲 1818 并且 1820 处的选择信号 SEL6 包含定时脉冲 1822。

[0423] 在正向操作中,控制信号 CSYNC(FWD) 1824 提供与 1804 处选择信号 SEL2 中的定时脉冲 1806 实质上相符的控制脉冲 1832。控制脉冲 1832 设置地址生成器 1702 以正向方向移位。还有,控制信号 CSYNC(FWD) 1824 提供与 1816 处选择信号 SEL5 中的定时脉冲 1818 实质上相符的控制脉冲 1834。控制脉冲 1834 设置地址生成器 1700 以正向方向移位。

[0424] 在六个脉冲的下一个系列中,1800 处的选择信号 SEL1 包含定时脉冲 1836,1804 处的选择信号 SEL2 包含定时脉冲 1838,1808 处的选择信号 SEL3 包含定时脉冲 1840,1812 处的选择信号 SEL4 包含定时脉冲 1842,1816 处的选择信号 SEL5 包含定时脉冲 1844 并且 1820 处的选择信号 SEL6 包含定时脉冲 1846。

[0425] 控制信号 CSYNC(FWD) 1824 提供与定时脉冲 1838 实质上相符的控制脉冲 1848 以便继续设置触排选择地址生成器 1702 以正向方向移位,并提供与定时脉冲 1844 实质上相符的控制脉冲 1850 以便继续设置触排选择地址生成器 1700 以正向方向移位。还有,控制信号 CSYNC(FWD) 1824 提供与 1800 处选择信号 SEL1 中的定时脉冲 1836 实质上相符的控制脉冲 1852。控制脉冲 1852 启动触排选择地址生成器 1700 中的低触排移位寄存器用于在 1828 处的地址信号 $\sim A1-\sim A8$ 中产生地址 1-13。另外,控制信号 CSYNC(FWD) 1824 提供与 1812 处选择信号 SEL4 中的定时脉冲 1842 实质上相符的控制脉冲 1854。控制脉冲 1854 启动触排选择地址生成器 1702 中的低触排移位寄存器用于在 1830 处的地址信号 $\sim B1-\sim B8$ 中产生地址 1-13。

[0426] 在六个脉冲的下一个或第三个系列中,1800 处的选择信号 SEL1 包含定时脉冲 1856,1804 处的选择信号 SEL2 包含定时脉冲 1858,1808 处的选择信号 SEL3 包含定时脉冲 1860,1812 处的选择信号 SEL4 包含定时脉冲 1862,1816 处的选择信号 SEL5 包含定时脉冲 1864 并且 1820 处的选择信号 SEL6 包含定时脉冲 1866。

[0427] 控制信号 CSYNC(FWD) 1824 提供与定时脉冲 1858 实质上相符的控制脉冲 1868 以便继续设置触排选择地址生成器 1702 以正向方向移位,并提供与定时脉冲 1864 实质上相符的控制脉冲 1870 以便继续设置触排选择地址生成器 1700 以正向方向移位。

[0428] 触排选择地址生成器 1700 在 1828 处的地址信号 $\sim A1-\sim A8$ 中在 1872 处提供低触排地址 1。在 1820 处的选择信号 SEL6 中的定时脉冲 1846 期间,1872 处的低触排地址 1 变为有效并且保持有效直到在 1812 处的选择信号 SEL4 中的定时脉冲 1862。在 1800、1804 和 1808 处的选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲 1856、1858 和 1860 期间,1872 处的低触排地址 1 是有效的。

[0429] 触排选择地址生成器 1702 在 1830 处的地址信号 $\sim B1-\sim B8$ 中 1874 处提供低触排地址 1。在 1808 处的选择信号 SEL3 中的定时脉冲 1860 期间,1874 处的低触排地址 1 变为有效并且保持有效直到 1800 处的选择信号 SEL1 中的定时脉冲 1876。在 1812、1816 和 1820 处的选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲 1862、1864 和 1866 期间,1874 处的低触排地址 1 是有效的。

[0430] 1828 处的地址信号 $\sim A1-\sim A8$ 和 1830 处的地址信号 $\sim B1-\sim B8$ 提供相同的地址,即 1872 和 1874 处的低触排地址 1。低触排地址 1 在以定时脉冲 1856 开始并以定时脉

冲 1866 结束的所述系列的六个定时脉冲期间提供,其是用于低触排地址 1 的地址时隙。在下一系列的六个脉冲期间,从定时脉冲 1876 开始,1828 处的地址信号~ A1-~ A8 在 1878 处提供低触排地址 2,并且 1830 处的地址信号~ B1-~ B8 提供低触排地址 2。触排选择地址生成器 1700 和 1702 继续移位以提供低触排地址 1-13,在正向方向上从低触排地址 1 到低触排地址 13。当提供了低触排地址 13 时,低触排选择地址生成器 1700 和 / 或触排选择地址生成器 1702 可以被启动以便以正向或者反向方向提供低触排地址 1-13 或高触排地址 14-26。

[0431] 在这个例子中,当在 1828 处的地址信号~ A1-~ A8 中 1880 处提供了低触排地址 13 并在 1830 处的地址信号~ B1-~ B8 中 1882 处提供了低触排地址 13 时,1800 处的选择信号 SEL1 包含定时脉冲 1884,1804 处的选择信号 SEL2 包含定时脉冲 1886,1808 处的选择信号 SEL3 包含定时脉冲 1888,1812 处的选择信号 SEL4 包含定时脉冲 1890,1816 处的选择信号 SEL5 包含定时脉冲 1892,并且 1820 处的选择信号 SEL6 包含定时脉冲 1894。

[0432] 控制信号 CSYNC(FWD) 1824 提供与定时脉冲 1886 实质上相符的控制脉冲 1896 以便继续设置触排选择地址生成器 1702 以正向方向移位,并提供与定时脉冲 1892 实质上相符的控制脉冲 1898 以便继续设置触排选择地址生成器 1700 以正向方向移位。还有,控制信号 CSYNC(FWD) 1824 提供与 1808 处 选择信号 SEL3 中的定时脉冲 1888 实质上相符的控制脉冲 1900。控制脉冲 1900 启动触排选择地址生成器 1700 中的高触排移位寄存器用于在 1828 处的地址信号~ A1-~ A8 中产生高触排地址 14-26。另外,控制信号 CSYNC(FWD) 1824 提供与 1820 处选择信号 SEL6 中的定时脉冲 1894 实质上相符的控制脉冲 1902。控制脉冲 1902 启动触排选择地址生成器 1702 中的高触排移位寄存器用于在 1830 处的地址信号~ B1-~ B8 中产生高触排地址 14-26。

[0433] 在下一个系列的六个脉冲中,1800 处的选择信号 SEL 1 包含定时脉冲 1904,1804 处的选择信号 SEL2 包含定时脉冲 1906,1808 处的选择信号 SEL3 包含定时脉冲 1908,1812 处的选择信号 SEL4 包含定时脉冲 1910,1816 处的选择信号 SEL5 包含定时脉冲 1912 并且 1820 处的选择信号 SEL6 包含定时脉冲 1914。

[0434] 控制信号 CSYNC(FWD) 1824 提供与定时脉冲 1906 实质上相符的控制脉冲 1916 以便继续设置触排选择地址生成器 1702 以正向方向移位,并提供与定时脉冲 1912 实质上相符的控制脉冲 1918 以便继续设置触排选择地址生成器 1700 以正向方向移位。

[0435] 触排选择地址生成器 1700 在 1828 处的地址信号~ A1-~ A8 中 1920 处提供高触排地址 14。在 1820 处的选择信号 SEL6 中的定时脉冲 1846 期间,1920 处的高触排地址 14 变为有效并且保持有效直到 1812 处的选择信号 SEL4 中的定时脉冲 1910。在 1800、1804 和 1808 处的选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲 1904、1906 和 1908 期间,1920 处的高触排地址 14 是有效的。

[0436] 触排选择地址生成器 1702 在 1830 处的地址信号~ B1-~ B8 中提供高触排地址 14。在 1808 处选择信号 SEL3 中的定时脉冲 1908 期间,1922 处的高触排地址 14 变为有效并且保持有效直到 1800 处的选择信号 SEL1 中的定时脉冲 1924。在 1812、1816 和 1820 处的选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲 1910、1912 和 1914 期间,1922 处的高触排地址 14 是有效的。

[0437] 1828 处的地址信号~ A1-~ A8 和 1830 处的地址信号~ B1-~ B8 提供相同的地

址,即 1920 和 1922 处的高触排地址 14。高触排地址 14 在以定时脉冲 1904 开始并以定时脉冲 1914 结束的所述系列六个定时脉冲期间提供,其是用于高触排地址 14 的地址时隙。在下一系列的六个脉冲期间,从定时脉冲 1924 开始,1828 处的地址信号 $\sim A1-\sim A8$ 在 1926 处提供高触排地址 15,并且 1830 处的地址信号 $\sim B1-\sim B8$ 同样提供高触排地址 15。触排选择地址生成器 1700 和 1702 继续以正向方向移位以提供高触排地址 14-26,从高触排地址 14 到高触排地址 26。

[0438] 在反方向操作中,在选择信号 SEL1、SEL2……SEL6 中的一个系列的六个脉冲期间,控制信号 CSYNC(REV) 1826 在 1930 处提供低电压电平,其与 1804 处选择信号 SEL2 中的定时脉冲 1806 实质上相符,以设置触排选择地址生成器 1702 以反向移位。还有,控制信号 CSYNC(REV) 1826 在 1932 处提供低电压电平,其与 1816 处的选择信号 SEL5 中的定时脉冲 1818 实质上相符,以设置触排选择地址生成器 1700 以反向方向移位。

[0439] 在下一系列的六个脉冲期间,控制信号 CSYNC(REV) 1826 在 1934 处提供低电压电平,其与定时脉冲 1838 实质上相符,以继续设置触排选择地址生成器 1702 以反向方向移位,并在 1936 处提供低电压电平,其与定时脉冲 1844 实质上相符,以继续设置触排选择地址生成器 1700 以反向方向移位。还有,控制信号 CSYNC(REV) 1826 提供与 1800 处的选择信号 SEL1 中的定时脉冲 1836 实质上相符的控制脉冲 1938。控制脉冲 1938 启动触排选择地址生成器 1700 中的低触排移位寄存器用于在 1828 处的地址信号 $\sim A1-\sim A8$ 中产生低触排地址 13-1。另外,控制信号 CSYNC(REV) 1826 提供与 1812 处的选择信号 SEL4 中的定时脉冲 1842 实质上相符的控制脉冲 1940。控制脉冲 1940 启动触排选择地址生成器 1702 中的低触排移位寄存器用于在 1830 处的地址信号 $\sim B1-\sim B8$ 中产生低触排地址 13-1。

[0440] 在下一或第三系列的六个脉冲中,控制信号 CSYNC(REV) 1826 在 1942 处提供低电压电平,其与定时脉冲 1858 实质上相符,以继续设置触排选择地址生成器 1702 以反向方向移位,并提供控制脉冲 1944,其与定时脉冲 1864 实质上相符,以继续设置触排选择地址生成器 1700 以反向方向移位。

[0441] 触排选择地址生成器 1700 在 1828 处的地址信号 $\sim A1-\sim A8$ 中 1872 处提供低触排地址 13。在 1820 处选择信号 SEL6 中的定时脉冲 1846 期间,1872 处的低触排地址 13 变为有效并且保持有效直到 1812 处的选择信号 SEL4 中的定时脉冲 1862。在 1800、1804 和 1808 处的选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲 1856、1858 和 1860 期间,1872 处的低触排地址 13 是有效的。

[0442] 触排选择地址生成器 1702 在 1830 处的地址信号 $\sim B1-\sim B8$ 中 1874 处提供低触排地址 13。在 1808 处选择信号 SEL3 中的定时脉冲 1860 期间,1874 处的低触排地址 13 变为有效并且保持有效直到 1800 处的选择信号 SEL1 中的定时脉冲 1876。在 1812、1816 和 1820 处的选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲 1862、1864 和 1866 期间,1874 处的低触排地址 13 是有效的。

[0443] 1828 处的地址信号 $\sim A1-\sim A8$ 和 1830 处的地址信号 $\sim B1-\sim B8$ 提供相同的地址,即 1872 和 1874 处的低触排地址 13。低触排地址 13 在以定时脉冲 1856 开始并以定时脉冲 1866 结束的所述系列的六个定时脉冲期间提供,其是用于低触排地址 13 的地址时隙。在下一系列的六个脉冲期间,从定时脉冲 1876 开始,1828 处的地址信号 $\sim A1-\sim A8$ 在 1878 处提供低触排地址 12,并且 1830 处的地址信号 $\sim B1-\sim B8$ 同样提供低触排地址 12。触排

选择地址生成器 1700 和 1702 继续移位以提供从低触排地址 1 到低触排地址 13 的低触排地址 1-13。当提供了低触排地址 13 时,低触排选择地址生成器 1700 和 / 或触排选择地址生成器 1702 可以被启动以便以正向或者反向方向提供低触排地址 1-13 或者高触排地址 14-26。

[0444] 在这个例子中,当在 1828 处的地址信号 $\sim A1-\sim A8$ 和 1830 处的地址信号 $\sim B1-\sim B8$ 中提供了低触排地址 1 时,控制信号 CSYNC(REV) 1826 在 1946 处提供低电压电平,其与定时脉冲 1886 实质上相符,以便继续设置触排选择地址生成器 1702 以反向方向移位,并在 1948 处提供低电压电平,其与定时脉冲 1892 实质上相符,以便继续设置触排选择地址生成器 1700 以反向方向移位。还有,控制信号 CSYNC(REV) 1826 提供与 1808 处选择信号 SEL3 中的定时脉冲 1888 实质上相符的控制脉冲 1950。控制脉冲 1950 启动触排选择地址生成器 1700 中的高触排移位寄存器用于在 1828 处的地址信号 $\sim A1-\sim A8$ 中产生地址 26-14。另外,控制信号 CSYNC(REV) 1826 提供与 1820 处的选择信号 SEL6 中的定时脉冲 1894 实质上相符的控制脉冲 1952。控制脉冲 1952 启动触排选择地址生成器 1702 中的高触排移位寄存器用于在 1830 处的地址信号 $\sim B1-\sim B8$ 中产生地址 26-14。

[0445] 在下一系列的六个脉冲中,控制信号 CSYNC(REV) 1826 在 1954 处提供低电压电平,其与定时脉冲 1906 实质上相符,以继续设置触排选择地址生成器 1702 以反向方向移位,并提供处于低电平的控制脉冲 1956,其与定时脉冲 1912 实质上相符,以继续设置触排选择地址生成器 1700 以反向方向移位。

[0446] 触排选择地址生成器 1700 在 1828 处的地址信号 $\sim A1-\sim A8$ 中 1920 处提供高触排地址 26。在 1820 处的选择信号 SEL6 中的定时脉冲 1894 期间,1920 处的高触排地址 26 变为有效并且保持有效直到 1812 处的选择信号 SEL4 中的定时脉冲 1910。在 1800、1804 和 1808 处的选择信号 SEL1、SEL2 和 SEL3 中的定时脉冲 1904、1906 和 1908 期间,1920 处的高触排地址 26 是有效的。

[0447] 触排选择地址生成器 1702 在 1830 处的地址信号 $\sim B1-\sim B8$ 中 1922 处提供高触排地址 26。在 1808 处的选择信号 SEL3 中的定时脉冲 1908 期间,1922 处的高触排地址 26 变为有效并且保持有效直到 1800 处的选择信号 SEL 1 中的定时脉冲 1924。在 1812、1816 和 1820 处选择信号 SEL4、SEL5 和 SEL6 中的定时脉冲 1910、1912 和 1914 期间,1922 处的高触排地址 26 是有效的。

[0448] 1828 处的地址信号 $\sim A1-\sim A8$ 和 1830 处的地址信号 $\sim B1-\sim B8$ 提供相同的地址,即 1920 和 1922 处的高触排地址 26。高触排地址 26 在以定时脉冲 1904 开始并以定时脉冲 1914 结束的所述系列的六个定时脉冲期间提供,其是用于高触排地址 26 的地址时隙。在下一系列的六个脉冲期间,从定时脉冲 1924 开始,1828 处的地址信号 $\sim A1-\sim A8$ 在 1926 处提供高触排地址 25,并且 1830 处的地址信号 $\sim B1-\sim B8$ 同样提供高触排地址 25。触排选择地址生成器 1700 和 1702 继续移位以提供高触排地址 14-26,从高触排地址 26 到高触排地址 14。

[0449] 虽然在本文中图解和描述了具体的实施方式,但是本领域技术人员可以理解的是,各种改变和 / 或等效的实现方案可以代替所图示和描述的具体实施方式而不背离本发明的保护范围。本申请旨在包括在本文中讨论的具体实施方式的任意改变或变化。因此,本发明仅由权利要求及其等效形式限定。

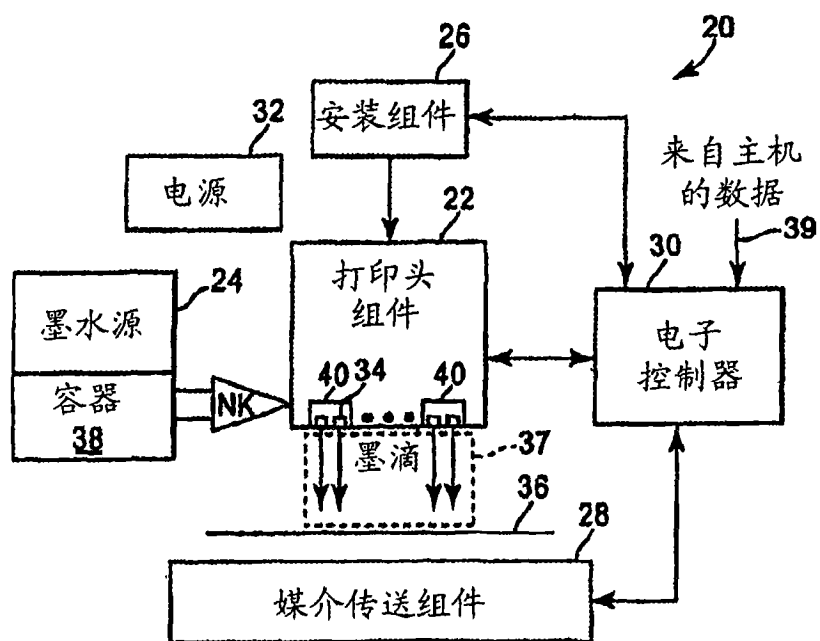


图 1

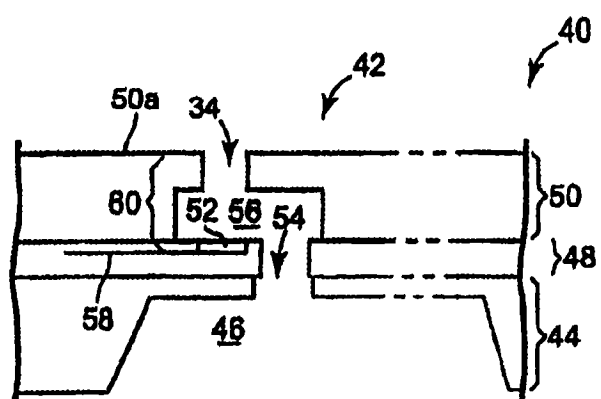


图 2

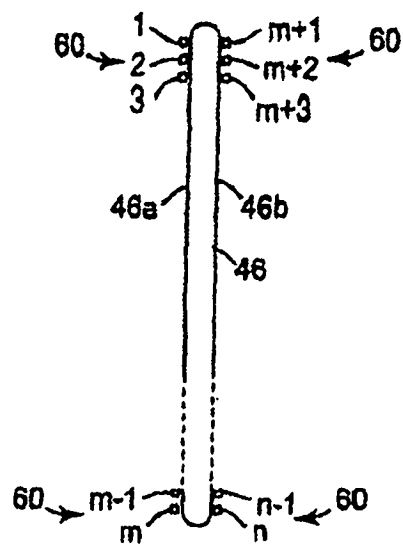


图 3

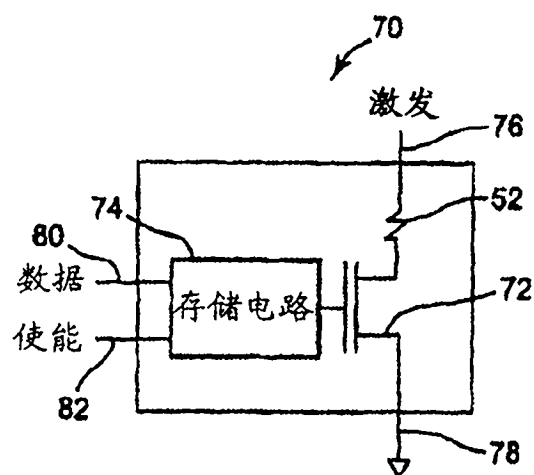


图 4

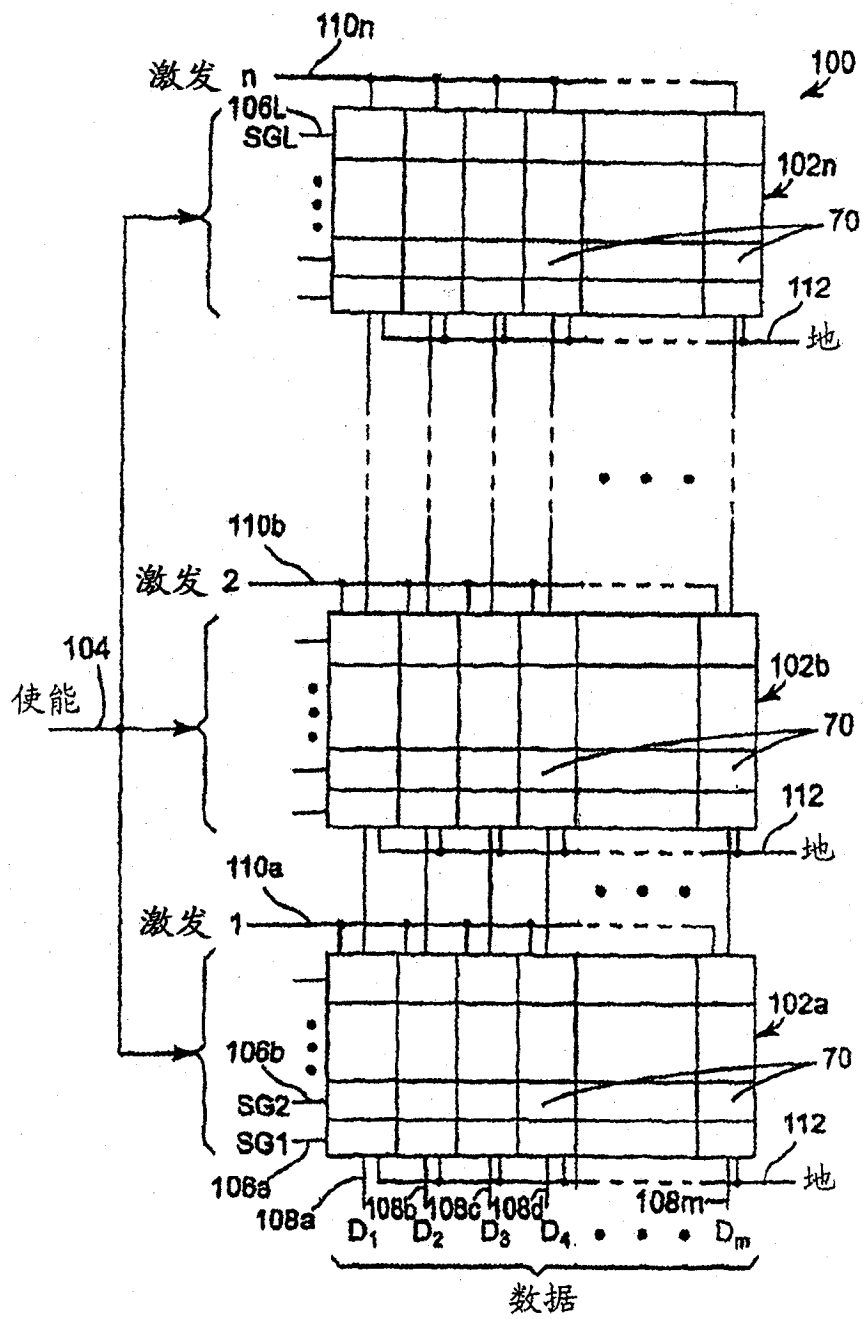


图 5

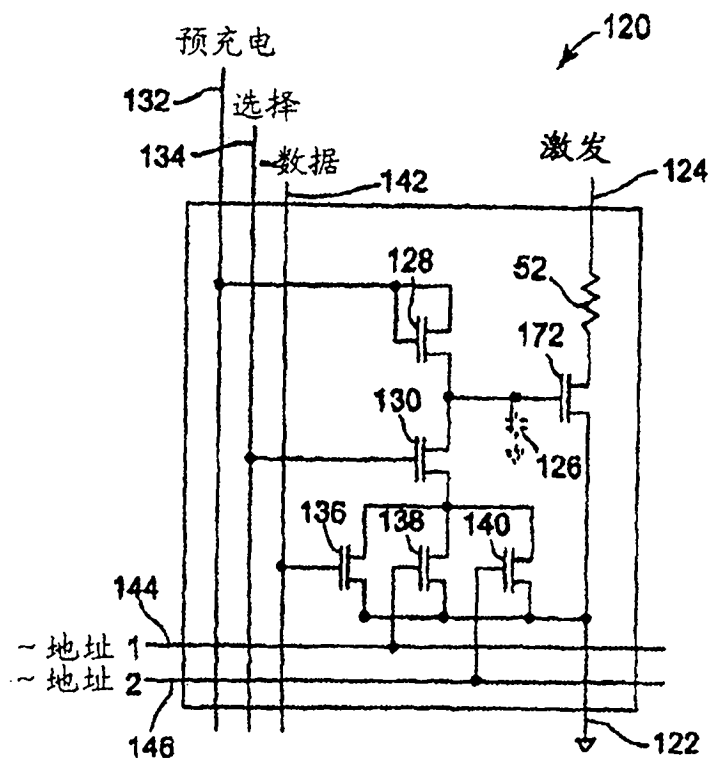


图 6

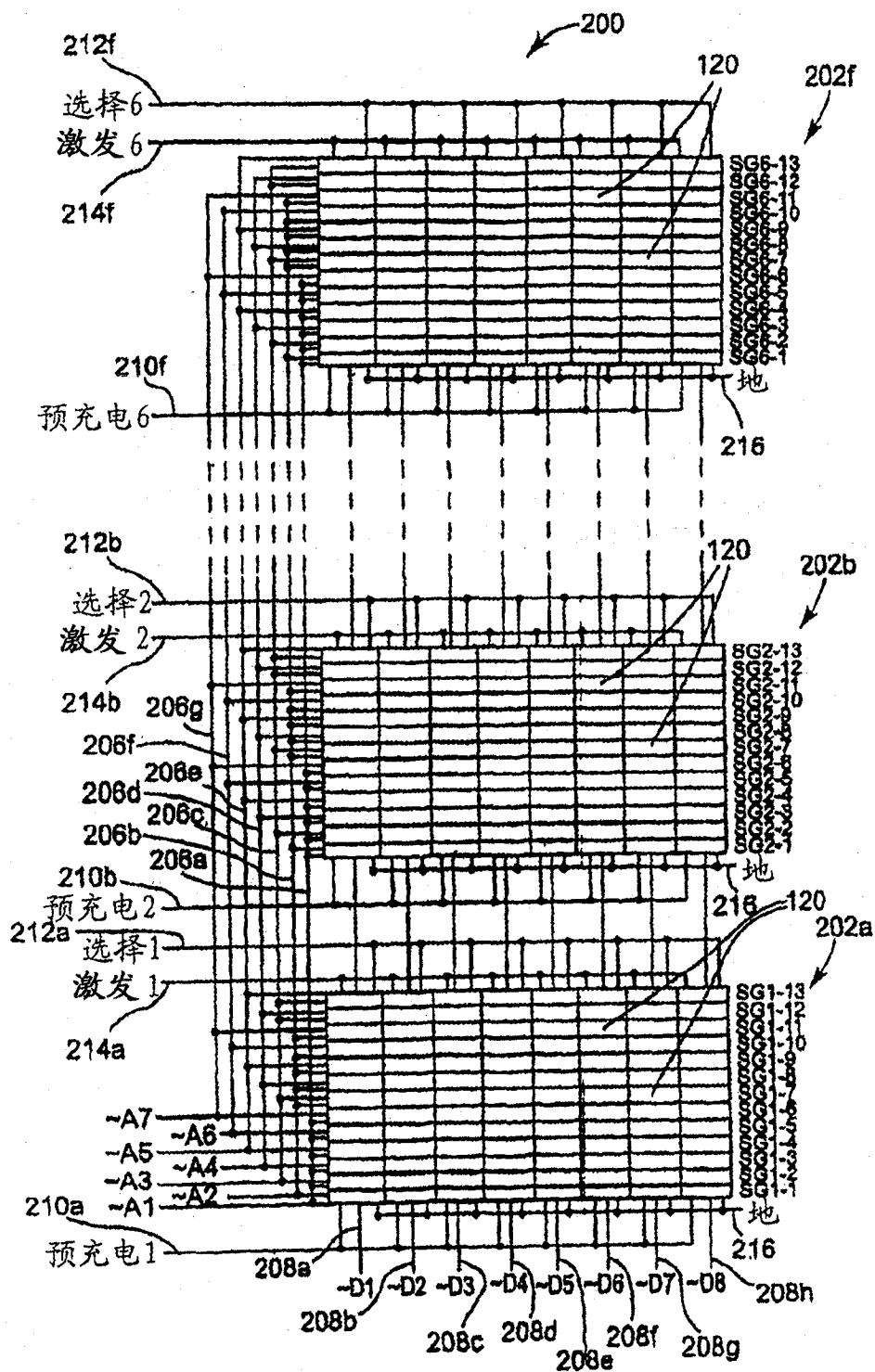


图 7

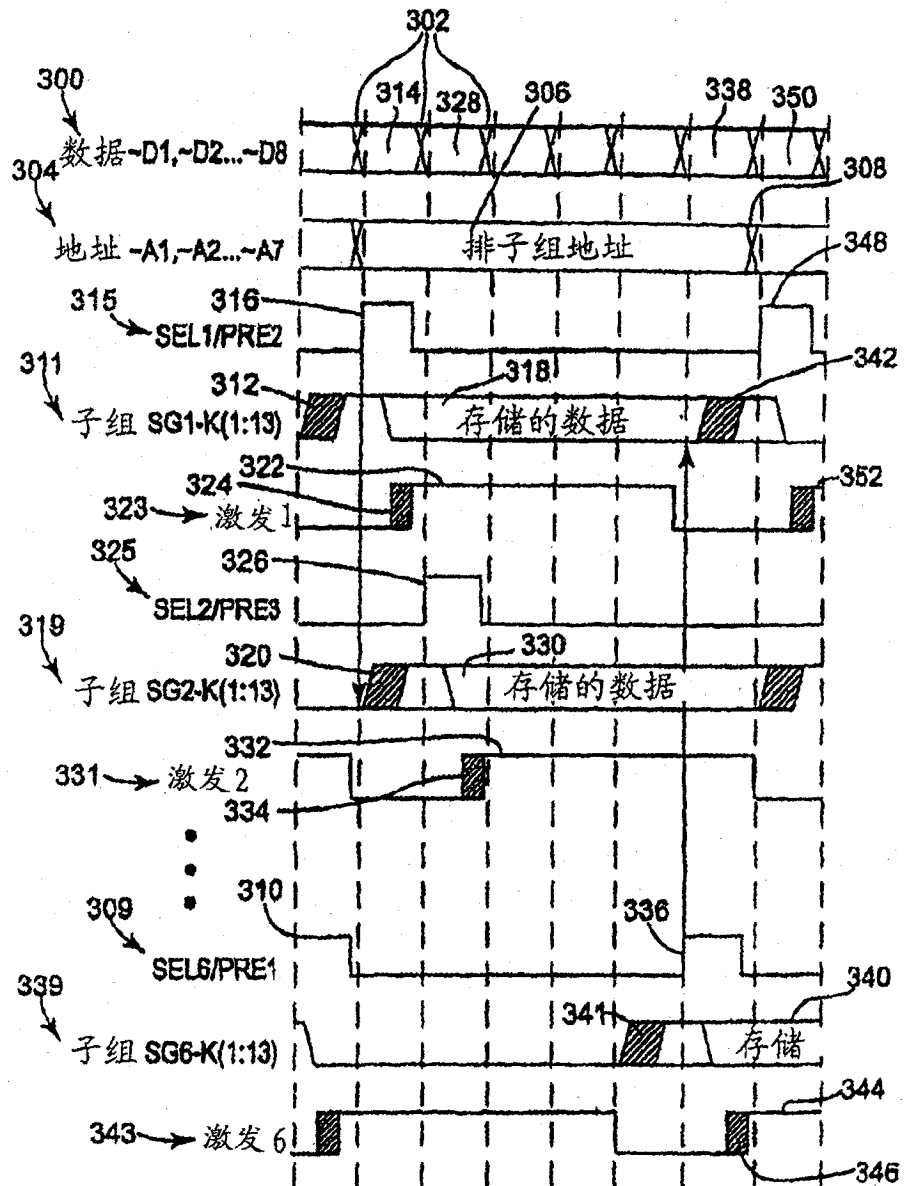
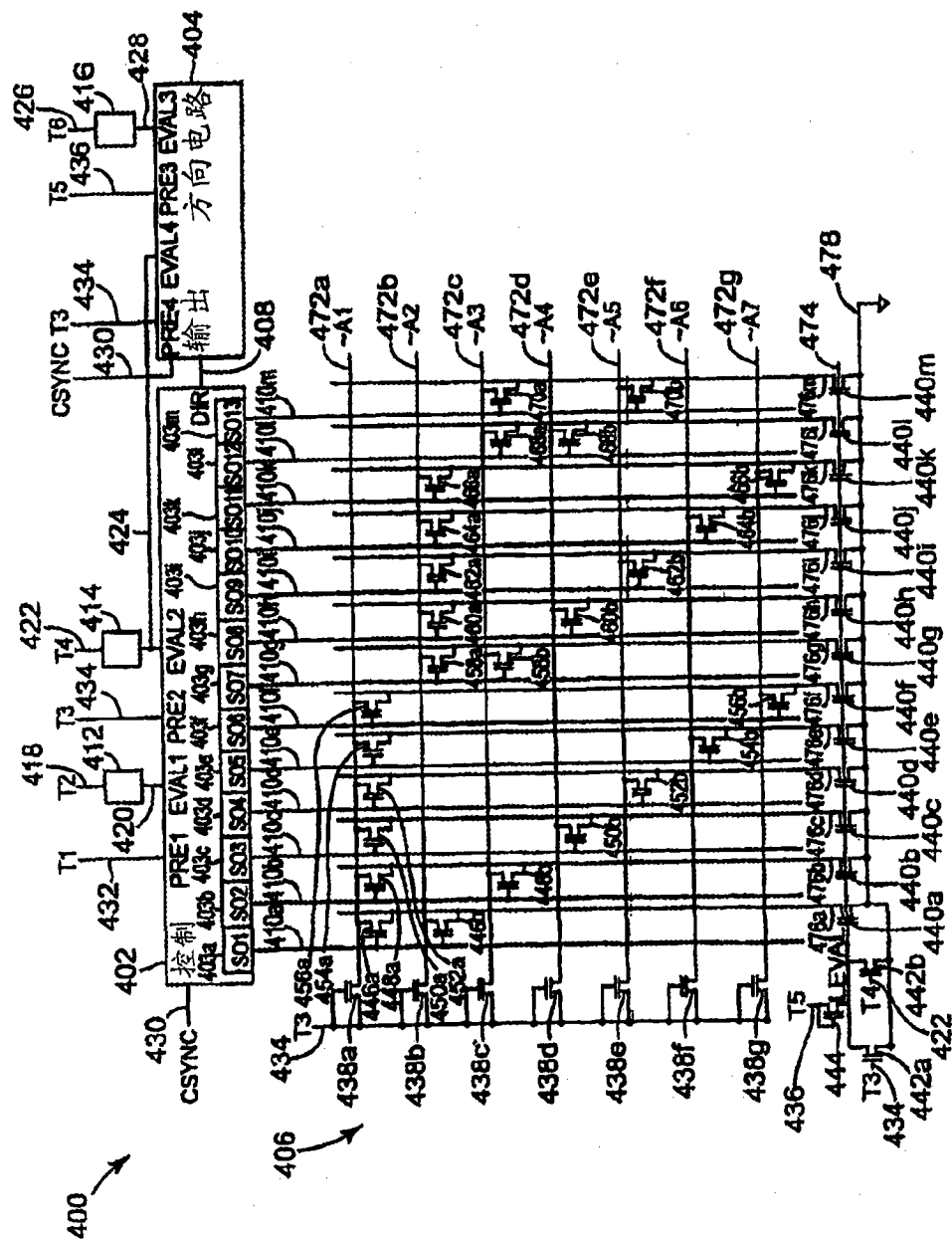


图 8



9

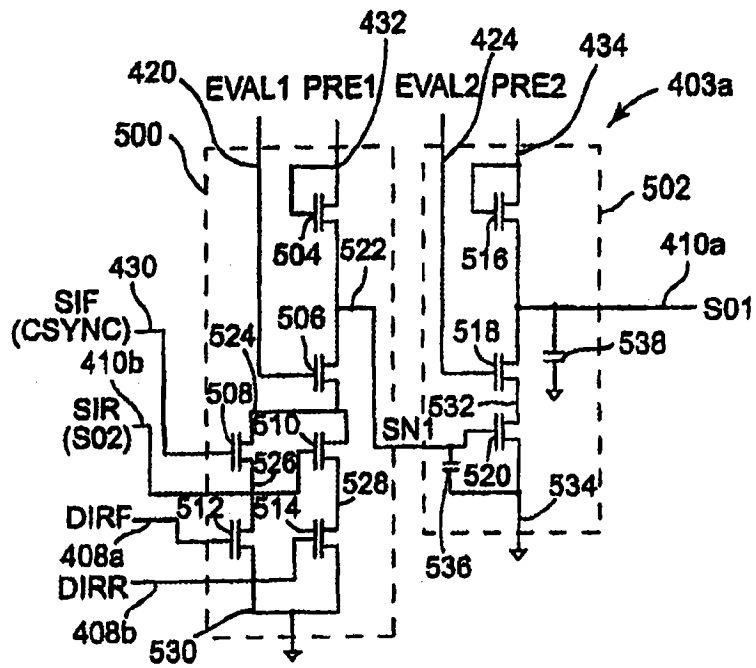


图 10A

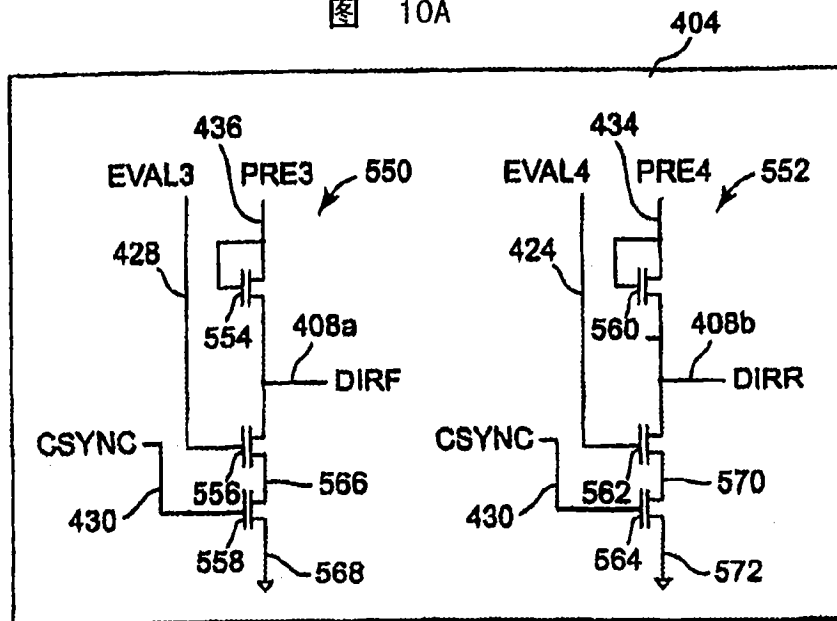


图 10B

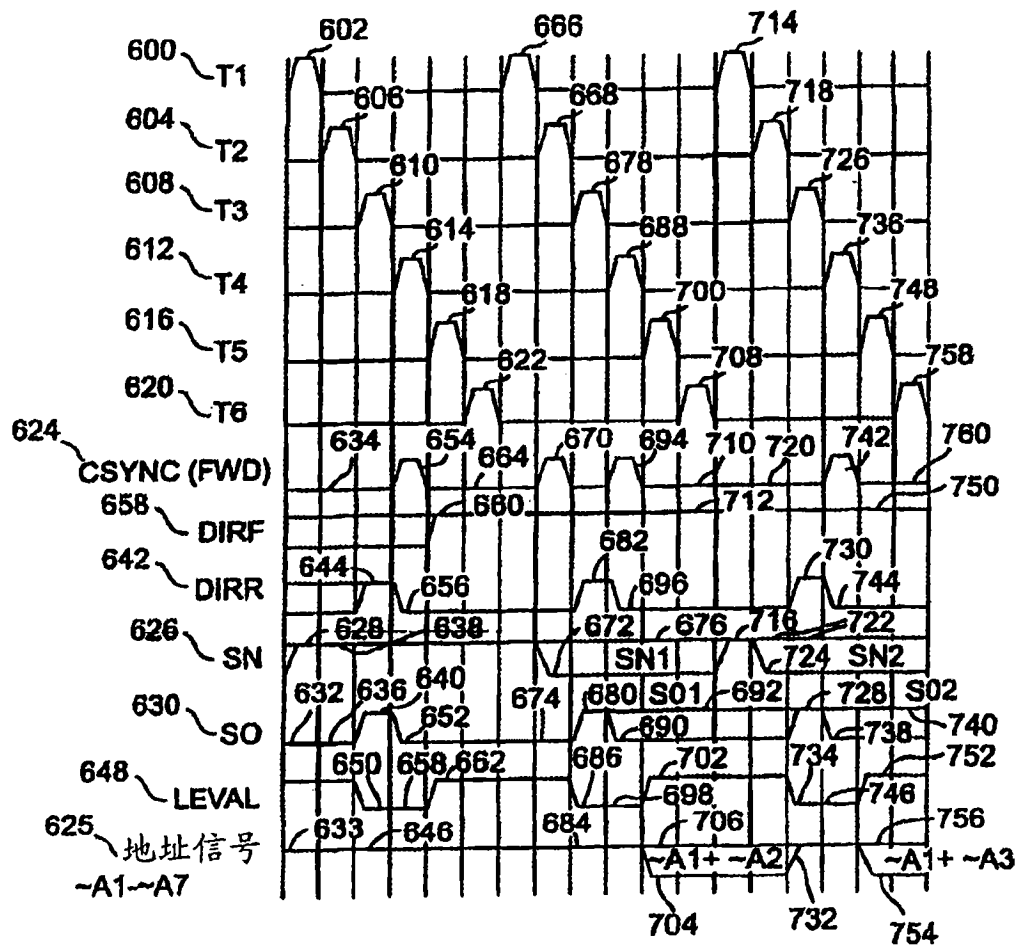


图 11

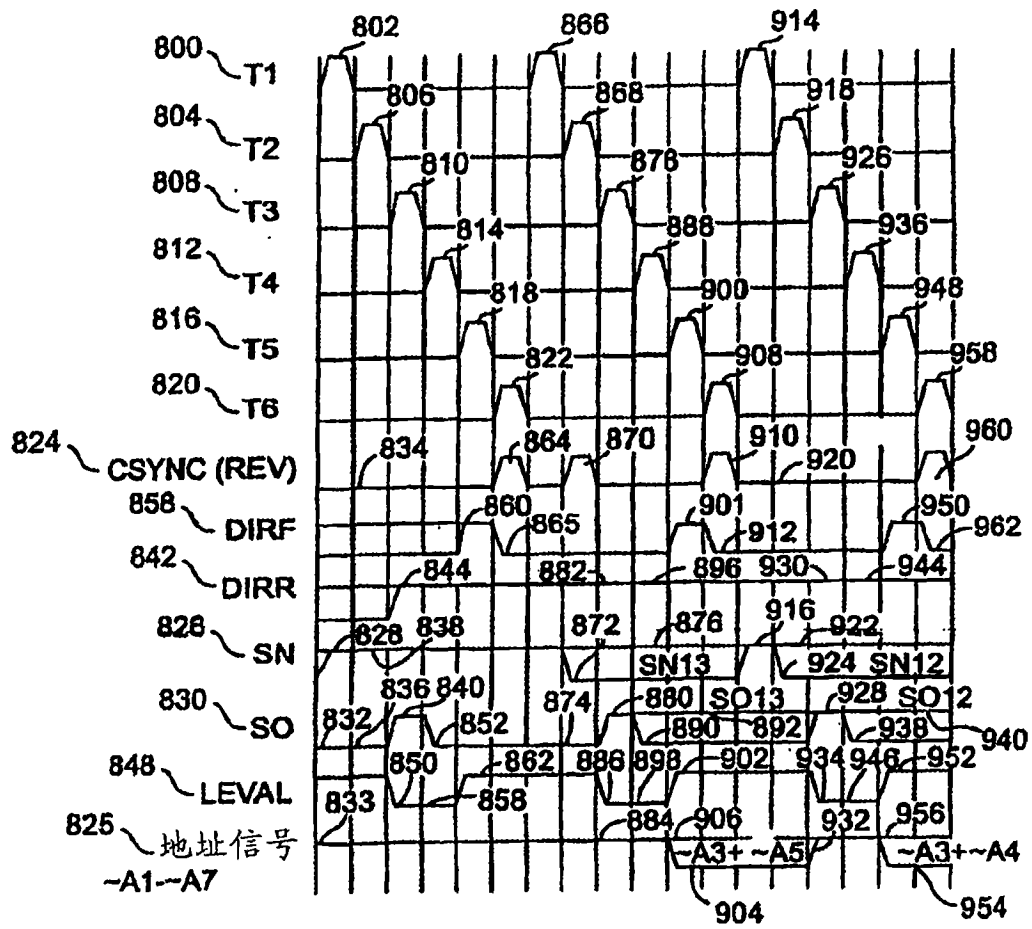


图 12

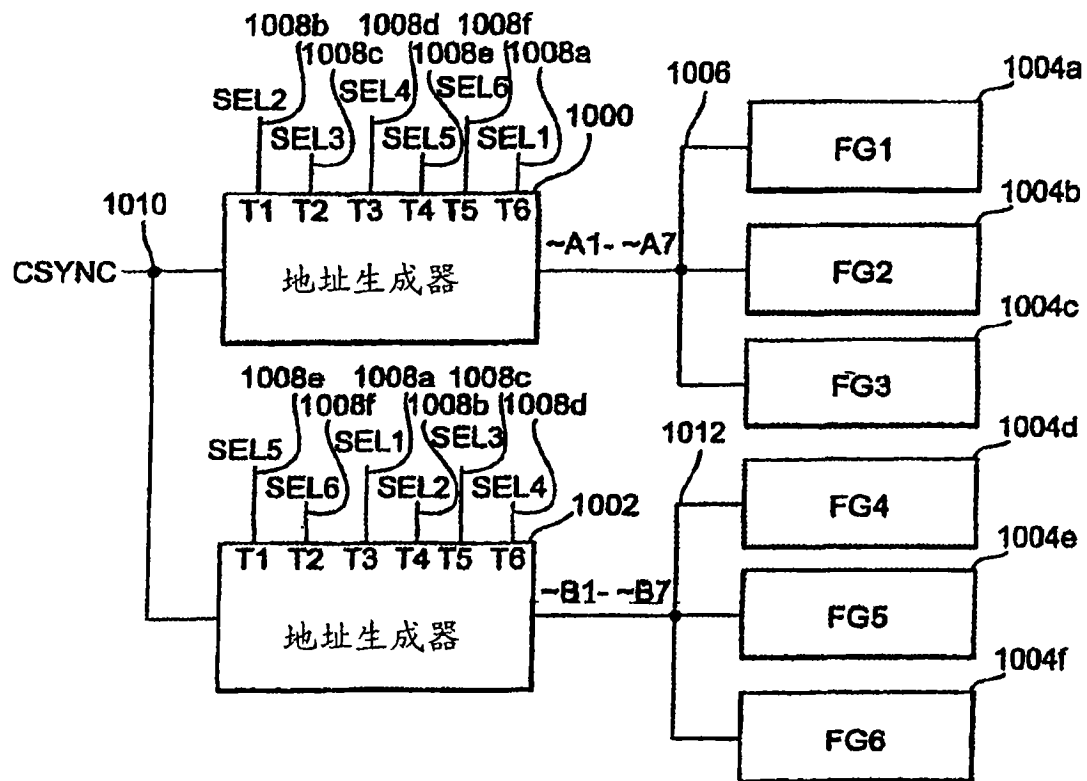


图 13

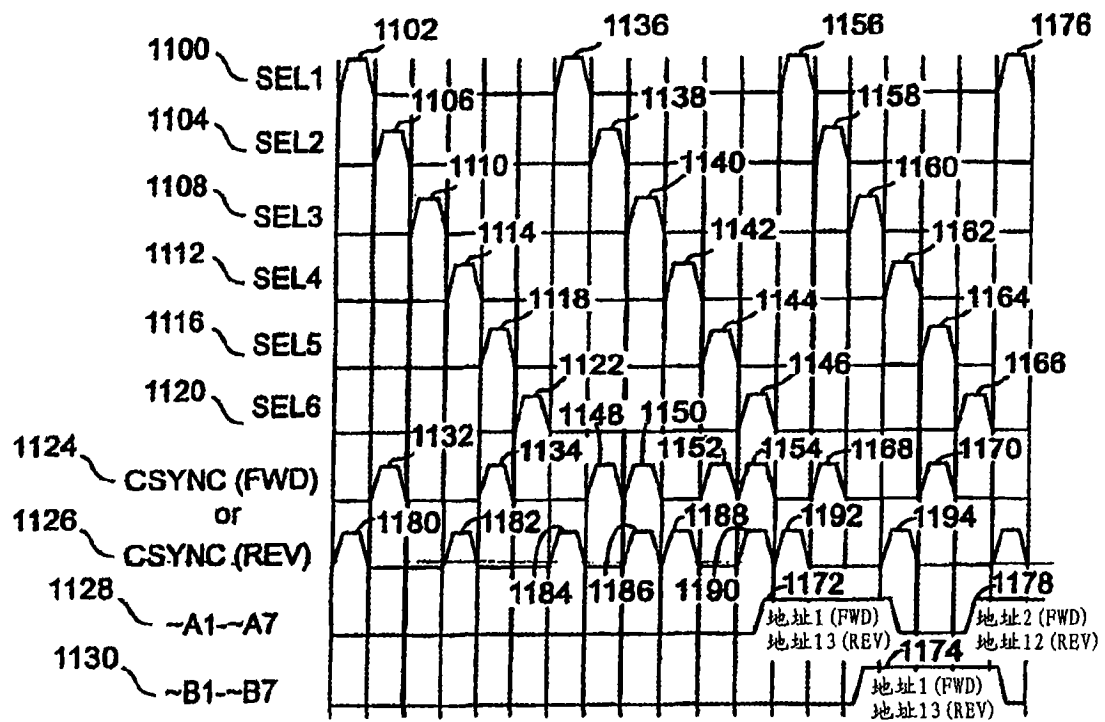
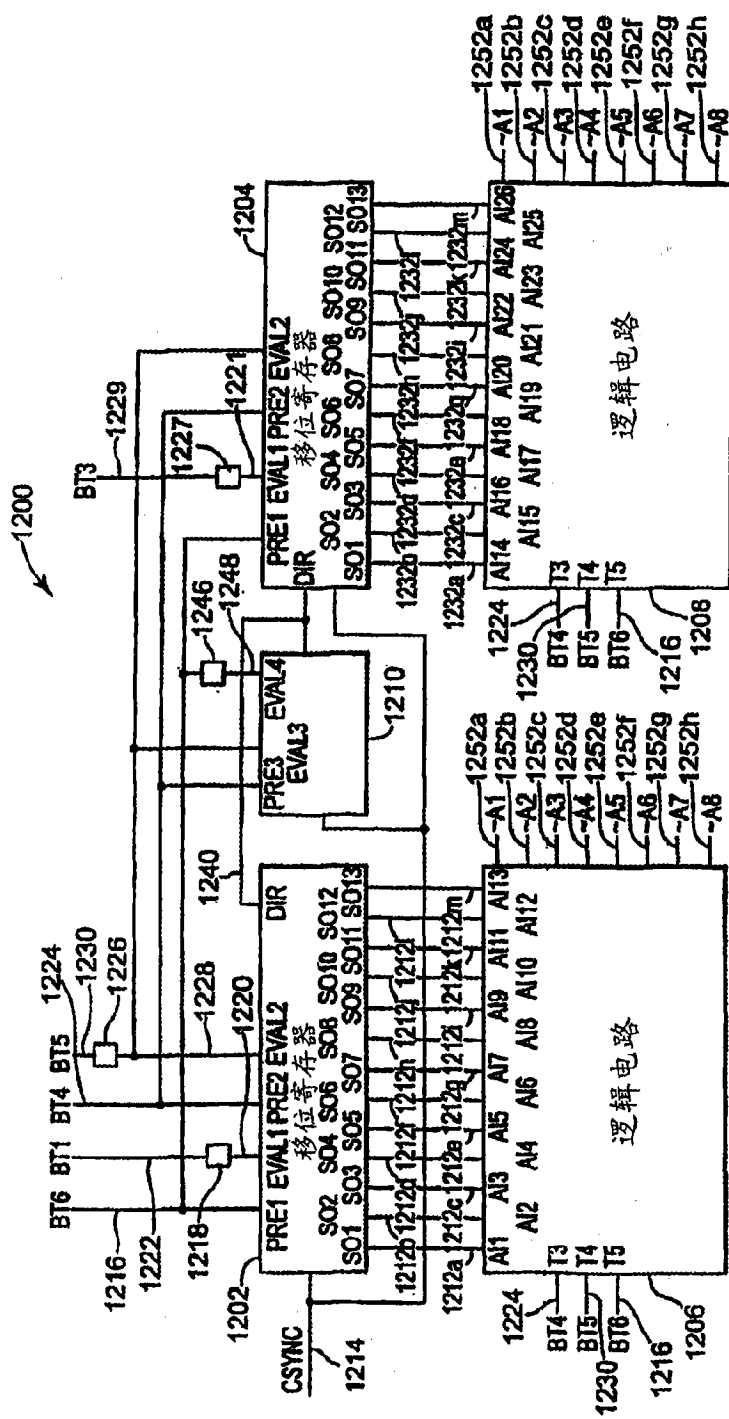


图 14



15

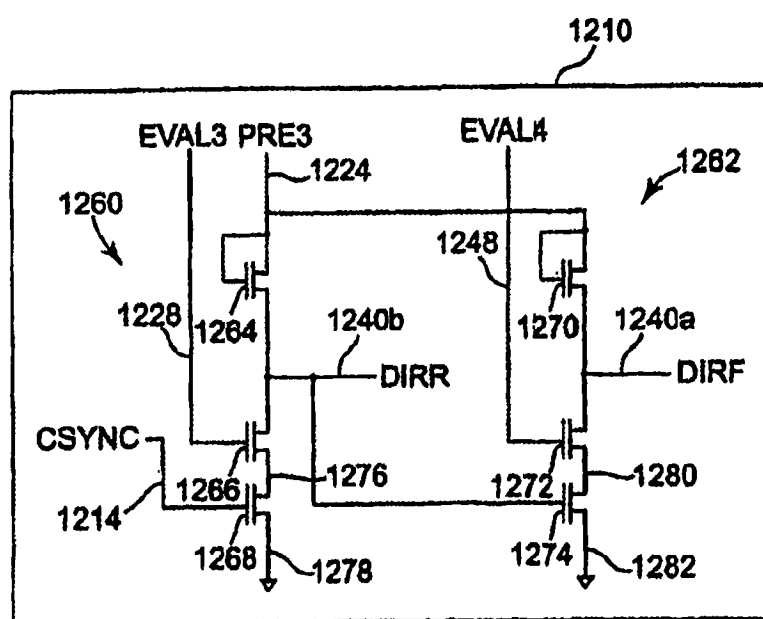


图 16

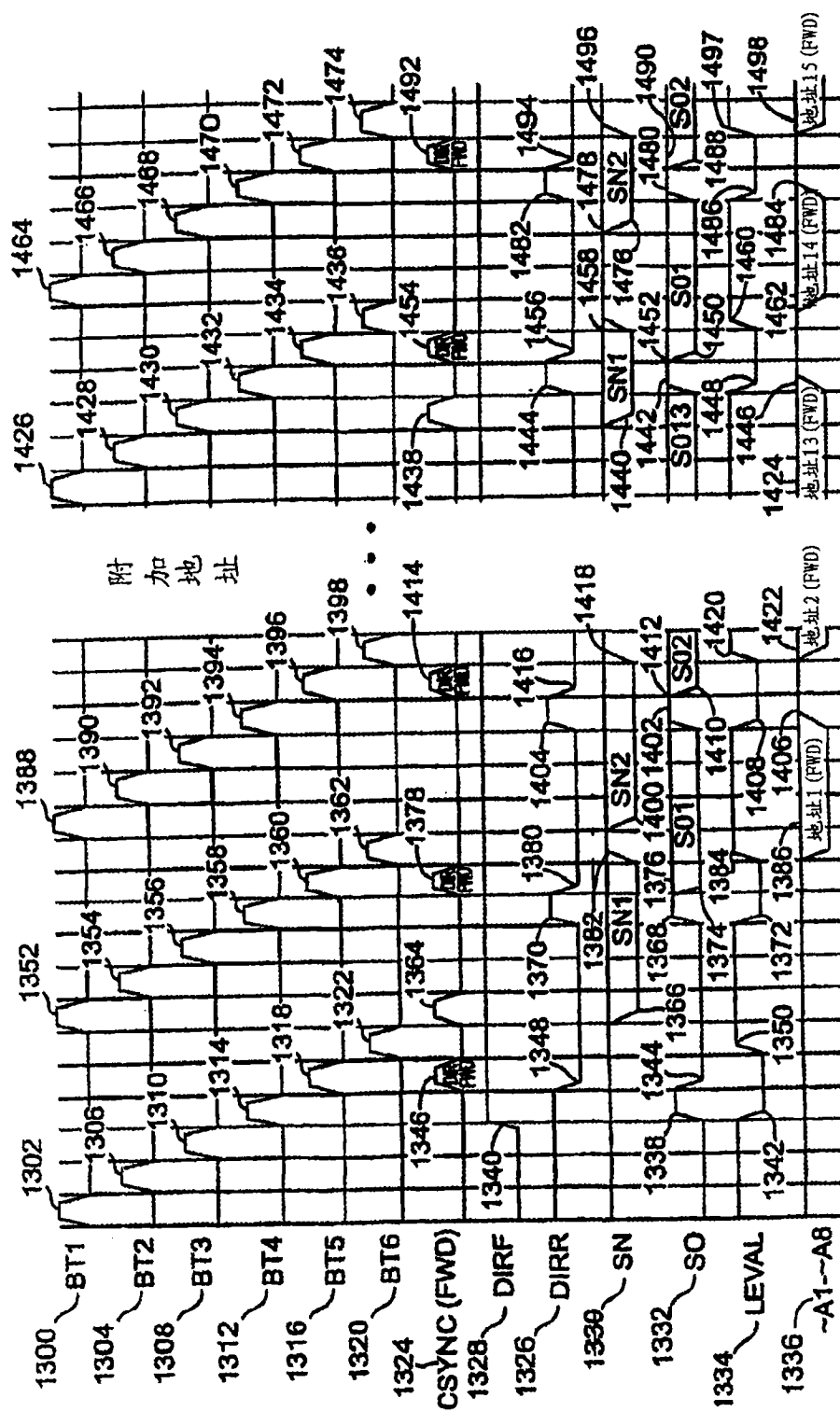


图 17

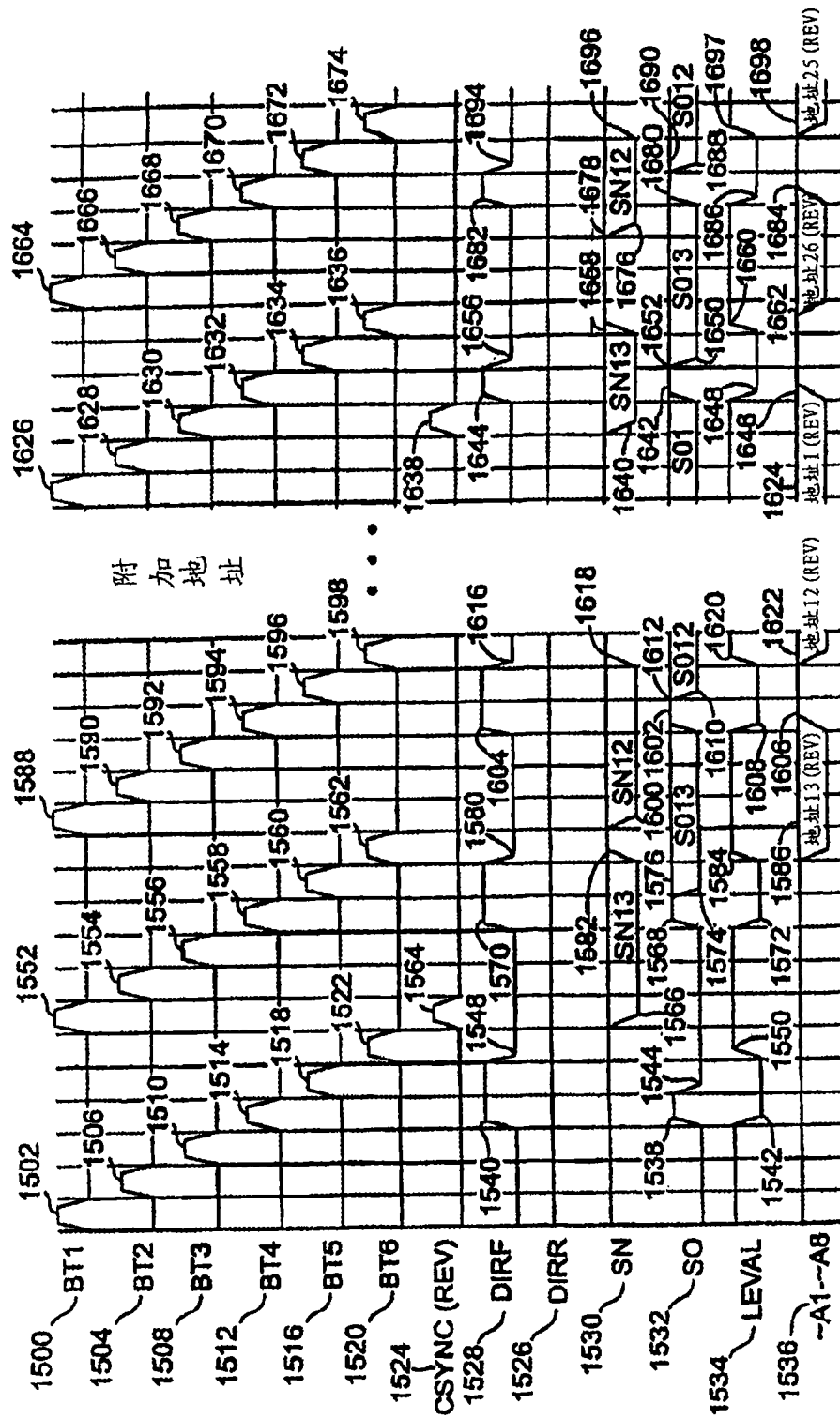


图 18

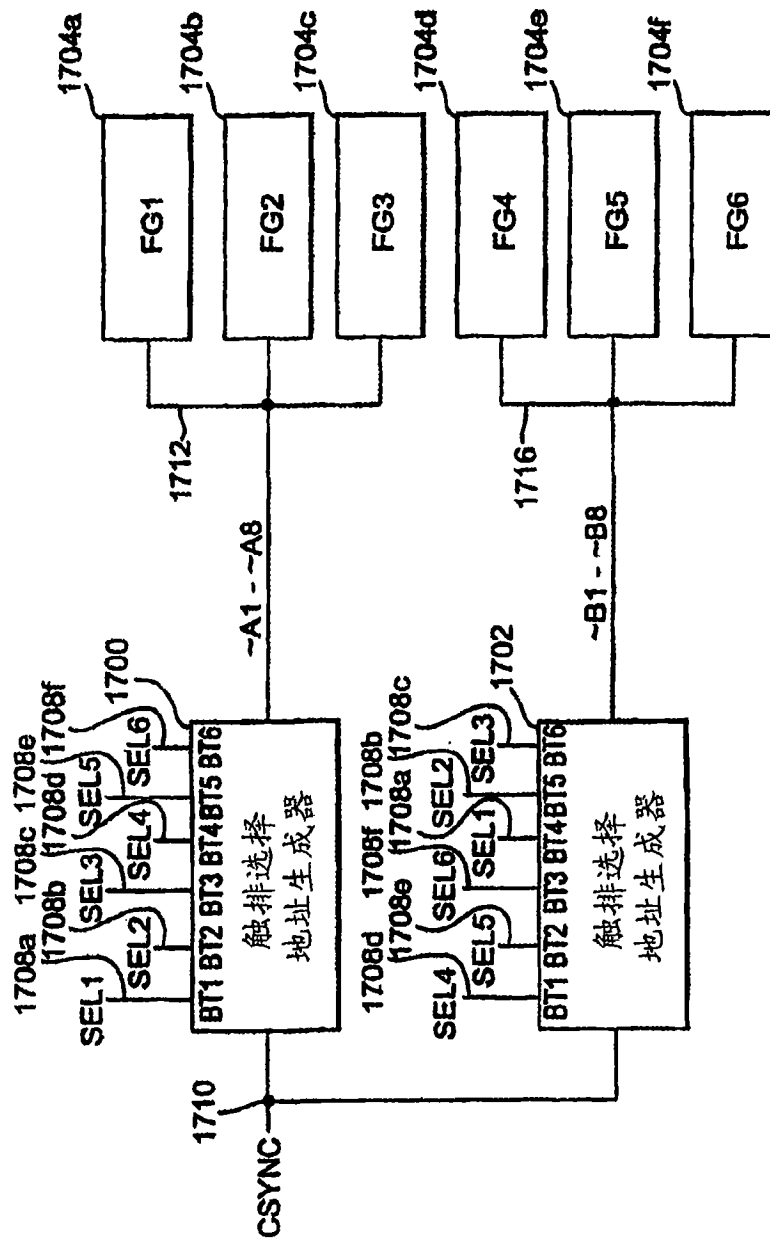
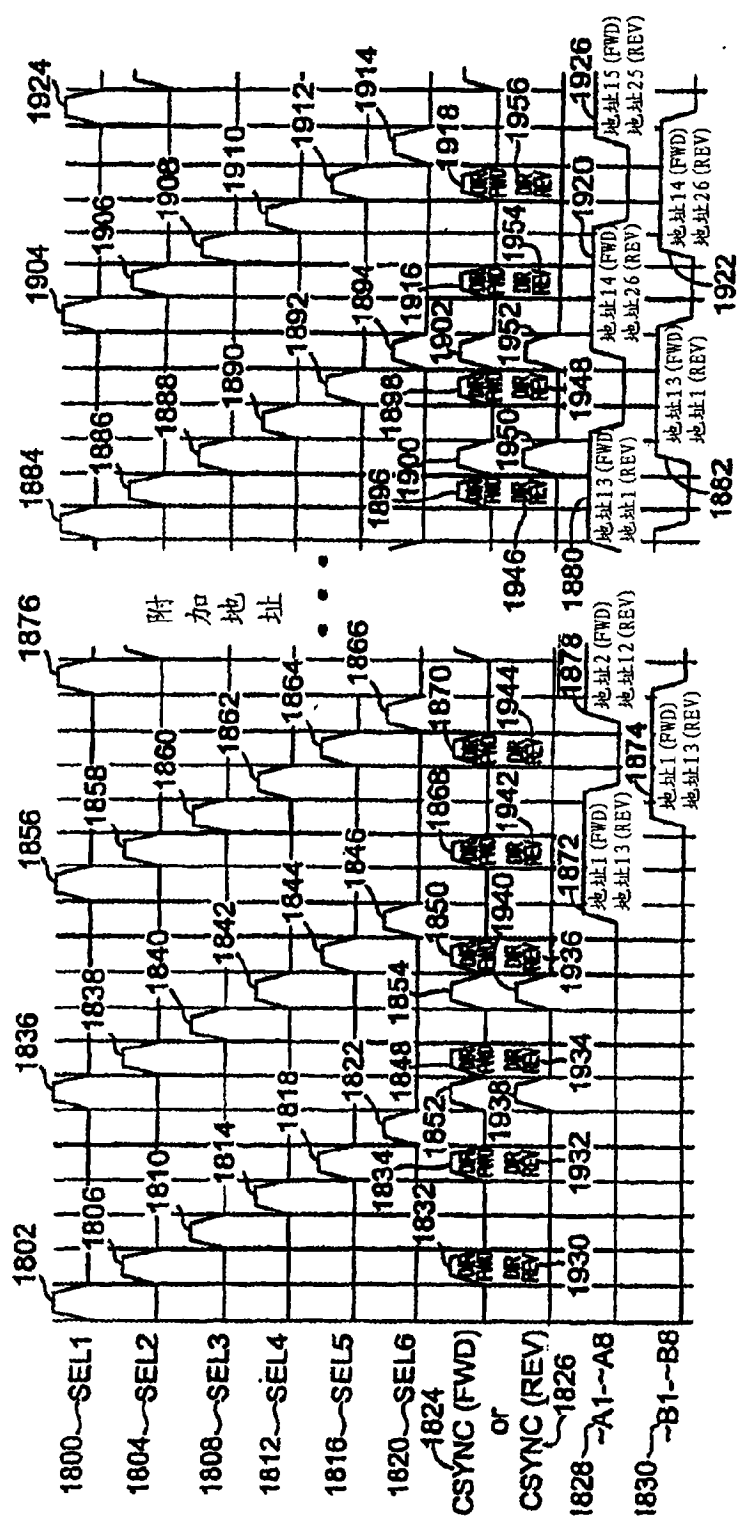


图 19



20