

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

structures, the second region is located above the shallow trench isolation, and in the direction perpendicular to the substrate, the depth of the first region is greater than the depth of the second region.

(57) 摘要: 本申请实施例涉及半导体技术领域, 尤其涉及一种半导体存储装置及形成方法, 半导体存储装置包括衬底; 多个有源区结构, 定义在所述衬底上; 浅沟槽隔离, 设置于该衬底内, 该浅沟槽隔离环绕所述多个有源区结构; 多个导线结构, 相互平行地沿着第一方向延伸, 所述导线结构包括第一区和第二区, 所述第一区位于所述有源区结构上方, 所述第二区位于所述浅沟槽隔离上方; 在垂直于所述衬底的方向上, 所述第一区深度大于所述第二区深度。

一种半导体存储装置及形成方法

相关申请的交叉引用

本申请要求在2021年08月05日提交中国专利局、申请号为202110894701.4、
申请名称为“一种半导体存储装置及形成方法”的中国专利申请的优先权，其
5 全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，涉及但不限于一种半导体存储装置及形成
方法。

背景技术

随着动态随机存取存储器（dynamic random access memory，DRAM）制
备工艺的发展，为了使得DRAM具有更高的密集度，从而缩小DRAM中各存
储单元的尺寸，通常使用埋入式字线（buried word line）结构。

15 然而，现有的沟槽式栅极仍存在一些问题。当存储器的尺寸持续微缩，
埋入式字线(buried word line)切过两主动区之间的通过栅极(passing gate)区域，
在重复性读写时，会在两侧的主动区中产生累积的寄生电子。当寄生电子通
过与该行埋入式字符线相邻的另一埋入式字线底部而流至与一位线电连接的
源/漏极时，会造成该列位线数据读写错误，此现象称为行锤效应。

发明内容

20 本申请实施例提供一种半导体存储装置及形成方法，以解决行锤效应问
题。

根据一些实施例，本申请一方面提供了一种半导体存储装置，包括：

25 衬底；

多个有源区结构，定义在所述衬底上；

浅沟槽隔离, 设置于该衬底内, 该浅沟槽隔离环绕所述多个有源区结构;

多个导线结构, 相互平行地沿着第一方向延伸, 所述导线结构包括第一区和第二区, 所述第一区位于所述有源区结构上方, 所述第二区位于所述浅沟槽隔离上方; 在垂直于所述衬底的方向上, 所述第一区深度大于所述第二区深度。

根据一些实施例, 本申请另一方面提供了一种半导体存储装置的形成方法, 包括:

提供一衬底;

在所述衬底上形成有源区结构和浅沟槽隔离, 该浅沟槽隔离环绕所述多个有源区结构;

对所述有源区结构和浅沟槽隔离进行第一次刻蚀, 形成相互平行地沿着第一方向延伸的多个导线沟槽, 所述第一次刻蚀中有源区结构的刻蚀速率大于浅沟槽隔离的刻蚀速率;

在所述多条导线沟槽中形成导线结构, 所述导线结构包括第一区和第二区, 所述第一区位于所述有源区结构上方, 所述第二区位于所述浅沟槽隔离上方; 所述第一区深度大于所述第二区深度。

本申请实施例中的半导体存储装置包括衬底; 多个有源区结构, 定义在衬底上; 浅沟槽隔离, 设置于该衬底内, 该浅沟槽隔离环绕多个有源区结构; 多个导线结构, 相互平行地沿着第一方向延伸, 导线结构包括第一区和第二区, 第一区位于有源区结构上方, 第二区位于浅沟槽隔离上方, 在垂直于衬底的方向上, 第一区深度大于第二区深度。这样, 由于第一区的深度大于第二区的深度, 并通过能够使得各有源区结构之间相互不连接, 因此, 能够避免出现行锤效应问题。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案, 下面将对实施例中所需要使用的附图作简单地介绍, 显而易见地, 下面描述中的附图仅

仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请实施例中一种半导体存储装置的结构示意图；

图 2 为本申请实施例中一种半导体存储装置的形成方法的流程图；

5 图 3 为本申请实施例中半导体存储装置的第一示意图；

图 4 为本申请实施例中半导体存储装置的第二示意图；

图 5 为本申请实施例中半导体存储装置的第三示意图；

图 6 为本申请实施例中半导体存储装置的第四示意图；

图 7 为本申请实施例中半导体存储装置的第五示意图；

10 图 8 为本申请实施例中半导体存储装置的第六示意图；

图 9 为本申请实施例中半导体存储装置的第七示意图；

图 10 为本申请实施例中半导体存储装置的第八示意图；

图 11 为本申请实施例中半导体存储装置的第九示意图；

图 12 为本申请实施例中半导体存储装置的第十示意图；

15 图 13 为本申请实施例中半导体存储装置的第十一结构示意图；

图 14 为本申请实施例中的半导体存储装置的俯视图；

图 15 为本申请实施例中 AA'截面示意图；

图 16 为本申请实施例中 BB'截面示意图。

主要元件符号说明

20 10 衬底

11 有源区结构

12 浅沟槽隔离

13 第一掩膜结构

14 第三掩膜结构

25 15 导线沟槽

16 第五掩膜结构

17 第四掩膜结构

- 20 第一区
- 21 栅极结构
- 22 阻挡层
- 23 第一子导电层
- 5 24 绝缘侧壁
- 25 第二子导电层
- 26 第三子导电层
- 27 第四子导电层
- 30 第二区
- 10 40 覆盖层
- 90 第一方向
- 91 第二方向
- 92 第三方向

15 具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，并不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

20 动态随机存取存储器（dynamic random access memory，DRAM）属于一种挥发性存储器，包含由多个存储单元构成的阵列区以及由控制电路构成的周边区。各存储单元包含一晶体管电连接至一电容器，由该晶体管控制该电容器中电荷的存储或释放来达到存储数据的目的。控制电路通过横跨阵列区并与各存储单元电连接的字符线与位线，可定位至每一存储单元以控制其数据
25 的存取。

相关技术中，为了能够使得 DRAM 具有更高的密集度，一般会使用埋入式（buried wordline，WL）结构，从而缩小 DRAM 中各存储单元的尺寸。

然而，相关技术中的沟槽式栅极仍存在一些问题。当存储器的尺寸持续微缩，埋入式字线(buried word line)切过两主动区之间的通过栅极(passing gate)区域，在重复性读写时，会在两侧的主动区中产生累积的寄生电子。当寄生电子通过与该行埋入式字符线相邻的另一埋入式字线底部而流至与一位线电连接的源/漏极时，会造成该列位线数据发生错误，从而出现行锤效应问题。

为了解决上述问题，本申请实施例中提供了一种半导体存储装置包括衬底，多个有源区结构，定义在衬底上，浅沟槽隔离，设置于该衬底内，该浅沟槽隔离环绕多个有源区结构，多个导线结构，相互平行地沿着第一方向延伸，导线结构包括第一区和第二区，第一区位于有源区结构上方，第二区位于浅沟槽隔离上方，在垂直于衬底的方向上，第一区深度大于第二区深度。这样，能够避免邻近位线之间发生数据错误，从而避免出现行锤效应问题。

基于上述实施例，参阅图 1 所示，为本申请实施例中一种半导体存储装置的结构示意图，该半导体存储装置包含一衬底 10，例如，由硅所构成的半导体衬底 10，然后，基于衬底 10 上定义有多个有源区结构 11，也即，衬底 10 的表面与有源区结构 11 的表面连接，在衬底 10 的上表面连接有多个有源区结构 11，每个有源区结构 11 的形状为岛状柱体。在衬底 10 内设置有浅沟槽隔离 12，该浅沟槽隔离 12 环绕多个有源区结构 11，浅沟槽隔离 12 用于将多个有源区结构 11 隔离，也即，每个有源区结构 11 之间通过浅沟槽隔离 12 相互隔离，各有源区结构 11 之间相互不连接。此外，该半导体存储装置包含多个导线结构，多个导线结构相互平行地沿着第一方向 90 延伸，每一导线结构包括第一区 20 和第二区 30，第一区 20 位于有源区结构 11 上方，第二区 30 位于浅沟槽隔离 12 上方，并且，第一区 20 和第二区 30 为沿着垂直于衬底 10 的方向上刻蚀形成的，第一区 20 深度大于第二区 30 深度。

本申请实施例中，导线结构的第一区 20 包括栅极结构 21、绝缘侧壁 24、第二子导电层 25 和第三子导电层 26。其中，栅极结构 21 位于导线结构的第一区 20 的底部，且栅极结构 21 的底部与第一区 20 的底部表面连接；绝缘侧壁 24 位于导线结构第一区 20 的底部阻挡层 22 上方的部分侧壁，第二子导电

层 25 设置于绝缘侧壁 24 内，绝缘侧壁 24 环绕第二子导电层 25 设置，也即，绝缘侧壁 24 沉积于导线结构的第一区 20 的侧壁表面，且环绕第二子导电层 25 设置，本申请实施例中提供了一种优选的实施方式，绝缘侧壁 24 将第二子导电层 25 完全包裹。第二子导电层 25 的底部与栅极结构 21 的顶部表面连接，
5 且第二子导电层 25 与绝缘内壁的顶部表面与第一区 20 的开口边缘齐平；第三子导电层 26 覆盖在绝缘侧壁 24 和第二子导电层 25 上，与导线结构的第二区 30 连接。

其中，栅极结构 21 包括阻挡层 22 和第一子导电层 23，阻挡层 22 位于导线结构第一区 20 的底部的部分侧壁，第一子导电层 23 设置于阻挡层 22 内，
10 也即，阻挡层 22 沉积于导线结构第一区 20 的底部的部分侧壁和底表面，第一子导电层 23 的底部与导线结构第一区 20 的底部表面，且设置于阻挡层 22 内，本申请实施例中提供了一种优选的实施方式为，阻挡层 22 将第一子导电层 23 完全包裹。

此外，本申请实施例中，半导体存储装置还包括覆盖层 40，覆盖层 40 填充于第二区 30 的内部，并覆盖在第三子导电层 26 上。
15

需要说明的是，本申请实施例中阻挡层 22 包括金属氮化物，绝缘侧壁 24 的材质为氮化硅。第一子导电层 23、第二子导电层 25 和第三子导电层 26 的材质为钨或多晶硅，第一子导电层 23 的材质、第二子导电层 25 和第三子导电层 26 的材质相同，当然，并不对本申请实施例中各结构的材质进行限定。

还需要说明的是，第一区 20 深度和第二区 30 的深度可以自行设定，但第一区 20 的深度需大于第二区 30 的深度，例如，第一区 20 深度为第二区 30 深度的 $1/2-3/4$ ；栅极结构 21 的高度可以自行设定，例如，栅极结构 21 的高度为第一区 20 深度的 $1/4$ ；绝缘侧壁 24 和第二子导电层 25 的高度可以自行设定，例如，绝缘侧壁 24 和第二子导电层 25 的高度为第一区 20 深度的 $1/4$ ，
20 阻挡层 22 的厚度大于绝缘侧壁 24 的厚度。阻挡层 22 的厚度为 3nm 至 5nm，绝缘侧壁 24 的厚度为 5nm 至 10nm，当然，并不对本申请实施例中的深度和厚度进行限定。
25

本申请实施例中，在第三子导电层 26 上设有附着层（图未示出），附着层包括为氮化钛，本申请实施例中对附着层的材质并不进行限定。

本申请实施例中，半导体存储装置包括衬底，多个有源区结构，定义在衬底上，浅沟槽隔离，设置于该衬底内，该浅沟槽隔离环绕多个有源区结构，
5 多个导线结构，相互平行地沿着第一方向延伸，导线结构包括第一区和第二区，第一区位于有源区结构上方，第二区位于浅沟槽隔离上方，在垂直于衬底的方向上，第一区深度大于第二区深度。这样，由于第一区的深度大于第二区的深度。因此，能够避免同一方向相邻的有源区结构之间的位线结构通电时影响邻近的有源区结构，从而减弱了行锤效应的影响。

10 基于上述实施例，下面对本申请实施例中提供的半导体存储装置的形成方法进行详细阐述，参阅图 2 所示，为本申请实施例中一种半导体存储装置的形成方法的流程图，具体包括：

步骤 200：提供一衬底。

本申请实施例中，提供一衬底。

15 其中，衬底的材质为硅，但本申请实施例中对于衬底的材质并不进行限制。

步骤 210：在所述衬底上形成有源区结构和浅沟槽隔离，该浅沟槽隔离环绕所述多个有源区结构。

本申请实施例中，在衬底上形成有源区结构，在获得有源区结构之后，
20 在围绕有源区结构形成浅沟槽隔离，因此，形成的浅沟槽隔离围绕多个有源区结构。

本申请实施例中，对形成有源区结构和浅沟槽隔离提供了一种可能的实施方式，下面对本申请实施例中的步骤 210 进行详细阐述，具体包括：

25 S1：在衬底上沿第二方向形成多个第四掩膜结构，所述多个第四掩膜结构水平排列。

本申请实施例中，首先，在衬底之上形成多个第五掩膜结构，其中每个第五掩膜结构沿第二方向延伸，且各第五掩膜结构之间呈水平排列。参阅图 3

所示，为本申请实施例中半导体存储装置的第一示意图，具体实施时，在衬底 10 上端面形成多个第五掩膜层结构 16，且每个第五掩膜层结构 16 均沿第二方向 91 水平排列在衬底 10 上。

多个第五掩膜结构 16 的下表面与衬底 10 的上表面连接。

5 然后，沿第三方向刻蚀多个第五掩膜结构，从而形成多个第四掩膜结构，各第四掩膜结构之间错位排列。其中，第三方向为与第二方向垂直的方向。参阅图 4 所示，为本申请实施例中半导体存储装置的第二示意图，由于第三方向 92 为与第二方向 91 垂直的方向，因此，在经过本次刻蚀后，能够形成错位排列的第四掩膜结构 17。也即，多个第四掩膜结构 17 错位排列设于衬底 10 上。

S2: 沿第一方向，向下刻蚀衬底，形成多个有源区结构。

本申请实施例中，沿第一方向，向下刻蚀衬底，以形成多个有源区结构。也即，本申请实施例中，沿第一方向向下刻蚀除多个第四掩膜结构以外的衬底部分，从而形成有源区结构，每个有源区结构包括衬底和第四掩膜结构，15 且第四掩膜结构与衬底的顶部连接。参阅图 5 所示，为本申请实施例中半导体存储装置的第三示意图，具体实施时，多个有源区结构 11 为在形成错位排列的各第四掩膜结构 17 之后，沿第一方向 90 向下刻蚀衬底 10 从而形成的。如图所示，每个有源区结构 11 的下半部分为衬底 10，上半部分为第四掩膜结构 17，且衬底 10 的上表面与第四掩膜结构 17 的下表面连接。

20 在本次刻蚀过程中，无需对第四掩膜结构 17 进行刻蚀，仅对未沉积有第四掩膜结构 17 的衬底 10 的部分进行刻蚀。

S3: 环绕多个有源区结构形成浅沟槽隔离。

本申请实施例中，在衬底之上填充隔离材料，直至隔离材料与有源区结构的上端面齐平，从而形成环绕多个有源区结构的浅沟槽隔离。参阅图 6 所示，为本申请实施例中半导体存储装置的第四示意图，具体实施时，在衬底 25 10 之上填充隔离材料，以使有源区结构 11 被完全包裹在隔离材料内，以形成浅沟槽隔离 12。如图所示，衬底 10 包括有源区结构 11 和浅沟槽隔离 12，浅

沟槽隔离 12 的上端面与有源区结构 11 的上端面齐平，各有源区结构 11 之间通过浅沟槽隔离 12 相互隔离。

其中，浅沟槽隔离 12 包括氧化硅，本申请实施例中对与浅沟槽隔离的材质并不进行限制。

5 步骤 220: 对所述有源区结构和浅沟槽隔离进行第一次刻蚀，形成相互平行地沿着第一方向延伸的多个导线沟槽，所述第一次刻蚀中有源区结构的刻蚀速率大于浅沟槽隔离的刻蚀速率。

本申请实施例中，首先，在有源区结构和浅沟槽隔离上方沿第一方向形成多个第一掩膜结构，然后，根据第一掩膜结构对有源区结构和浅沟槽隔离进行刻蚀，从而形成相互平行地沿着第一方向延伸的多个导线沟槽。参阅图 7
10 所示，为本申请实施例中半导体存储装置的第五示意图，具体实施时，在多个有源区结构 11 和浅沟槽隔离 12 上方形成多个第一掩膜结构 13，各第一掩膜结构 13 为水平排列在有源区结构 11 与浅沟槽隔离 12 上方。参阅图 8 所示，为本申请实施例中半导体存储装置的第六示意图，第一方向 90 为垂直方向，
15 沿垂直方向对有源区结构 11 和浅沟槽隔离 12 进行刻蚀，也即，沿垂直方向向下刻蚀有源区结构 11 和浅沟槽隔离 12，且对有源区结构 11 的刻蚀速率大于对浅沟槽隔离 12 的刻蚀速率，从而形成沿着第一方向 90 延伸的多个导线沟槽 15。

其中，第一掩膜结构 13 的宽度为第一宽度，第一方向 90 例如可以为垂直
20 方向，对有源区结构 11 的刻蚀速率和对浅沟槽隔离 12 的刻蚀速率可自行设定，例如，通过刻蚀后获得的导线沟槽 15 的深度为有源区结构 11 的高度的 $1/2$ ，但本申请实施例中对深度并不进行限制。

例如，假设有源区结构的高度为 90nm，导线沟槽的深度为有源区结构的高度的 $1/2$ ，因此，刻蚀获得的导线沟槽的深度为 45nm。

25 本申请实施例中，在进行第一次刻蚀时，对有源区结构的刻蚀速率大于对浅沟槽隔离的刻蚀速率。

步骤 230: 在所述多条导线沟槽中形成导线结构，所述导线结构包括第一

区和第二区，所述第一区位于所述有源区结构上方，所述第二区位于所述浅沟槽隔离上方；所述第一区深度大于所述第二区深度。

本申请实施例中，在多条导线沟槽中形成导线结构，生成的导线结构包括第一区和第二区，第一区位于有源区结构上方，第二区位于浅沟槽隔离上方，第一区深度大于所述第二区深度。

例如，本申请实施例中导线结构包括第一区和第二区，导线结构的第一区包括栅极结构、绝缘侧壁和第二子导电层，下面对本申请实施例中形成栅极结构的步骤进行详细阐述，具体包括：

S1：在所述导线结构侧壁上沉积形成阻挡层。

本申请实施例中，通过预设的沉积方式，在导线结构内沉积形成阻挡层。

例如，在整个导线结构内均沉积形成阻挡层。

S2：在所述阻挡层内沉积形成第一子导电层。

本申请实施例中，通过预设的沉积方式，在阻挡层内沉积形成第一子导电层。

S3：回刻蚀所述阻挡层和第一子导电层，保留位于第一区底部的部分所述阻挡层和所述第一子导电层，形成栅极结构。

其中，所述阻挡层位于所述导线结构第一区的底部的部分侧壁和底表面，所述第一子导电层设置于所述阻挡层内。

本申请实施例中，在导线结构内沉积形成阻挡层，并在阻挡层内沉积形成第一子导电层，然后，通过预设的刻蚀方式，向下刻蚀阻挡层和第一子导电层，并保留第一区底部的部分阻挡层和第一子导电层，从而形成包含有阻挡层和第一子导电层的栅极结构。也即，在导线沟槽的底部形成包含有阻挡层和第一子导电层的栅极结构。

例如，参阅图9所示，为本申请实施例中半导体存储装置的第七示意图，先在导线结构内沉积阻挡层，并在阻挡层内沉积形成第一子导电层，回刻蚀阻挡层和第一子导电层，从而形成如图9所述的栅极结构，在第一区20的底部的部分侧壁上设有阻挡层22，第一子导电层23设置于阻挡层22内，且阻

挡层 22 将第一子导电层 23 完全环绕，从而形成栅极结构 21，也即，栅极结构 21 包括阻挡层 22 和第一子导电层 23。

其中，阻挡层包括金属氮化物，例如可以为氮化钛或氮化钽，氮化钛被广泛作为钨栓塞的阻挡层。阻挡层的厚度为 3nm 至 5nm。

5 当沉积形成阻挡层时，可以使用化学气相沉积 (Chemical Vapor Deposition, CVD) 或物理气相沉积 (Physical Vapour Deposition, PVD)。本申请实施例中的一种优选的实施方式为，使用 PVD 沉积形成阻挡层，这是因为，PVD 沉积形成的氮化钛的薄膜的质量较高。

10 其中，氮化钛可以利用如 TiCl_4 及 NH_3 的无机化学试剂在 400°C 至 700°C 的温度下沉积： $6\text{TiCl}_4 + 8\text{NH}_3 \rightarrow 6\text{TiN} + 24\text{HCl} + \text{N}_2$ ，沉积的温度越高，TiN 薄膜的质量就越高，而且薄膜中的氯浓度也就越低，能够降低氯的腐蚀影响。

其中，第一子导电层的材质包括但不限于金属或金属合金，例如，钨、铝、铜及其合金等，本申请实施例中对此并不进行限制。

其中，第一方向为垂直方向。

15 本申请实施例中，导线结构的第一区还包括绝缘侧壁和第二子导电层，下面对本申请实施例中形成绝缘侧壁和第二子导电层的步骤进行详细阐述，具体包括：

S1：形成所述栅极结构后，沉积绝缘材料。

20 本申请实施例中，在形成栅极结构后，通过预设的沉积方式，在导线结构内沉积绝缘材料。

S2：回刻蚀所述绝缘材料以填充所述栅极结构上方沟槽。

本申请实施例中，回刻蚀绝缘材料，绝缘材料将栅极结构上方沟槽填充。

绝缘材料可以将第栅极结构上方沟槽完全填充，也可以将栅极结构上方沟槽部分填充，本申请实施例中对此并不进行限制。

25 S3：在所述绝缘材料上方沿第一方向形成多个第二掩膜结构，所述第二掩膜结构宽度为第二宽度，所述第二宽度小于第一宽度。

本申请实施例中，沿第一方向，在绝缘材料上方形成多个第二掩膜结构。

其中，第二掩膜结构用于形成绝缘侧壁，第二掩膜结构的宽度为第二宽度，第二宽度小于第一宽度，从而形成的绝缘侧壁的宽度大于阻挡层的宽度。

S4: 根据所述第二掩膜结构对绝缘材料进行刻蚀，形成位于所述第一区阻挡层上方的绝缘侧壁。

5 本申请实施例中，根据第二掩膜结构，沿第一方向刻蚀绝缘材料，以形成位于第一区的底部阻挡层上方的绝缘侧壁，从而使得绝缘材料包裹在导线结构第一区的位于底部阻挡层上方的部分侧壁表面。

10 其中，绝缘侧壁的材质例如可以为氮化硅，绝缘侧壁的厚度大于阻挡层的厚度，绝缘侧壁的厚度为 5nm 至 10nm，当沉积形成绝缘材料时，可以使用 CVD 或 PVD 沉积，本申请实施例中对此并不进行限制。

S3: 在所述绝缘侧壁内填充第二子导电层。

其中，所述第二子导电层设置于所述绝缘侧壁内，所述绝缘侧壁环绕所述第二子导电层。

15 本申请实施例中，当在导线结构第一区的侧壁上沉积形成绝缘侧壁之后，此时绝缘侧壁与导线结构第一区构成中空结构，然后，在形成的中空结构内填充第二子导电层，以使第二子导电层将导线结构第一区完全填充，参阅图 10 所示，为本申请实施例中半导体存储装置的第八示意图，在第一区 20 内上沉积形成绝缘侧壁 24，在绝缘侧壁 24 与第一区 20 内填充第二子导电层 25，此时第二子导电层 25 设置与绝缘侧壁 24 内，绝缘侧壁 24 环绕第二子导电层 25。需要说明的是，本申请实施例中的一种优选的实施方式为，在绝缘侧壁 24 的内部填充第二子导电层 25 时，第二子导电层 25 将第一区 20 完全填充，也即，在填充时，使得第二子导电层 25 与第一区 20 的开口边缘齐平。

其中，第二子导电层的材料包括但不限于金属或金属合金，例如，钨、铝、铜及其合金等，申请实施例中对此并不进行限制。

25 本申请实施例中的硅、氧化硅、氮化硅蚀刻气体可用 SF₆ / CF₄ / Cl₂ / CHF₃ / O₂ / Ar 或混合气体以达到一定的选择比；绝缘侧壁的材质为氮化硅，氮化硅侧壁沉积的方式可以使用 ALD 沉积，ALD 反应气体可为 NH₃ 或

N₂/H₂ 混合反应气体；阻挡层的材质为氮化钛；覆盖层的材质为氮化硅，氮化硅可用 LPCVD 或反应气体可为 SiH₄ 或 SiH₂Cl₂；隔离层的材质为氧化硅，氧化硅沉积可使用 ALD，反应气体可以为 LTO₅₂₀/O₂ 或者 N₂/O₂。

其中，阻挡层的材质为氮化钛，还可以为钛、钽、氮化钽、氮化钨等或其组合，但不限于此。所述第一子导电层的材质、所述第二子导电层和所述第三子导电层的材质相同。第一子导电层、第二子导电层和第三子导电层的材料可以为铝、铜、金、功函数金属或低阻值金属等材料，但不限于此。

所述第一区深度为所述第二区深度的 1/2 - 3/4，所述栅极结构的高度为所述第一区深度的 1/4，所述绝缘侧壁和第二子导电层的高度为所述第一区深度的 1/4，但并不仅限于此。

本申请实施例中，在多条导线沟槽中形成导线结构时，还包括：

在所述绝缘侧壁和第二子导电层上沉积第四子导电层，所述第四子导电层填充所述导线沟槽。

本申请实施例中，在绝缘侧壁的上方和第二子导电层的上方沉积形成第四子导电层，也即，通过第四子导电层填充导线沟槽，以使第三子导电层与第二子导电层之间相互连接。例如，参阅图 11 所示，为本申请实施例中半导体存储装置的第九示意图，填充第三子导电层 26，以使第三子导电层 26 将导线沟槽 15 完全填充。

本申请实施例中，为了减少字线之间的干扰，可在获得裸露的子导电层之后，对第四子导电层进行刻蚀，使得第四子导电层的宽度降低，露出下面的绝缘侧壁和第二子导电层，且将第二子导电层与第四子导电层串联起来，从而获得第三子导电层，具体包括：

S1：在所述第四子导电层上方形成沿第一方向形成多个第三掩膜结构，所述第三掩膜结构宽度小于第二宽度。

本申请实施例中，沿第一方向，在第四子导电层上方形成沿第一方向的多个第三掩膜结构，多个第三掩膜结构用于形成第三子导电层。

例如，参阅图 12 所示，为本申请实施例中半导体存储装置的第十示意图，

当第四子导电层 26 将导线沟槽完全填充之后，沿第一方向 90 向下刻蚀有源区结构 11 和浅沟槽隔离 12，也即刻蚀有源区结构 11 内的介质层，当有源区结构 11 和浅沟槽隔离 12 的上表面与第四子导电层 26 的上表面齐平时，获得如图 12 所述的半导体存储装置，并在第四子导电层 26 上方形成的多个第三掩膜结构（图中未示出）。

其中，第三掩膜结构宽度小于第二宽度。

S2：根据所述第三掩膜结构对所述第四子导电层进行刻蚀，形成第三子导电层，所述第三子导电层的宽度小于或等于所述第三掩膜结构宽度。

本申请实施例中，根据第三掩膜结构对第四子导电层进行刻蚀，以形成第三子导电层。

例如，参阅图 13 所示，为本申请实施例中半导体存储装置的第十一结构示意图，根据第三掩膜结构（图中未示出）对第四子导电层进行刻蚀，使得第四子导电层的宽度降低，从而形成第三子导电层 27。这样，对第四子导电层进行刻蚀，以使第四子导电层的宽度降低，形成第三子导电层，从而能够降低字线之间的干扰。

下面对本申请实施例中半导体存储装置的俯视图进行示意性说明，参阅图 14 所示，为本申请实施例中的半导体存储装置的俯视图，包括有源区结构 11、绝缘侧壁 24、第二子导电层 25 和第三子导电层 27，其中，第二子导电层 25 和第三子导电层 27 连接。

沿图 16 中的 AA' 方向，获得 AA' 方向的切截面，下面对本申请实施例中半导体存储装置的 AA' 截面进行示意性说明，参阅图 15 所示，为本申请实施例中 AA' 截面示意图，在衬底 10 上定义有浅沟槽隔离 12，第一区内包括栅极结构 21、绝缘侧壁 24 和第二子导电层 25，栅极结构 21 包括阻挡层 22 和第一子导电层 23，绝缘侧壁 24 和第二子导电层 25 上设有第三子导电层 27。

沿图 16 中的 BB' 方向，获得 BB' 方向的切截面，下面对本申请实施例中半导体存储装置的 BB' 截面进行示意性说明，参阅图 16 所示，为本申请实施例中 BB' 截面示意图，在导线结构第一区由栅极结构 21、绝缘侧壁 24 和第二

子导电层 25 组成，栅极结构 21 由阻挡层 22 和第一子导电层 23 组成，绝缘侧壁 24 和第二子导电层 25 上设有第三子导电层 27。

当形成第三子导电层后，在所述有源区结构、所述浅沟槽隔离，以及第三子导电层上沉积形成覆盖层。也即，使得有源区结构、浅沟槽隔离和第三子导电层被完全覆盖。例如，如图 1 所示，有源区结构 11、浅沟槽隔离 12 和第三子导电层 27 被覆盖层完全覆盖。

本申请实施例中，提供一衬底；在衬底上形成有源区结构和浅沟槽隔离，该浅沟槽隔离环绕多个有源区结构；对有源区结构和浅沟槽隔离进行第一次刻蚀，形成相互平行地沿着第一方向延伸的多个导线沟槽，第一次刻蚀中有源区结构的刻蚀速率大于浅沟槽隔离的刻蚀速率；在多条导线沟槽中填入导电材料形成导线结构，导线结构包括第一区和第二区，第一区位于有源区结构上方，第二区位于浅沟槽隔离上方；第一区深度大于第二区深度。这样，由于第一区的刻蚀深度大于第二区的刻蚀深度，因此，可以使得各第一区之间通过浅沟槽隔离相互不连通，因此，当出现电荷损失或漏电的问题时，能够避免邻近行内的一个或多个单元的数据发生错误，减弱了行锤效应的影响。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的精神和范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权 利 要 求

1、一种半导体存储装置，包括：

衬底；

多个有源区结构，定义在所述衬底上；

5 浅沟槽隔离，设置于该衬底内，该浅沟槽隔离环绕所述多个有源区结构；

多个导线结构，相互平行地沿着第一方向延伸，所述导线结构包括第一区和第二区，所述第一区位于所述有源区结构上方，所述第二区位于所述浅沟槽隔离上方；在垂直于所述衬底的方向上，所述第一区深度大于所述第二区深度。

10 2、如权利要求 1 所述的半导体存储装置，其中，所述导线结构的第一区还包括栅极结构，位于所述导线结构第一区的底部，所述栅极结构包括阻挡层和第一子导电层，所述阻挡层位于所述导线结构第一区的底部的部分侧壁和底表面，所述第一子导电层设置于所述阻挡层内。

15 3、如权利要求 2 所述的半导体存储装置，其中，所述导线结构的第一区还包括绝缘侧壁和第二子导电层，所述绝缘侧壁位于所述导线结构第一区的底部阻挡层上方的部分侧壁，所述第二子导电层设置于所述绝缘侧壁内，所述绝缘侧壁环绕第二子导电层设置。

20 4、如权利要求 3 所述的半导体存储装置，其中，所述导线结构的第一区还包括第三子导电层，所述第三子导电层覆盖在所述绝缘侧壁和第二子导电层上，与导线结构的第二区连接。

5、如权利要求 4 所述的半导体存储装置，其中，所述半导体存储装置还包括覆盖层，所述覆盖层填充于所述第二区的内部，并覆盖在所述第三子导电层上。

25 6、如权利要求 1 所述的半导体存储装置，其中，所述第一区深度为所述第二区深度的 $1/2 - 3/4$ 。

7、如权利要求 3 所述的半导体存储装置，其中，所述阻挡层包括金属氮

化物。

8、如权利要求 4 所述的半导体存储装置，其中，所述第一子导电层的材质、所述第二子导电层和所述第三子导电层的材质相同。

5 9、如权利要求 4 所述的半导体存储装置，其中，所述阻挡层的厚度大于所述绝缘侧壁的厚度。

10、如权利要求 1 所述的半导体存储装置，其中，所述第三子导电层上设有附着层，所述附着层包括氮化钛。

11、一种半导体存储装置的形成方法，包括：

提供一衬底；

10 在所述衬底上形成有源区结构和浅沟槽隔离，该浅沟槽隔离环绕所述多个有源区结构；

对所述有源区结构和浅沟槽隔离进行第一次刻蚀，形成相互平行地沿着第一方向延伸的多个导线沟槽，所述第一次刻蚀中有源区结构的刻蚀速率大于浅沟槽隔离的刻蚀速率；

15 在所述多条导线沟槽中形成导线结构，所述导线结构包括第一区和第二区，所述第一区位于所述有源区结构上方，所述第二区位于所述浅沟槽隔离上方；所述第一区深度大于所述第二区深度。

12、如权利要求 11 所述的方法，其中，在所述多条导线沟槽中形成导线结构包括：

20 在所述导线结构侧壁上沉积形成阻挡层；

在所述阻挡层内沉积形成第一子导电层；

回刻蚀所述阻挡层和第一子导电层，保留位于第一区底部的部分所述阻挡层和所述第一子导电层，形成栅极结构，其中，所述阻挡层位于所述导线结构第一区的底部的部分侧壁和底表面，所述第一子导电层设置于所述阻挡层内。
25

13、如权利要求 11 所述的方法，其中，所述第一次刻蚀包括，在所述有源区结构和浅沟槽隔离上方沿第一方向形成多个第一掩膜结构，根据所述第

一掩膜结构对所述有源区结构和浅沟槽隔离进行刻蚀，所述第一掩膜结构的宽度为第一宽度。

14、如权利要求 13 所述的方法，其中，在所述多条导线沟槽中形成导线结构还包括：

5 形成所述栅极结构后，沉积绝缘材料；

回刻蚀所述绝缘材料以填充所述栅极结构上方沟槽；

在所述绝缘材料上方沿第一方向形成多个第二掩膜结构，所述第二掩膜结构宽度为第二宽度，所述第二宽度小于第一宽度；

10 根据所述第二掩膜结构对绝缘材料进行刻蚀，形成位于所述第一区阻挡层上方的绝缘侧壁；

在所述绝缘侧壁内填充第二子导电层，其中，所述第二子导电层设置于所述绝缘侧壁内。

15、如权利要求 14 所述的方法，其中，在所述多条导线沟槽中形成导线结构还包括：

15 在所述绝缘侧壁和第二子导电层上沉积第四子导电层，所述第四子导电层填充所述导线沟槽。

16、如权利要求 15 所述的方法，其中，在所述多条导线沟槽中形成导线结构还包括：

20 在所述第四子导电层上方形成沿第一方向形成多个第三掩膜结构，所述第三掩膜结构宽度小于第二宽度；

根据所述第三掩膜结构对所述第四子导电层进行刻蚀，形成第三子导电层，所述第三子导电层的宽度小于或等于所述第三掩膜结构宽度。

25 17、如权利要求 16 所述的方法，其中，还包括：在所述多条导线沟槽中形成导线结构后，在所述有源区结构、所述浅沟槽隔离，以及第三子导电层上沉积形成覆盖层。

18、如权利要求 11 所述的方法，其中，所述第一区深度为所述第二区深度的 $1/2 - 3/4$ 。

19、如权利要求 12 所述的方法，其中，所述阻挡层包括金属氮化物。

20、如权利要求 16 所述的方法，其中，所述第一子导电层的材质、所述第二子导电层和所述第三子导电层的材质相同。

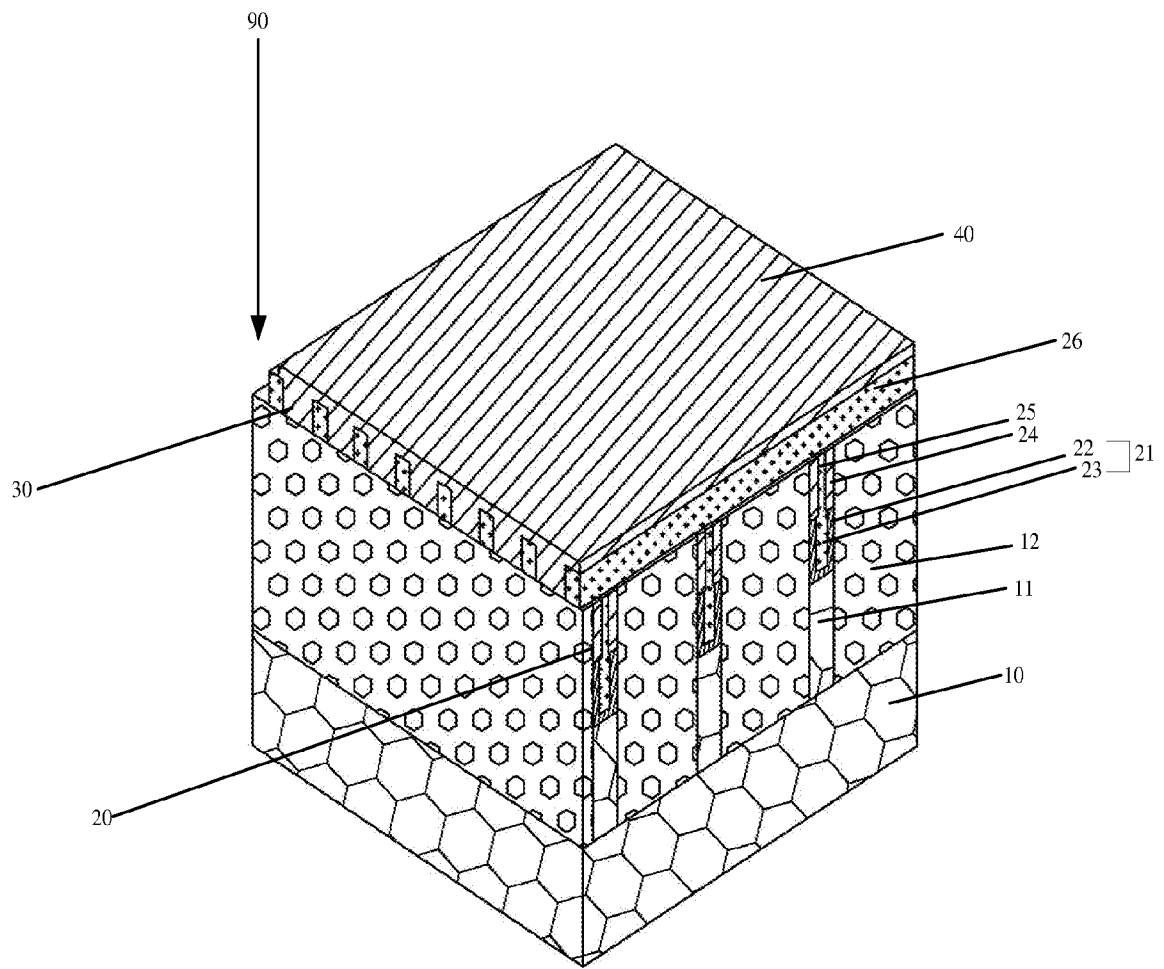


图 1

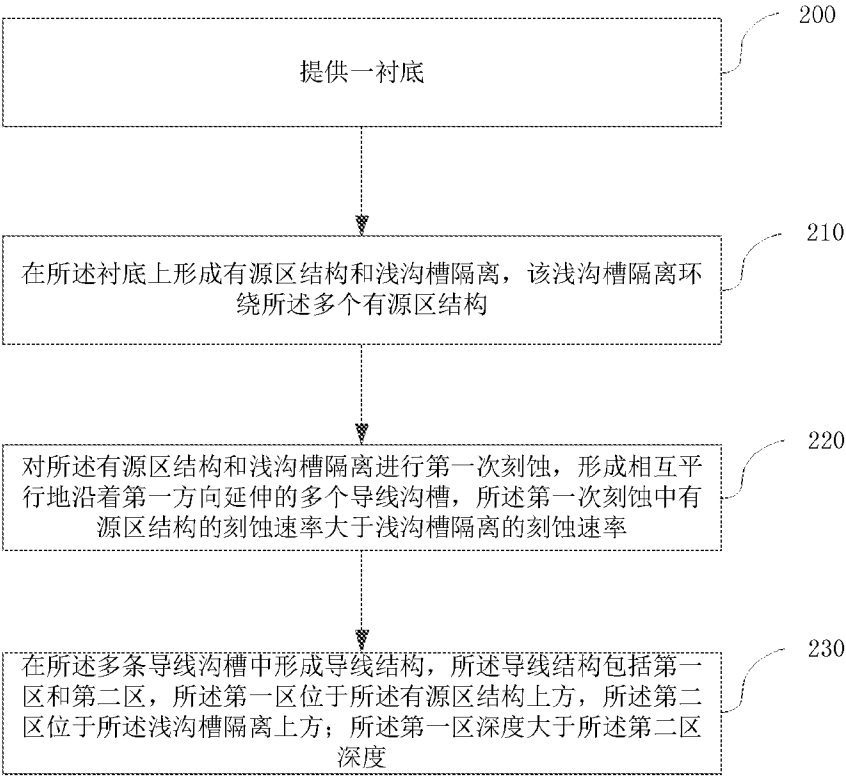


图 2

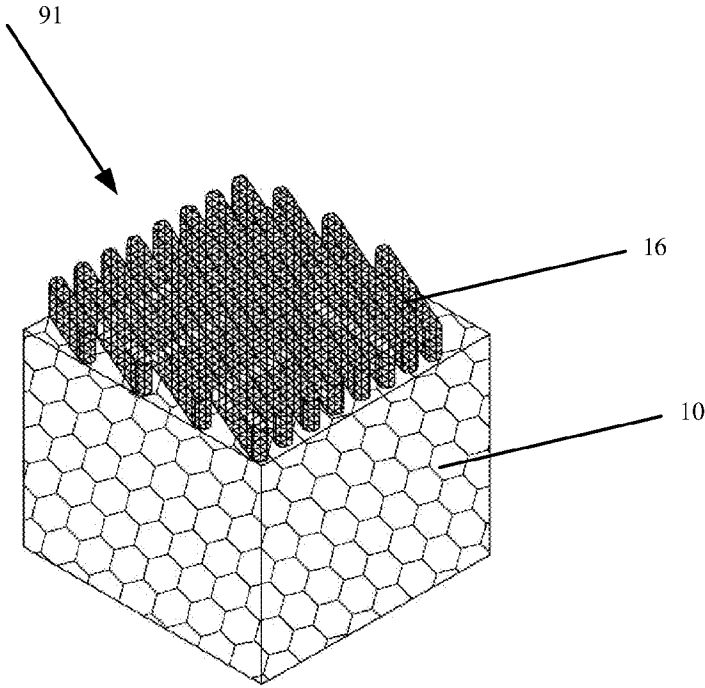


图 3

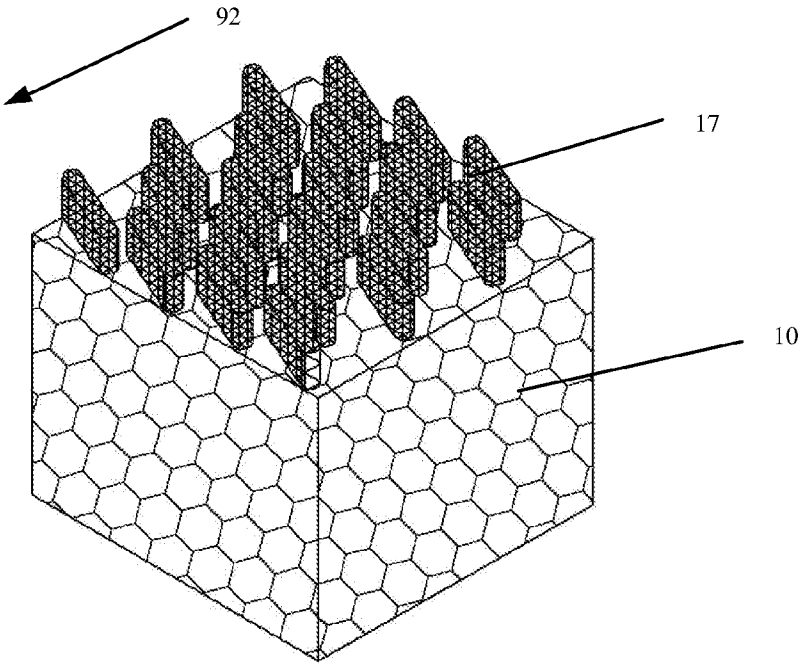


图 4

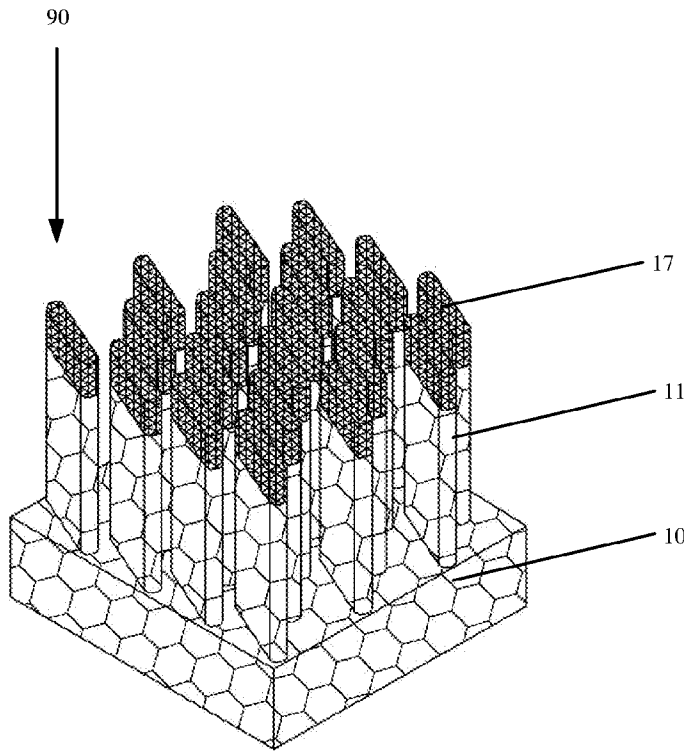


图 5

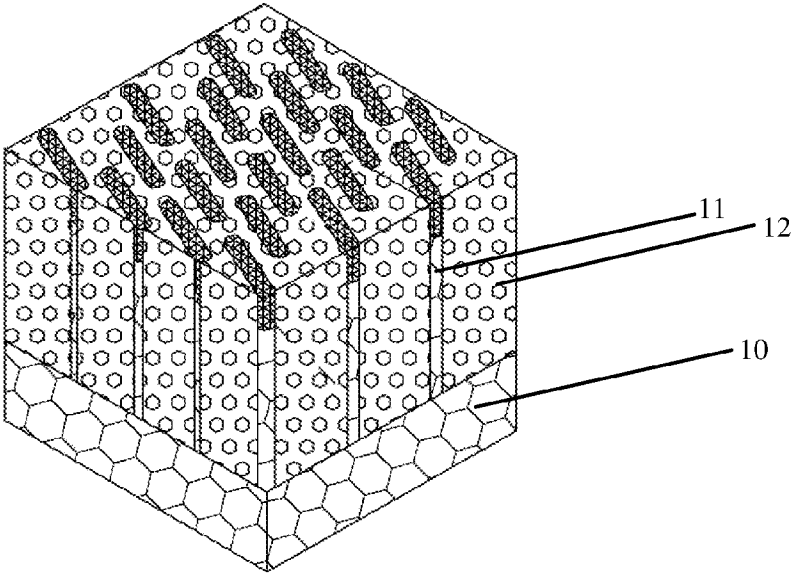


图 6

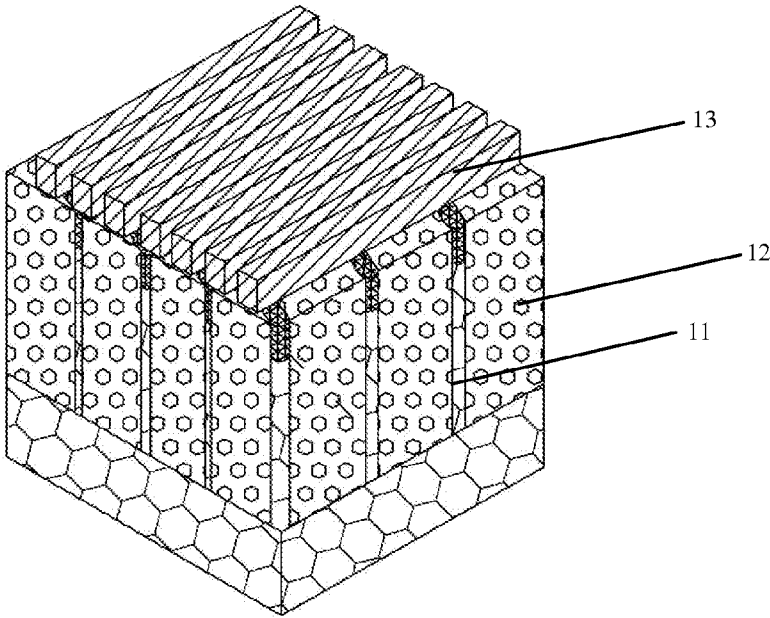


图 7

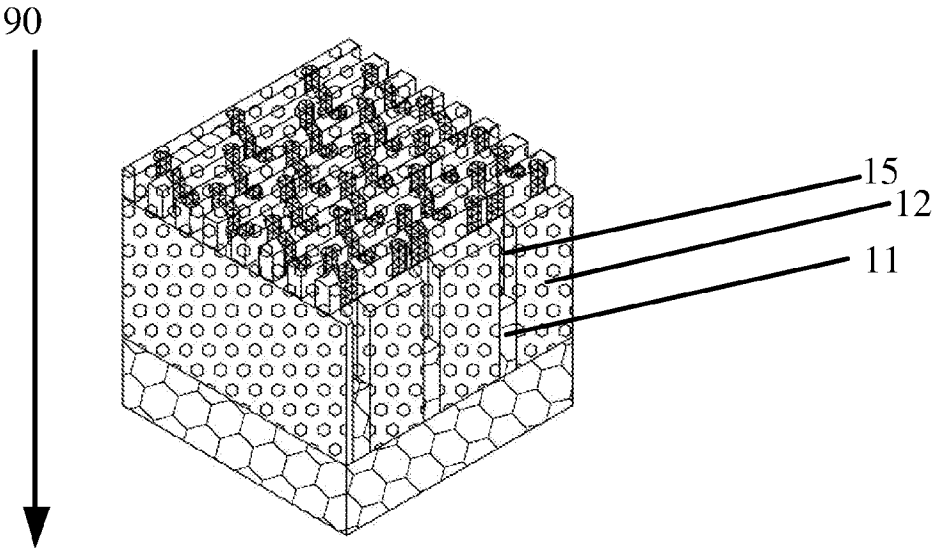


图 8

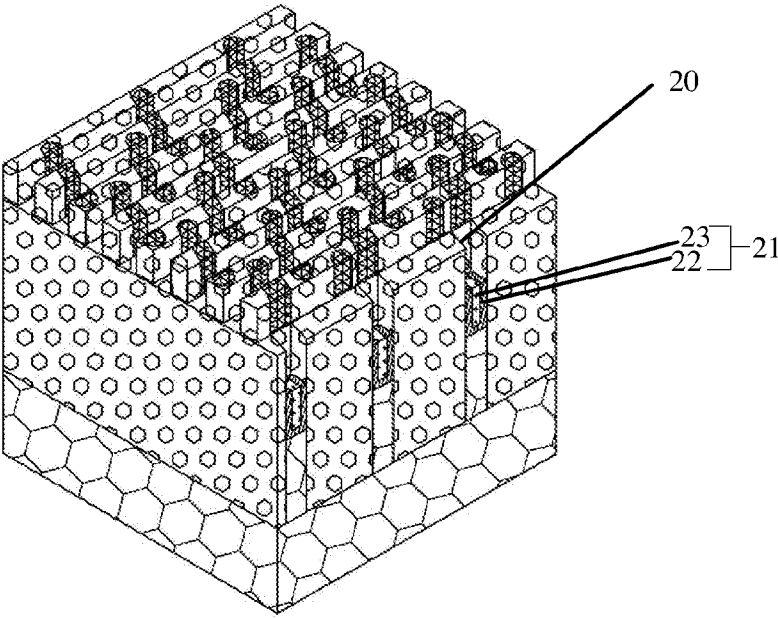


图 9

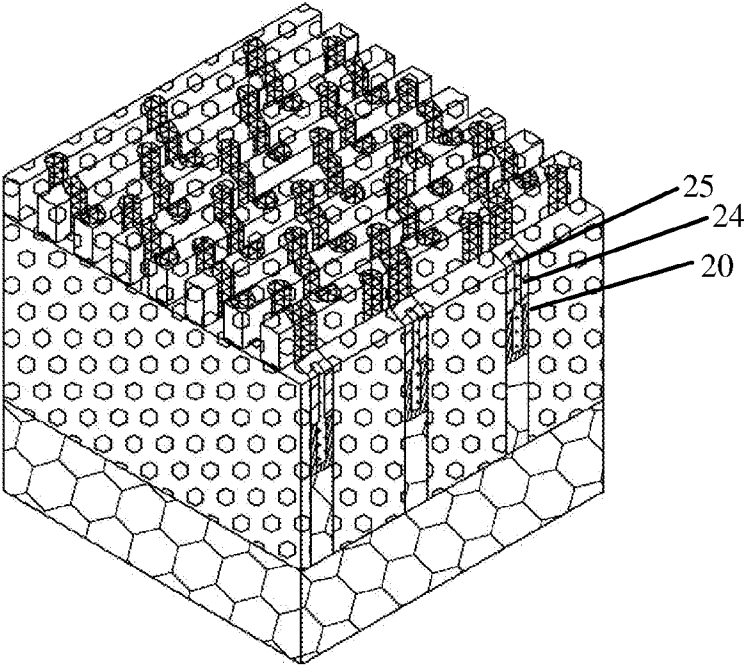


图 10

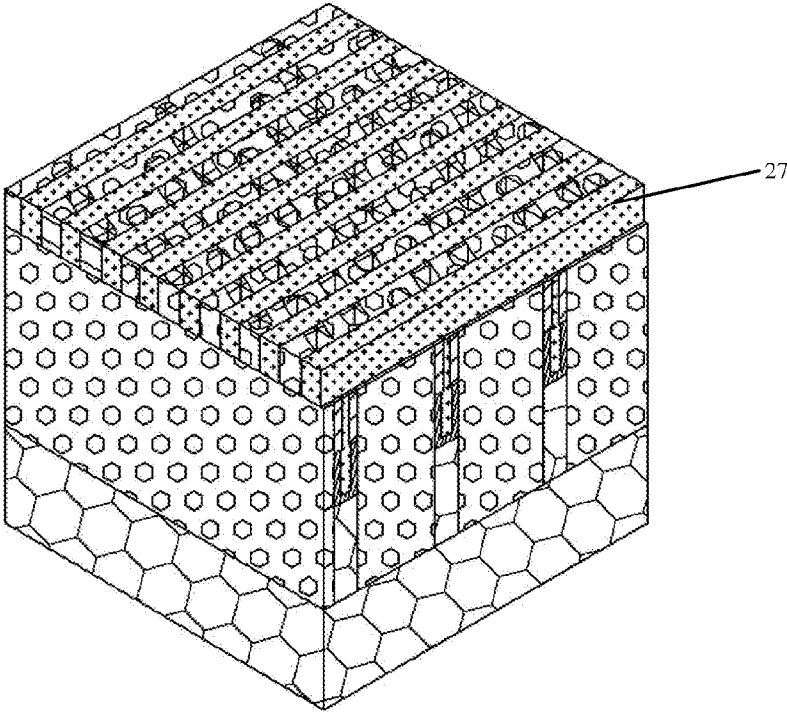


图 11

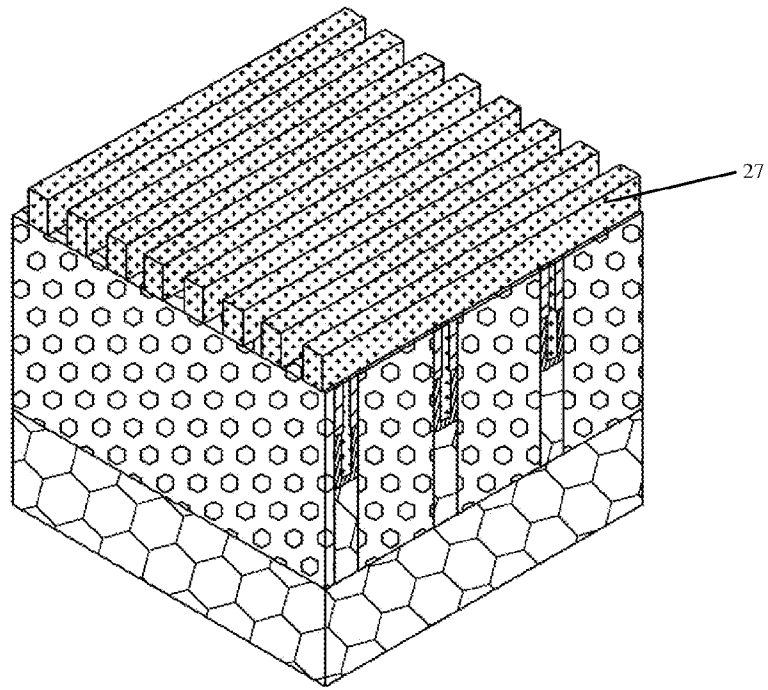


图 12

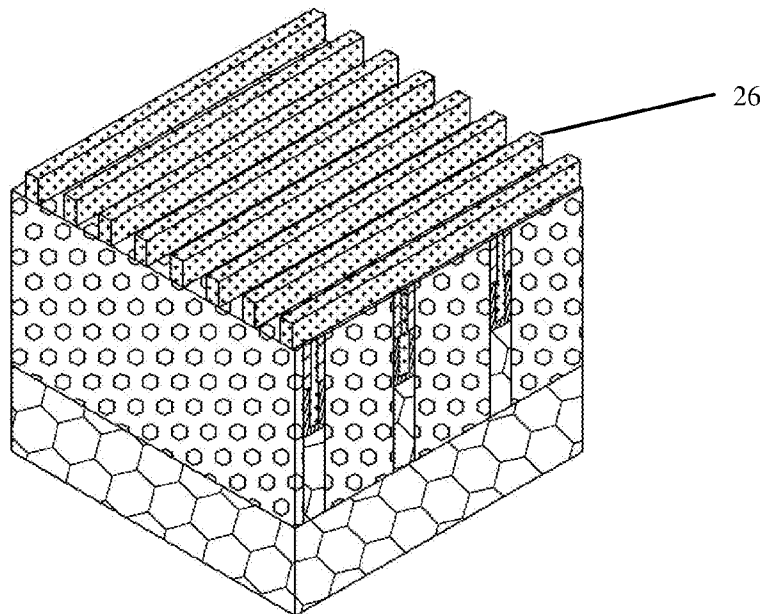


图 13

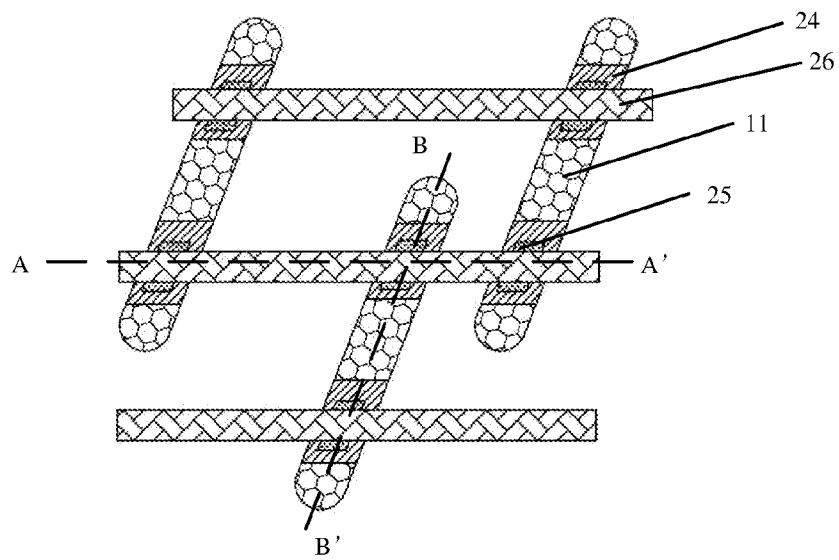


图 14

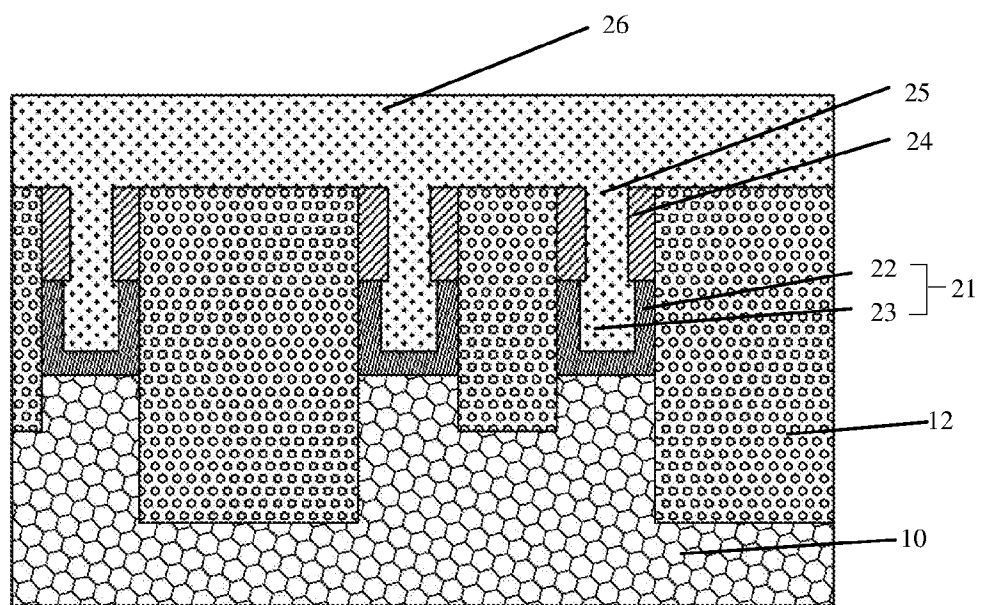


图 15

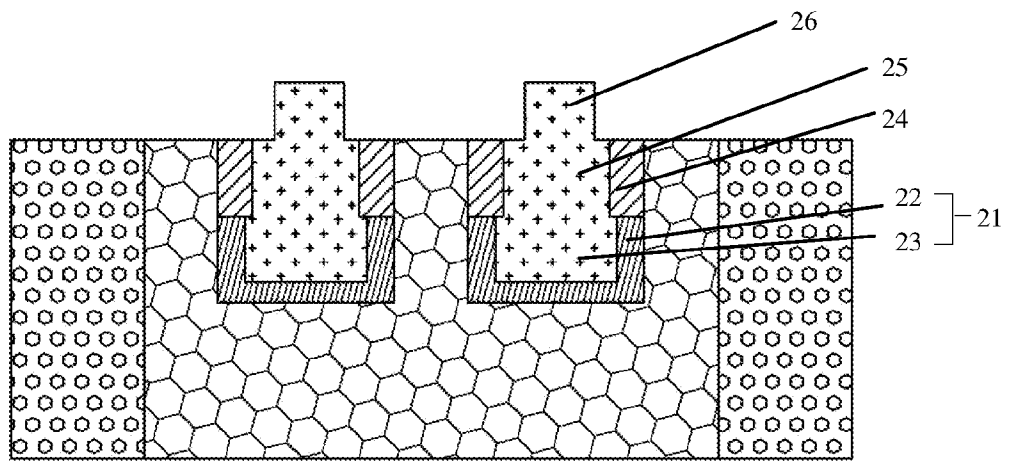


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/112209

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, EPODOC, CNPAT, IEEE, CNKI: 半导体, 存储, 有源, 浅沟槽, 隔离, 导线, 深度, 行锤, 埋入, 嵌入, 长鑫存储技术有限公司, semiconductor, memory, device, shallow, trench, isolation, conductive, line, active, depth, embedded, type

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108666313 A (UNITED MICROELECTRONICS CORP. et al.) 16 October 2018 (2018-10-16) description, paragraphs [0047]-[0066], and figure 2	1-20
A	CN 209282201 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 20 August 2019 (2019-08-20) entire document	1-20
A	CN 112216699 A (MICRON TECHNOLOGY INC.) 12 January 2021 (2021-01-12) entire document	1-20
A	CN 112652528 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 13 April 2021 (2021-04-13) entire document	1-20
A	CN 110896076 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 20 March 2020 (2020-03-20) entire document	1-20
A	US 2015279950 A1 (SK HYNIX INC.) 01 October 2015 (2015-10-01) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 April 2022

Date of mailing of the international search report

28 April 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/112209

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108666313	A	16 October 2018	US	2018286742	A1	04 October 2018
				US	2019157132	A1	23 May 2019
CN	209282201	U	20 August 2019	None			
CN	112216699	A	12 January 2021	US	2021013214	A1	14 January 2021
CN	112652528	A	13 April 2021	None			
CN	110896076	A	20 March 2020	None			
US	2015279950	A1	01 October 2015	KR	20150111722	A	06 October 2015

国际检索报告

国际申请号

PCT/CN2021/112209

A. 主题的分类

H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, EPDOC, CNPAT, IEEE, CNKI: 半导体, 存储, 有源, 浅沟槽, 隔离, 导线, 深度, 行锤, 埋入, 嵌入, 长鑫存储技术有限公司, semiconductor, memory, device, shallow, trench, isolation, conductive, line, active, depth, embedded, type

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 108666313 A (联华电子股份有限公司 等) 2018年10月16日 (2018 - 10 - 16) 说明书第[0047-0066]段, 附图2	1-20
A	CN 209282201 U (长鑫存储技术有限公司) 2019年8月20日 (2019 - 08 - 20) 全文	1-20
A	CN 112216699 A (美光科技公司) 2021年1月12日 (2021 - 01 - 12) 全文	1-20
A	CN 112652528 A (长鑫存储技术有限公司) 2021年4月13日 (2021 - 04 - 13) 全文	1-20
A	CN 110896076 A (长鑫存储技术有限公司) 2020年3月20日 (2020 - 03 - 20) 全文	1-20
A	US 2015279950 A1 (SK HYNIX INC.) 2015年10月1日 (2015 - 10 - 01) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年4月22日

国际检索报告邮寄日期

2022年4月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

白燕

电话号码 86-(10)-53961462

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/112209

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108666313	A	2018年10月16日	US	2018286742	A1	2018年10月4日
				US	2019157132	A1	2019年5月23日
CN	209282201	U	2019年8月20日	无			
CN	112216699	A	2021年1月12日	US	2021013214	A1	2021年1月14日
CN	112652528	A	2021年4月13日	无			
CN	110896076	A	2020年3月20日	无			
US	2015279950	A1	2015年10月1日	KR	20150111722	A	2015年10月6日