

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02003/045003

発行日 平成17年3月24日 (2005.3.24)

(43) 国際公開日 平成15年5月30日 (2003.5.30)

(51) Int. Cl.⁷

H04L 7/02
G06F 1/06
H03L 7/00

F I

H04L 7/02 Z
H03L 7/00 A
G06F 1/04 312A

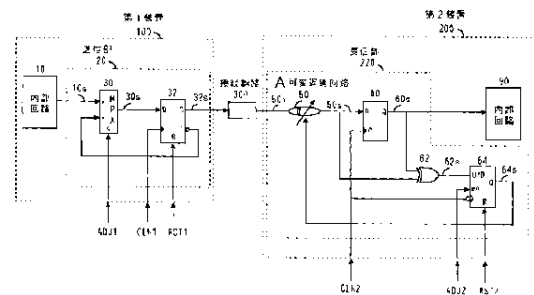
審査請求 未請求 予備審査請求 未請求 (全 18 頁)

出願番号	特願2003-546521 (P2003-546521)	(71) 出願人	390005175 株式会社アドバンテスト
(21) 国際出願番号	PCT/JP2002/012121		東京都練馬区旭町1丁目32番1号
(22) 国際出願日	平成14年11月20日 (2002.11.20)	(74) 代理人	100104156 弁理士 龍華 明裕
(31) 優先権主張番号	特願2001-354222 (P2001-354222)	(72) 発明者	碓石 優
(32) 優先日	平成13年11月20日 (2001.11.20)		東京都練馬区旭町1丁目32番1号 株式
(33) 優先権主張国	日本国 (JP)		会社アドバンテスト内
(81) 指定国	DE, JP, KR, US		

(54) 【発明の名称】 位相調整装置及び半導体試験装置

(57) 【要約】

高速のクロックに同期して装置間を伝送する伝送信号を受信側で受けるときに、安定した最適なタイミングで受けられるように伝送信号の伝搬遅延のばらつきを自動的に補正する伝送信号の位相調整装置及び半導体試験装置を提供する。このために、送信側の第1装置と受信側の第2装置との間でクロックに同期した伝送信号を伝送する位相調整装置において、第2装置の受信側のクロックで伝送信号をリタイミングするとき、受信側のクロックと伝送信号との未知の位相関係を補正して、安定したリタイミング条件で受けられるように伝送信号を所定に遅延して位相を調整する位相調整手段を備える、位相調整装置。



100...FIRST APPARATUS
120...TRANSMISSION UNIT
10...INTERNAL CIRCUIT
300...CONNECTION LINE
200...SECOND APPARATUS
220...RECEPTION UNIT
A...VARIABLE DELAY CIRCUIT
90...INTERNAL CIRCUIT

【特許請求の範囲】

【請求項 1】

送信側の第 1 装置と受信側の第 2 装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

第 2 装置の受信側のクロックで該伝送信号をリタイミングするとき、受信側のクロックと該伝送信号との未知の位相関係を補正して、安定したリタイミング条件で受けられるように該伝送信号を所定に遅延して位相を調整する位相調整手段を備える、ことを特徴とする位相調整装置。

【請求項 2】

送信側の第 1 装置と受信側の第 2 装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

第 2 装置の受信側のクロックで該伝送信号をリタイミングするとき、現在の運用状態において、受信側のクロックと該伝送信号との未知の位相関係を補正して、安定したリタイミング条件で受けられるように該伝送信号を所定に遅延して位相を調整する位相調整手段を備える、ことを特徴とする位相調整装置。

【請求項 3】

送信側の第 1 装置と受信側の第 2 装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

第 2 装置の受信側のクロックで該伝送信号をリタイミングするとき、受信側のクロックと該伝送信号との未知の位相関係を補正して、安定したリタイミング条件で受けられるように該伝送信号を自動的に位相調整する遅延を行って、該伝送信号の位相を調整する位相調整手段を備える、ことを特徴とする位相調整装置。

【請求項 4】

該位相調整手段は、

受信する伝送信号を受けて所定に遅延した遅延パルス信号を出力する可変遅延手段と、該可変遅延手段を介して受けた遅延パルス信号を受信側のクロックでリタイミングするフリップ・フロップと、

該遅延パルス信号と該フリップ・フロップの出力であるリタイミング信号とを受けて現在の位相関係を検出する位相検出手段と、

該位相検出手段に基づきカウントアップ若しくはカウントダウンする UP / DOWN 型のカウンタと、

該可変遅延手段は該カウンタが出力するコードデータに基づき受信する伝送信号を所定に遅延し、

以上を具備することを特徴とする請求項 1 乃至 3 記載の位相調整装置。

【請求項 5】

該位相検出手段は、該遅延パルス信号と該フリップ・フロップの出力であるリタイミング信号との両者の論理において、第 1 に両論理が異なるときはカウントアップ信号として該カウンタへ供給し、第 2 に両論理が同一のときはカウントダウン信号として該カウンタへ供給する XOR ゲートである、ことを特徴とする請求項 4 記載の位相調整装置。

【請求項 6】

該可変遅延手段の遅延量は、少なくともクロックの周期時間に対応する可変遅延量を備える、ことを特徴とする請求項 4 記載の位相調整装置。

【請求項 7】

該可変遅延手段の遅延量は、クロックに対する遅延パルス信号の位相が遅れた位相状態若しくは進んだ位相状態の位相関係であることが判っている場合には、少なくともクロックの周期時間に対応する可変遅延量の 1 / 2 を備える、ことを特徴とする請求項 4 記載の位相調整装置。

【請求項 8】

該カウンタは、位相を調整する位相調整モードがアサートのときには当該カウンタのカウント動作を有効にし、位相調整モードがネゲートのときには当該カウンタのカウント動作

10

20

30

40

50

を無効にしてカウンタの出力コードを保持するカウント・イネーブル入力端を備える、ことを特徴とする請求項 4 又は 5 記載の位相調整装置。

【請求項 9】

送信側の第 1 装置と受信側の第 2 装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

第 1 装置から第 2 装置へ伝送信号を伝送する線路に挿入する可変遅延手段と、

第 1 装置からクロックに同期して交互に反転した連続する連続パルス信号を発生する連続パルス信号発生手段と、

該連続パルス信号を該可変遅延手段を介して受けた遅延パルス信号と、前記遅延パルス信号を受信側のクロックによりリタイミングしたリタイミング信号とに基づいて該可変遅延手段へ遅延量を制御するコードデータを供給する位相制御手段と、

を具備することを特徴とする位相調整装置。

【請求項 10】

送信側の第 1 装置と受信側の第 2 装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

第 1 装置から第 2 装置へ伝送信号を伝送する線路に挿入する可変遅延手段と、

第 1 装置からクロックに同期して交互に反転した連続する連続パルス信号を発生する連続パルス信号発生手段と、

受信側のクロックを受けて所定に遅延した遅延クロックを出力する半固定遅延手段と、

該連続パルス信号を該可変遅延手段を介して受けた遅延パルス信号と、前記遅延パルス信号を該遅延クロックによりリタイミングしたリタイミング信号とに基づいて該可変遅延手段へ遅延量を制御するコードデータを供給する位相制御手段と、

を具備することを特徴とする位相調整装置。

【請求項 11】

該半固定遅延手段は、所定複数チャンネルの受信側の第 2 装置に対して 1 つ備える構成である、ことを特徴とする請求項 10 記載の位相調整装置。

【請求項 12】

該連続パルス信号発生手段は、

前段に備えるマルチプレクサからの出力信号を受けて送信側のクロックでリタイミングした伝送信号を第 2 装置側へ供給するフリップ・フロップと、

通常の場合は送信側の第 1 装置から伝送すべき信号を該フリップ・フロップの入力端へ供給し、連続パルス信号を発生する位相調整モードの場合には該フリップ・フロップの反転出力信号を当該フリップ・フロップの入力端へ供給するマルチプレクサと、

を備えることを特徴とする請求項 9 又は 10 記載の位相調整装置。

【請求項 13】

クロックに同期して装置間若しくは回路間で伝送信号を伝送する半導体試験装置において、請求項 1、2、3、9 又は 10 記載の該位相調整装置を備える、ことを特徴とする半導体試験装置。

【発明の詳細な説明】

技術分野

この発明は、クロックに同期して装置間を伝送する伝送信号の位相調整装置及びこれを用いる半導体試験装置に関する。特に、高速のクロックに同期して装置間を伝送する伝送信号を受信側で受けるときに、安定した最適なタイミングで受けられるように伝送信号の伝搬遅延のばらつきを自動的に補正する伝送信号の位相調整装置及び半導体試験装置に関する。

背景技術

図 6 は半導体試験装置の代表的な概念構成図である。この要部構成要素はタイミング発生器 T G と、パターン発生器 P G と、波形整形器 F C と、ピンエレクトロニクス P E と、論理比較器 D C と、フェイル・メモリ F M とを備える。ここで、半導体試験装置は公知であり技術的に良く知られている為、各構成要素の詳細説明については省略する。

ところで、これら要素間でクロックに同期して伝送される信号としては数千本のパターンデータ P A T、数百本上の期待値 E X P、フェイル信号 F D、アドレス信号 A D、その他があり、比較的長い数メートルのケーブル長で各ユニット間を接続している。また、主に差動の伝送信号形態にて伝送されている。また、各ユニット内部において、回路間や L S I 間において高速のクロックで伝送する回路部位も多数力所に存在する。これらの全ての信号において、温度変化、経時変化、ボード交換等があっても、クロックに同期して装置間 / 回路間を常に安定に伝送できる必要がある。

図 1 は従来 of クロックに対するタイミングの位相調整を行う伝送信号の位相調整装置の構成例である。尚、半導体試験装置等において、伝送信号の本数は多数本存在し、また、適用するクロックも異なるタイミングのクロックを適用する場合があるが、ここでは 1 本の伝送信号を受けてクロックでリタイミングする簡明な場合とする。 10

この要部構成要素は、第 1 クロック C L K 1 と、第 2 クロック C L K 2 と、第 1 装置 1 0 0 と、接続線路 3 0 0 と、遅延素子 8 0 と、第 2 装置 2 0 0 とを備える。

第 1 クロック C L K 1 と、第 2 クロック C L K 2 は、同一周期の高速のクロック、例えば 5 0 0 M H z (2 ナノ秒周期) のクロックであり、両装置の入力端での位相はある程度規定されたタイミング状態で入力されるものの、例えば数百ピコ秒の未定の位相差がある。尚、第 1 クロック C L K 1 と、第 2 クロック C L K 2 は他の内部回路、送信部若しくは受信部へも供給する共通のクロックであり、通常はクロック分配するクロックバッファ回路 (図示せず) を備える。

第 1 装置 1 0 0 と第 2 装置 2 0 0 は、個別のボードやユニットであったり、同一ボード内の L S I であったりする。ここでは、具体例として同一ボード内に実装されている L S I の場合と仮定する。 20

第 1 装置 1 0 0 の内部には内部回路 1 0 と、送信部 1 1 0 を備える。送信部 1 1 0 の原理構成例としてはフリップ・フロップ 2 0 を備える。フリップ・フロップ 2 0 の入力端の入力信号 1 0 s を第 1 クロック C L K 1 でリタイミングした伝送信号 2 0 s を出力し、これを接続線路 3 0 0 と遅延素子 8 0 とを通過して第 2 装置 2 0 0 へ供給する。

接続線路 3 0 0 は、例えば両 L S I 間のパターン配線である。パターンによる伝搬遅延量は基板材料の誘電率、多層基板の厚み等により異なり、更に多層基板の内層と表面層によっても異なってくるが、例えば 1 0 c m で 1 ナノ秒前後の伝搬遅延量を示す。

両 L S I 間を接続する多数本の各伝送信号のパターン配線長若しくは伝搬遅延量は、全て一致させることは実用的に困難である。例えば、パターン配線長が 1 c m 異なると、伝搬遅延量は 0 . 1 ナノ秒前後の差となってくる。更に、同一の線路長であっても、実際に製造された多層基板の内層や表面層を走る配線パターンの違いや、通過するビアホール (V i a H o l e) の個数の違いによっても変化してくる。また、伝送信号の反射によるジッタや波形歪み等も存在する。 30

遅延素子 8 0 は、半固定型の遅延手段である。即ち、所望遅延量の固定遅延素子を選択的に装着実装することで、上記伝送信号 2 0 s を受けて所定に遅延付与した遅延信号 8 0 s を出力する。これにより、第 2 装置 2 0 0 の受信部 2 1 0 において、上記伝送信号 2 0 s がセットアップ・タイムやホールド・タイムが安定したタイミング条件で、第 2 クロック C L K 2 によってリタイミングできる。 40

第 2 装置 2 0 0 の受信部 2 1 0 は、フリップ・フロップ 8 2 を備え、上記遅延信号 8 0 s を受けて、第 2 クロック C L K 2 によってリタイミングしたリタイミング信号 8 2 s を内部回路 9 0 へ供給する。

上述従来構成によれば、安定したリタイミング条件となるように、例えば 0 . 1 ~ 1 . 0 ナノ秒前後の遅延量の遅延素子 8 0 を交換調整等行ってから最終的に取り付けする必要がある。また、所望遅延量の固定遅延素子を選択しながら調整する調整作業の時間もかかる難点がある。また、数十 ~ 百本の多数の伝送信号に対応して、多数個の遅延素子 8 0 をボード上に実装することは、実装面積が必要となる結果、ボード上の実装密度が低下する難点もある。

また、実装する L S I 等の送信部 1 1 0 や受信部 2 1 0 の遅延特性が変わる場合や、第 1 50

クロックCLK1や第2クロックCLK2のクロックタイミングを設計変更する場合には、以前に取得した遅延素子80の遅延量が適用できず、再調整が必要となる。

また、例えばボード交換やケーブル交換等に伴い、第1クロックCLK1や第2クロックCLK2のクロックタイミングが変化しないように配慮する必要がある。もしも、変化する場合には、これに伴うリタイミング動作が不安定となる難点がある。

上述説明したように従来技術においては、個々の伝送信号20s毎に遅延素子80の遅延量を調整して取り付ける必要がある。また、伝送信号20sをリタイミングするタイミング条件がボード交換等で変動すると多数本の伝送信号の中には必ずしも安定したリタイミング状態とはならなくなる場合がある。また、ICやLSI自体にも製造ばらつきやメーカーの違い等に伴う伝搬遅延のばらつきがあり、これに伴って、必ずしも最良のリタイミング状態とはならなくなってくる。また、伝送信号の反射によるジッタや波形歪み等も存在する。これらに伴って、動作マージンの狭い高速のクロックを適用する場合には、最良の位相条件に設定しないと、間欠的な動作不良を招く可能性がある。

10

また、半導体ICの伝搬遅延量は温度依存性がある為、送信部や受信部やクロック分配回路等の伝搬遅延量の変動を生じる結果、安定なリタイミング条件がずれてくる場合がある。

また、クロックの周期を変更する利用形態の場合においては、受信する伝送信号とこれをリタイミングする受信側のクロックとの位相関係が最適な位相状態とはならなくなる。

また、電源電圧条件や経時変化や周囲温度等の変化に伴い、当初の安定したリタイミング状態から徐々に外れてくる。

20

また、電源を投入して運用状態において、現在の電源電圧条件、周囲温度条件で安定したリタイミング状態が維持されて動作しているかは不明の場合が多い。

これらの点において従来技術は好ましくなく実用上の難点がある。

発明の開示

そこで、本発明が解決しようとする課題は、高速のクロックに同期して装置間を伝送する伝送信号を受信側で受けるときに、安定した最適なタイミングで受けられるように伝送信号の伝搬遅延のばらつきを自動的に補正する伝送信号の位相調整装置及び半導体試験装置を提供することである。

また、受信する伝送信号とこれをリタイミングする受信側のクロックとの位相関係が未知の状態にあっても、安定した最適なタイミングで受けられるように伝送信号の伝搬遅延等のばらつきを自動的に補正する伝送信号の位相調整装置及び半導体試験装置を提供することである。

30

また、電源を投入して運用状態において、現在の電源電圧条件、周囲温度条件で最も安定したリタイミング状態が維持されるように、現運用時点での伝搬遅延等のばらつきを自動的に補正する伝送信号の位相調整装置及び半導体試験装置を提供することである。

また、クロックの周期を変更する利用形態の場合においても、安定した最適なタイミングで受けられるように、リタイミングの位相関係を自動的に補正可能な伝送信号の位相調整装置及び半導体試験装置を提供することである。

第1の解決手段を示す。

上記課題を解決するために、送信側の第1装置と受信側の第2装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

40

第2装置の受信側のクロックで上記伝送信号をリタイミングするとき、受信側のクロックと上記伝送信号との未知の位相関係を補正して、安定した最適なリタイミング条件で受けられるように上記伝送信号を所定に遅延して位相を調整する位相調整手段を備える、ことを特徴とする位相調整装置である。

上記発明によれば、高速のクロックに同期して装置間を伝送する伝送信号を受信側で受けるときに、安定した最適なタイミングで受けられるように伝送信号の伝搬遅延のばらつきを自動的に補正する伝送信号の位相調整装置及び半導体試験装置が実現できる。

次に、第2の解決手段を示す。

上記課題を解決するために、送信側の第1装置と受信側の第2装置との間をクロックに同

50

期した伝送信号を伝送する位相調整装置において、

第2装置の受信側のクロックで上記伝送信号をリタイミングするとき、現在の運用状態（例えば電源電圧、周囲温度、クロック位相条件）において、受信側のクロックと上記伝送信号との未知の位相関係を補正して、安定した最適なリタイミング条件で受けられるように上記伝送信号を所定に遅延して位相を調整する位相調整手段を備える、ことを特徴とする位相調整装置がある。

次に、第3の解決手段を示す。

上記課題を解決するために、送信側の第1装置と受信側の第2装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

第2装置の受信側のクロックで上記伝送信号をリタイミングするとき、受信側のクロックと上記伝送信号との未知の位相関係を補正して、安定した最適なリタイミング条件で受けられるように上記伝送信号を自動的に位相調整する遅延を行って、上記伝送信号の位相を調整する位相調整手段を備える、ことを特徴とする位相調整装置がある。

次に、第4の解決手段を示す。

上述位相調整手段の一態様は、

受信する伝送信号を受けて所定に遅延した遅延パルス信号50sを出力する可変遅延手段50を具備し、

上記可変遅延手段50を介して受けた遅延パルス信号50sを受信側のクロックでリタイミングするフリップ・フロップ60を具備し、

上記遅延パルス信号50sと上記フリップ・フロップ60の出力であるリタイミング信号60sとを受けて現在の位相関係を検出する位相検出手段（例えばXORゲート62）を具備し、

上記位相検出手段に基づきカウントアップ若しくはカウントダウンするUP/DWN型のカウンタ64を具備し、

上記可変遅延手段50は上記カウンタ64が出力するコードデータ64sに基づき受信する伝送信号を所定に遅延し、以上を具備することを特徴とする上述位相調整装置がある。

次に、第5の解決手段を示す。

上述位相検出手段の一態様としては、上記遅延パルス信号50sと上記フリップ・フロップ60の出力であるリタイミング信号60sとの両者の論理において、第1に両論理が異なるときはカウントアップ信号として上記カウンタ64へ供給し、第2に両論理が同一のときはカウントダウン信号として上記カウンタ64へ供給するXORゲート62である、ことを特徴とする上述位相調整装置がある。

次に、第6の解決手段を示す。

上述可変遅延手段50の遅延量の一態様としては、少なくともクロックの周期時間に対応する可変遅延量を備える、ことを特徴とする上述位相調整装置がある。

次に、第7の解決手段を示す。

上述可変遅延手段50の遅延量の一態様としては、クロックに対する遅延パルス信号50sの位相が遅れた位相状態若しくは進んだ位相状態の位相関係であることが判っている場合には、少なくともクロックの周期時間に対応する可変遅延量の1/2を備える、ことを特徴とする上述位相調整装置がある。

次に、第8の解決手段を示す。

上述カウンタ64の一態様としては、位相を調整する位相調整モードがアサートのときには当該カウンタのカウント動作を有効にし、位相調整モードがネゲートのときには当該カウンタのカウント動作を無効にしてカウンタの出力コードを保持するカウント・イネーブル入力端enを備える、ことを特徴とする上述位相調整装置がある。

次に、第9の解決手段を示す。ここで第2図と第3図は、本発明に係る解決手段を示している。

上記課題を解決するために、送信側の第1装置と受信側の第2装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

第1装置から第2装置へ伝送信号を伝送する線路に挿入する可変遅延手段50を具備し、

10

20

30

40

50

第1装置からクロックに同期して交互に反転した連続する連続パルス信号を発生する連続パルス信号発生手段を具備し、

上記連続パルス信号を上記可変遅延手段50を介して受けた遅延パルス信号50sと、前記遅延パルス信号50sを受信側のクロックによりリタイミングしたリタイミング信号60sとに基づいて上記可変遅延手段50へ遅延量を制御するコードデータ64sを供給する位相制御手段を具備し、

以上を具備することを特徴とする位相調整装置がある。

次に、第10の解決手段を示す。ここで第5図は、本発明に係る解決手段を示している。上記課題を解決するために、送信側の第1装置と受信側の第2装置との間をクロックに同期した伝送信号を伝送する位相調整装置において、

10

第1装置から第2装置へ伝送信号を伝送する線路に挿入する可変遅延手段50を具備し、第1装置からクロックに同期して交互に反転した連続する連続パルス信号を発生する連続パルス信号発生手段を具備し、

受信側のクロックを受けて所定に遅延した遅延クロックCLK2bを出力する半固定遅延手段55を具備し、

上記連続パルス信号を上記可変遅延手段50を介して受けた遅延パルス信号50sと、前記遅延パルス信号50sを上記遅延クロックによりリタイミングしたリタイミング信号60sとに基づいて上記可変遅延手段50へ遅延量を制御するコードデータ64sを供給する位相制御手段を具備し、

以上を具備することを特徴とする位相調整装置がある。

20

次に、第11の解決手段を示す。ここで第5図は、本発明に係る解決手段を示している。上述半固定遅延手段55の一態様としては、所定複数チャンネルの受信側の第2装置に対して1つ備える構成である、ことを特徴とする上述位相調整装置がある。

次に、第12の解決手段を示す。ここで第2図は、本発明に係る解決手段を示している。

上述連続パルス信号発生手段の一態様は、

前段に備えるマルチプレクサ30からの出力信号を受けて送信側のクロックでリタイミングした伝送信号を第2装置側へ供給するフリップ・フロップ32を具備し、

通常の場合は送信側の第1装置から伝送すべき信号を上記フリップ・フロップ32の入力端へ供給し、連続パルス信号を発生する位相調整モードの場合には上記フリップ・フロップ32の反転出力信号を当該フリップ・フロップ32の入力端へ供給するマルチプレクサ30を具備し、以上を備えることを特徴とする上述位相調整装置がある。

30

次に、第13の解決手段を示す。ここで第4図は、本発明に係る解決手段を示している。上述連続パルス信号発生手段の一態様としては、送信側の第1装置の内部回路10から伝送する信号に対して、連続パルス信号が所定期間連続的に発生できるように前記内部回路10を制御して上記連続パルス信号を発生させる、ことを特徴とする上述位相調整装置がある。

次に、第14の解決手段を示す。

上述連続パルス信号発生手段の一態様としては、上記位相調整モードのときに送信側の第1装置側から位相調整用の連続パルス信号を発生する、ことを特徴とする上述位相調整装置がある。

40

次に、第15の解決手段を示す。

上述伝送信号の一態様としては、シングル伝送形態の伝送信号、若しくは送信側の第1装置と受信側の第2装置との間を接続する接続線路が差動伝送形態の伝送信号である、ことを特徴とする上述位相調整装置がある。

次に、第16の解決手段を示す。

上述位相調整装置の一態様としては、第2装置と共にLSIに集積する構成である、ことを特徴とする上述位相調整装置がある。

次に、第17の解決手段を示す。

上述送信側の第1装置と上記受信側の第2装置との間を接続する伝送信号の上記接続線路300の一態様としては、ボード上の配線パターン若しくは分離された装置間を接続する

50

配線パターン若しくは分離された装置間を接続するケーブルである、ことを特徴とする上述位相調整装置がある。

次に、第18の解決手段を示す。ここで第2図と第6図は、本発明に係る解決手段を示している。

クロックに同期して装置間若しくは回路間で伝送信号を伝送する半導体試験装置において、上述位相調整装置を備える、ことを特徴とする半導体試験装置がある。

次に、第18の解決手段を示す。ここで第2図と第6図は、本発明に係る解決手段を示している。

上述位相調整装置を適用して、高速のクロックに同期してLSI等の装置間を伝送する伝送信号の位相調整を行う構成を備える、ことを特徴とする半導体試験装置がある。

尚、本願発明手段は、所望により、上記解決手段における各要素手段を適宜組み合わせ、実用可能な他の構成手段としても良い。また、上記各要素に付与されている符号は、発明の実施の形態等に示されている符号に対応するものの、これに限定するものではなく、実用可能な他の均等物を適用した構成手段としても良い。

発明を実施するための最良の形態

以下に本発明を適用した実施の形態の一例を図面を参照しながら説明する。また、以下の実施の形態の説明内容によって特許請求の範囲を限定するものではないし、更に、実施の形態で説明されている要素や接続関係が解決手段に必須であるとは限らない。更に、実施の形態で説明されている要素や接続関係の形容/形態は、一例でありその形容/形態内容のみに限定するものではない。

本発明について、図2と図3とを参照して以下に説明する。尚、従来構成に対応する要素は同一符号を付し、また重複する部位の説明は省略する。

図2は本発明のクロックに対するタイミングの位相調整を行う伝送信号の位相調整装置の構成例である。尚、ここでも1本の伝送信号を受けてクロックでリタイミングする簡明な場合とする。

この要部構成要素は、第1クロックCLK1と、第2クロックCLK2と、調整モード信号ADJ1、ADJ2と、リセット信号RST1、RST2と、第1装置100と、接続線路300と、第2装置200とを備える。

第1装置100内の送信部120は、マルチプレクサ30と、フリップ・フロップ32とを備えて、連続パルス発生手段を実現している。これにより、調整モード時において第1クロックCLK1に同期した伝送信号(連続パルス)32sが発生できる。尚、これら回路はLSI内に備えることで、容易に適用できる。

マルチプレクサ30は、第1に、調整モード信号ADJ1がロウレベルのときは、通常の信号の伝送動作であり、内部回路10からの入力信号10sをフリップ・フロップ32のD入力端へ供給する。

第2に、調整モード信号ADJ1がハイレベルのときは、連続クロック発生動作であり、フリップ・フロップ32の反転出力端q信号をフリップ・フロップ32のD入力端へ供給する。この結果、前回の状態を反転させる信号が入力されることになる結果、位相調整用の連続パルスが発生できる。

フリップ・フロップ32は、当該D入力端の信号30sを第1クロックCLK1でリタイミングした伝送信号32sを出力し、これを接続線路300を通過して第2装置200へ供給する。この結果、調整モード信号ADJ1がハイレベルのときは、図3の遅延パルス信号50sに示すように、連続的なクロック信号が発生できる。尚、当該フリップ・フロップのリセット入力端Rで受けるリセット信号RST1は、調整モード信号ADJ1の切替時に無用のインパルスが発生する可能性を防止するものであるが、実用的には無くても支障は無い。

第2装置200の受信部220は、可変遅延手段50と、フリップ・フロップ60と、XORゲート62と、カウンタ64とを備える。尚、これら回路はLSI内に備えることで、容易に適用できる。

可変遅延手段50は、周知の可変遅延回路であり、上記伝送信号32sを接続線路300

10

20

30

40

50

を通過して受ける入力パルス50iを、所定複数ビットのコードデータ64sに基づいて、これに対応する遅延を付与した遅延パルス信号50sを出力する。一例として分解能0.05ナノ秒で、5ビットのコードデータ64sにより1.5ナノ秒程度迄の遅延ができる。

全体の可変遅延量は、少なくともクロック周期の1/2の遅延量を備える必要がある。例えば第2クロックCLK2のクロック周期が2ナノ秒としたとき、1/2である1.0ナノ秒の遅延量を少なくとも備える。尚、可変遅延手段50自身の入出力端間の伝搬遅延量は周囲温度の変化に依存して変動するものの、現在の周囲温度で最良の状態に位相調整できるので実用上の支障とはならない。

フリップ・フロップ60は、上記伝送信号32sを上記可変遅延手段50を介して受けて、第2クロックCLK2によってリタイミングしたリタイミング信号60sを内部回路90へ供給し、且つXORゲート62の一方の入力端へも供給する。 10

XORゲート、62は、カウンタ64をインクリメント又はデクリメントさせるカウンタ制御信号62sを供給する。即ち、第1に、遅延パルス信号50sとリタイミング信号60sのレベルが異なる場合にはハイレベルを供給してカウンタ64をインクリメント動作させ、第2に、遅延パルス信号50sとリタイミング信号60sのレベルが同一の場合にはロウレベルを供給してカウンタ64をデクリメント動作させる。

カウンタ64は、イネーブル入力端en付きの、例えば5ビット幅のアップ/ダウンカウンタであって、上記カウンタ制御信号62sをU/D入力端で受けて、第2クロックCLK2の立下がりエッジのタイミングでカウントアップ又はカウントダウン動作する。 20

調整モード信号ADJ2は、イネーブル入力端enに供給する。第1に、調整モード信号ADJ2がハイレベルのときは、自動位相調整の動作中であり、カウンタ64は上記自動位相調整用の連続パルス32sを受けて所定にカウント動作が行われ、数クロック程度の短時間で自動位相調整された位相状態に至り、そのコード値の前後±1で収束動作を繰り返している。第2に、調整モード信号ADJ2がロウレベルのときは、通常の信号の伝送動作であり、カウンタ64は自動位相調整された位相状態のコード値を保持する保持レジスタとなる。

リセット信号RST2は、自動位相調整の開始に先立って、カウンタ64のリセット入力端Rへパルス的に供給して自動位相調整の開始の初期コード値を与えるものである。この初期コード値としては、全遅延量の間値近くが望ましい。例えば5ビットコードが"00000"で0ナノ秒とし、"11111"で1.5ナノ秒としたとき、初期コード値は中間値付近の例えば"10000"の0.8ナノ秒程度のコード値を使用する。従って、5ビットコードのMSBビットは、例えば反転出力信号若しくはインバータ等(図示せず)で反転させて可変遅延手段50へ供給する。 30

次に、図3の自動位相調整(自動補正)の開始から収束状態に至る迄のタイミングチャートを参照して説明する。

図3(a)は、図3(b)に示すように、当初の遅延パルス信号50sが目的の位相状態から位相量Jのタイミングだけ遅れている場合である。

図3(a)のタイミングチャートは、コードデータ64sがリセット信号RST2により初期状態にリセットされたコード値"0"の直後からの自動位相調整を示している。この開始時点では、連続パルスの遅延パルス信号50sの位相位置は、図示例の位相位置に存在するものとする。 40

この場合において、調整すべき目的とする位相位置は、図3(b)に示すように、第2クロックCLK2の立ち上がりエッジに対して遅延パルス信号50sの中央部Kが来るように位相調整されれば良い。従って、図3(b)に示す当初状態に対して位相量Jをシフトする必要がある。従って、カウンタ64をカウントアップする方向に自動位相調整するように動作する必要がある。

先ず、図3(a)における第1サイクルでは、第2クロックCLK2の立ち上がりで遅延パルス信号50sをラッチ出力する結果、第2クロックCLK2の立下がり時点ではXORゲート62のカウンタ制御信号62sはハイレベルとなるのでインクリメント動作する 50

。この結果、コードデータ64sは"1"となる。これを受ける可変遅延手段50によって少し遅延増加された遅延パルス信号50s(図3A参照)がフリップ・フロップ60の入力端Dへ供給される。

次の第2サイクルでは、前記と同様に第2クロックCLK2の立下がり時点ではXORゲート62のカウンタ制御信号62sは、同じくハイレベルとなるのでインクリメント動作する。この結果、コードデータ64sは"2"となる。これを受ける可変遅延手段50によって更に少し遅延増加された遅延パルス信号50s(図3B参照)がフリップ・フロップ60の入力端Dへ供給される。

以後の第3サイクルから第nサイクルにおいても、XORゲート62のカウンタ制御信号62sは、同じくハイレベルとなるのでインクリメント動作して、コードデータ64sは"3"、"4"、...、"n-1"、"n"と進んでいく(図3C、D、E参照)。

次に、第n+1サイクルでは、第2クロックCLK2の立下がり時点ではXORゲート62のカウンタ制御信号62sはロウレベルに変化するので今度はデクリメント動作となる。この結果、コードデータ64sは"n"から"n-1"になる。この結果、可変遅延手段50によって少し遅延減少された遅延パルス信号50s(図3F参照)がフリップ・フロップ60の入力端Dへ供給される。

次に、第n+2サイクルでは、第2クロックCLK2の立下がり時点ではXORゲート62のカウンタ制御信号62sはハイレベルに変化するのでインクリメント動作に変化する。この結果、コードデータ64sは"n-1"から"n"となる。これを受ける可変遅延手段50によって少し遅延増加された遅延パルス信号50s(図3G参照)がフリップ・

フロップ60の入力端Dへ供給される。以後のサイクルでは、n+1サイクルと、n+2サイクルの繰り返し動作となる。尚、XORゲート62のカウンタ制御信号62sは、ギリギリのタイミングでインクリメント動作/デクリメント動作しているので、1サイクルのサイクルずれを生じる場合がある。この為、調整モード信号ADJ2をハイレベルからロウレベルにした調整終了のタイミングによっては、±1カウント分の位相ずれを生じる場合があるが、実用的には十分な位相調整が実現できている。

上記の結果、第2クロックCLK2の立ち上がりエッジに対して、図3(b)に示すように、遅延パルス信号50sの中央部Kが来るように位相調整されることとなる。この結果、受信側において、安定した最適なタイミングで伝送信号を受けることができる大きな利点が得られる。

次に、図3(c)に示す例は、当初の遅延パルス信号50sが目的の位相状態から位相量Mのタイミングだけ進んでいる場合である。

この場合には、上述した図3(a)のタイミングチャートの説明において、XORゲート62のカウンタ制御信号62sがロウレベルとなるのでデクリメント動作から開始していく。従って、デクリメント動作からの開始の他は上述と同様であるからして説明を省略する。この場合においても収束状態においては、第2クロックCLK2の立ち上がりエッジに対して遅延パルス信号50sの位相の中央部Nとなるように位相調整される。従って、当初の遅延パルス信号50sは、図3(c)に示すように、位相量Mの手前側のイミング位置に自動位相調整されることとなる。

この結果、第2クロックCLK2の立ち上がりエッジに対して、図3(c)に示すように、遅延パルス信号50sの中央部Nが来るように位相調整されることとなる。この結果、受信側において、安定した最適なタイミングで伝送信号を受けることができる大きな利点が得られる。従って、セットアップ・タイムやホールド・タイムが安定したタイミング条件で、第2クロックCLK2によってリタイミングできる。また、伝送信号の反射によるジッタや波形歪み等が存在していても、遅延パルス信号50sの中央部Nでリタイミングする為、安定した動作が可能となる。

上述発明構成によれば、当初の遅延パルス信号50sの全ての位相状態、即ち、受信側で受信する伝送信号と、これをリタイミングする受信側のクロックとの位相関係が未知の状態にあっても、安定した最適なタイミングで受けられるように伝送信号の伝搬遅延等が自

10

20

30

40

50

動的に補正された状態に、可変遅延手段50の遅延量がセットされる結果、安定した最適条件で伝送信号を受信することができる位相調整装置が実現できる大きな利点を得られる。回路動作の信頼性が格段に向上できる。

しかも、上記自動位相調整は、電源投入後に随時実施することが可能であるからして、両者の位相関係が変動する種々の位相変動要因、例えば電源電圧条件、周囲温度条件、第1装置側若しくは第2装置側若しくはクロック供給源のボード交換、その他があっても、最良の位相関係に調整できる大きな利点を得られる。

更に、クロック周期を変更して運用する場合においても、クロック周期の変更後に上記自動位相調整を実行することで安定した動作が可能となる。

尚、本発明の技術的思想は、上述実施の形態の具体構成例、接続形態例に限定されるものではない。更に、本発明の技術的思想に基づき、上述実施の形態を適宜変形して広汎に応用してもよい。

例えば、上述実施例では、伝送信号はシングル伝送形態の場合であったが、差動伝送形態の伝送信号の場合においても、受端で差動伝送形態からシングル伝送形態に変換することで、上述同様にして適用できる。

また、収束する迄に必要な数十パルス程度の連続パルスを、第1装置100の内部回路10から発生制御できる場合においては、図4の構成例に示すように、第1装置100の内部には、図2に示すような送信部120及び調整モード信号ADJ1、リセット信号RST1を設ける必要性は無い。

また、第2クロックCLK2と遅延パルス信号50sとの位相関係が、常に図3(b)に示すような位相関係であることが判っている場合の伝送信号の位相調整装置においては、インクリメント動作のみであるからして、所望により可変遅延手段50の全遅延量を1/2に削減する構成としても良い。この場合には、可変遅延手段50の回路規模を半減できる利点を得られる。

逆に、第2クロックCLK2と遅延パルス信号50sとの位相関係が、常に図3(c)に示すような位相関係であることが判っている場合の伝送信号の位相調整装置においては、デクリメント動作のみであるからして、所望により可変遅延手段50の全遅延量を1/2に削減する構成としても良い。この場合にも、可変遅延手段50の回路規模を半減できる利点を得られる。

また、図5の他の構成例に示すように、多数チャンネルの第2装置200が存在し、各々の位相調整を行う構成において共通使用される第2クロックCLK2に対して半固定遅延手段55を追加して挿入する構成手段でも実現できる。この構成手段は、多数チャンネルの各接続線路300の遅延誤差が類似している場合に有効である。

各チャンネルの可変遅延手段50の可変遅延量は、例えば1/2程度に少なくし、変わりに共通使用される第2クロックCLK2用の半固定遅延手段55の遅延量の設定を外部から制御することで、共通して使用されるリタイミング用の遅延クロックCLK2b自体の位相を調整する。

従って、一方の可変遅延手段50は、主に各接続線路300間の遅延ばらつき調整用となり、他方の半固定遅延手段55は、主に全チャンネル共通的に位相がずれる要素の補正用となる。ここで、全チャンネル共通的な位相ずれ要素としては、例えば電源電圧条件、周囲温度条件、第1装置側若しくは第2装置側若しくはクロック供給源のボード交換、その他がある。

これによれば、多数チャンネル備える可変遅延手段50の可変遅延量を低減できる結果、回路規模が低減でき、より安価に構成できる。

尚、所望により、可変遅延手段50の遅延量が中間付近で収束するように、何れか1チャンネルのコードデータ64sを読み出す読み出し回路を備え、これに基づいて半固定遅延手段55の設定を制御しても良い。

産業上の利用可能性

本発明は、上述の説明内容からして、下記に記載される効果を奏する。

上述説明したように本発明によれば、第1装置からの伝送信号32sを受けてリタイミン

グする受信側の第2クロックCLK2とフリップ・フロップ60の位相関係が未知の状態にあっても、安定した最適なタイミングで受けられるように両者の位相関係を自動的に補正できる伝送信号の位相調整装置が実現できる。従って、回路動作の信頼性が格段に向上できる。

また、上記自動位相調整は、電源投入後に随時実施することが可能であるからして、両者の位相関係を変動する種々の位相変動要因、例えば電源電圧条件、周囲温度条件、第1装置側若しくは第2装置側若しくはクロック供給源のボード交換、等があっても、最良の位相関係に再調整できる大きな利点が見られる。

従って、本発明の技術的効果は大であり、産業上の経済効果も大である。

【図面の簡単な説明】

図1は、従来の、クロックに対するタイミングの位相調整を行う伝送信号の位相調整装置の構成例。

図2は、本発明の、クロックに対するタイミングの位相調整を行う伝送信号の位相調整装置の構成例。

図3は、図2の動作を説明する、自動位相調整（自動補正）の開始から収束状態に至る迄のタイミングチャート。

図4は、本発明の、クロックに対するタイミングの位相調整を行う伝送信号の位相調整装置の他の構成例。

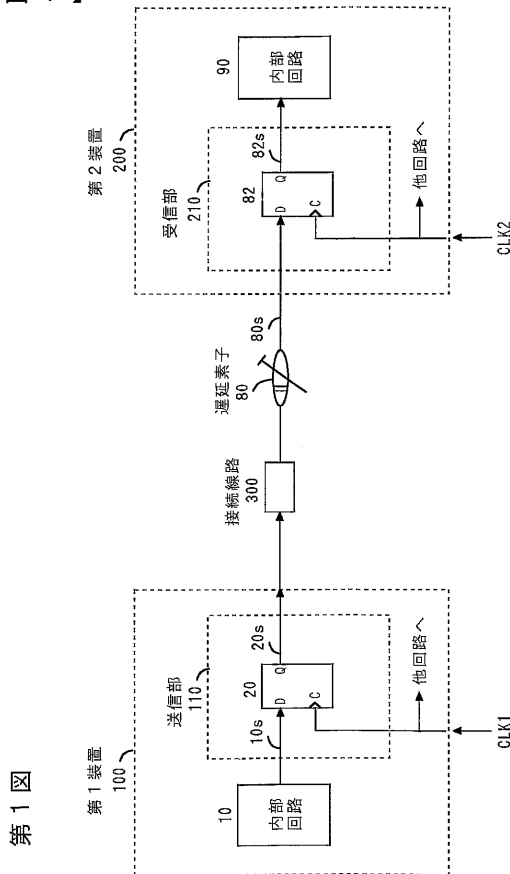
図5は、本発明の、クロックに対するタイミングの位相調整を行う伝送信号の位相調整装置の他の構成例。

図6は、半導体試験装置の代表的な概念構成図である。

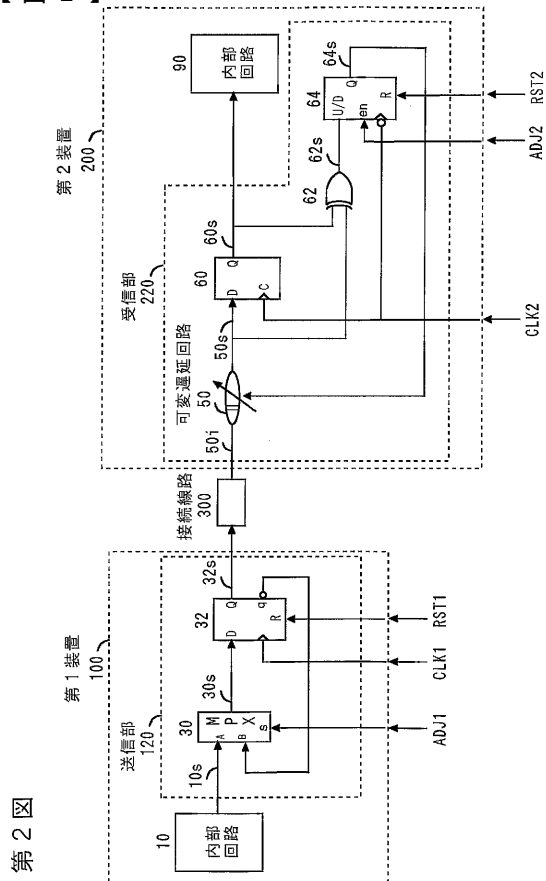
10

20

【図1】



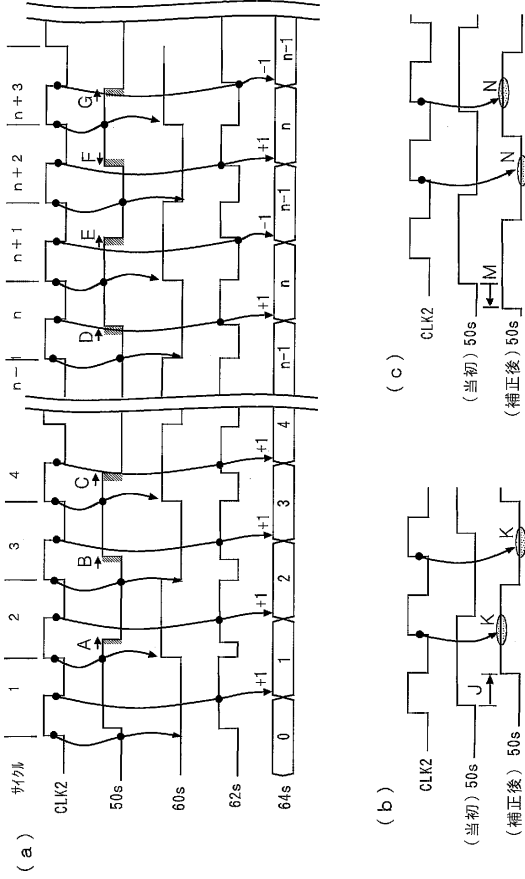
【図2】



第1図

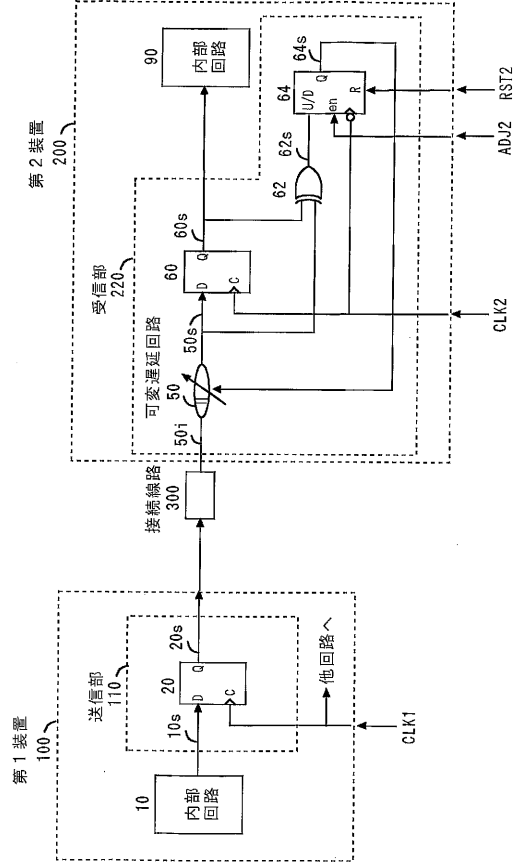
第2図

【 図 3 】



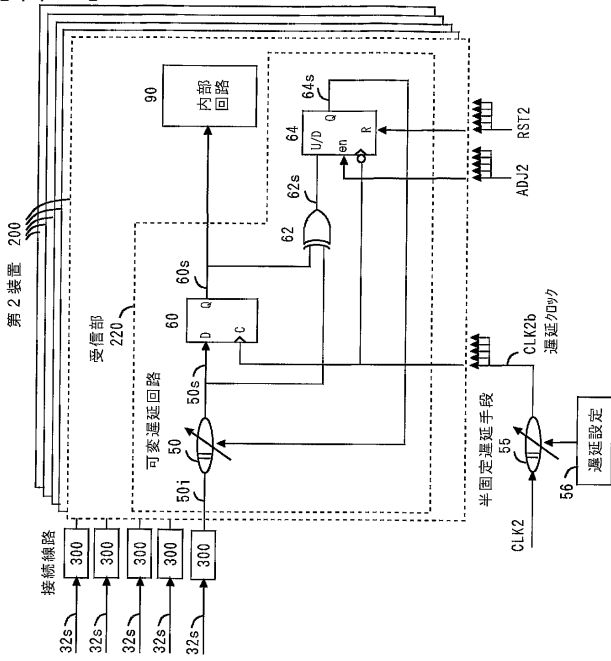
第 3 図

【 図 4 】



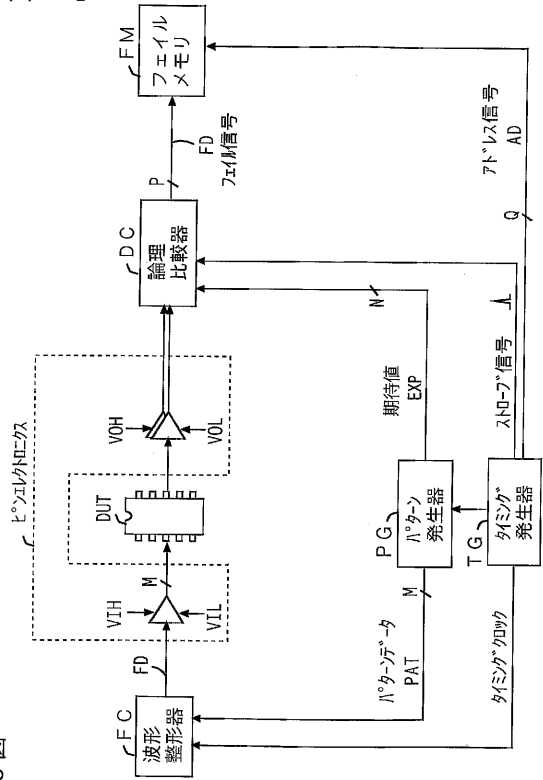
第 4 図

【 図 5 】



第 5 図

【 図 6 】



第 6 図

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP02/12121
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H04L7/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H04L7/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003 Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-196571 A (Hitachi, Ltd.), 14 July, 2000 (14.07.00), Fig. 1 and the explanations thereof (Family: none)	1-3, 9, 13 4-8 10-12
Y	JP 3-145818 A (Northern Telecom Ltd.), 21 June, 1991 (21.06.91), Figs. 1, 5 and the explanations thereof & US 5081655 A & CA 2001266 A	4-8
Y	JP 2000-101554 A (Matsushita Electric Industrial Co., Ltd.), 07 April, 2000 (07.04.00), Figs. 4, 5 and the explanations thereof (Family: none)	5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents; such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18 February, 2003 (18.02.03)		Date of mailing of the international search report 04 March, 2003 (04.03.03)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP02/12121
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 9-247140 A (Mitsubishi Electric Corp.), 19 September, 1997 (19.09.97), Fig. 4 and the explanations thereof (Family: none)	10-13 1-9
A	JP 2000-151372 A (Oki Electric Industry Co., Ltd.), 30 May, 2000 (30.05.00), Full text (Family: none)	1-13
A	JP 11-355258 A (Hitachi, Ltd.), 24 December, 1999 (24.12.99), Full text (Family: none)	1-13
A	JP 11-355130 A (Nippon Telegraph And Telephone Corp.), 24 December, 1999 (24.12.99), Full text (Family: none)	1-13

国際調査報告		国際出版番号 PCT/JPO2/12121
A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H04L7/00		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H04L7/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996年		
日本国公開実用新案公報 1971-2003年		
日本国実用新案登録公報 1996-2003年		
日本国登録実用新案公報 1994-2003年		
国際調査で利用した電子データベース (データベースの名称、調査に利用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-196571 A (株式会社日立製作所) 2000.07.14, 第1図とその説明 (ファミリーなし)	1-3, 9, 13
Y		4-8
A		10-12
Y	JP 3-145818 A (ノーザン・テレコム・リミテッド) 1991.06.21, 第1図、第5図とそれらの説明 &US 5081655 A &CA 2001266 A	4-8
<input checked="" type="checkbox"/> C欄の読きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー		
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
「L」 発明の発明主権を擁護する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		
「O」 口頭による開示、使用、展示等に言及する文献		
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献		
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの		
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの		
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの		
「&」 同一パテントファミリー文献		
国際調査を完了した日	18.02.03	国際調査報告の発送日 04.03.03
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JJP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 阿部 弘	5K 9382 電話番号 03-3581-1101 内線 3555

国際調査報告		国際出願番号 PCT/JP02/12121
C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-101554 A (松下電器産業株式会社) 2000.04.07, 第4図、第5図とそれらの説明 (ファミリーなし)	5
X	JP 9-247140 A (三菱電機株式会社) 1997.09.19, 第4図とその説明 (ファミリーなし)	10-13
A		1-9
A	JP 2000-151372 A (沖電気工業株式会社) 2000.05.30, 全文を参照 (ファミリーなし)	1-13
A	JP 11-355258 A (株式会社日立製作所) 1999.12.24, 全文を参照 (ファミリーなし)	1-13
A	JP 11-355130 A (日本電信電話株式会社) 1999.12.24, 全文を参照 (ファミリーなし)	1-13

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。