

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/201817 A1

- (51) 国際特許分類:  
H03K 17/16 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2022/002347
- (22) 国際出願日: 2022年1月24日(24.01.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2021-046862 2021年3月22日(22.03.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 山田 克明 (YAMADA Katsuaki);  
〒6158585 京都府京都市右京区西院溝崎町 2 1

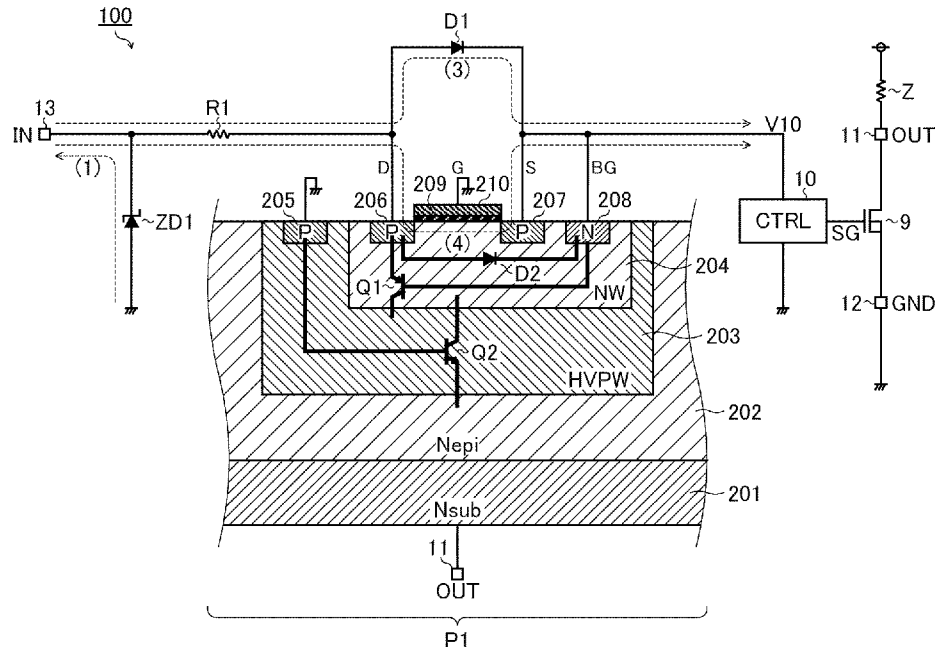
番地 ローム株式会社内 Kyoto (JP). 高橋 俊太郎 (TAKAHASHI Shuntaro); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 今村 夢我 (IMAMURA Muga); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪府中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: SWITCH DEVICE, ELECTRONIC INSTRUMENT, AND VEHICLE

(54) 発明の名称: スイッチ装置、電子機器、車両



(57) Abstract: A switch device 1 comprises: an N-type semiconductor substrate 201; a power MISFET 9 having the N-type semiconductor substrate 201 as a drain; an input electrode 13 which accepts an input signal IN; a control circuit 10 which generates a gate control signal SG for the power MISFET 9 in accordance with the input signal IN; and a negative current preventing circuit 100 provided between the input electrode 13 and the control circuit 10. The negative current preventing circuit 100 includes: a P-channel type MISFET P1 which is connected between the input electrode 13 and the

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

control circuit 10 with a drain on the input electrode 13 side and a source and a back gate both on the control circuit 10 side, a constant potential being applied to a gate, and the potential of the back gate being separated from the potential of the N-type semiconductor substrate 201; and a diode D1 connected between the input electrode 13 and the control circuit 10 with an anode on the input electrode 13 side and a cathode on the control circuit 10 side.

(57) 要約：スイッチ装置 1 は、N 型半導体基板 201 と、N 型半導体基板 201 をドレインとするパワー MOSFET 9 と、入力信号 IN を受け付ける入力電極 13 と、入力信号 IN に応じてパワー MOSFET 9 のゲート制御信号 SG を生成する制御回路 10 と、入力電極 13 と制御回路 10 との間に設けられた負電流防止回路 100 と、を有する。負電流防止回路 100 は、ドレインを入力電極 13 側としソース及びバックゲートをいずれも制御回路 10 側として入力電極 13 と制御回路 10 との間に接続されて、ゲートに定電位が印加されて、バックゲートの電位が N 型半導体基板 201 の電位から分離された P チャネル型 MOSFET 1 と、アノードを入力電極 13 側としカソードを制御回路 10 側として入力電極 13 と制御回路 10 との間に接続されたダイオード D1 と、を含む。

## 明 細 書

発明の名称：スイッチ装置、電子機器、車両

### 技術分野

[0001] 本明細書中に開示されている発明は、スイッチ装置、及び、これを用いた電子機器並びに車両に関する。

### 背景技術

[0002] 本願出願人は、車載IPD [intelligent power device] などのスイッチ装置に関してこれまでに数多くの新技術を提案している（例えば特許文献1を参照）。

### 先行技術文献

### 特許文献

[0003] 特許文献1：国際公開第2017／187785号

### 発明の概要

### 発明が解決しようとする課題

[0004] しかしながら、従来のスイッチ装置では、負電流防止機能についてさらなる検討の余地があった。

[0005] 本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、負電流の発生を防止することのできるスイッチ装置、及び、これを用いた電子機器並びに車両を提供することを目的とする。

### 課題を解決するための手段

[0006] 例えば、本明細書中に開示されているスイッチ装置は、N型半導体基板と、前記N型半導体基板をドレインとするように構成されたパワーMISFETと、入力信号を受け付けるように構成された入力電極と、前記入力信号に応じて前記パワーMISFETのゲート制御信号を生成するように構成された制御回路と、前記入力電極と前記制御回路との間に設けられて前記入力電極に向かう負電流を防止するように構成された負電流防止回路と、を有し、前記負電流防止回路は、ドレインを前記入力電極側としソース及びバックゲ

ートをいずれも前記制御回路側として前記入力電極と前記制御回路との間に接続されて、ゲートに定電位が印加されて、前記バックゲートの電位が前記N型半導体基板の電位から分離されるように構成されたPチャネル型MISFETと、アノードを前記入力電極側としカソードを前記制御回路側として前記入力電極と前記制御回路との間に接続されるように構成されたダイオードと、を含む。

[0007] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

### 発明の効果

[0008] 本明細書中に開示されている発明によれば、負電流の発生を防止することができるスイッチ装置、及び、これを用いた電子機器並びに車両を提供することが可能となる。

### 図面の簡単な説明

[0009] [図1]図1は、半導体装置を1つの方向から見た斜視図である。  
[図2]図2は、半導体装置の電氣的構造を示すブロック回路図である。  
[図3]図3は、半導体装置の通常動作及びアクティブクランプ動作を説明するための回路図である。  
[図4]図4は、主要な電気信号の波形図である。  
[図5]図5は、負電流防止回路の比較例を示す図である。  
[図6]図6は、負電流防止回路の第1実施形態を示す図である。  
[図7]図7は、Pチャネル型MISFETの素子構造を示す図である。  
[図8]図8は、負電流防止回路の動作例を示す図である。  
[図9]図9は、ラッチアップの検証結果を示す図である。  
[図10]図10は、負電流防止回路の第2実施形態を示す図である。  
[図11]図11は、ゲート制御回路の接続例を示す図である。  
[図12]図12は、正常起動時の動作例を示す図である。  
[図13]図13は、起動不良時の動作例を示す図である。

[図14]図14は、チャネル幅とボディダイオード電流との関係を示す図である。

[図15]図15は、車両の一構成例を示す外観図である。

### 発明を実施するための形態

#### [0010] <半導体装置>

以下では、添付図面を参照して、半導体装置に関する種々の実施形態を説明する。

[0011] 図1は、半導体装置1を1つの方向から見た斜視図である。以下では、半導体装置1がローサイド側のスイッチ装置（いわゆるローサイドスイッチLSI）である形態例について説明する。

[0012] 図1を参照して、半導体装置1は、半導体層2を含む。半導体層2はシリコンを含む。半導体層2は、直方体形状のチップ状に形成されている。半導体層2は、一方側の第1主面3、他方側の第2主面4、並びに、第1主面3および第2主面4を接続する側面5A、5B、5C、5Dを有している。

[0013] 第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。側面5Aおよび側面5Cは、第1方向Xに沿って延び、第1方向Xに交差する第2方向Yに互いに対向している。側面5Bおよび側面5Dは、第2方向Yに沿って延び、第1方向Xに互いに対向している。第2方向Yは、より具体的には、第1方向Xに直交している。

[0014] 半導体層2には、出力領域6および入力領域7が設定されている。出力領域6は、側面5C側の領域に設定されている。入力領域7は、側面5A側の領域に設定されている。平面視において、出力領域6の面積 $S_{OUT}$ は、入力領域7の面積 $S_{IN}$ 以上である（ $S_{IN} \leq S_{OUT}$ ）。

[0015] 面積 $S_{IN}$ に対する面積 $S_{OUT}$ の比 $S_{OUT}/S_{IN}$ は、1以上10以下であってもよい（ $1 < S_{OUT}/S_{IN} \leq 10$ ）。比 $S_{OUT}/S_{IN}$ は、1以上2以下、2以上4以下、4以上6以下、6以上8以下、または、8以上10以下であってもよい。入力領域7の平面形状および出力領域6の平

面形状は、任意であり、特定の形状に限定されない。むしろ、比 $SOUT/SIN$ は、0を超えて1未満であってもよい。

[0016] 出力領域6は、絶縁ゲート型のパワートランジスタの一例として、パワーMISFET [Metal Insulator Semiconductor Field Effect Transistor] 9を含む。パワーMISFET 9は、ゲート、ドレインおよびソースを含む。

[0017] 入力領域7は、パワーMISFET 9を制御する制御回路の一例として、コントローラ10を含む。コントローラ10は、種々の機能を実現する複数種の機能回路を含む。複数種の機能回路は、外部からの電気信号に基づいてパワーMISFET 9を駆動制御するゲート制御信号SGを生成する回路を含む。コントローラ10は、パワーMISFET 9とともに所謂IPD [Intelligent Power Device] を形成している。なお、IPDは、IPM [Intelligent Power Module] とも称される。

[0018] 入力領域7は、領域分離構造8によって出力領域6から電氣的に絶縁されている。図1では、領域分離構造8がハッチングによって示されている。具体的な説明は省略するが、領域分離構造8は、トレンチに絶縁体が埋め込まれたトレンチ絶縁構造を有してもよい。

[0019] 半導体層2の上には、複数（この形態では3つ）の電極11, 12, 13が形成されている。図1では、ハッチングによって複数の電極11~13が示されている。複数の電極11~13は、導線（たとえばボンディングワイヤ）等によって外部接続される端子電極として形成されている。複数の電極11~13の個数、配置及び平面形状は任意であり、図1に示される形態に限定されない。

[0020] 複数の電極11~13の個数、配置及び平面形状は、パワーMISFET 9の及びコントローラ10それぞれの仕様に応じて調整される。複数の電極11~13は、この形態では、ドレイン電極11（出力電極）、ソース電極12（基準電圧電極）及び入力電極13を含む。

[0021] ドレイン電極11は、半導体層2の第2主面4の上に形成されている。ド

レイン電極 11 は、パワー M I S F E T 9 によって生成された電気信号を外部に伝達する。

[0022] ドレイン電極 11 は、T i 層、N i 層、A u 層、A g 層および A l 層のうちの少なくとも 1 つを含んでいてもよい。ドレイン電極 11 は、T i 層、N i 層、A u 層、A g 層または A l 層を含む単層構造を有していてもよい。ドレイン電極 11 は、T i 層、N i 層、A u 層、A g 層および A l 層のうちの少なくとも 2 つを任意の態様で積層させた積層構造を有していてもよい。

[0023] ソース電極 12 は、第 1 主面 3 において出力領域 6 の上に形成されている。ソース電極 12 は、パワー M I S F E T 9 及びコントローラ 10 の各種機能回路に基準電圧（たとえばグラウンド電圧）を提供する。

[0024] 入力電極 13 は、第 1 主面 3 において入力領域 7 の上に形成されている。入力電極 13 は、コントローラ 10 を駆動するための入力電圧を伝える。

[0025] 半導体層 2 の上には、制御配線の一例としてのゲート制御配線 17 がさらに形成されている。ゲート制御配線 17 は、出力領域 6 及び入力領域 7 に選択的に引き回されている。ゲート制御配線 17 は、出力領域 6 においてパワー M I S F E T 9 のゲートに電氣的に接続され、入力領域 7 においてコントローラ 10 に電氣的に接続されている。

[0026] ゲート制御配線 17 は、コントローラ 10 によって生成されたゲート制御信号 S G をパワー M I S F E T 9 のゲートに伝達する。ゲート制御信号 S G は、オン信号 V o n 及びオフ信号 V o f f を含み、パワー M I S F E T 9 のオン状態及びオフ状態を制御する。

[0027] オン信号 V o n は、パワー M I S F E T 9 のゲート閾値電圧 V t h よりも高い ( $V t h < V o n$ )。オフ信号 V o f f は、パワー M I S F E T 9 のゲート閾値電圧 V t h よりも低い ( $V o f f < V t h$ )。オフ信号 V o f f は、基準電圧（たとえばグラウンド電圧）であってもよい。

[0028] この形態では、2 つのゲート制御配線 17 が異なる領域に引き回されている。ゲート制御配線 17 の個数、配置、形状等は任意であり、ゲート制御信号 S G の伝達距離、及び、伝達すべきゲート制御信号 S G の分岐経路等に応

じて調整される。

- [0029] ソース電極 12、入力電極 13 及びゲート制御配線 17 は、ニッケル、パラジウム、アルミニウム、銅、アルミニウム合金及び銅合金のうちの少なくとも 1 種をそれぞれ含んでいてもよい。
- [0030] ソース電極 12、入力電極 13 及びゲート制御配線 17 は、Al-Si-Cu（アルミニウム-シリコン-銅）合金、Al-Si（アルミニウム-シリコン）合金、及び、Al-Cu（アルミニウム-銅）合金のうちの少なくとも 1 種をそれぞれ含んでいてもよい。
- [0031] ソース電極 12、入力電極 13 及びゲート制御配線 17 は、同一種の電極材料を含んでいてもよいし、互いに異なる電極材料を含んでいてもよい。
- [0032] 図 2 は、図 1 に示す半導体装置 1 の電氣的構造を示すブロック回路図である。以下では半導体装置 1 が車両に搭載される場合を例にとって説明する。
- [0033] 半導体装置 1 は、出力電極としてのドレイン電極 11、基準電圧電極としてのソース電極 12、入力電極 13、ゲート制御配線 17、パワー M I S F E T 9 およびコントローラ 10 を含む。
- [0034] ドレイン電極 11 は、パワー M I S F E T 9 のドレインに電氣的に接続されている。ドレイン電極 11 は、負荷に接続される。ソース電極 12 は、パワー M I S F E T 9 のソースに電氣的に接続されている。ソース電極 12 は、パワー M I S F E T 9 およびコントローラ 10 に基準電圧（例えば接地電圧 GND）を提供する。
- [0035] 入力電極 13 は、MCU [Micro Controller Unit]、DC/DC コンバータ、LDO [Low Drop Out] 等に接続されてもよい。入力電極 13 は、コントローラ 10 に入力電圧を提供する。なお、入力電極 13 に入力される入力電圧は、パワー M I S F E T 9 のオン/オフ制御を行うための入力信号 IN として理解することもできる。例えば、パワー M I S F E T 9 は、入力信号 IN がハイレベルであるときにオンし、入力信号 IN がローレベルであるときにオフする。パワー M I S F E T 9 のゲートは、先出のゲート制御配線 17 を介してコントローラ 10（特に、後述のゲート制御回路 25）に接

続されている。

[0036] コントローラ 10 は、この形態では、電流・電圧制御回路 23、保護回路 24、ゲート制御回路 25 およびアクティブクランプ回路 26 を含む。

[0037] 電流・電圧制御回路 23 は、ソース電極 12、入力電極 13、保護回路 24 およびゲート制御回路 25 に接続されている。電流・電圧制御回路 23 は、入力電極 13 からの電気信号および保護回路 24 からの電気信号に応じて種々の電流及び電圧を生成する。電流・電圧制御回路 23 は、この形態では、定電圧生成回路 32 および基準電圧・基準電流生成回路 33 を含む。

[0038] 定電圧生成回路 32 は、半導体装置 1 に集積化された各種回路を駆動するための定電圧  $V_{REG}$  を生成する。定電圧生成回路 32 は、ツェナーダイオードまたはレギュレータ回路を含んでいてもよい。定電圧  $V_{REG}$  は、1 V 以上 5 V 以下であってもよい。定電圧  $V_{REG}$  は、例えば保護回路 24 に入力される。

[0039] 基準電圧・基準電流生成回路 33 は、半導体装置 1 に集積化された各種回路の基準電圧  $V_{REF}$  及び基準電流  $I_{REF}$  を生成する。基準電圧  $V_{REF}$  は、1 V 以上 5 V 以下であってもよい。基準電流  $I_{REF}$  は、1 mA 以上 1 A 以下であってもよい。基準電圧  $V_{REF}$  及び基準電流  $I_{REF}$  は、例えば保護回路 24 に入力される。上記の各種回路がコンパレータを含む場合、基準電圧  $V_{REF}$  及び基準電流  $I_{REF}$  は、当該コンパレータに入力されてもよい。

[0040] 保護回路 24 は、電流・電圧制御回路 23、ゲート制御回路 25 およびパワー M I S F E T 9 のソースに接続されている。保護回路 24 は、過電流保護回路 34 および過熱保護回路 36 を含む。

[0041] 過電流保護回路 34 は、過電流からパワー M I S F E T 9 を保護する。過電流保護回路 34 は、ゲート制御回路 25 に接続されている。過電流保護回路 34 は、電流モニタ回路を含んでいてもよい。過電流保護回路 34 によって生成された信号は、ゲート制御回路 25 に入力される。

[0042] 過熱保護回路 36 は、過度な温度上昇からパワー M I S F E T 9 を保護す

る。過熱保護回路 36 は、電流・電圧制御回路 23 に接続されている。過熱保護回路 36 は、半導体装置 1 の温度を監視する。過熱保護回路 36 は、感温ダイオードまたはサーミスタ等の感温デバイスを含んでいてもよい。過熱保護回路 36 によって生成された信号は、電流・電圧制御回路 23 に入力される。

[0043] ゲート制御回路 25 は、パワー M I S F E T 9 のオン状態およびオフ状態を制御する。ゲート制御回路 25 は、電流・電圧制御回路 23、保護回路 24、パワー M I S F E T 9 のゲートに接続されている。

[0044] ゲート制御回路 25 は、電流・電圧制御回路 23 からの電気信号及び保護回路 24 からの電気信号に応じてパワー M I S F E T 9 のゲート制御信号 S<sub>G</sub> を生成する。ゲート制御信号 S<sub>G</sub> は、ゲート制御配線 17 を介してパワー M I S F E T 9 のゲートに入力される。

[0045] アクティブクランプ回路 26 は、逆起電力からパワー M I S F E T 9 を保護する。アクティブクランプ回路 26 は、ドレイン電極 11、パワー M I S F E T 9 のゲートに接続されている。アクティブクランプ回路 26 は、複数のダイオードを含んでいてもよい。

[0046] アクティブクランプ回路 26 は、互いに順バイアス接続された複数のダイオードを含んでいてもよい。アクティブクランプ回路 26 は、互いに逆バイアス接続された複数のダイオードを含んでいてもよい。アクティブクランプ回路 26 は、互いに順バイアス接続された複数のダイオード、および、互いに逆バイアス接続された複数のダイオードを含んでいてもよい。

[0047] 複数のダイオードは、p n 接合ダイオード、または、ツェナーダイオード、もしくは、p n 接合ダイオードおよびツェナーダイオードを含んでいてもよい。アクティブクランプ回路 26 は、互いにバイアス接続された複数のツェナーダイオードを含んでいてもよい。アクティブクランプ回路 26 は、互いに逆バイアス接続されたツェナーダイオードおよび p n 接合ダイオードを含んでいてもよい。

[0048] 図 3 は、図 1 に示す半導体装置 1 の通常動作およびアクティブクランプ動

作を説明するための回路図である。また、図4は、図3に示す回路図に適用される主要な電気信号の波形図である。

[0049] ここでは、パワーMISFET9のドレインに誘導性負荷Lが接続された回路例を用いて、半導体装置1の通常動作およびアクティブクランプ動作を説明する。ソレノイド、モータ、トランス、リレー等の巻線（コイル）を利用したデバイスが、誘導性負荷Lとして例示される。誘導性負荷Lは、L負荷とも称される。

[0050] 図3を参照して、パワーMISFET9のソースは、グラウンドに接続されている。パワーMISFET9のドレインは、誘導性負荷Lに電氣的に接続されている。パワーMISFET9のゲートおよびドレインは、アクティブクランプ回路26に接続されている。パワーMISFET9のゲートおよびソースは、抵抗Rに接続されている。アクティブクランプ回路26は、この回路例では、互いにバイアス接続されたk個（kは自然数）のツェナーダイオードDZを含む。

[0051] 図3と図4を参照し、オフ状態のパワーMISFET9のゲートにオン信号V<sub>on</sub>が入力されると、パワーMISFET9がオフ状態からオン状態に切り替わる（通常動作）。オン信号V<sub>on</sub>は、ゲート閾値電圧V<sub>th</sub>以上（ $V_{th} \leq V_{on}$ ）の電圧を有している。パワーMISFET9は、所定のオン時間T<sub>ON</sub>だけ、オン状態に維持される。

[0052] パワーMISFET9がオン状態に切り替わると、ドレイン電流I<sub>D</sub>が、パワーMISFET9のドレインからソースに向けて流れ始める。ドレイン電流I<sub>D</sub>は、パワーMISFET9のオン時間T<sub>ON</sub>に比例して増加する。誘導性負荷Lは、ドレイン電流I<sub>D</sub>の増加に起因して誘導性エネルギーを蓄積させる。

[0053] パワーMISFET9のゲートにオフ信号V<sub>off</sub>が入力されると、パワーMISFET9がオン状態からオフ状態に切り替わる。オフ信号V<sub>off</sub>は、ゲート閾値電圧V<sub>th</sub>未満の電圧（ $V_{off} < V_{th}$ ）を有している。オフ信号V<sub>off</sub>は、基準電圧（たとえばグラウンド電圧）であってもよい。

パワーM I S F E T 9がオフ状態に切り替わると、誘導性負荷Lの誘導性エネルギーが、逆起電力としてパワーM I S F E T 9に印加される。

[0054] これにより、パワーM I S F E T 9がアクティブクランプ状態になる（アクティブクランプ動作）。パワーM I S F E T 9がアクティブクランプ状態になると、ドレイン電圧V D Sが、クランプ電圧V D S S C Lまで急激に上昇する。

[0055] クランプ電圧V D S S C Lが最大定格ドレイン電圧V D S Sを超えた場合（ $V D S S < V D S S C L$ ）、パワーM I S F E T 9は破壊に至る。パワーM I S F E T 9は、クランプ電圧V D S S C Lが最大定格ドレイン電圧V D S S以下（ $V D S S C L \leq V D S S$ ）になるように設計される。

[0056] クランプ電圧V D S S C Lが最大定格ドレイン電圧V D S S以下の場合（ $V D S S C L \leq V D S S$ ）、逆方向電流I Zが、アクティブクランプ回路26に流れる。これにより、アクティブクランプ回路26の端子間に制限電圧V Lが形成される。制限電圧V Lは、この形態では、アクティブクランプ回路26におけるツェナーダイオードD Zの端子間電圧V Zの総和（ $V L = k \cdot V Z$ ）である。

[0057] また、逆方向電流I Zは、抵抗Rを通過してグランドに至る。これにより、抵抗Rの端子間に端子間電圧V Rが形成される。抵抗Rの端子間電圧V R（ $= I Z \times R$ ）は、ゲート閾値電圧V t h以上（ $V t h \leq V R$ ）に調整される。端子間電圧V Rは、クランプオン電圧V C L PとしてパワーM I S F E T 9のゲート・ソース間に印加される。従って、パワーM I S F E T 9は、アクティブクランプ状態においてオン状態を維持する。クランプオン電圧V C L P（端子間電圧V R）は、オン信号V o n未満の電圧を有していてもよい。

[0058] これにより、誘導性負荷Lの誘導性エネルギーが、パワーM I S F E T 9で消費（吸収）される。ドレイン電流I Dは、アクティブクランプ時間T A Vを経て、パワーM I S F E T 9のオフ直前のピーク値I A Vからゼロに減少する。これにより、ゲート電圧V G Sがグランド電圧になり、ドレイン電圧

$V_{DS}$ が電源電圧 $V_B$ になり、パワーMISFET 9がオン状態からオフ状態に切り替わる。

[0059] <負電流に関する考察>

ところで、先出の入力電極13が何らかの要因により負電位になると、半導体装置1の内部から入力電極13に向けた負電流が流れ得る。従って、入力電極13に外部接続されるECU [electronic control unit]などを保護するためには、上記の負電流を未然に防止する必要がある。

[0060] 特に、大電流供給能力（延いては低オン抵抗）を求められる半導体装置1では、パワーMISFET 9の素子構造として、一般に、N型半導体基板をドレイン電極11（＝出力電極）とする縦型構造を採用することが多い。この場合、先にも説明したように、L 負荷接続時のアクティブクランプ動作によりドレイン電圧 $V_{DS}$ がクランプ電圧 $V_{DSSCL}$ （数十V）まで急激に上昇するので、N型半導体基板から入力電極13に向けて大きな負電流が流れるおそれがある。

[0061] 以下では、負電流の発生を防止することのできる負電流防止回路について説明する。

[0062] <負電流防止回路（比較例）>

図5は、半導体装置1に実装される負電流防止回路の比較例（＝後出の実施形態と対比される一般的な構成例）を示す図である。

[0063] 本比較例の負電流防止回路100は、ダイオードD0（ポリシリコンダイオードなど）を含む。ダイオードD0のアノードは、入力信号INを受け付けるための入力電極13に接続されている。ダイオードD0のカソードは、コントローラ10の電源ノード（入力電圧 $V_{10}$ の印加端）に接続されている。コントローラ10は、入力信号INに応じてパワーMISFET 9のゲート制御信号SGを生成する制御回路の一例である。

[0064] 本比較例の負電流防止回路100によれば、入力電極13が負電位となったときにダイオードD0が逆バイアスとなる。従って、入力電極13に向かう負電流の発生を防止することができる。

[0065] しかしながら、本比較例の負電流防止回路100では、定常時において入力電極13からコントローラ10に供給される入力電圧 $V_{10}$ がダイオードD0の順方向降下電圧 $V_f(D0)$ だけ低下してしまう( $V_{10} = I_N - V_f(D0)$ )。

[0066] 例えば、入力電圧 $V_{10}$ をゲート制御信号SGのハイレベルとして利用する場合には、入力電圧 $V_{10}$ が低いほどパワーMISFET9のオン抵抗が高くなる。また、入力電圧 $V_{10}$ を内部電源電圧として利用する場合には、入力電圧 $V_{10}$ の供給を受けて動作する内部回路（基準電圧源、オペアンプ、及び、コンパレータなど）の動作ダイナミックレンジが狭くなる。

[0067] 以下では、このような不具合を解消することのできる新規な実施形態を提案する。

[0068] <負電流防止回路（第1実施形態）>

図6は、負電流防止回路の第1実施形態を示す図である。第1実施形態の負電流防止回路100は、入力電極13とコントローラ10との間に設けられて入力電極13に向かう負電流を防止するための回路ブロックであり、Pチャネル型MISFET P1（以下ではトランジスタP1と略称する）と、ダイオードD1と、抵抗R1と、を含む。

[0069] 抵抗R1の第1端は、入力電極13に接続されている。抵抗R1の第2端は、トランジスタP1のドレインとダイオードD1のアノードに接続されている。トランジスタP1のソース及びバックゲートとダイオードD1のカソードは、いずれもコントローラ10の電源ノード（＝入力電圧 $V_{10}$ の印加端）に接続されている。トランジスタP1のゲートはソース電極12（＝接地端に相当）に接続されている。

[0070] このように、トランジスタP1は、ドレインを入力電極13側とし、ソース及びバックゲートをいずれもコントローラ10側として、入力電極13とコントローラ10との間に接続されている。また、ダイオードD1は、アノードを入力電極13側とし、カソードをコントローラ10側として、入力電極13とコントローラ10との間に接続されている。なお、トランジスタP

1 のゲートには、定電位（接地電位）が印加されている。

[0071] また、入力電極 13 とコントローラ 10 との間（本図ではトランジスタ P1 及びダイオード D1 よりも入力電極 13 に近い上流側）には、電流制限抵抗として機能する抵抗 R1 が設けられている。従って、仮に入力電極 13 に向かう負電流が発生しても、その負電流が過大とならないように制限を掛けることができる。なお、抵抗 R1 の抵抗値は、定常時に抵抗 R1 の両端間で生じる電圧降下を抑えるために数百  $\Omega$  ~ 1 k  $\Omega$  に設定するとよい。

[0072] さらに、半導体装置 1 は、入力電極 13 とソース電極 12 との間に、静電破壊保護素子として機能するツェナダイオード ZD1 を有する。なお、ツェナダイオード ZD1 のカソードは、入力電極 13 に接続されている。また、ツェナダイオード ZD1 のアノードは、ソース電極に接続されている。このような構成であれば、入力電極 13 に過大な正サージが印加されても、ツェナダイオード ZD1 の降伏電圧を上限として正サージの内部伝播をクランプすることができるので、半導体装置 1 の故障などを防止することが可能となる。

[0073] <トランジスタ P1 の素子構造>

図 7 は、トランジスタ P1 の素子構造を示す図である。パワー M I S F E T 9 の素子構造として、N 型半導体基板 201 をドレイン電極 11（＝出力電極）とする縦型構造を採用した場合には、トランジスタ P1 も N 型半導体基板 201 上に形成されることになる。

[0074] 本図に即して具体的に述べると、トランジスタ P1 は、N 型半導体基板 201 と、N 型エピタキシャル層 202 と、高耐圧 P 型ウェル 203 と、N 型ウェル 204 と、P 型コンタクト領域 205 と、ドレイン領域 206 と、ソース領域 207 と、N 型コンタクト領域 208 と、ゲート絶縁層 209 と、ゲートメタル層 210 と、を含む。

[0075] N 型半導体基板 201 は、先にも述べたように、パワー M I S F E T 9 のドレイン電極 11 と電氣的に導通している。

[0076] N 型エピタキシャル層 202 は、N 型半導体基板 201 の表面一面に積層

形成されたN型半導体領域である。

[0077] 高耐圧P型ウェル203は、N型エピタキシャル層202の一部領域における表面から所定の深さまで井戸状に形成されたP型半導体領域である。なお、高耐圧P型ウェル203は、P型コンタクト領域205を介して定電位端（例えば接地端）に接続されている。従って、高耐圧P型ウェル203は、N型半導体基板201及びN型エピタキシャル層202の電位とN型ウェル204の電位を分離するための電位分離層として機能する。

[0078] N型ウェル204は、高耐圧P型ウェル203の一部領域における表面から所定の深さまで井戸状に形成されたN型半導体領域である。なお、N型ウェル204は、トランジスタP1のバックゲートに相当し、N型コンタクト領域208を介してコントローラ10の電源ノード（＝入力電圧V10の印加端）に接続されている。また、N型ウェル204とN型エピタキシャル層202との間には、先出の高耐圧P型ウェル203が介在する。従って、トランジスタP1のバックゲートの電位は、N型半導体基板201及びN型エピタキシャル層202の電位から分離されている。

[0079] P型コンタクト領域205は、高耐圧P型ウェル203の表面のうち、N型ウェル204が形成されていない領域に形成された高濃度P型半導体領域である。なお、P型コンタクト領域205は、定電位端（例えば接地端）に接続されている。

[0080] ドレイン領域206は、N型ウェル204の表面に形成された高濃度P型半導体領域である。なお、ドレイン領域206は、トランジスタP1のドレインに相当し、ダイオードD1のアノードと共に抵抗R1を介して入力電極13に接続されている。

[0081] ソース領域207は、N型ウェル204の表面において、ドレイン領域206から所定のチャネル長を隔てて形成された高濃度P型半導体領域である。なお、ソース領域207は、トランジスタP1のソースに相当し、ダイオードD1のカソードと共にコントローラ10の電源ノード（＝入力電圧V10の印加端）に接続されている。

- [0082] N型コンタクト領域208は、N型ウェル204の表面に形成された高濃度N型半導体領域である。なお、N型コンタクト領域208は、先にも述べたように、コントローラ10の電源ノード（＝入力電圧V10の印加端）に接続されている。
- [0083] ゲート絶縁層209は、ドレイン領域206とソース領域207との間を隔てるチャネル領域の表面上に形成されている。
- [0084] ゲートメタル層210は、ゲート絶縁層209の表面上に形成されている。なお、ゲートメタル層210は、トランジスタP1のゲートに相当し、定電位端（例えば接地端）に接続されている。
- [0085] また、上記の素子構造を持つトランジスタP1には、pnp型の寄生トランジスタQ1及びnpn型の寄生トランジスタQ2が付随する。寄生トランジスタQ1は、ドレイン領域206をエミッタとし、高耐圧P型ウェル203をコレクタとし、N型ウェル204及びN型コンタクト領域208をベースとする。寄生トランジスタQ2は、N型ウェル204をコレクタとし、N型エピタキシャル層202をエミッタとし、高耐圧P型ウェル203及びP型コンタクト領域205をベースとする。これらの寄生トランジスタQ1及びQ2は、pnpn型の寄生サイリスタを形成する。
- [0086] さらに、トランジスタP1には、ボディダイオードD2も付随している。なお、先にも述べたように、トランジスタP1のバックゲートは、入力電極13側のドレイン領域206ではなく、コントローラ10側のソース領域207と短絡されている。すなわち、一般的なPチャネル型MISFETでは、そのバックゲートが高電位ノード（本図に即して言えばドレイン領域206）に短絡されるところ、トランジスタP1では、そのバックゲートが低電位ノード（本図に即して言えばソース領域207）に短絡されている。従って、ボディダイオードD2は、ドレイン領域206をアノードとし、N型ウェル204及びN型コンタクト領域208をカソードとして、トランジスタP1に寄生する。

[0087] <動作例>

図8は、負電流防止回路100の一動作例を示す図である。本図中の実線は、入力電極13に印加される入力信号INを示しており、本図中の破線は、コントローラ10の電源ノードに印加される入力電圧V10を示している。なお、本図では、紙面左から右に向かう時間の経過とともに、入力信号INが負電位から正電位まで上昇した後、再び正電位から負電位まで低下する挙動を示している。

[0088] 以下では、トランジスタP1のオン閾値電圧を $V_{th}(P1)$ とし、寄生トランジスタQ1のオン閾値電圧（延いては寄生サイリスタのオン閾値電圧）を $V_{th}(Q1)$ とし、トランジスタP1のドレイン・ソース間電圧を $V_{ds}(P1)$ とし、ダイオードD1の順方向降下電圧を $V_f(D1)$ とし、ツェナダイオードZD1の順方向降下電圧を $V_f(ZD1)$ として説明する。

[0089] また、ダイオードD1の順方向降下電圧 $V_f(D1)$ は、トランジスタP1及び寄生トランジスタQ1それぞれのオン閾値電圧 $V_{th}(P1)$ 及び $V_{th}(Q1)$ よりも低いものとする。また、トランジスタP1のドレイン・ソース間電圧 $V_{ds}(P1)$ は、ダイオードD1の順方向降下電圧 $V_f(D1)$ よりも十分に低いものとする。

[0090] 期間（1）（時刻 $t_{11}$ 以前、及び、時刻 $t_{16}$ 以降）では、 $IN \leq -V_f(ZD1)$ となっている。このとき、負電流防止回路100では、トランジスタP1がオフとなり、ダイオードD1及びボディダイオードD2がいずれも逆バイアスとなる。従って、コントローラ10から入力電極13に向けて負電流が流れることはない。また、トランジスタP1のソース及びバックゲート（＝入力電圧V10の印加端）は、接地電位（0V）にプルダウンされる（図11の抵抗R2を参照）。なお、期間（1）では、接地端からツェナダイオードZD1を介して入力電極13に向かう電流経路（図7の破線矢印（1）を参照）には負電流が流れるが、これは特段の問題とならない。

[0091] 期間（2）（時刻 $t_{11} \sim t_{12}$ 及び時刻 $t_{15} \sim t_{16}$ ）では、 $-V_f(ZD1) < IN \leq V_f(D1)$ となっている。このとき、負電流防止回路

100では、期間（１）と同じく、トランジスタP1がオフとなり、ダイオードD1及びボディダイオードD2がいずれも逆バイアスとなる。従って、コントローラ10から入力電極13に向けて負電流が流れることはない。また、トランジスタP1のソース及びバックゲートは、期間（１）と同様、接地電位（0V）にプルダウンされる。なお、期間（２）では、ツェナダイオードZD1も逆バイアスとなるので、ツェナダイオードZD1を介する負電流も流れない。

[0092] 期間（３）（時刻 $t_{12}$ ～ $t_{13}$ 及び時刻 $t_{14}$ ～ $t_{15}$ ）では、 $V_f(D1) < I_N \leq V_{th}(P1)$ となっている。このとき、負電流防止回路100では、トランジスタP1がオフしたまま、ダイオードD1が順バイアスとなるので、入力電極13からダイオードD1を介してコントローラ10に向かう電流経路（図7の破線矢印（３）を参照）に正電流が流れる。その結果、入力電圧 $V_{10}$ は、入力信号 $I_N$ よりもダイオードD1の順方向降下電圧 $V_f(D1)$ だけ低い値（ $= I_N - V_f(D1)$ ）となる。

[0093] 期間（４）（時刻 $t_{13}$ ～ $t_{14}$ ）では、 $V_{th}(P1) < I_N$ となっている。このとき、負電流防止回路100では、トランジスタP1がオンとなるので、入力電極13からトランジスタP1を介してコントローラ10に向かう電流経路（図7の破線矢印（４）を参照）に正電流が流れる。その結果、入力電圧 $V_{10}$ は、入力信号 $I_N$ よりもトランジスタP1のドレイン・ソース間電圧 $V_{ds}(P1)$ だけ低い値（ $= I_N - V_{ds}(P1)$ ）となる。一般に、ダイオードD1の順方向降下電圧 $V_f(D1)$ は、数百mV（0.6～0.7V程度）である。これに対して、トランジスタP1のドレイン・ソース間電圧 $V_{ds}(P1)$ は、数十mV（0.02～0.07V程度）である。従って、負電流防止回路100における電圧降下を大幅に改善し、入力電圧 $V_{10}$ としてほぼ入力信号 $I_N$ をそのまま後段のコントローラ10に供給することができるようになる。

[0094] <ダイオードD1の役割>

次に、ダイオードD1をトランジスタP1に並列接続した理由について説

明する。先にも述べたように、トランジスタP1には、pnpn型の寄生サイリスタ（すなわち、寄生トランジスタQ1及びQ2）が付随している。そのため、入力信号INのハイレベル投入時にトランジスタP1がオンするまで入力電圧V10のプルダウンが維持されると、寄生トランジスタQ1のベース・エミッタ間にオン閾値電圧 $V_{th}(Q1)$ 以上の電位差が生じ、上記の寄生サイリスタがオンしてしまうおそれがある。

[0095] 一方、ダイオードD1をトランジスタP1に並列接続しておけば、寄生トランジスタQ1のベース・エミッタ間に生じる電位差をダイオードD1の順方向降下電圧 $V_f$ でクランプすることができる。従って、ダイオードD1の順方向降下電圧 $V_f(D1)$ を寄生トランジスタQ1のオン閾値電圧 $V_{th}(Q1)$ よりも低い電圧値に設定することにより、上記の寄生サイリスタがオンしなくなる。

[0096] <抵抗R1での電圧降下>

次に、抵抗R1での電圧降下について簡単に説明する。先にも述べたように、電流制限抵抗として機能する抵抗R1の抵抗値は、定常時における抵抗R1での電圧降下を抑えるために数百 $\Omega$ ～1k $\Omega$ に設定することが望ましい。例えば、抵抗R1が1k $\Omega$ であり、入力電極13から抵抗R1を介してコントローラ10に流れる回路電流が80 $\mu$ Aである場合を考える。この場合、抵抗R1での電圧降下は80mV程度であり、トランジスタP1のドレイン・ソース間電圧 $V_{ds}(P1)$ を合わせても100mV程度にしかない。一方、比較例におけるダイオードD0の順方向降下電圧は、数百mV（0.6～0.7V程度）なので、抵抗R1を挿入しても十分に負電流防止回路100での電圧降下を低減することが可能となる。

[0097] <ラッチアップに関する検証>

先にも何度か述べたように、トランジスタP1には、pnpn型の寄生サイリスタが付随している。そのため、N型半導体基板201の印加電圧、すなわち、ドレイン電極11に印加される出力電圧OUT（＝パワーMISFET9のドレイン電圧VDS）が後述するラッチアップ復帰電圧 $V_{rec}$ 以

下の低電位（例えば、接地電位、負電位、または、オープン状態）であるときには、上記の寄生サイリスタがオンして、ラッチアップを生じるおそれがある。以下、図面を参照しながらラッチアップの検証結果について説明する。

[0098] 図9は、ラッチアップの検証結果を示す図であり、上から順に、入力信号  $I_N$  及び出力電圧  $O_U T$  が描写されている。

[0099] 時刻  $t_{21}$  及び  $t_{22}$  でそれぞれ示したように、半導体装置1の通常起動時には、出力電圧  $O_U T$  がハイレベル（≒負荷電源電圧）となっている状態で、入力信号  $I_N$  がローレベルからハイレベルに立ち上げられる。この場合には、トランジスタ  $P_1$  の寄生サイリスタがオンしないので、ラッチアップは生じない。

[0100] 一方、時刻  $t_{23}$  で示すように、半導体装置1の通常起動後、負サージの印加などにより、入力信号  $I_N$  が一瞬だけローレベルに立ち下がった場合を考える。この場合には、出力電圧  $O_U T$  が接地電位（0V）まで低下している状態で、入力信号  $I_N$  がローレベルからハイレベルに立ち上がるので、トランジスタ  $P_1$  の寄生サイリスタがオンして、ラッチアップを生じるおそれがある。

[0101] 特に、本願の発明者らがより詳細に検証を行った結果、出力電圧  $O_U T$  がラッチアップ復帰電圧  $V_{rec}$ （例えば3.8V）以下の低電位であるときに、入力信号  $I_N$  をローレベルからハイレベルに立ち上げると、トランジスタ  $P_1$  の寄生サイリスタがオンして、ラッチアップを生じるという知見が得られた。

[0102] なお、上記のラッチアップが生じると、半導体装置1が正常に起動せず、パワーMISFET9がフルオンしない状態、言い換えると、パワーMISFET9のオン抵抗が正常時よりも引き上げられた状態となる。ただし、このような状態では、出力電圧  $O_U T$  が上昇していくので、 $O_U T > V_{rec}$  となった時点でラッチアップが解消し、半導体装置1が自動的に復帰する。

[0103] 上記の検証結果を鑑みると、入力信号  $I_N$  の最大駆動周波数  $f_{sw\_ma}$

x（＝駆動周波数  $f_{sw}$  の最大値）は、入力信号  $I_N$  がハイレベル（＝オン時の論理レベル）からローレベル（＝オフ時の論理レベル）に切り替わった後、パワーMISFET 9 のドレイン電圧（すなわち出力電圧  $O_{UT}$ ）が少なくともラッチアップ復帰電圧  $V_{rec}$  を上回るまでの間、入力信号  $I_N$  が再びローレベルからハイレベルに切り替わらない値に設定しておくことが望ましい。

[0104] 例えば、入力信号  $I_N$  の最大駆動周波数  $f_{sw\_max}$  は、10～数十kHz（例えば18kHz）に設定するとよい。このような駆動条件であれば、入力信号  $I_N$  をローレベルに立ち下げてから、次の周期で入力信号  $I_N$  をハイレベルに立ち上げるまでの間に、出力電圧  $O_{UT}$  がラッチアップ復帰電圧  $V_{rec}$  を上回る。従って、上記のラッチアップを生じることなく、半導体装置 1 を正しく起動することが可能となる。

[0105] <負電流防止回路（第2実施形態）>

図10は、負電流防止回路の第2実施形態を示す図である。第2実施形態の負電流防止回路100は、先出の第1実施形態（図6）を基本としつつ、入力電極13と電流・電圧制御回路23との間、及び、入力電極13とゲート制御回路25との間に、それぞれ、Pチャネル型MISFET  $P1a$  並びに  $P1b$ （以下では、それぞれトランジスタ  $P1a$  及び  $P1b$  と略称する）、ダイオード  $D1a$  並びに  $D1b$ 、及び、抵抗  $R1a$  並びに  $R1b$  を一つずつ含む。

[0106] 抵抗  $R1a$  の第1端は、入力電極13に接続されている。抵抗  $R1a$  の第2端は、トランジスタ  $P1a$  のドレインとダイオード  $D1a$  のアノードに接続されている。トランジスタ  $P1a$  のソース及びバックゲートとダイオード  $D1a$  のカソードは、いずれも電流・電圧制御回路23の電源ノード（＝入力電圧  $I_N\_CNT$  の印加端）に接続されている。トランジスタ  $P1a$  のゲートは、ソース電極12（＝接地端に相当）に接続されている。

[0107] 抵抗  $R1b$  の第1端は、入力電極13に接続されている。抵抗  $R1b$  の第2端は、トランジスタ  $P1b$  のドレインとダイオード  $D1b$  のアノードに接

続されている。トランジスタP 1 bのソース及びバックゲートとダイオードD 1 bのカソードは、いずれもゲート制御回路2 5の電源ノード（＝入力電圧I N\_\_G A T Eの印加端）に接続されている。トランジスタP 1 bのゲートは、ソース電極1 2（＝接地端に相当）に接続されている。

[0108] なお、トランジスタP 1 aのチャネル幅Wとチャネル長Lの比（いわゆる $W/L$ ）は、 $100\mu\text{m}/1.2\mu\text{m}$ 程度に設計してもよい。また、抵抗R 1 aは、 $800\Omega$ 程度に設計してもよい。また、トランジスタP 1 aでの電圧降下（＝オン時におけるトランジスタP 1 aのドレイン・ソース間電圧）は、 $0.07\text{V}$ 程度に設計してもよい。

[0109] このような設計によれば、電流・電圧制御回路2 3の内部電源電圧に相当する入力電圧I N\_\_C N Tの電圧降下を低減することができる。従って、例えば、電流・電圧制御回路2 3を形成する内部回路（基準電圧源、オペアンプ、及び、コンパレータなど）の動作ダイナミックレンジを狭めずに済むので、より低い入力信号I Nの供給を受けて動作することが可能となる。言い換えると、入力信号I Nの供給源として、より低電圧駆動が可能なマイコン（ $3.3\text{V}$ 駆動のマイコンなど）を用いることが可能となる。

[0110] 一方、トランジスタP 1 bの $W/L$ は、 $10\mu\text{m}/1.2\mu\text{m}$ 程度に設計してもよい。また、抵抗R 1 bは、 $1\text{k}\Omega$ 程度に設計してもよい。また、トランジスタP 1 bでの電圧降下（＝オン時におけるトランジスタP 1 bのドレイン・ソース間電圧）は、 $0.02\text{V}$ 程度に設計してもよい。

[0111] このような設計によれば、ゲート制御回路2 5の内部電源電圧に相当する入力電圧I N\_\_G A T Eの電圧降下を低減することができる。従って、例えば、入力電圧I N\_\_G A T Eをゲート制御信号S Gのハイレベルとして利用する場合には、入力電圧I N\_\_G A T Eが高いほどパワーM I S F E T 9のオン抵抗を引き下げることができるので、大電流出力時の損失（発熱）を抑制することが可能となる。

[0112] <回路設計の注意点>

図1 1は、ゲート制御回路2 5の接続例を示す図である。本構成例のゲー

ト制御回路 25 は、ゲート制御信号 SG の出力段を形成する回路要素として、P チャネル型 M I S F E T P 2（以下ではトランジスタ P 2 と略称する）と、抵抗 R 2 ~ R 5 と、アナログスイッチ SW と、を含む。

[0113] アナログスイッチ SW 及び抵抗 R 2 それぞれの第 1 端は、いずれも負電流防止回路 100 の出力端（＝入力電圧 I N \_ G A T E の印加端）に接続されている。アナログスイッチ SW の第 2 端は、抵抗 R 3 の第 1 端に接続されている。抵抗 R 3 の第 2 端とトランジスタ P 2 のソースは、いずれも抵抗 R 5 の第 1 端に接続されている。抵抗 R 5 の第 2 端は、ゲート制御信号 SG の出力端としてパワー M I S F E T 9 のゲートに接続されている。トランジスタ P 2 のドレインは、抵抗 R 4 の第 1 端に接続されている。抵抗 R 2 及び R 4 それぞれの第 2 端は、いずれも接地端（＝ソース電極 12）に接続されている。

[0114] なお、負電流防止回路 100 については、図 7 のトランジスタ P 1、ダイオード D 1 及び抵抗 R 1 がそれぞれトランジスタ P 1 b、ダイオード D 1 b 及び抵抗 R 1 b に置き換えられていること以外、基本的に先出の第 1 実施形態と同様である。

[0115] 本構成例のゲート制御回路 25 において、入力信号 I N がハイレベルであるときには、アナログスイッチ SW がオンされると共にトランジスタ P 2 がオフされる。従って、入力電極 13 から負電流防止回路 100、アナログスイッチ SW、及び、抵抗 R 3 並びに R 5 を介してパワー M I S F E T 9 のゲートに向かう充電電流 I c h g が流れる。その結果、不図示のゲート容量が充電されるので、ゲート制御信号 SG がハイレベルに立ち上がり、パワー M I S F E T 9 がオンする。このとき、パワー M I S F E T 9 には、出力電流 I o u t が流れる。

[0116] 一方、入力信号 I N がローレベルであるときには、アナログスイッチ SW がオフされると共にトランジスタ P 2 がオンされる。従って、パワー M I S F E T 9 のゲートから抵抗 R 5、トランジスタ P 2 及び抵抗 R 4 を介して接地端に向かう放電電流 I d c h g が流れる。その結果、不図示のゲート容量

が放電されるので、ゲート制御信号  $S_G$  がローレベルに立ち下がり、パワー  $MISFET9$  がオフする。なお、このとき、入力電圧  $IN\_GATE$  は、抵抗  $R_2$  を介して接地端にプルダウンされる。

[0117] 図 12 は、半導体装置 1 の正常起動時における動作例（例えば  $T_a = 160^\circ C$ 、 $IN = 5V$ ）を示す図であり、上から順に、入力信号  $IN$ 、ゲート制御信号  $S_G$ 、出力電圧  $OUT$ 、及び、出力電流  $I_{out}$  が描写されている。

[0118] 本図で示すように、半導体装置 1 の正常起動時には、入力信号  $IN$  がハイレベルに立ち上げられたことを受けて、ゲート制御信号  $S_G$  がハイレベルに立ち上がり、パワー  $MISFET9$  がフルオン状態となり、出力電流  $I_{out}$  が流れる。このとき、出力電圧  $OUT$  は、接地電位（ $0V$ ）近傍まで低下する。

[0119] 図 13 は、半導体装置 1 の起動不良時の動作例（例えば  $T_a = 160^\circ C$ 、 $IN = 7.5V$ ）を示す図であり、先出の図 12 と同じく、上から順に、入力信号  $IN$ 、ゲート制御信号  $S_G$ 、出力電圧  $OUT$ 、及び、出力電流  $I_{out}$  が描写されている。なお、図中の破線は、正常起動時の挙動（図 12 の挙動）を示している。

[0120] 本図で示すように、高温時に入力信号  $IN$  のハイレベル電位が高くなると、ゲート制御信号  $S_G$  が本来のハイレベルまで上がり切らず、パワー  $MISFET9$  のゲート閾値電圧  $V_{th}$  近傍（ $S_G \geq V_{th}$ ）で停滞する。その結果、出力電流  $I_{out}$  は流れるものの、パワー  $MISFET9$  がフルオンしていない状態に陥る。その原因としては、ゲート容量の充電時におけるラッチアップが想定される。

[0121] 詳述すると、半導体装置 1 の起動直後にパワー  $MISFET9$  のゲート容量を充電するときには、定常動作時の回路電流（数十  $\mu A$ ）よりも遥かに大きい充電電流  $I_{chg}$ （ $mA$  オーダー）がトランジスタ  $P1b$  を介して過渡的に流れる。このとき、トランジスタ  $P1b$  のドレイン・ソース間電圧  $V_{ds}$ （ $P1b$ ）がボディダイオード  $D2$  の順方向降下電圧  $V_f$ （ $D2$ ）よりも高くなると、寄生トランジスタ  $Q1$  がオンし得る状態となる。

[0122] また、先にも述べたように、ゲート制御信号  $S_G$  がパワー  $MISFET9$  のゲート閾値電圧  $V_{th}$  を上回るので、パワー  $MISFET9$  がオンして出力電圧  $O_{UT}$  が低下する。その結果、出力電圧  $O_{UT}$  が先述のラッチアップ復帰電圧  $V_{rec}$  を下回ったタイミングで、トランジスタ  $P1b$  に付随する寄生サイリスタがオンしてラッチアップに至るものと考えられる。

[0123] なお、上記した半導体装置 1 の起動時におけるラッチアップを防止するためには、充電電流  $I_{chg}$  が流れる電流経路上のトランジスタ  $P1b$  について、(1) 充電電流制限用の抵抗  $R3$  をトランジスタ  $P1b$  の前段に配置する、または、(2) トランジスタ  $P1b$  のチャネル幅  $W$  を大きくする、といった対策を講じることが有効である。

[0124] 図 14 は、トランジスタ  $P1b$  のチャネル幅  $W$  とボディダイオード  $D2$  に流れるボディ電流  $I(D2)$  との関係を示す図である。特に、本図では  $I_N = 5V$ 、 $5.5V$ 、 $6V$ 、 $6.5V$ 、 $7V$ 、 $7.5V$  及び  $8V$  であるときの挙動が描写されている。

[0125] なお、本図では、充電電流  $I_{chg}$  が流れる方向 (= パワー  $MISFET9$  のゲートに向かう方向) を負として、ボディ電流  $I(D2)$  の正負極性が定義されている。つまり、本図では、トランジスタ  $P1b$  のチャネル幅  $W$  が大きいほど、ボディダイオード  $D2$  に流れるボディ電流  $I(D2)$  の電流値 (絶対値) が小さくなることを示している。

[0126] 例えば、ボディ電流  $I(D2)$  の電流値が所定の閾値  $i$  (例えば  $35\mu A$  程度) よりも小さければ、半導体装置 1 の起動時におけるラッチアップを生じないことが確認されている場合を考える。この場合、入力信号  $I_N$  の最大値 (= 入力信号  $I_N$  のハイレベルとして印加され得る最大の電圧値) が  $6V$  であるならば、 $W \geq w1$  (例えば  $10\mu m$  程度) となるようにチャネル幅  $W$  を設計すれば足りる。また、入力信号  $I_N$  の最大値が  $8V$  であるならば、 $W \geq w2$  (例えば  $18\mu m$  程度) となるようにチャネル幅  $W$  を設計すればよい。

[0127] このように、入力電極 13 とゲート制御回路 25 との間に設けられたトラ

ンジスタ P 1 b は、入力信号 I N の最大値に応じたチャネル幅 W を持つように、デバイス設計を行うことが望ましい。

[0128] 一方、入力電極 1 3 と電流・電圧制御回路 2 3 との間に設けられたトランジスタ P 1 a については、半導体装置 1 の起動時に過大なラッシュ電流が流れない。従って、起動時のラッチアップ対策を考慮したデバイス設計は必須でない。

[0129] <車両への適用>

図 1 5 は、車両の一構成例を示す外観図である。本構成例の車両 X は、バッテリー（本図では不図示）と、バッテリーから電力供給を受けて動作する種々の電子機器 X 1 1 ~ X 1 8 とを搭載している。

[0130] 車両 X には、エンジン車のほか、電動車（B E V [battery electric vehicle]、H E V [hybrid electric vehicle]、P H E V / P H V [plug-in hybrid electric vehicle / plug-in hybrid vehicle]、又は、F C E V / F C V [fuel cell electric vehicle / fuel cell vehicle] などの x E V）も含まれる。

[0131] なお、本図における電子機器 X 1 1 ~ X 1 8 の搭載位置については、図示の便宜上、実際とは異なる場合がある。

[0132] 電子機器 X 1 1 は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など）、または、モータに関する制御（トルク制御、及び、電力回生制御など）を行う電子制御ユニットである。

[0133] 電子機器 X 1 2 は、H I D [high intensity discharged lamp] 及び D R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

[0134] 電子機器 X 1 3 は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

[0135] 電子機器 X 1 4 は、車両 X の運動に関連する制御（A B S [anti-lock brake system] 制御、E P S [electric power steering] 制御、電子サス

ペンション制御など）を行うボディコントロールユニットである。

[0136] 電子機器X15は、ドアロック及び防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

[0137] 電子機器X16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品またはメーカーオプション品として、工場出荷段階で車両Xに組み込まれている電子機器である。

[0138] 電子機器X17は、車載A/V [audio/visual] 機器、カーナビゲーションシステム、及び、ETC [electronic toll collection system] など、ユーザオプション品として任意で車両Xに装着される電子機器である。

[0139] 電子機器X18は、車載ブローア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

[0140] なお、先に説明した半導体装置1（＝ローサイドスイッチLS1）は、電子機器X11～X18のいずれにも組み込むことが可能である。

[0141] <総括>

以下では、上記で説明した種々の実施形態について総括的に述べる。

[0142] 例えば、本明細書中に開示されているスイッチ装置は、N型半導体基板と、前記N型半導体基板をドレインとするように構成されたパワーMISFETと、入力信号を受け付けるように構成された入力電極と、前記入力信号に応じて前記パワーMISFETのゲート制御信号を生成するように構成された制御回路と、前記入力電極と前記制御回路との間に設けられて前記入力電極に向かう負電流を防止するように構成された負電流防止回路と、を有し、前記負電流防止回路は、ドレインを前記入力電極側としソース及びバックゲートをいずれも前記制御回路側として前記入力電極と前記制御回路との間に接続されて、ゲートに定電位が印加されて、前記バックゲートが前記N型半導体基板から電氣的に分離されるように構成されたPチャネル型MISFETと、アノードを前記入力電極側としカソードを前記制御回路側として前記入力電極と前記制御回路との間に接続されるように構成されたダイオードと

、を含む構成（第１の構成）とされている。

[0143] なお、上記第１の構成によるスイッチ装置において、前記ダイオードの順方向降下電圧は、前記Ｐチャネル型ＭＩＳＦＥＴに付随する寄生サイリスタのオン閾値電圧よりも低い構成（第２の構成）にしてもよい。

[0144] また、上記第１または第２の構成によるスイッチ装置において、前記入力信号の最大駆動周波数は、前記入力信号がオン時の論理レベルからオフ時の論理レベルに切り替わった後、前記パワーＭＩＳＦＥＴのドレイン電圧が少なくともラッチアップ復帰電圧を上回るまでの間、前記入力信号が再び前記オフ時の論理レベルから前記オン時の論理レベルに切り替わらない値に設定されている構成（第３の構成）にしてもよい。

[0145] また、上記第１～第３いずれかの構成によるスイッチ装置において、前記制御回路は、前記入力信号に応じた電気信号として種々の電流及び電圧を生成するように構成された電流・電圧制御回路と、前記電流・電圧制御回路からの前記電気信号に応じて前記ゲート制御信号を生成するように構成されたゲート制御回路と、を含む構成（第４の構成）にしてもよい。

[0146] また、上記第４の構成によるスイッチ装置において、前記負電流防止回路は、前記入力電極と前記電流・電圧制御回路との間、及び、前記入力電極と前記ゲート制御回路との間に、それぞれ前記Ｐチャネル型ＭＩＳＦＥＴ及び前記ダイオードを一つずつ含む構成（第５の構成）にしてもよい。

[0147] また、上記第５の構成によるスイッチ装置において、前記入力電極と前記ゲート制御回路との間に設けられた前記Ｐチャネル型ＭＩＳＦＥＴは、前記入力信号の最大値に応じたチャネル幅を持つ構成（第６の構成）にしてもよい。

[0148] また、上記第１～第６いずれかの構成によるスイッチ装置において、前記負電流防止回路は、前記入力電極と前記制御回路との間に設けられて前記負電流を制限するように構成された抵抗をさらに含む構成（第７の構成）にしてもよい。

[0149] また、上記第１～第７いずれかの構成によるスイッチ装置は、前記入力電

極と接地端との間に接続されるように構成された静電破壊保護素子をさらに有する構成（第８の構成）にしてもよい。

[0150] また、例えば、本明細書中に開示されている電子機器は、上記第１～第８いずれかの構成によるスイッチ装置と、前記スイッチ装置に接続される負荷と、を有する構成（第９の構成）とされている。

[0151] また、例えば、本明細書中に開示されている車両は、上記第９の構成による電子機器を有する構成（第１０の構成）とされている。

[0152] <その他の変形例>

上記の実施形態では、車載用のローサイドスイッチＬＳＩを例示したが、本明細書中に開示されている負電流防止回路の適用対象は、何らこれに限定されるものではなく、車載用途以外のローサイドスイッチＬＳＩにも適用することができる。

[0153] また、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

## 符号の説明

- [0154]
- |         |               |
|---------|---------------|
| 1       | 半導体装置（スイッチ装置） |
| 2       | 半導体層          |
| 3       | 第１主面          |
| 4       | 第２主面          |
| 5 A～5 D | 側面            |
| 6       | 出力領域          |
| 7       | 入力領域          |
| 8       | 領域分離構造        |

|                 |                |
|-----------------|----------------|
| 9               | パワーM I S F E T |
| 1 0             | コントローラ（制御回路）   |
| 1 1             | ドレイン電極         |
| 1 2             | ソース電極          |
| 1 3             | 入力電極           |
| 1 7             | ゲート制御配線        |
| 2 3             | 電流・電圧制御回路      |
| 2 4             | 保護回路           |
| 2 5             | ゲート制御回路        |
| 2 6             | アクティブクランプ回路    |
| 3 2             | 定電圧生成回路        |
| 3 3             | 基準電圧・基準電流生成回路  |
| 3 4             | 過電流保護回路        |
| 3 6             | 過熱保護回路         |
| 1 0 0           | 負電流防止回路        |
| 2 0 1           | N型半導体基板        |
| 2 0 2           | N型エピタキシャル層     |
| 2 0 3           | 高耐圧P型ウェル       |
| 2 0 4           | N型ウェル          |
| 2 0 5           | P型コンタクト領域      |
| 2 0 6           | ドレイン領域（P型）     |
| 2 0 7           | ソース領域（P型）      |
| 2 0 8           | N型コンタクト領域      |
| 2 0 9           | ゲート絶縁層         |
| 2 1 0           | ゲートメタル層        |
| D 1、D 1 a、D 1 b | ダイオード          |
| D 2             | ボディダイオード       |
| D Z             | ツェナーダイオード      |

L 誘導性負荷

P 1、P 1 a、P 1 b、P 2 Pチャネル型M I S F E T

Q 1、Q 2 寄生トランジスタ

R、R 1 ～R 5、R 1 a、R 1 b 抵抗

SW アナログスイッチ

X 車両

X 1 1 ～X 1 8 電子機器

Z D 1 ツェナダイオード（静電破壊保護素子）

## 請求の範囲

### [請求項1]

N型半導体基板と、  
前記N型半導体基板をドレインとするように構成されたパワーM I S F E Tと、  
入力信号を受け付けるように構成された入力電極と、  
前記入力信号に応じて前記パワーM I S F E Tのゲート制御信号を生成するように構成された制御回路と、  
前記入力電極と前記制御回路との間に設けられて前記入力電極に向かう負電流を防止するように構成された負電流防止回路と、  
を有し、  
前記負電流防止回路は、  
ドレインを前記入力電極側としソース及びバックゲートをいずれも前記制御回路側として前記入力電極と前記制御回路との間に接続されて、ゲートに定電位が印加されて、前記バックゲートの電位が前記N型半導体基板の電位から分離されるように構成されたPチャネル型M I S F E Tと、  
アノードを前記入力電極側としカソードを前記制御回路側として前記入力電極と前記制御回路との間に接続されるように構成されたダイオードと、  
を含む、スイッチ装置。

### [請求項2]

前記ダイオードの順方向降下電圧は、前記Pチャネル型M I S F E Tに付随する寄生トランジスタのオン閾値電圧よりも低い、請求項1に記載のスイッチ装置。

### [請求項3]

前記入力信号の最大駆動周波数は、前記入力信号がオン時の論理レベルからオフ時の論理レベルに切り替わった後、前記パワーM I S F E Tのドレイン電圧が少なくともラッチアップ復帰電圧を上回るまでの間、前記入力信号が再び前記オフ時の論理レベルから前記オン時の論理レベルに切り替わらない値に設定されている、請求項1または2

に記載のスイッチ装置。

[請求項4]

前記制御回路は、

前記入力信号に応じた電気信号として種々の電流及び電圧を生成するように構成された電流・電圧制御回路と、

前記電流・電圧制御回路からの前記電気信号に応じて前記ゲート制御信号を生成するように構成されたゲート制御回路と、

を含む、請求項1～3のいずれか一項に記載のスイッチ装置。

[請求項5]

前記負電流防止回路は、前記入力電極と前記電流・電圧制御回路との間、及び、前記入力電極と前記ゲート制御回路との間に、それぞれ前記Pチャネル型MISFET及び前記ダイオードを一つずつ含む、請求項4に記載のスイッチ装置。

[請求項6]

前記入力電極と前記ゲート制御回路との間に設けられた前記Pチャネル型MISFETは、前記入力信号の最大値に応じたチャネル幅を持つ、請求項5に記載のスイッチ装置。

[請求項7]

前記負電流防止回路は、前記入力電極と前記制御回路との間に設けられて前記負電流を制限するように構成された抵抗をさらに含む、請求項1～6のいずれか一項に記載のスイッチ装置。

[請求項8]

前記入力電極と接地端との間に接続されるように構成された静電破壊保護素子をさらに有する、請求項1～7のいずれか一項に記載のスイッチ装置。

[請求項9]

請求項1～8のいずれか一項に記載のスイッチ装置と、

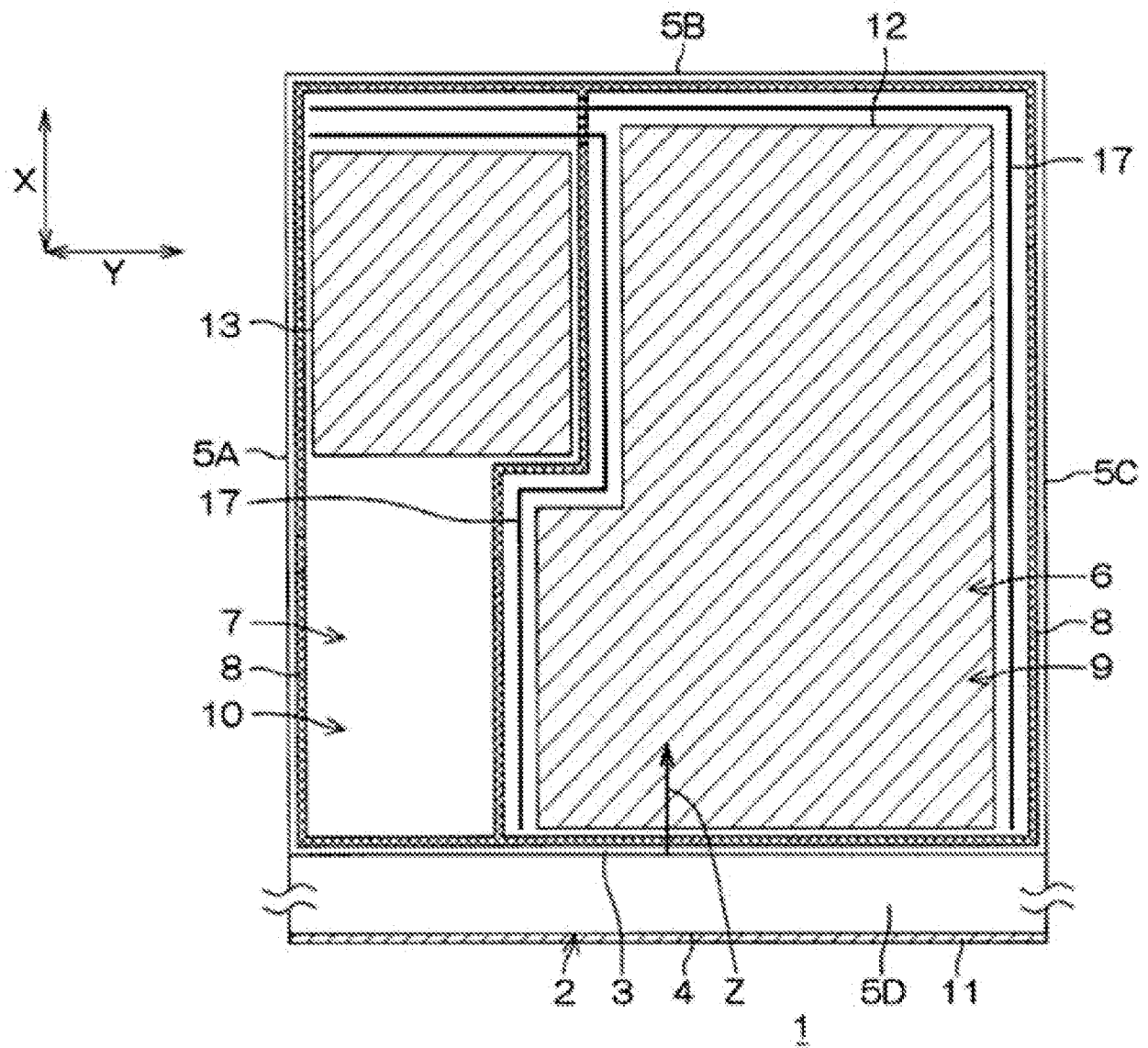
前記スイッチ装置に接続される負荷と、

を有する、電子機器。

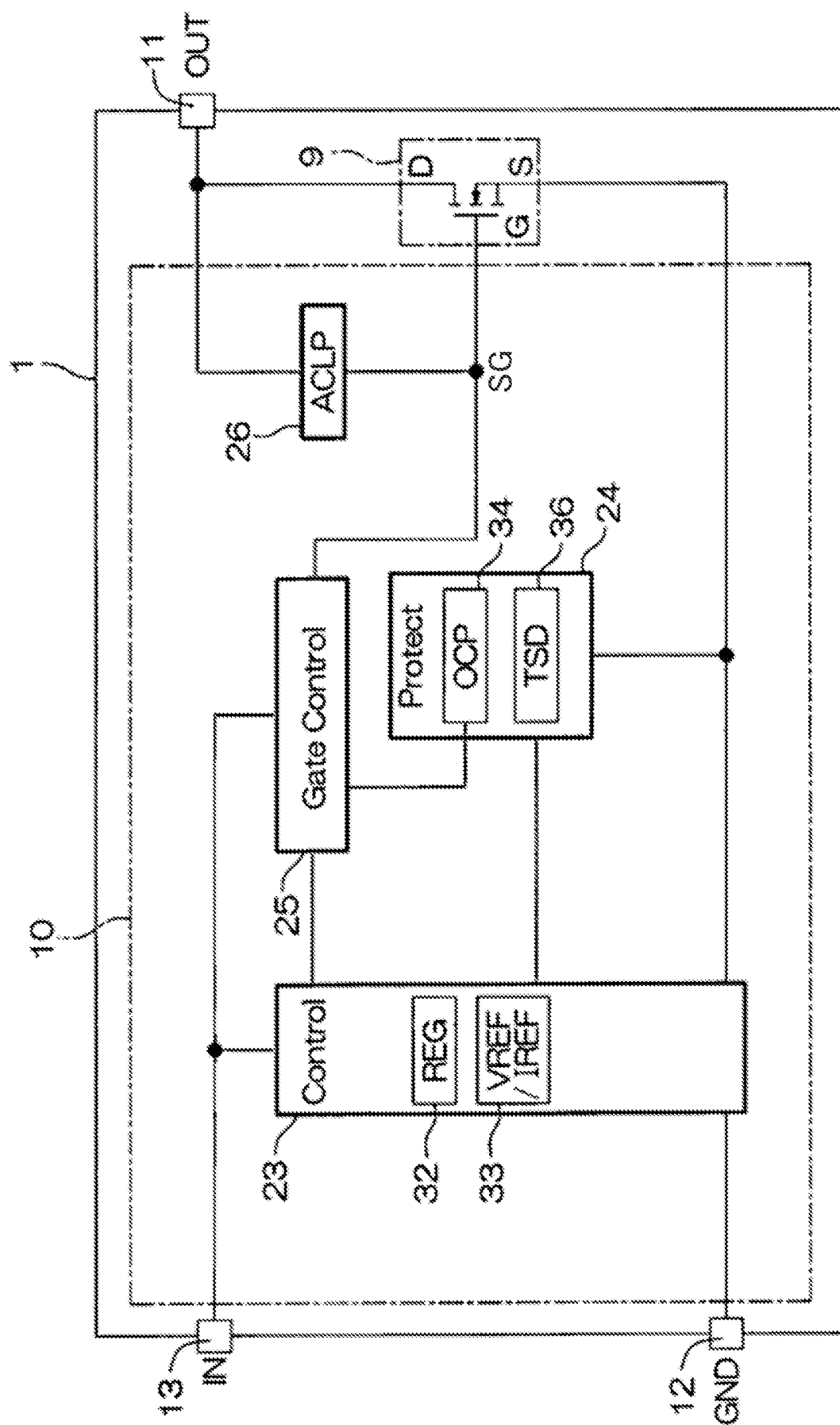
[請求項10]

請求項9に記載の電子機器を有する、車両。

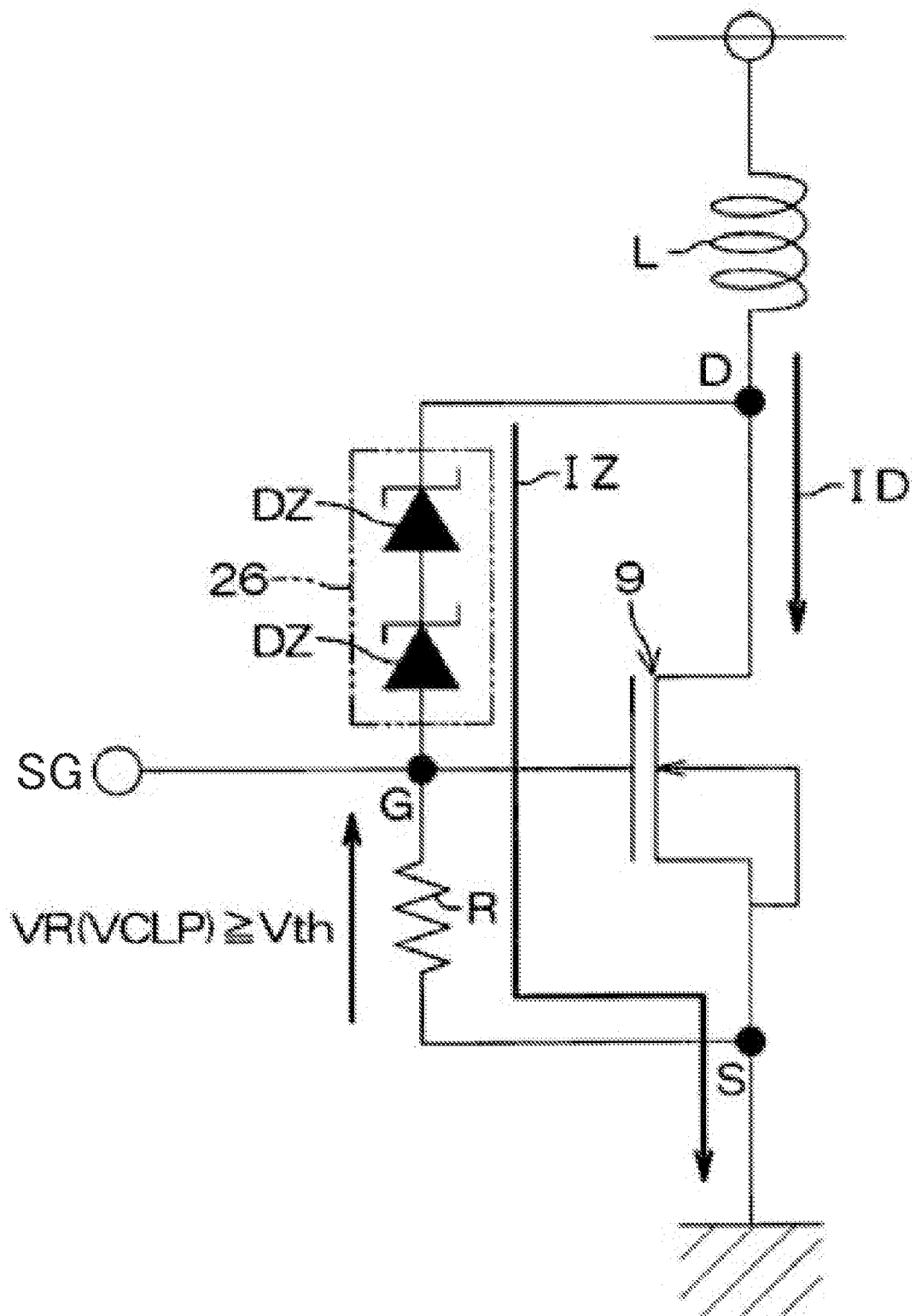
[図1]



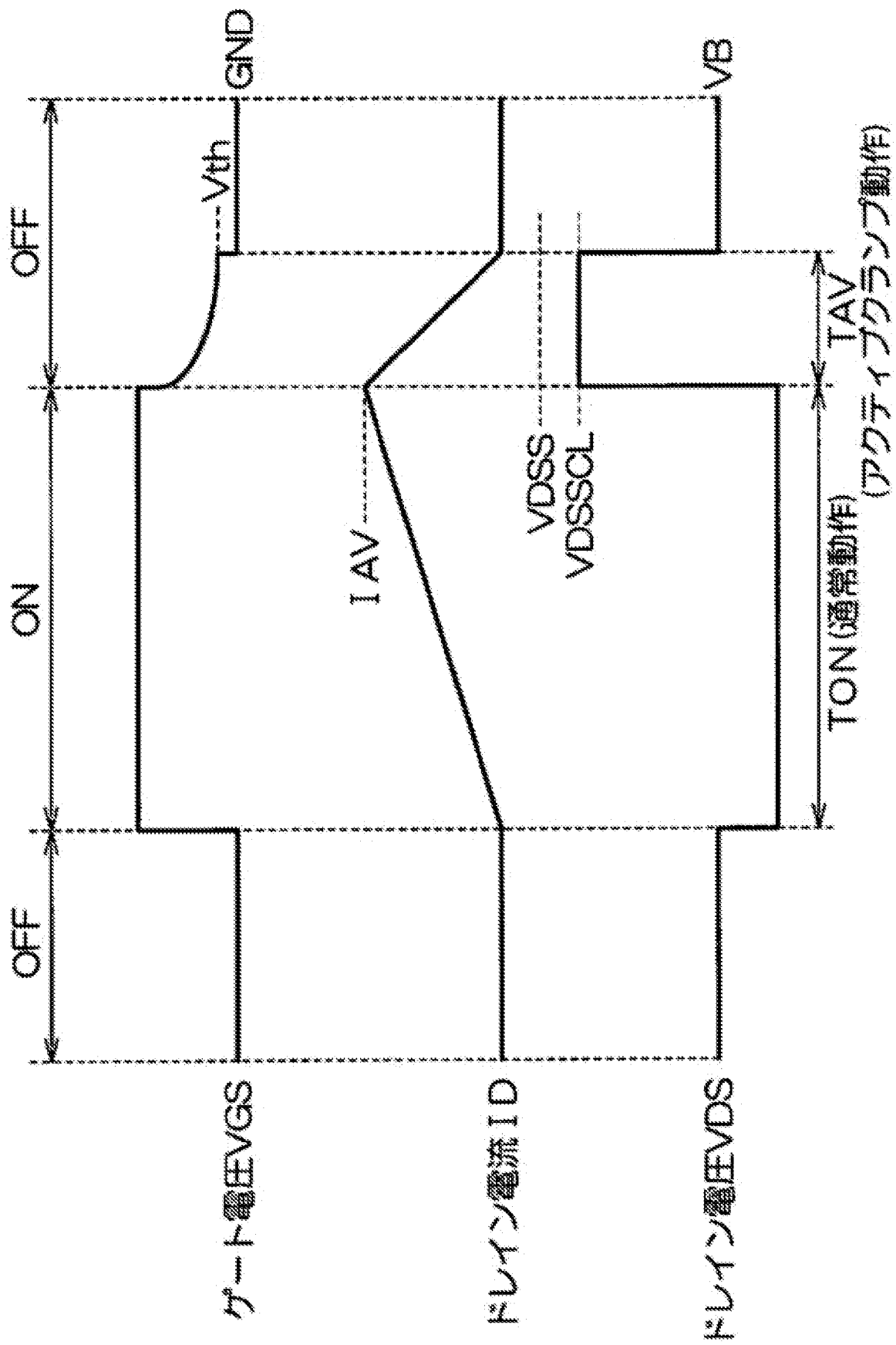
[図2]



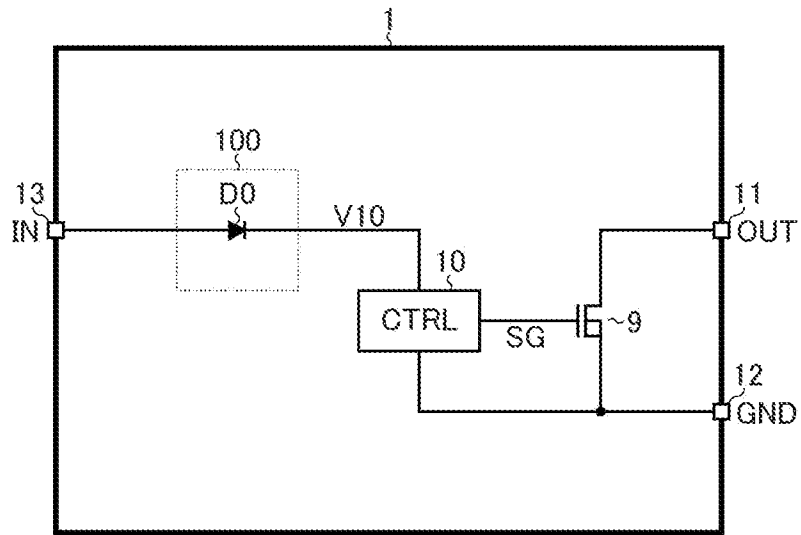
[図3]



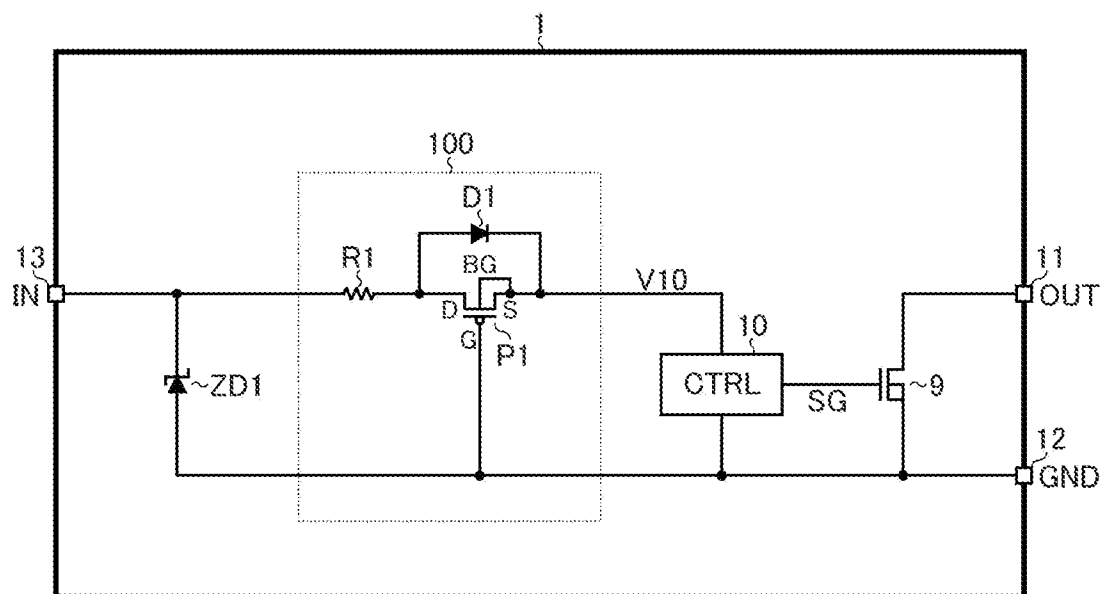
[図4]



[図5]

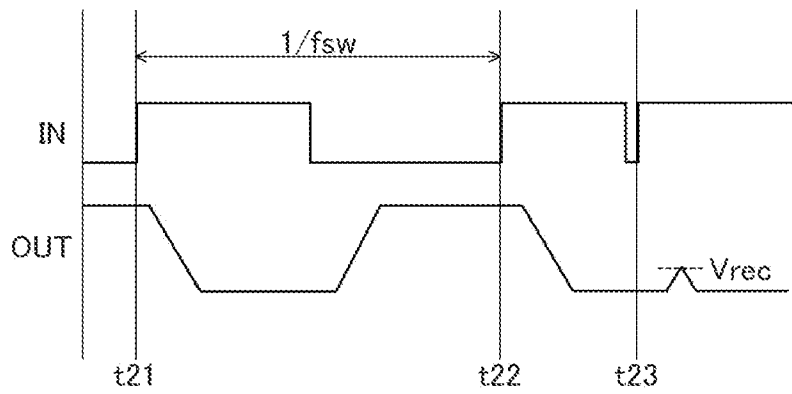


[図6]

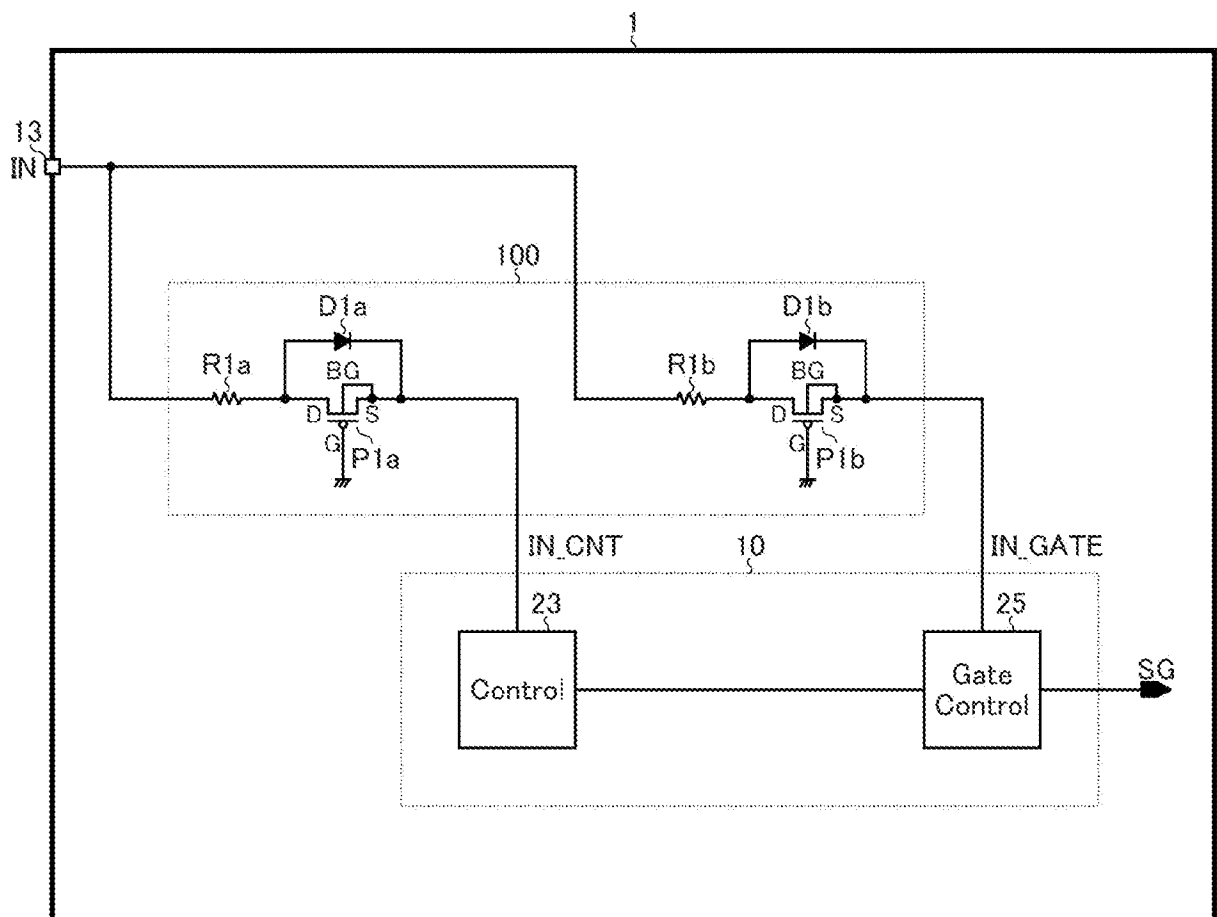




[図9]

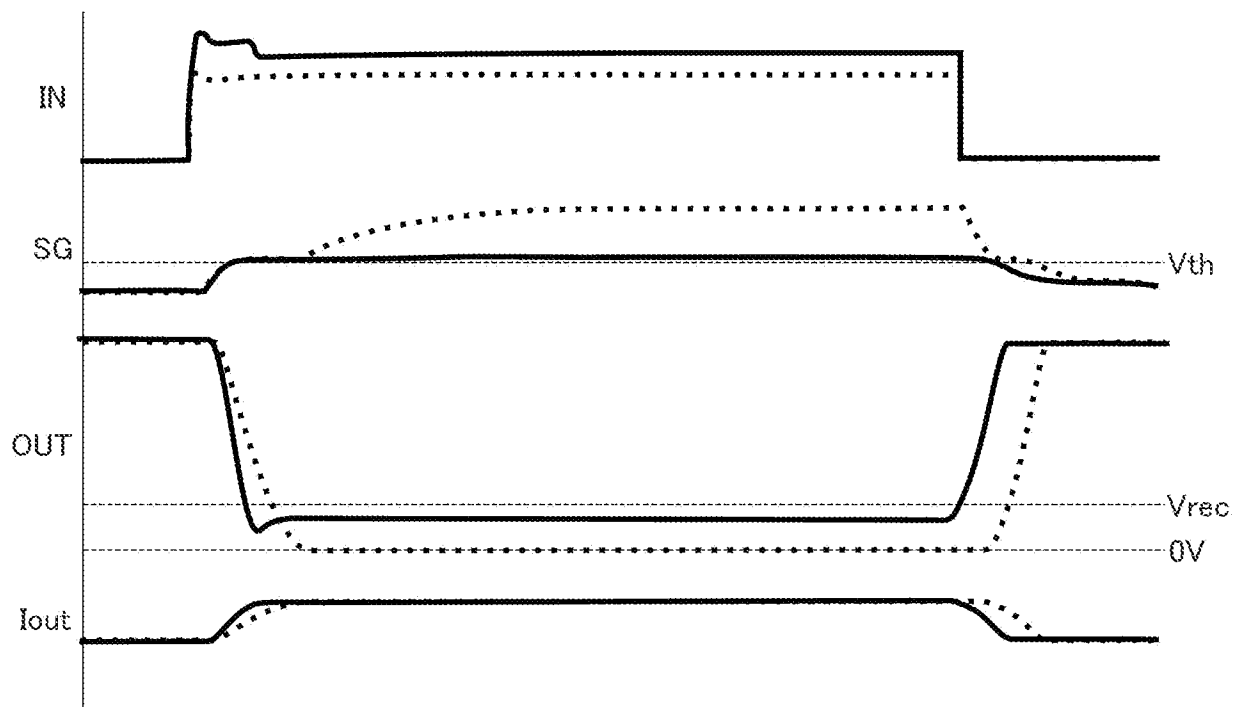


[図10]

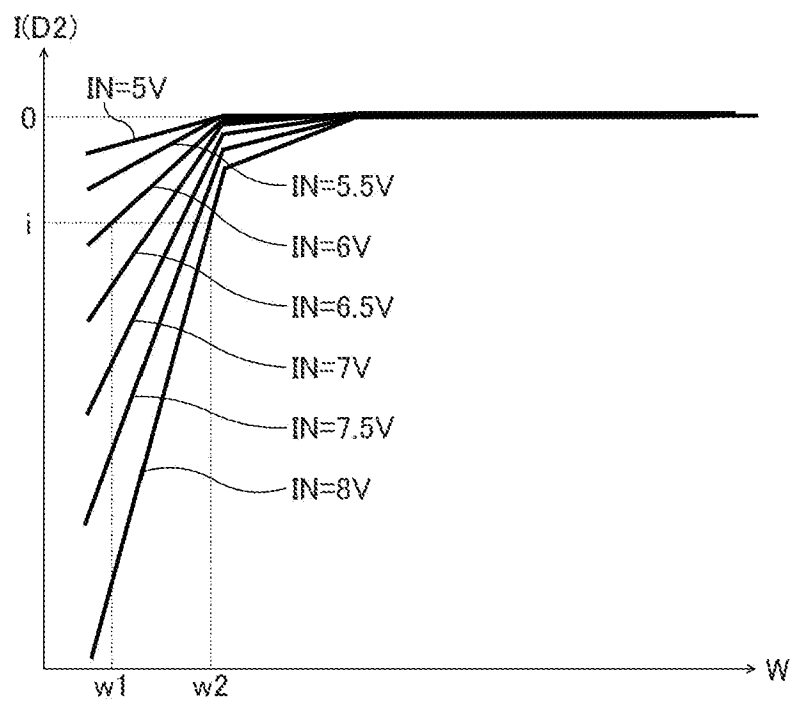




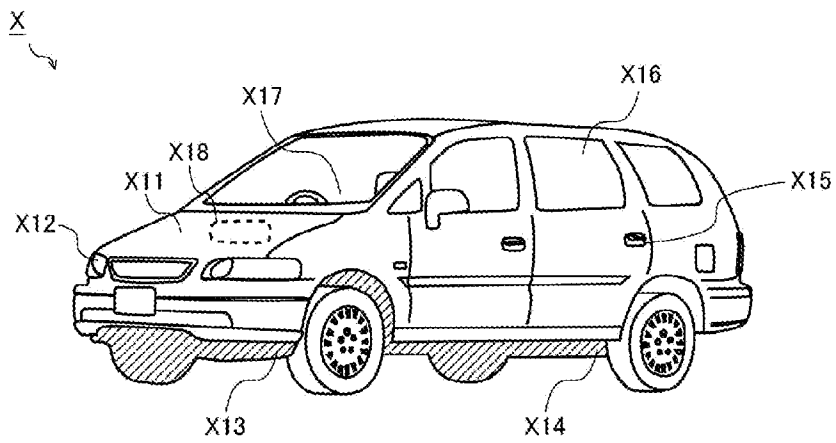
[図13]



[図14]



[図15]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/002347

**A. CLASSIFICATION OF SUBJECT MATTER****H03K 17/16**(2006.01)i; **H03K 17/687**(2006.01)i

FI: H03K17/16 H; H03K17/687 A

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H03K17/16; H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2022  
 Registered utility model specifications of Japan 1996-2022  
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                            | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | JP 2020-167338 A (ROHM CO., LTD.) 08 October 2020 (2020-10-08)<br>paragraphs [0009]-[0053], fig. 2, 3, 5                                                      | 1-2, 4-10<br>3        |
| Y<br>A    | JP 8-288817 A (HITACHI, LTD.) 01 November 1996 (1996-11-01)<br>paragraphs [0001], [0040], [0041], [0054], [0055], fig. 1, 9                                   | 1-2, 4-10<br>3        |
| Y<br>A    | JP 60-200618 A (HITACHI, LTD.) 11 October 1985 (1985-10-11)<br>page 1, lower right column, line 1 to page 2, upper right column, line 13, fig. 1              | 1-2, 4-10<br>3        |
| Y<br>A    | JP 5-503190 A (HARRIS SEMICONDUCTOR PATENTS, INC.) 27 May 1993 (1993-05-27)<br>page 2, lower left column, line 3 to page 3, upper left column, line 6, fig. 2 | 7-10<br>3             |

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 “&” document member of the same patent family

Date of the actual completion of the international search

08 April 2022

Date of mailing of the international search report

19 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)  
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915  
 Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/002347**

| Patent document<br>cited in search report |             |   | Publication date<br>(day/month/year) | Patent family member(s)                                          | Publication date<br>(day/month/year) |
|-------------------------------------------|-------------|---|--------------------------------------|------------------------------------------------------------------|--------------------------------------|
| JP                                        | 2020-167338 | A | 08 October 2020                      | US 2020/0312975 A1<br>paragraphs [0075]-[0152], fig.<br>2, 3, 5  |                                      |
| JP                                        | 8-288817    | A | 01 November 1996                     | (Family: none)                                                   |                                      |
| JP                                        | 60-200618   | A | 11 October 1985                      | (Family: none)                                                   |                                      |
| JP                                        | 5-503190    | A | 27 May 1993                          | US 5023692 A<br>column 1, line 2 to column 2,<br>line 37, fig. 2 |                                      |
|                                           |             |   |                                      | WO 1991/009424 A1                                                |                                      |

| A. 発明の属する分野の分類（国際特許分類（IPC））<br>H03K 17/16(2006.01)i; H03K 17/687(2006.01)i<br>FI: H03K17/16 H; H03K17/687 A                                                                                                                                                                                                                                                                                                                                          |                                                                                                  |                                                               |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------|---------------------------------------------------------------|
| B. 調査を行った分野                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                  |                                                               |
| 調査を行った最小限資料（国際特許分類（IPC））<br>H03K17/16; H03K17/687                                                                                                                                                                                                                                                                                                                                                                                                    |                                                                                                  |                                                               |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2022年<br>日本国実用新案登録公報 1996-2022年<br>日本国登録実用新案公報 1994-2022年                                                                                                                                                                                                                                                                                                                     |                                                                                                  |                                                               |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                  |                                                               |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                  |                                                               |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                      | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                | 関連する<br>請求項の番号                                                |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                               | JP 2020-167338 A（ローム株式会社）08.10.2020（2020-10-08）<br>段落[0009]-[0053]，図2-3，5                        | 1-2，4-10<br>3                                                 |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                               | JP 8-288817 A（株式会社日立製作所）01.11.1996（1996-11-01）<br>段落[0001]，[0040]-[0041]，[0054]-[0055]，図1，9      | 1-2，4-10<br>3                                                 |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                               | JP 60-200618 A（株式会社日立製作所）11.10.1985（1985-10-11）<br>第1頁右下欄第1行-第2頁右上欄第13行，第1図                      | 1-2，4-10<br>3                                                 |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                               | JP 5-503190 A（ハリス・セミコンダクター・パテント・インコーポレーテッド）<br>27.05.1993（1993-05-27）<br>第2頁左下欄第3行-第3頁左上欄第6行，第2図 | 7-10<br>3                                                     |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                                  |                                                                                                  |                                                               |
| * 引用文献のカテゴリー<br>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの<br>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>“O” 口頭による開示、使用、展示等に言及する文献<br>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献<br>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>“&” 同一パテントファミリー文献 |                                                                                                  |                                                               |
| 国際調査を完了した日<br>08.04.2022                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                  | 国際調査報告の発送日<br>19.04.2022                                      |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                  | 権限のある職員（特許庁審査官）<br>及川 尚人 5W 5888<br>電話番号 03-3581-1101 内線 3576 |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/002347

| 引用文献 |             |   | 公表日        | パテントファミリー文献                                        | 公表日 |
|------|-------------|---|------------|----------------------------------------------------|-----|
| JP   | 2020-167338 | A | 08.10.2020 | US 2020/0312975 A1<br>段落[0075]-[0152], 図2-<br>3, 5 |     |
| JP   | 8-288817    | A | 01.11.1996 | (ファミリーなし)                                          |     |
| JP   | 60-200618   | A | 11.10.1985 | (ファミリーなし)                                          |     |
| JP   | 5-503190    | A | 27.05.1993 | US 5023692 A<br>第1欄第2行-第2欄第37行,<br>第2図             |     |
|      |             |   |            | WO 1991/009424 A1                                  |     |