

(21)申請案號：100136336

(22)申請日：中華民國 100 (2011) 年 10 月 06 日

(51)Int. Cl.：

H01L21/336 (2006.01)

H01L27/088 (2006.01)

H01L29/772 (2006.01)

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
新竹市新竹科學工業園區力行二路 3 號

(72)發明人：陳界得 CHEN, CHIEH TE (TW)；鄒世芳 TZOU, SHIH FANG (TW)；廖俊雄 LIAO, JIUNN HSIUNG (TW)；林義博 LIN, YI PO (TW)

(74)代理人：郭曉文

申請實體審查：無 申請專利範圍項數：16 項 圖式數：2 共 26 頁

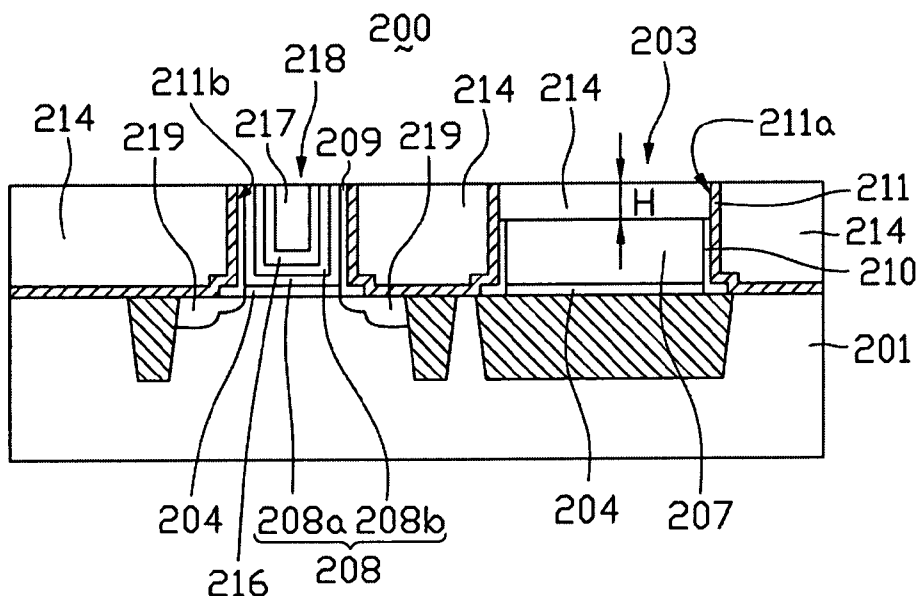
(54)名稱

半導體元件結構及其製造方法

SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF

(57)摘要

一種半導體元件結構，包括金屬閘電極、被動元件以及硬罩幕層。被動元件具有一個多晶矽組件層。硬罩幕層覆蓋於金屬閘電極和被動元件上，且具有實質共面的一第一開口與一第二開口，以分別將金屬閘電極和多晶矽組件層暴露於外。其中，第一開口與金屬閘電極的距離實質小於第二開口與多晶矽組件層的距離。



200：半導體元件結構

201：基材

203：被動元件

204：介電材質層

207：多晶矽組件層

208：閘介電層

208a：高介電係數材質層

208b：覆蓋層

209：第一間隙壁

210：第二間隙壁

211：硬罩幕層

211a：開口

211b：開口

214：內層介電層

216：功函數層

217：金屬閘電極

218：金屬閘極結構

219：汲極/源極結構

H：高度落差

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 00136376 H01L 21/336 (2006.01)

※申請日： 100.10.06 ※IPC 分類： H01L 21/088 (2006.01)

一、發明名稱：(中文/英文) H01L 29/172 (2006.01)

半導體元件結構及其製造方法 / SEMICONDUCTOR
DEVICE AND FABRICATION METHOD THEREOF

二、中文發明摘要：

一種半導體元件結構，包括金屬閘電極、被動元件以及硬罩幕層。被動元件具有一個多晶矽組件層。硬罩幕層覆蓋於金屬閘電極和被動元件上，且具有實質共面的一第一開口與一第二開口，以分別將金屬閘電極和多晶矽組件層暴露於外。其中，第一開口與金屬閘電極的距離實質小於第二開口與多晶矽組件層的距離。

三、英文發明摘要：

A semiconductor device comprises a metal gate electrode, a passive device and a hard mask layer. The passive device has a poly-silicon element layer. The hard mask layer is disposed on the metal gate electrode and the passive electrode and has a first opening and a second opening substantially coplanar with each other, wherein the metal gate electrode and the poly-silicon element layer are respectively exposed via the first opening and the second opening; and there is a distance between the first opening and the metal gate electrode is substantially less than the distance between the second opening and the poly-silicon element layer.

四、指定代表圖：

(一)本案指定代表圖為：第 (2G) 圖。

(二)本代表圖之元件符號簡單說明：

200：半導體元件結構	201：基材
203：被動元件	204：介電材質層
207：多晶矽組件層	208：閘介電層
208a：高介電係數材質層	208b：覆蓋層
209：第一間隙壁	210：第二間隙壁
211：硬罩幕層	211a：開口
211b：開口	214：內層介電層
216：功函數層	217：金屬閘電極
218：金屬閘極結構	219：汲極/源極結構
H：高度落差	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件及其製作方法，且特別是有關於一種具有金屬閘極結構的場效應電晶體元件及其製造方法。

【先前技術】

隨著半導體關鍵尺寸的縮小，場效應電晶體的尺寸以及閘極介電層的厚度也跟著受到限縮。然而，閘極介電層(gate dielectric layer)的厚度縮減將導致漏電流的發生。為了降低漏電流的發生，遂有採用高介電係數(high-k)材質來製作閘極介電層，同時採用金屬閘電極來置換阻值較高的多晶矽閘電極，藉以增進元件的效能。

習知製作金屬閘電極電晶體的方法，係先形成多晶矽虛擬閘極(dummy gate electrode)，待完成金屬-氧化物-半導體電晶體主結構之後，再以蝕刻步驟移除多晶矽虛擬閘極，並藉由金屬沉積的方式，取代原來的多晶矽虛擬閘極。

然而，移除多晶矽虛擬閘極與金屬沉積製程，很可能會影響電晶體元件與其他半導體元件的製程整合。例如，多晶矽層，通常會被用來製備電晶體的多晶矽虛擬閘電極以及電阻(或其他被動元件)的多晶矽組件層。當進行多晶矽閘極移除蝕刻時，須先以光阻來遮罩多晶矽元件層，方能進行蝕刻。而此舉，常造成被動元件的多晶矽組件層與金屬閘電極之間，產生高低落差。進而，導致後續的金屬沉積以及金屬接觸製程，易

在被動元件的四周產生金屬殘留，影響元件的效能。

因此有需要提供一種先進半導體元件及其製作方法，有效整合場效應電晶體與被動元件的製程，提高元件工作效能。

【發明內容】

有鑑於此，本發明提供一種半導體元件結構，包括金屬閘電極、被動元件以及硬罩幕層。被動元件具有一個多晶矽組件層。硬罩幕層覆蓋於金屬閘電極和被動元件上，具有實質共面的一第一開口與一第二開口，以分別將金屬閘電極和多晶矽組件層暴露於外。其中，第一開口與金屬閘電極的距離實質小於第二開口與多晶矽組件層的距離。

在本發明之一實施例中，半導體元件結構更包括基材、汲極/源極結構以及閘介電層。其中，汲極/源極結構位於基材之中，與金屬閘電極鄰接。閘介電層位於汲極/源極結構與金屬閘電極之間。

在本發明之一實施例中，閘介電層包括：依序堆疊於基材上的介面層(interfacial layer, IL) 以及高介電係數材質層。在本發明之一實施例中，被動元件為一電阻。在本發明之一實施例中，半導體元件結構更包括，位於高介電係數材質層與金屬閘電極之間的覆蓋層(capping layer)。

在本發明之一實施例中，半導體元件結構，更包括第一間隙壁以及第二間隙壁。其中，第一間隙壁，包含位於金屬閘電極之側壁上的一部份硬罩幕層，用以定義出第一開口；第二間隙壁包含位於多晶矽組件層之側壁上的一部份硬罩幕層，用以定義出第二開口。

本發明另提供一種半導體元件結構的製造方法，包括下述步驟：首先提供一個虛擬閘極(dummy gate)以及一個被動元件，其中虛擬閘極具有一個多晶矽閘電極層，且被動元件具有一個多晶矽組件層。接著，於虛擬閘極與被動元件上，形成硬罩幕層。然後，進行第一蝕刻製程，移除一部份硬罩幕層，藉以將一部份多晶矽組件層暴露於外。之後，於虛擬閘極與被動元件上，形成內層介電層(Inner Layer Dielectric, ILD)；並以硬罩幕層為研磨終止層，對內層介電層進行平坦化。後續，進行第二蝕刻製程，移除多晶矽閘電極層，並於多晶矽閘電極層原來的位置上，形成金屬閘電極。

在本發明之一實施例中，第一蝕刻製程還移除了一部份的多晶矽組件層，藉以在被動元件中形成一個凹室，將剩餘的多晶矽組件層暴露於外。

在本發明之一實施例中，虛擬閘極及被動元件的形成，包括下述步驟：首先依序於基材上形成介電材質層以及多晶矽材質層。接著，圖案化多晶矽材質層以及介電材質層，以於圖案化的介電材質層上，形成多晶矽閘電極以及多晶矽組件層。之後，分別於多晶矽閘電極以及多晶矽組件層之側壁上，形成第一間隙壁與第二間隙壁。

在本發明之一實施例中，介電材質層包括：依序堆疊於該基材上的介面層以及高介電係數材質層。在本發明之一實施例中，更包括，於高介電係數材質層以及多晶矽材質層之間，形成覆蓋層。在本發明之一實施例中，在形成金屬閘電極之前，更包括：於覆蓋層上，形成至少一功函數層(working function layer)。

在本發明之一實施例中，進行第二蝕刻製程之前，更包

括：以虛擬閘極為罩幕，於基材之中形成汲極/源極結構。在本發明之一實施例中，在形成金屬閘電極之前，更包括：於多晶矽閘電極層原來的位置上，形成高介電係數材質層；且於高介電係數材質層上形成至少一功函數層。

在本發明之一實施例中，第二蝕刻製程包括乾式蝕刻及濕式蝕刻。在本發明之一實施例中，內層介電層的平坦化包括化學機械研磨(Chemical Mechanical Polishing, CMP)。

根據上述，本發明的實施例是提供一種整合金屬閘電極電晶體與被動元件的半導體元件結構。其製作方式，係先以硬罩幕覆蓋多晶矽虛擬閘電極與被動元件。再對被動元件進行第一次蝕刻製程，以移除一部份硬罩幕，並將被動元件的一部份多晶矽組件層暴露於外。之後，再進行第二次蝕刻製程，以移除多晶矽虛擬閘極。後續再進行金屬閘電極沉積以及平坦化製程，以形成彼此共平面的金屬閘電極以及被動元件。

藉由兩次蝕刻製程，分別薄化動元件與移除虛擬閘極，可使被動元件與金屬閘電極，能在同一平面上進行後續的金屬接觸製程，減少被動元件多晶矽組件層的金屬殘留，提升元件的效能。

【實施方式】

本發明是在提供一種半導體元件結構及其製造方法，可將金屬閘電極電晶體與被動元件加以整合，並提高元件效能。為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉數個較佳實施例，並配合所附圖式，作詳細說明如下。

請參照圖 1A 到圖 1G，圖 1A 到圖 1G 係根據本發明的一

較佳實施例，所繪示之製作半導體元件結構 100 的一系列製程結構剖面圖。其中，半導體元件結構 100 的製造方法，包括下述步驟：

首先在基材 101 上依序形成介電材質層 104、覆蓋層 120 以及多晶矽材質層 105(如圖 1A 所繪示)。在本實施例之中，介電材質層 104 包括：依序堆疊於基材 101 上的介面層 104a 以及高介電係數材質層 104b。介面層 104a 的材質，較佳為二氧化矽、氮化矽、氮氧化矽或氮碳化矽；高介電係數材質層 104b 的材質，較佳為矽化鉛、氧化鉛、氧化矽鉛或氮氧化矽鉛。覆蓋層 120 的材質，較佳為氮化鈦(TiN)或氮化鉭(TaN)。在本發明的一些實施例之中，還包括在多晶矽材質層 105 上，另外形成至少一硬式罩幕層(未繪示)。

之後，對多晶矽材質層 105 以及介電材質層 104 進行圖案化製程，以於圖案化的介電質層 104 上，形成多晶矽閘電極 106 以及多晶矽組件層 107(其中，位於多晶矽閘電極 106 下方的圖案化介電質層 104，以下稱為閘介電層 108)。

再藉由沉積及蝕刻製程，分別於多晶矽閘電極 106 以及多晶矽組件層 107 之側壁上，形成第一間隙壁 109 與第二間隙壁 110。進而，於基材 101 上提供一個虛擬閘極(dummy gate)102 以及一個被動元件 103。其中，被動元件 103 較佳為電阻。

而在形成第一間隙壁 109 與第二間隙壁 110 之前，還包括，以多晶矽閘電極 106 和閘介電層 108 為罩幕，進行複數個輕摻雜製程，藉以在基材 101 之中形成輕摻雜汲極(Light Doped Drain, LDD)結構，並與閘介電層 108 鄰接。在形成第一間隙壁 109 與第二間隙壁 110 之後，再以虛擬閘極 102 作為罩幕，對輕摻雜汲極結構進行一連串的離子植入製程，於基材

101 之中形成汲極/源極結構 119 (如圖 1B 所繪示)。

接著，於虛擬閘極 102 與被動元件 103 上，形成硬罩幕層 111，並於硬罩幕層 111 上形成一圖案化光阻層 112，將位於多晶矽組件層 107 上方的一部分硬罩幕層 111 暴露出來(如圖 1C 所繪示)。然後，進行第一蝕刻製程，以移除一部份硬罩幕層 111，藉以於硬罩幕層 111 上定義出開口 111a，將一部份多晶矽組件層 107 暴露於外。

在本發明的一些實施例之中，硬罩幕層 111 可以是由單層或多層的氮化矽(SiN)、碳化矽(SiC)或碳氮化矽(SiCN)等材質，所構成的接觸蝕刻停止層(Contact Etch Stop Layer，CESL)。較佳地為可施加應力之氮化矽多層。

在本發明的一些實施例之中，第一蝕刻製程 113，較佳還會將一部份的多晶矽組件層 107 移除，藉以在被動元件 103 中，形成一個凹室 113，將剩餘的多晶矽組件層 107 由開口 111a 暴露於外(如圖 1D 所繪示)。

後續，於虛擬閘極 102 與被動元件 103 上，形成內層介電層 114，並填充凹室 113。之後，再以硬罩幕層 111 為研磨終止層，對內層介電層 114 進行平坦化(如圖 1E 所繪示)。在本發明的較佳實施例中，內層介電層 114 的平坦化，包括化學機械研磨製程。

之後，以覆蓋層 120 作為蝕刻終止層，進行第二蝕刻製程，以移除覆蓋於虛擬閘極 102 上的一部份硬罩幕層 111，以及位於虛擬閘極 102 中的多晶矽閘電極 106，藉以在硬罩幕層 111 上定義出開口 111b，並在虛擬閘極 102 之中形成凹室 115，讓覆蓋層 120 經由凹室 115 和開口 111b 暴露於外(如圖 1F 所繪示)。

在本發明的一些實施例之中，第二蝕刻製程可同時使用乾式蝕刻以及濕式蝕刻兩種蝕刻方式。在本實施例之中，則係先採用乾式蝕刻來移除硬罩幕層 111；再採用濕式蝕刻來移除多晶矽閘電極 106。

之後，於凹室 115 中的覆蓋層 120 上，形成至少一個功函數層 116，例如氮化鈦或鈦鋁合金(TiAl)；再於功函數層 116 上沉積金屬層，並對金屬層進行平坦化步驟，而形成包含有金屬閘電極 117 的金屬閘極結構 118，完成半導體元件結構 100 的製備(如圖 1G 所繪示)。後續再於金屬閘極結構 118 和被動元件 103 上，進行金屬接觸製程，形成複數個與金屬內連線電性接觸的金屬接觸(未繪示)。

請參照圖 2A 到圖 2G，圖 2A 到圖 2G 係根據本發明的另一較佳實施例，繪示製作半導體元件結構 200 的一系列製程結構剖面圖。其中，半導體元件結構 200 的製造方法，包括下述步驟：

首先在基材 201 上依序形成介電材質層 204 以及多晶矽材質層 205(如圖 2A 所繪示)。在本實施例之中，介電材質層 204 較佳為二氧化矽、氮化矽、氮氧化矽或氮碳化矽。

之後，對多晶矽材質層 205 以及介電材質層 204 進行圖案化製程，以於圖案化的介電材質層 204 上形成多晶矽閘電極 206 以及多晶矽組件層 207。再藉由沉積與蝕刻製程，分別於多晶矽閘電極 206 以及多晶矽組件層 207 之側壁上，形成第一間隙壁 209 與第二間隙壁 210。進而，於基材 201 上提供一個虛擬閘極 202 以及一個被動元件 203(較佳為電阻)。

而在形成第一間隙壁 209 與第二間隙壁 210 之前，還包括，以多晶矽閘電極 206 和閘介電層 208 為罩幕，進行複數個

輕摻雜製程，藉以在基材 201 之中形成輕摻雜汲極結構，與閘介電層 108 鄰接。之後，再以虛擬閘極 202 為罩幕，於基材 201 之中形成汲極/源極結構 219(如圖 2B 所繪示)。

接著，於虛擬閘極 202 與被動元件 203 上，形成硬罩幕層 211，並於硬罩幕層 211 形成一圖案化光阻層 212，將位於多晶矽組件層 207 上方的一部分硬罩幕層 211 暴露出來(如圖 2C 所繪示)。在本發明的一些實施例之中，硬罩幕層 211 可以由單層或多層的氮化矽、碳化矽或碳氮化矽材質，所構成的接觸蝕刻停止層。較佳地為可施加應力之氮化矽多層。

然後，進行第一蝕刻製程，以移除一部份硬罩幕層 211 及一部份的多晶矽組件層 207，藉以在硬罩幕層 211 上定義出開口 211a，並且在被動元件 203 之中，形成一個凹室 213，將剩餘的多晶矽組件層 207 經由開口 211a 暴露於外(如圖 2D 所繪示)。

後續，於虛擬閘極 202 與被動元件 203 上，形成內層介電層 214，並填充凹室 213。之後，再以硬罩幕層 211 為研磨終止層，對內層介電層 214 進行平坦化(如圖 2E 所繪示)。在本發明的較佳實施例中，內層介電層 214 的平坦化，包括化學機械研磨製程。

之後，以介電材質層 204 作為蝕刻終止層，進行第二蝕刻製程，移除覆蓋於虛擬閘極 202 上的一部份硬罩幕層 211，以及位於虛擬閘極 202 中的多晶矽閘電極 206，藉以在硬罩幕層 211 上定義出開口 211b，並在虛擬閘極 202 之中形成凹室 215，讓介電材質層 204 經由凹室 215 及開口 211b 暴露於外(如圖 2F 所繪示)。

在本發明的一些實施例之中，第二蝕刻製程可同時使用乾

式蝕刻以及濕式蝕刻兩種蝕刻方式。在本實施例之中，則係先採用乾式蝕刻來移除硬罩幕層 211；再採用濕式蝕刻來移除多晶矽閘電極 206。

移除多晶矽閘電極 206 之後，在經由凹室 215 及開口 211b 暴露於外的介電材質層 204 上，形成具有高介電係數的閘介電層 208。在本實施例之中，閘介電層 208。包括：依序堆疊於介面材質層 204 上的高介電係數材質層 208a 以及覆蓋層 208b。

接著，於高介電係數材質層 208a 上形成至少一個功函數層 216；再於功函數層 216 上沉積金屬層；並對金屬層進行平坦化步驟，藉以形成包含金屬閘電極 217 的金屬閘極結構 218，完成半導體元件結構 200 的製備(如圖 2G 所繪示)。後續再進行金屬接觸製程，形成複數個金屬接觸，與金屬內連線電性接觸(未繪示)。

請再參照圖 2G，半導體元件結構 200，包括金屬閘極結構 218、硬罩幕層 211 以及被動元件 203。其中，硬罩幕層 211，覆蓋於金屬閘極結構 218 和被動元件 203 的側壁上，與金屬閘極結構 218 和被動元件 203 的第一間隙壁 209 與第二間隙壁 210 共形。

另外，硬罩幕層 211 具有兩個開口，例如開口 211a 與 211b，可分別用來將金屬閘極結構 218 的金屬閘電極 217 和被動元件 203 的多晶矽組件層 207 暴露於外。雖然，開口 211a 和 211b 係分別藉由兩個不同的蝕刻製程所定義出來。但是，由於在兩個不同的蝕刻製程之後，硬罩幕層 211 還會再經歷至少一道平坦化步驟，使得開口 211a 和 211b 彼此實質共面。亦即是說，金屬閘極結構 218 和被動元件 203 二者，能在同一平面上進行後續的金屬接觸製程。

又，由於構成被動元件 203 的多晶矽組件層 207，在進行第一次蝕刻製程時，遭到部份移除，使得多晶矽組件層 207 的厚度，小於置換多晶矽閘電極 206 之金屬閘電極 217、閘介電層 208 與功函數層 216 三者的厚度。因此，當金屬閘電極 217、閘介電層 208 與功函數層 216 三者經過金屬平坦化步驟之後，多晶矽組件層 207 與開口 211b 之間，仍會存在一個高度落差 H_0 ，也就是說，雖然暴露金屬閘電極 217 和多晶矽組件層 207 的開口 211b 和 211a，彼此實質共平面，但開口 211b 與金屬閘電極 217 之間的距離，仍實質小於開口 211a 與多晶矽組件層 207 之間的距離。

根據上述，本發明的實施例是提供一種整合金屬閘電極電晶體與被動元件的半導體元件結構。其製作方式，係先以硬罩幕覆蓋多晶矽虛擬閘電極與被動元件。再對被動元件進行第一次蝕刻製程，以移除一部份硬罩幕，並將被動元件的一部份多晶矽組件層暴露於外。之後，再進行第二次蝕刻製程，以移除多晶矽虛擬閘極。後續再進行金屬閘電極沉積以及平坦化製程，以形成彼此共平面的金屬閘電極以及被動元件。

藉由兩次蝕刻製程，分別薄化被動元件與移除虛擬閘極，可使被動元件與金屬閘電極，能在同一平面上進行後續的金屬接觸製程，減少被動元件多晶矽組件層的金屬殘留，提升元件的效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 到圖 1G 係根據本發明的一較佳實施例，繪示製作半導體元件結構的一系列製程結構剖面圖。

圖 2A 到圖 2G 係根據本發明的另一較佳實施例，繪示製作半導體元件結構的一系列製程結構剖面圖。

【主要元件符號說明】

100：半導體元件結構	101：基材
102：虛擬閘極	103：被動元件
104：介電材質層	104a：介面層
104b：高介電係數材質層	
105：多晶矽材質層	106：多晶矽閘電極
107：多晶矽組件層	108：閘介電層
109：第一間隙壁	110：第二間隙壁
111：硬罩幕層	111a：開口
111b：開口	112：圖案化光阻層
113：凹室	
114：內層介電層	115：凹室
116：功函數層	117：金屬閘電極
118：金屬閘極結構	119：汲極/源極結構
120：覆蓋層	
200：半導體元件結構	201：基材
202：虛擬閘極	203：被動元件
204：介電材質層	205：多晶矽材質層
206：多晶矽閘電極	207：多晶矽組件層
208：閘介電層	208a：高介電係數材質層
208b：覆蓋層	209：第一間隙壁
210：第二間隙壁	211：硬罩幕層



211a：開口

212：圖案化光阻層

213：凹室

215：凹室

217：金屬閘電極

219：汲極/源極結構

211b：開口

214：內層介電層

216：功函數層

218：金屬閘極結構

H：高度落差

七、申請專利範圍：

1. 一種半導體元件結構，包括：
 - 一金屬閘電極；
 - 一被動元件，具有一多晶矽組件層；以及
 - 一硬罩幕層，覆蓋於該金屬閘電極與該被動元件上，且具有實質共面的一第一開口與一第二開口，以分別將該金屬閘電極和該多晶矽組件層暴露於外；其中該第一開口與該金屬閘電極之間的距離，實質小於該第二開口與該多晶矽組件層的距離。
2. 如申請專利範圍第 1 項所述的半導體元件結構，更包括：
 - 一基材；
 - 一汲極/源極結構，位於該基材之中，與該金屬閘電極鄰接；以及
 - 一閘介電層，位於該汲極/源極結構與該金屬閘電極之間。
3. 如申請專利範圍第 2 項所述的半導體元件結構，其中該閘介電層包括：依序堆疊於該基材上的一介面層(interfacial layer, IL) 以及一高介電係數材質層。
4. 如申請專利範圍第 3 項所述的半導體元件結構，更包括一覆蓋層(capping layer)，位於該高介電係數材質層與該金屬閘電極之間。
5. 如申請專利範圍第 1 項所述的半導體元件結構，其中

該被動元件為一電阻。

6. 如申請專利範圍第 1 項所述的半導體元件結構，更包括：

一第一間隙壁，包含位於該金屬閘電極之側壁上的一部份該硬罩幕層，用以定義該第一開口；以及

一第二間隙壁，包含位於該多晶矽組件層之側壁上的一部份該硬罩幕層，用以定義該第二開口。

7. 一種半導體元件結構的製造方法，包括：

提供一虛擬閘極(dummy gate)結構以及一被動元件，其中該虛擬閘極具有一多晶矽閘電極，且該被動元件具有一多晶矽組件層；

於該虛擬閘極與該被動元件上，形成一硬罩幕層；

進行一第一蝕刻製程，移除一部份該硬罩幕層，藉以將一部份該多晶矽組件層暴露於外；

於該虛擬閘極與該被動元件上，形成一內層介電層(Inner Layer Dielectric, ILD)；

以該硬罩幕層為研磨終止層，平坦化該內層介電層；

進行一第二蝕刻製程，移除該多晶矽閘電極；以及

於多晶矽閘電極原來的位置上，形成一金屬閘電極。

8. 如申請專利範圍第 7 項所述之半導體元件結構的製造方法，其中該第一蝕刻製程，更移除了一部份的該多晶矽組件層，藉以將剩餘的該多晶矽組件層暴露於外。

9. 如申請專利範圍第 7 項所述之半導體元件結構的製造方法，其中形成該虛擬閘極及該被動元件的步驟，包括：

依序於一基材上形成一介電材質層以及一多晶矽材質層；

圖案化該多晶矽材質層以及該介電材質層，以於圖案化的該介電材質層上，形成該多晶矽閘電極和該多晶矽組件層；以及

分別於該多晶矽閘電極以及該多晶矽組件層之側壁上，形成一第一間隙壁與一第二間隙壁。

10. 如申請專利範圍第 9 項所述之半導體元件結構的製造方法，其中該介電材質層包括：依序堆疊於該基材上的一介面層以及一高介電係數材質層。

11. 如申請專利範圍第 10 項所述之半導體元件結構的製造方法，更包括於該高介電係數材質層以及該多晶矽材質層之間，形成一覆蓋層。

12. 如申請專利範圍第 11 項所述之半導體元件結構的製造方法，其中在形成該金屬閘電極之前，更包括：

於該覆蓋層上，形成至少一功函數層 (working function layer)。

13. 如申請專利範圍第 9 項所述之半導體元件結構的製造方法，其中在進行該第二蝕刻製程之前，更包括：以該虛擬閘極為罩幕，於該基材之中形成一汲極/源極結構。

14. 如申請專利範圍第9項所述之半導體元件結構的製造方法，其中在形成該金屬閘電極之前，更包括：

於多晶矽閘電極原來的位置上，形成一高介電係數材質層；以及

於該高介電係數材質層上形成至少一功函數層。

15. 如申請專利範圍第7項所述之半導體元件結構的製造方法，其中該第二蝕刻製程包括一乾式蝕刻以及一濕式蝕刻。

16. 如申請專利範圍第7項所述之半導體元件結構的製造方法，其中該內層介電層的平坦化包括：一化學機械研磨 (Chemical Mechanical Polishing, CMP)。

八、圖式：

14. 如申請專利範圍第9項所述之半導體元件結構的製造方法，其中在形成該金屬閘電極之前，更包括：

於多晶矽閘電極原來的位置上，形成一高介電係數材質層；以及

於該高介電係數材質層上形成至少一功函數層。

15. 如申請專利範圍第7項所述之半導體元件結構的製造方法，其中該第二蝕刻製程包括一乾式蝕刻以及一濕式蝕刻。

16. 如申請專利範圍第7項所述之半導體元件結構的製造方法，其中該內層介電層的平坦化包括：一化學機械研磨 (Chemical Mechanical Polishing, CMP)。

八、圖式：

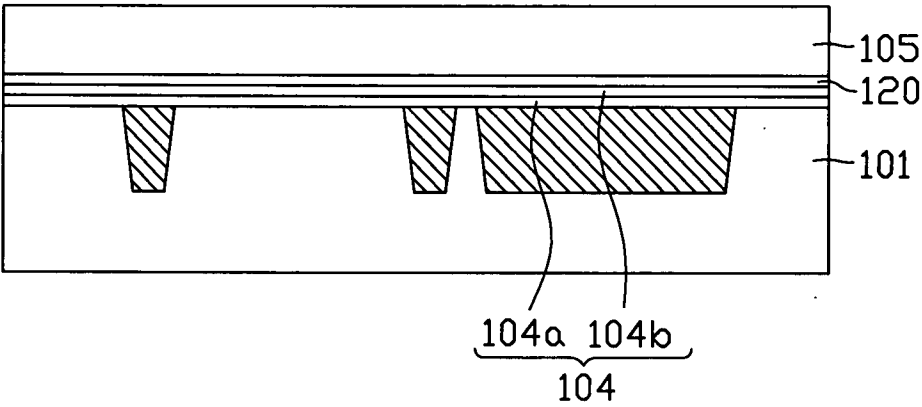


圖 1A

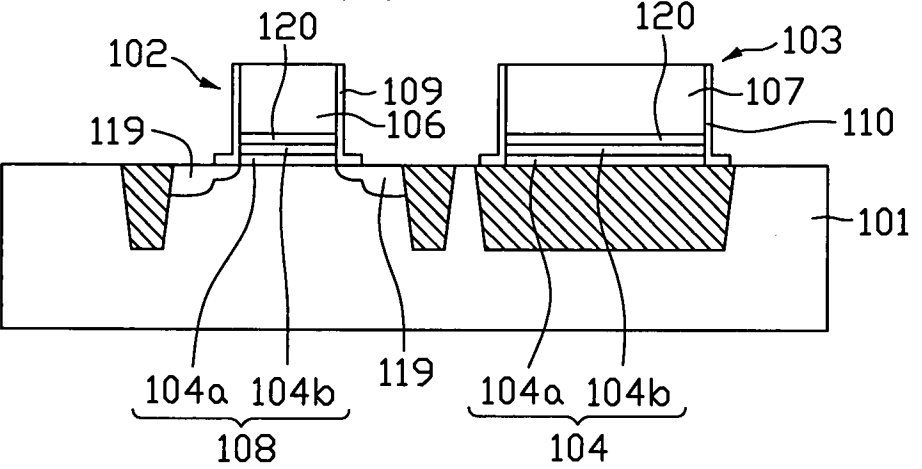


圖 1B

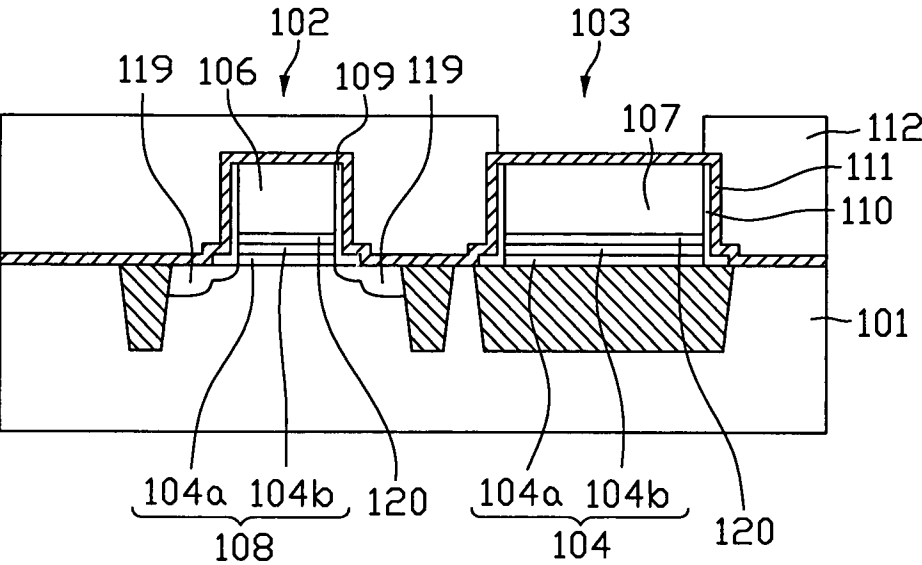


圖 1C

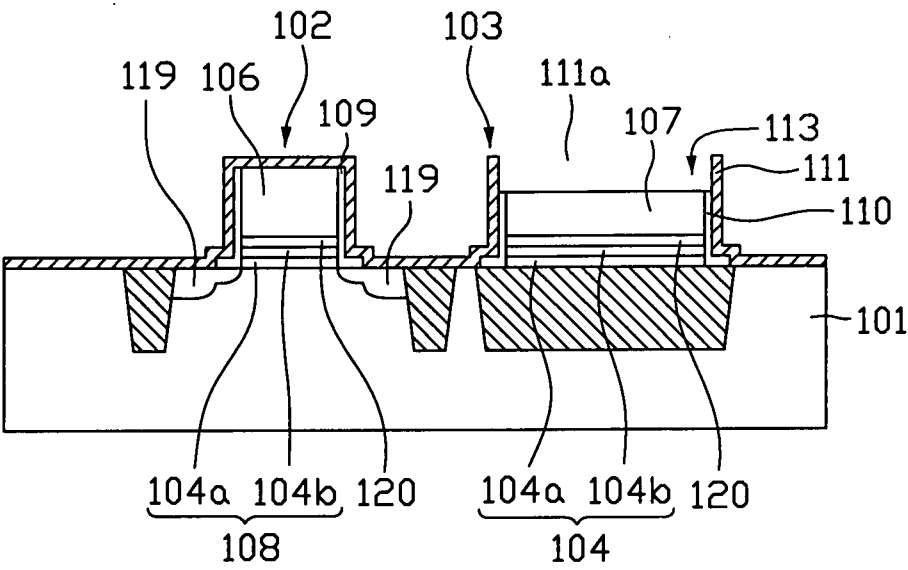


圖 1D

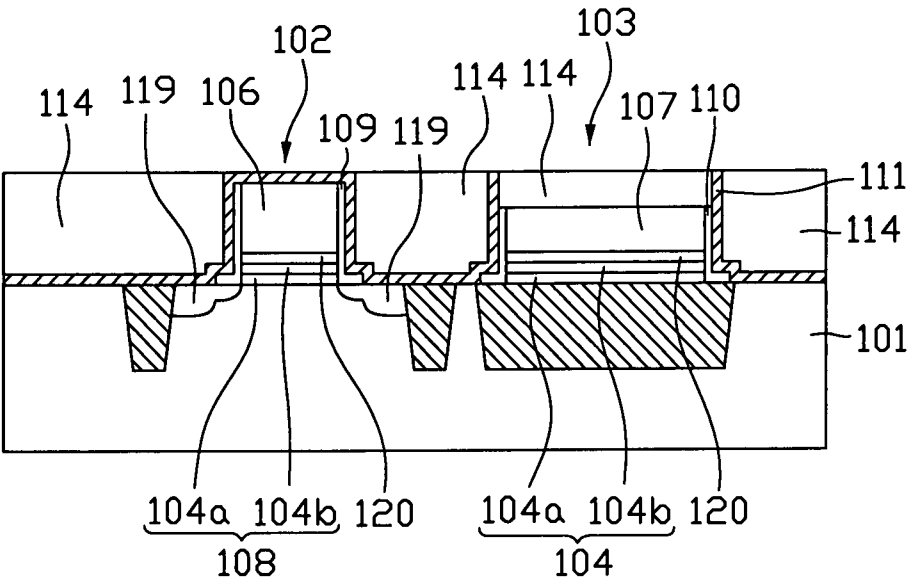


圖 1E

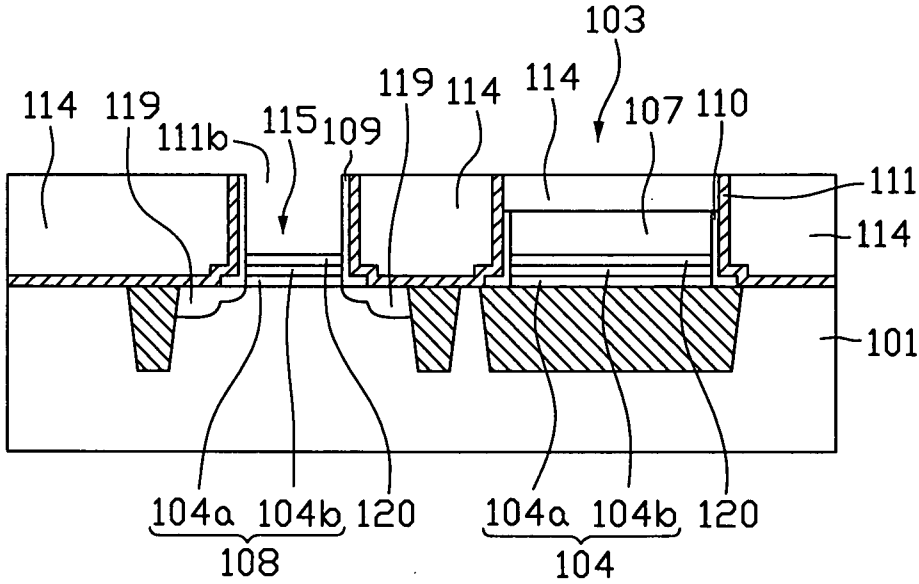


圖 1F

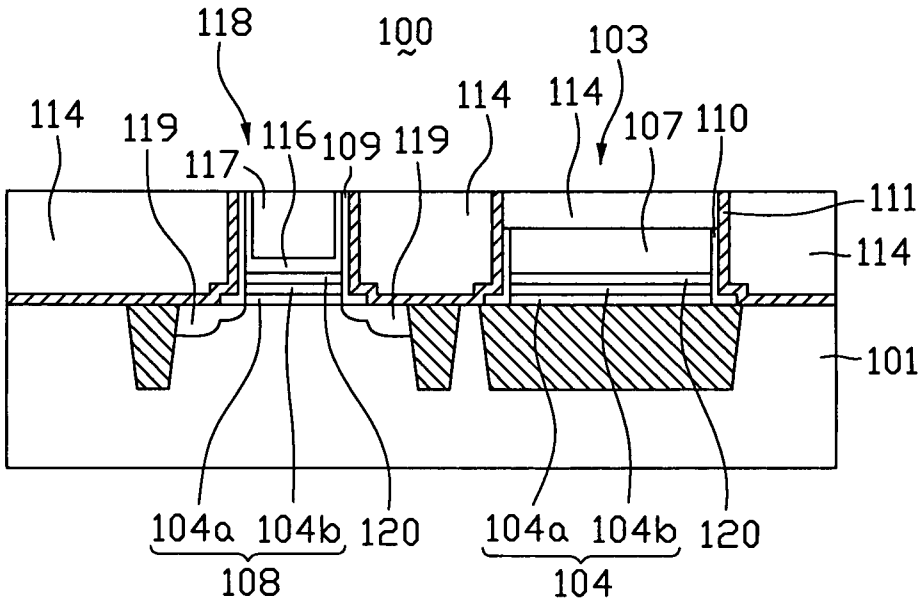


圖 1G

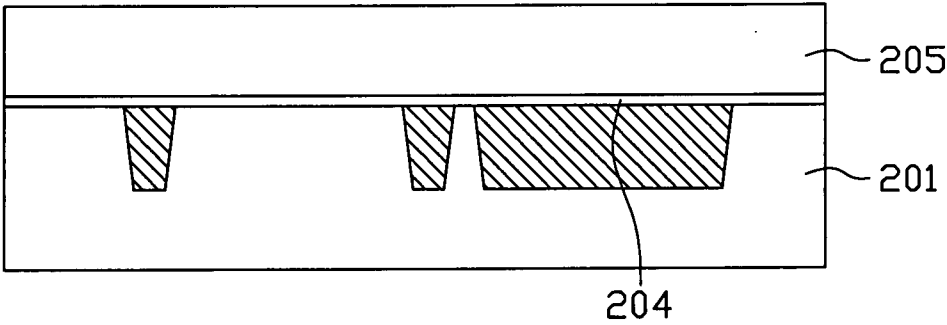


圖 2A

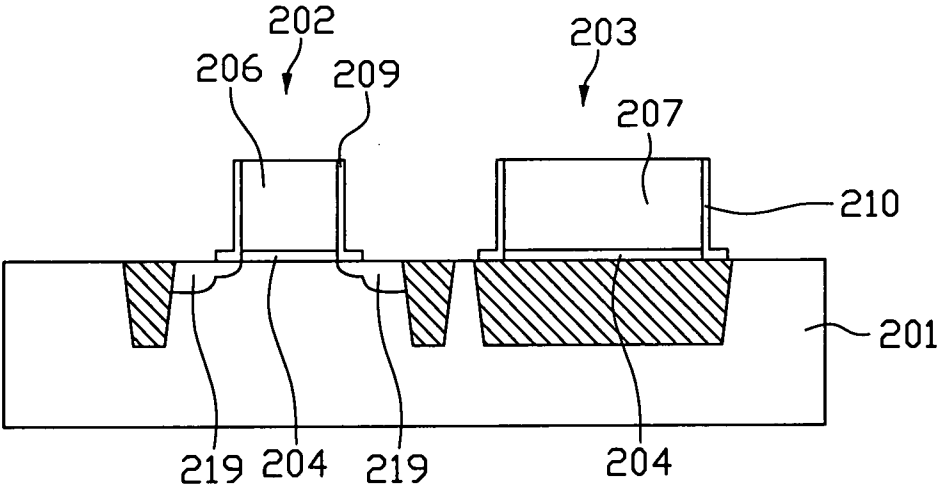


圖 2B

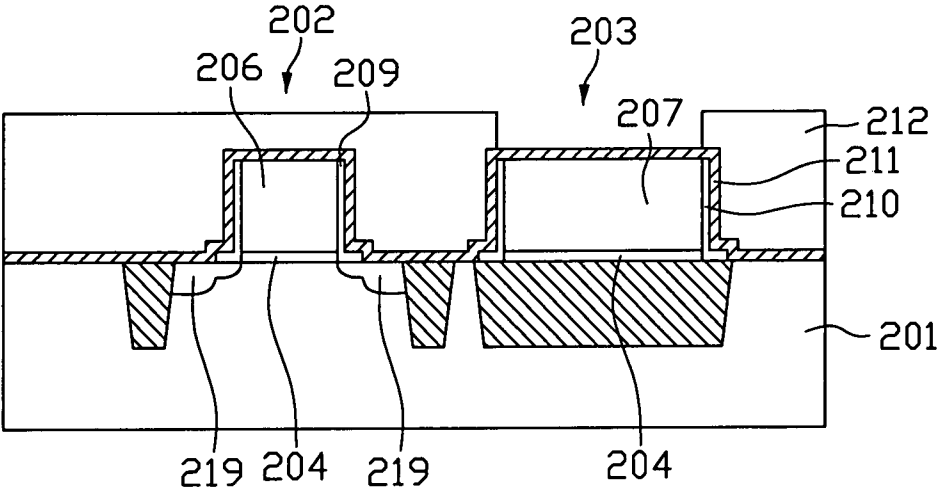


圖 2C

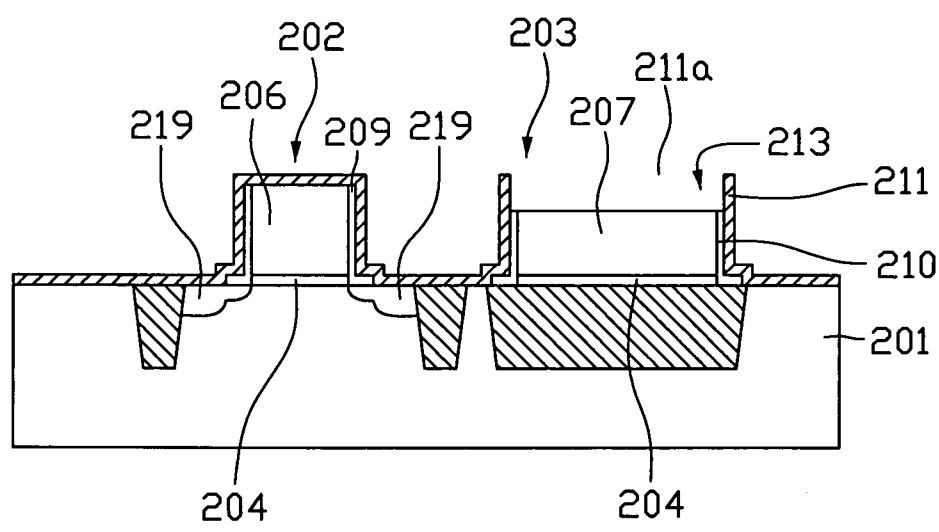


圖 2D

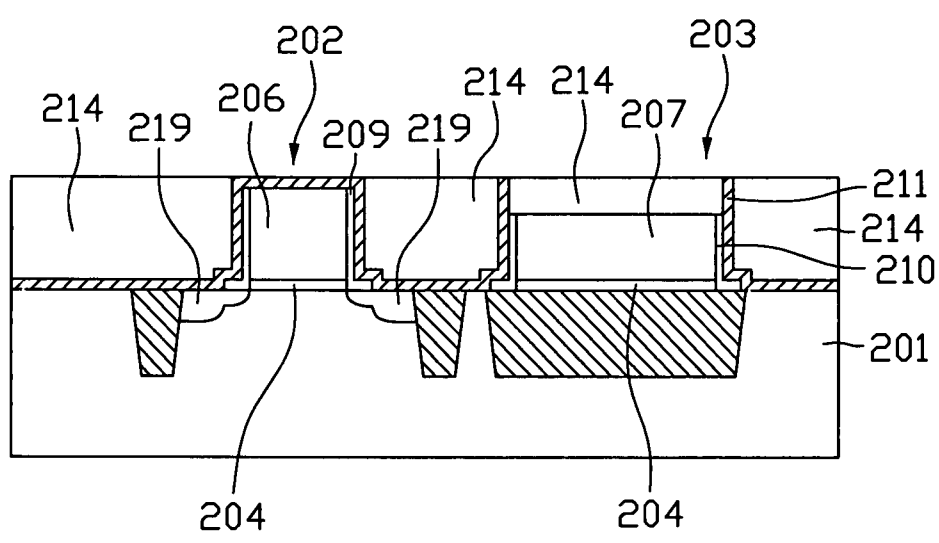


圖 2E

