



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0038497
(43) 공개일자 2015년04월08일

- (51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) *H01L 23/498* (2006.01)
H01L 25/10 (2006.01) *H01L 25/18* (2006.01)
- (52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/49811 (2013.01)
- (21) 출원번호 10-2015-7005269
- (22) 출원일자(국제) 2013년07월31일
심사청구일자 空
- (85) 번역문제출일자 2015년02월27일
- (86) 국제출원번호 PCT/US2013/052883
- (87) 국제공개번호 WO 2014/022485
국제공개일자 2014년02월06일
- (30) 우선권주장
13/563,085 2012년07월31일 미국(US)
- (71) 출원인
인벤사스 코포레이션
미국 캘리포니아 산 호세 오처드 파크웨이 3025
(우편번호 95134)
- (72) 발명자
모하메드 일야스
미국 95050 캘리포니아주 산타 클라라 보하년 드
라이브 2377
- (74) 대리인
유미특허법인

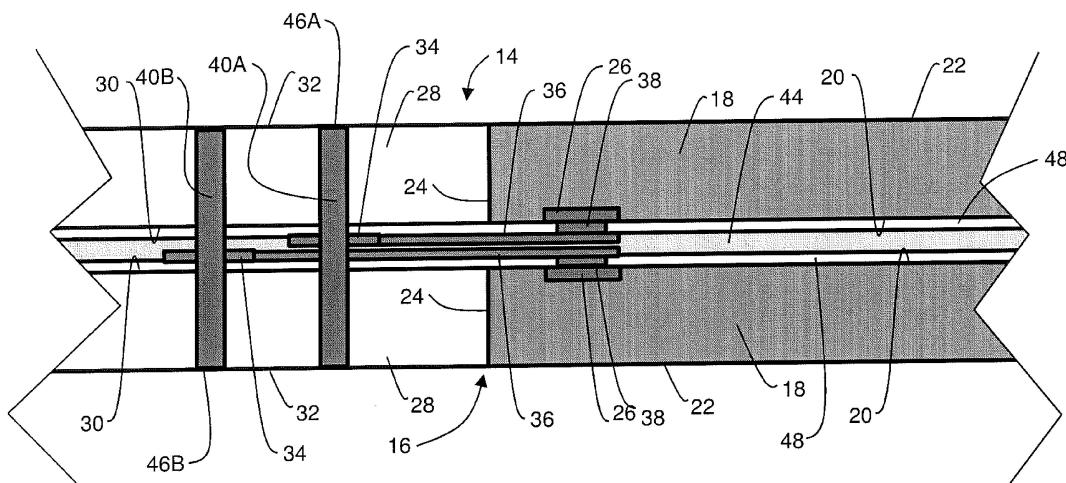
전체 청구항 수 : 총 36 항

(54) 발명의 명칭 재구성된 웨이퍼-레벨 마이크로전자 패키지

(57) 요 약

마이크로전자 패키지(10)는 제 1 및 제 2 캡슐화된 마이크로전자 소자(14, 16)를 포함하는데, 이들 각각은 전면(20) 및 콘택(26)을 가지는 반도체 다이(14)를 포함한다. 봉합재(28)는 각각의 다이의 에지면(24)과 접촉하고 그로부터 적어도 하나의 가로 방향에서 연장한다. 전기적 도전성 소자(36)는 콘택으로부터 그리고 전면 위에서 봉합재에 상재하는 위치로 연장한다. 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 제 1 및 제 2 다이 중 하나의 전면 또는 후면 중 하나가 제 1 및 제 2 다이 중 다른 것의 전면 또는 후면 중 하나를 향해 지향되게 한다. 복수 개의 전기적 도전성 상호접속(40)은 제 1 및 제 2 마이크로전자 소자의 봉합재를 통해 연장하고, 도전성 소자에 의하여 제 1 및 제 2 마이크로전자 소자의 적어도 하나의 반도체 다이와 전기적으로 접속된다.

대 표 도 - 도1a



(52) CPC특허분류

H01L 23/49838 (2013.01)

H01L 25/105 (2013.01)

H01L 25/18 (2013.01)

명세서

청구범위

청구항 1

마이크로전자 패키지로서,

제 1 및 제 2 캡슐화된 마이크로전자 소자로서, 각각:

제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택, 상기 전면에 대향하는 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이;

적어도 상기 반도체 다이의 에지면과 접촉하고 그리고 상기 가로 방향 중 적어도 하나로 상기 에지면으로부터 연장하는 봉합재(encapsulant); 및

상기 반도체 다이의 콘택으로부터 그리고 상기 전면 상에서, 상기 가로 방향 중 적어도 하나로 상기 봉합재에 상재하는 위치까지 연장하는 전기적 도전성 소자를 포함하고,

상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이 중 하나의 전면 또는 후면 중 하나가 상기 제 1 및 제 2 반도체 다이 중 다른 것의 전면 또는 후면 중 하나를 향하여 그리고 이에 근접하게 지향되게 하고, 상기 제 1 및 제 2 마이크로전자 소자의 봉합재는 개별적인 외형적으로 대향면들을 정의하는, 제 1 및 제 2 캡슐화된 마이크로전자 소자; 및

상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 연장하는 복수 개의 전기적 도전성 상호접속(electrically conductive interconnect)으로서, 상기 도전성 상호접속 중 적어도 일부는 상기 도전성 소자에 의하여 상기 제 1 및 제 2 마이크로전자 소자 중 적어도 하나의 반도체 다이와 전기적으로 연결되며, 상기 도전성 상호접속은 외형적으로 대향면들에 노출되는, 전기적 도전성 상호접속을 포함하는, 마이크로전자 패키지.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이의 전면들이 서로 대면하도록 하는, 마이크로전자 패키지.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 2 반도체 다이의 전면이 상기 제 1 반도체 다이의 후면을 대면하도록 하는, 마이크로전자 패키지.

청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이의 후면들이 서로 대면하도록 하는, 마이크로전자 패키지.

청구항 5

제 1 항에 있어서,

상기 마이크로전자 소자 중 적어도 하나는 상기 봉합재의 주면(major surface)이 각 반도체 다이의 전면과 공평면(co-planar)이 되도록 구성되는, 마이크로전자 패키지.

청구항 6

제 1 항에 있어서,

상기 마이크로전자 소자 중 적어도 하나는 상기 봉합재의 제 2 주면이 대응하는 반도체 다이의 후면과 공평면이 되도록 구성되는, 마이크로전자 패키지.

청구항 7

제 1 항에 있어서,

상기 도전성 상호접속은 상기 봉합재의 외형적으로 대향면들 사이에서 연장하고 각 도전성 소자와 교차하는 레이저-에칭된 개구를 포함하고, 상기 개구는 적어도 부분적으로 도전성 금속으로써 충진되는, 마이크로전자 패키지.

청구항 8

제 1 항에 있어서,

상기 도전성 상호접속 중 첫 번째 것들은 각 도전성 소자에 의하여 상기 제 1 반도체 다이와 전기적으로 접속되고, 상기 도전성 상호접속 중 두 번째 것들은 각 도전성 소자에 의하여 상기 제 2 반도체 다이와 전기적으로 접속되는, 마이크로전자 패키지.

청구항 9

제 8 항에 있어서,

상기 제 1 도전성 상호접속의 양은 상기 제 2 도전성 상호접속의 양과 동일한, 마이크로전자 패키지.

청구항 10

제 8 항에 있어서,

상기 도전성 상호접속 모두는 제 1 도전성 상호접속 또는 제 2 도전성 상호접속인, 마이크로전자 패키지.

청구항 11

제 1 항에 있어서,

상기 제 1 및 제 2 반도체 다이는 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공하도록 구성되는 더 많은 개수의 능동 디바이스를 가지는 메모리 칩인, 마이크로전자 패키지.

청구항 12

제 11 항에 있어서,

상기 메모리 칩의 각각은 동적 랜덤 액세스 메모리("DRAM") 스토리지 어레이를 포함하는, 마이크로전자 패키지.

청구항 13

마이크로전자 어셈블리로서,

제 1 항에 따른 제 1 마이크로전자 패키지; 및

그 위에 노출된 단자를 가지는 제 1 면, 그 위에 노출된 패키지 콘택을 가지는 제 2 면을 정의하는 제 2 마이크로전자 패키지로서, 상기 마이크로전자 패키지는 상기 제 1 및 제 2 면 사이에 배치되고 상기 단자 및 패키지 콘택과 전기적으로 접속되는 마이크로전자 소자를 더 포함하는, 제 2 마이크로전자 패키지; 및

상기 제 1 마이크로전자 패키지의 도전성 상호접속의 대면 단부(confronting ends) 및 상기 제 2 마이크로전자 패키지의 단자 사이에서 결합되는 복수 개의 도전성 결합 소자(conductive joining elements)를 포함하는, 마이크로전자 어셈블리.

청구항 14

제 13 항에 있어서,

상기 제 2 패키지의 마이크로전자 패키지는 임의의 다른 기능보다 로직 기능을 제공하도록 구성되는 더 큰 개수

의 능동 디바이스를 가지는 로직 칩인, 마이크로전자 어셈블리.

청구항 15

제 13 항에 있어서,

상기 제 2 마이크로전자 패키지는 상기 마이크로전자 소자가 그 뒤에 탑재된 기판을 더 포함하고, 상기 기판은 상기 마이크로전자 소자 및 단자 사이에 전기적으로 접속되는 도전성 소자를 포함하는, 마이크로전자 어셈블리.

청구항 16

제 15 항에 있어서,

상기 단자는 상기 도전성 소자의 각각에 결합되는 베이스를 가지는 와이어 본드의 단부인, 마이크로전자 어셈블리.

청구항 17

제 16 항에 있어서,

제 2 마이크로전자 패키지는 상기 기판의 표면 상에 그리고 상기 마이크로전자 소자 중 적어도 일부 상에 형성된 캡슐층을 더 포함하고, 상기 캡슐층은 더 나아가 상기 와이어 본드의 에지면을 따라서 연장하고 상기 와이어 본드를 분리시키며, 상기 캡슐층은 상기 제 2 패키지의 제 1 면을 정의하고, 그리고 상기 와이어 본드의 단부면은 그것의 제 2 면 상에서 캡슐층에 의하여 덮이지 않는(uncovered), 마이크로전자 어셈블리.

청구항 18

제 13 항에 있어서,

상기 제 2 마이크로전자 패키지는 상기 제 2 패키지의 제 1 면을 정의하고 상기 제 1 면에 반대인 제 3 면을 가지는 기판을 더 포함하고, 상기 마이크로전자 소자는 상기 제 3 면 상에 탑재되는, 마이크로전자 어셈블리.

청구항 19

제 13 항에 있어서,

상기 도전성 상호접속 중 첫 번째 것들은 각 도전성 소자에 의하여 상기 제 1 마이크로전자 소자와 전기적으로 접속되고, 상기 도전성 상호접속 중 두 번째 것들은 각 도전성 소자에 의하여 상기 제 2 마이크로전자 소자와 전기적으로 접속되며, 도전성 상호접속 중 세 번째 것들은 상기 제 1 또는 제 2 마이크로전자 소자와 접속되지 않는, 마이크로전자 어셈블리.

청구항 20

제 19 항에 있어서,

상기 제 1 마이크로전자 패키지에 상재하고, 상기 봉합재의 제 1 면 상에 노출되는 제 3 도전성 소자의 단부와 결합되는 패키지 콘택트를 가지는 제 3 마이크로전자 패키지를 더 포함하는, 마이크로전자 어셈블리.

청구항 21

제 13 의 마이크로전자 어셈블리 및 하나 이상의 전자 컴포넌트를 포함하는, 시스템.

청구항 22

마이크로전자 패키지로서,

제 1 및 제 2 캡슐화된 마이크로전자 소자로서, 각각 제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택트, 상기 전면에 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이를 포함하고, 각각의 마이크로전자 소자는: 각 반도체 다이의 에지면에 적어도 접촉하고, 상기 반도체 다이의 전면과 공평면이거나 이에 평행한 주면을 정의하기 위하여 상기 에지면으로부터 가로 방향 중 적어도 하나로 연장하는 봉합재, 및 상기 반도체 다이의 콘택트으로부터 그리고 상기 전면을 따라 연장하는 금속화된 비아를 포함하는 전기적 도전성 소자로서, 상기 도전성 소자 중 적어도 일부는 상기 에지면을 넘어 상기 봉합재의

주면에 상재하는 위치로 연장하는, 전기적 도전성 소자를 포함하고,

상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 전면들이 서로 대면하고 상기 주면이 서로 대면하게 하는, 제 1 및 제 2 캡슐화된 마이크로전자 소자; 및

상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 상기 주면으로부터 멀어지는 방향으로 연장하는 복수 개의 전기적 도전성 상호접속으로서, 상기 도전성 상호접속 중 적어도 일부는 상기 제 1 및 제 2 마이크로전자 소자의 적어도 하나의 반도체 다이와 상기 도전성 소자에 의하여 전기적으로 접속되고, 상기 도전성 상호접속은 상기 주면에 반대인 상기 봉합재의 제 1 및 제 2 대향면에서 노출되는, 전기적 도전성 상호접속을 포함하는, 마이크로전자 패키지.

청구항 23

마이크로전자 패키지의 제조 방법으로서,

복수 개의 전기적 도전성 상호접속을 제 1 및 제 2 캡슐화된 마이크로전자 소자를 통해 형성하는 단계로서, 상기 마이크로전자 소자 각각은:

제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택, 상기 전면에 대향하는 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이;

적어도 상기 각 반도체 다이의 에지면과 접촉하고 그리고 상기 가로 방향 중 적어도 하나로 상기 에지면으로부터 연장하는 봉합재(encapsulant); 및

상기 반도체 다이의 콘택으로부터 상기 가로 방향 중 적어도 하나로 상기 봉합재에 상재하는 위치까지 연장하는 전기적 도전성 소자를 포함하는, 단계를 포함하고,

상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이 중 하나의 전면 또는 후면 중 하나가 상기 제 1 및 제 2 반도체 다이 중 다른 것의 전면 또는 후면 중 하나를 향하여 그리고 이에 근접하게 지향되게 하고, 상기 제 1 및 제 2 마이크로전자 소자의 봉합재는 개별적인 외형적으로 대향면들을 정의하며; 그리고

상기 도전성 상호접속은 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 형성되어, 상기 도전성 상호접속 중 적어도 일부가 상기 도전성 소자에 의하여 상기 제 1 및 제 2 마이크로전자 중 적어도 하나의 반도체 다이와 전기적으로 연결되게 하고, 상기 도전성 상호접속은 외형적으로 대향면들에 노출되는, 마이크로전자 패키지 제조 방법.

청구항 24

제 23 항에 있어서,

상기 도전성 상호접속은 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 그리고 상기 도전성 소자의 각각을 통하여 개구를 레이저 에칭함으로써, 그리고 상기 개구를 도전성 금속으로써 적어도 부분적으로 충진함으로써 형성되는, 마이크로전자 패키지 제조 방법.

청구항 25

제 23 항에 있어서,

상기 제 1 및 제 2 마이크로전자 소자를 서로 부착하여 상기 전면들이 서로 대면하도록 하는 단계를 더 포함하는, 마이크로전자 패키지 제조 방법.

청구항 26

제 23 항에 있어서,

상기 제 1 및 제 2 마이크로전자 소자를 서로 부착하여 상기 제 2 마이크로전자 소자의 전면이 상기 제 1 마이크로전자 소자의 후면에 대면하도록 하는 단계를 더 포함하는, 마이크로전자 패키지 제조 방법.

청구항 27

제 23 항에 있어서,

상기 제 1 및 제 2 마이크로전자 소자를 서로 부착하여 상기 후면이 서로 대면하도록 하는 단계를 더 포함하는, 마이크로전자 패키지 제조 방법.

청구항 28

제 23 항에 있어서,

상기 도전성 상호접속은 각 도전성 소자에 의하여 상기 제 1 마이크로전자 소자에 접속되는 제 1 도전성 상호접속 및 각 도전성 소자에 의하여 상기 제 2 마이크로전자 소자에 접속되는 제 2 도전성 상호접속을 포함하도록 형성되는, 마이크로전자 패키지 제조 방법.

청구항 29

제 28 항에 있어서,

상기 패키지 내에 형성된 제 1 도전성 상호접속의 양은 상기 패키지 내에 형성된 제 2 도전성 비아의 양과 같은, 마이크로전자 패키지 제조 방법.

청구항 30

제 28 항에 있어서,

상기 도전성 상호접속은 상기 패키지 내의 다른 전기적 접속으로부터 자유로운 상기 패키지 내에 형성된 제 3 도전성 상호접속을 포함하도록 더욱 형성되는, 마이크로전자 패키지 제조 방법.

청구항 31

제 23 항에 있어서,

상기 반도체 다이의 각 전면 및 상기 봉합재의 제 1 주면에 상재하는 유전체 영역을 따라서 연장하는 전기적 도전성 소자를 형성하는 단계를 더 포함하는, 마이크로전자 패키지 제조 방법.

청구항 32

제 31 항에 있어서,

상기 전기적 도전성 소자를 형성하는 단계는, 마이크로전자 소자를 서로 부착시키는 단계에 앞서 상기 제 1 또는 제 2 마이크로전자 소자 중 적어도 하나 상에 상기 도전성 소자를 형성하는 단계를 포함하는, 마이크로전자 패키지 제조 방법.

청구항 33

제 31 항에 있어서,

상기 전기적 도전성 소자를 형성하는 단계는, 마이크로전자 소자를 서로 부착시키는 단계 이전에 상기 제 1 또는 제 2 마이크로전자 소자 중 적어도 하나에 상재하는 유전체 영역 상에 상기 도전성 소자를 형성하는 단계를 포함하는, 마이크로전자 패키지 제조 방법.

청구항 34

마이크로전자 어셈블리의 제조 방법으로서,

제 1 마이크로전자 패키지를, 방법으로서:

복수 개의 전기적 도전성 상호접속을 제 1 및 제 2 캡슐화된 마이크로전자 소자를 통해 형성하는 단계로서, 상기 마이크로전자 소자 각각은:

제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택, 상기 전면에 대항하는 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이;

적어도 상기 각 반도체 다이의 에지면과 접촉하고 그리고 상기 가로 방향 중 적어도 하나로 상

기 예지면으로부터 연장하는 봉합재(encapsulant); 및

상기 반도체 다이의 콘택으로부터 상기 가로 방향 중 적어도 하나로 상기 봉합재에 상재하는 위치까지 연장하는 금속화된 비아를 포함하는 전기적 도전성 소자를 포함하고,

상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이 중 하나의 전면 또는 후면 중 하나가 상기 제 1 및 제 2 반도체 다이 중 다른 것의 전면 또는 후면 중 하나를 향하여 그리고 이에 근접하게 지향되게 하고, 상기 제 1 및 제 2 마이크로전자 소자의 봉합재는 개별적인 외형적으로 대항면들을 정의하고; 그리고

상기 도전성 상호접속은 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 형성되어, 상기 도전성 상호접속 중 적어도 일부가 상기 도전성 소자에 의하여 상기 제 1 및 제 2 마이크로전자 중 적어도 하나의 반도체 다이와 전기적으로 연결되게 하고, 상기 도전성 상호접속은 외형적으로 대항면들에 노출되는, 단계를 포함하는 방법에 의하여 제조하는 단계;

제 1 마이크로전자 패키지를 제 2 마이크로전자 패키지 상에 포지셔닝하는 단계로서, 상기 제 2 마이크로전자 패키지는 상기 제 2 패키지의 제 1 면 상에 노출된 단자들과 전기적으로 접속된 로직 칩 및 상기 제 2 마이크로전자 패키지의 제 2 면 상에 노출된 패키지 콘택을 포함하는, 단계; 및

상기 제 1 마이크로전자 패키지의 도전성 상호접속의 상기 제 2 마이크로전자 패키지에 대면하는 단부들을 복수 개의 도전성 결합 소자를 사용하여 상기 제 2 마이크로전자 패키지의 단자들과 결합시키는 단계를 포함하는, 마이크로전자 어셈블리 제조 방법.

청구항 35

제 34 항에 있어서,

제 3 마이크로전자 패키지를 제 1 마이크로전자 패키지 위에 포지셔닝하는 단계로서, 상기 제 3 마이크로전자 패키지는 상기 제 1 패키지에 대면하도록 포지셔닝되는 그것의 표면 상에 노출되는 단자를 포함하는, 단계를 더 포함하고,

상기 방법은 상기 제 3 마이크로전자 패키지의 단자를 상기 제 3 마이크로전자 패키지를 향해 배치되는 도전성 상호접속의 단부와 결합시키는 단계를 더 포함하는, 마이크로전자 어셈블리 제조 방법.

청구항 36

제 35 항에 있어서,

상기 도전성 상호접속은 각 도전성 소자에 의하여 상기 제 1 마이크로전자 소자로 접속되는 제 1 도전성 상호접속, 각 도전성 소자에 의하여 상기 제 2 마이크로전자 소자로 접속되는 제 2 도전성 상호접속, 및 상기 패키지 내의 다른 전기적 접속으로부터 자유로운 제 3 도전성 상호접속을 포함하도록 형성되고, 상기 제 3 마이크로전자 패키지의 단자는 상기 제 3 도전성 상호접속의 단부와 결합되고, 상기 제 3 도전성 상호접속은 상기 제 3 패키지를 제 2 패키지로 전기적으로 접속시키는, 마이크로전자 어셈블리 제조 방법.

발명의 설명

기술 분야

[0001] 관련 출원들에의 상호-참조

[0002] 본 출원은 2012년 7월 31일에 출원된 미국 특허출원 번호 제 13/563,085 호에 대한 우선권을 주장하며, 이것의 개시물은 원용에 의해 본 명세서에 포함된다.

[0003] 발명의 배경

[0004] 본 출원의 기술 요지는 마이크로전자 패키지 및 마이크로전자 패키지를 통합하는 어셈블리에 관련된다.

배경 기술

[0005] 반도체 칩은 개개의, 사전패키지된 유닛으로서 공통적으로 제공된다. 표준 칩은 칩의 내부 회로부에 접속된 콘택을 가지는 큰 전면을 가지는 평평한, 사각형 보디를 가진다. 각각의 개개의 칩은 통상적으로 외부 단자를 가

지는 패키지 내에 보유되고, 그러면 이것이 인쇄 회로 보드와 같은 회로 패널에 전기적으로 접속되고, 또한 칩의 콘택을 회로 패널의 도체부로 접속시킨다. 많은 종래의 디자인에서, 칩 패키지는 칩 자체의 면적보다 훨씬 더 큰 회로 패널의 면적을 차지한다. 본 개시물에서 전면을 가지는 평면 칩에 대하여 사용될 때, "칩의 면적"은 전면의 면적을 지칭하는 것으로서 이해되어야 한다.

[0006] 마이크로전자 패키지는 웨이퍼 레벨에서 제작될 수도 있다; 즉, 칩, 또는 다이가 여전히 웨이퍼 형태에 있는 동안에 패키지를 구성하는 엔클로저, 종결 및 다른 피쳐들이 제작된다. 다이가 형성된 이후에, 웨이퍼는 다수 개의 추가적 프로세스 단계를 거쳐 웨이퍼 상에 패키지 구조를 형성하고, 그러면 웨이퍼가 다이싱되어 개별적으로 패키징된 다이를 떼어낸다. 웨이퍼 레벨 처리는 바람직한 제작 방법인데 이는 이것이 비용 절감 장점을 제공할 수도 있기 때문이고, 그리고 각각의 다이 패키지의 풋프린트가 다이 자체의 사이즈와 동일하게 또는 거의 동일하게 제조될 수도 있기 때문이며, 결과적으로 패키징된 다이가 부착되는 인쇄 회로 보드 상의 면적의 매우 효율적인 활용을 초래한다. 이러한 방식으로 패키징된 다이는 웨이퍼-레벨 칩 스케일 패키지 또는 웨이퍼-레벨 칩 사이징된 패키지(wafer-level chip sized package; WL CSP)라고 공통적으로 지칭된다.

[0007] 패키징된 다이가 탑재되는 기판 상에 추가적 공간을 절약하기 위하여, 여러 개의 칩들이 이들을 수직으로 적층 시킴으로써 단일 패키지 내에 결합될 수도 있다. 스택 내의 각각의 다이는 통상적으로 스택 내의 하나 이상의 다른 다이로의 또는 스택이 탑재된 기판으로의, 또는 양자 모두로의 전기적 접속 메커니즘을 제공해야 한다. 이것이 수직으로 적층된 다중 다이 패키지가 함께 추가된 패키지 내의 모든 칩들의 총 표면적보다 더 적은 기판 상의 표면적을 점유하도록 한다. 그러나, 이러한 배치는 칩들이 그것으로의 전기적 접속을 위하여 상부 칩들로의 콘택으로의 액세스를 제공하기 위하여 적어도 다소 오프셋되도록 요구하는데, 이는 다중 칩들 모두에 대한 라우팅이 패키지의 동일한 표면을 따라 이루어지기 때문이다. 또한 이것은 복잡한 라우팅을 야기하고 그리고 동일한 패키지의 칩들 사이의 외부적으로-접속된 로직으로의 상이한 경로들을 허용할 수 있다.

[0008] 앞선 진술을 참조하면, 멀티-칩 마이크로전자 패키지의 어떤 개선사항들이 특히 서로 상호접속되는 이러한 패키지 또는 다른 패키지를 포함하는 어셈블리 내에서 전기적 성능을 개선하기 위하여 이루어질 수 있다.

발명의 내용

과제의 해결 수단

[0009] 발명의 개요

[0010] 본 개시물의 양태는 마이크로전자 패키지에 관련된다. 마이크로전자 패키지는 제 1 및 제 2 캡슐화된 마이크로전자 소자로서, 각각 제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택, 상기 전면에 대향하는 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이를 포함하는, 캡슐화된 마이크로전자 소자를 포함한다. 봉합재(encapsulant)가 적어도 상기 반도체 다이의 에지면과 접촉하고 상기 가로 방향 중 적어도 하나로 상기 에지면으로부터 연장한다. 전기적 도전성 소자는 상기 반도체 다이의 콘택으로부터 그리고 상기 전면 상에서, 상기 가로 방향 중 적어도 하나로 상기 봉합재에 상재하는 위치까지 연장한다. 상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이 중 하나의 전면 또는 후면 중 하나가 상기 제 1 및 제 2 반도체 다이 중 다른 것의 전면 또는 후면 중 하나를 향하여 그리고 이에 근접하게 지향되게 한다. 상기 제 1 및 제 2 마이크로전자 소자의 봉합재는 개별적인 외형적으로 대향면들을 정의한다. 패키지는 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 연장하는 복수 개의 전기적 도전성 상호접속을 더 포함한다. 상기 도전성 상호접속 중 적어도 일부는 상기 도전성 소자에 의하여 상기 제 1 및 제 2 마이크로전자 소자 중 적어도 하나의 반도체 다이와 전기적으로 연결된다. 상기 도전성 상호접속은 외형적으로 대향면들에 노출된다.

[0011] 일 예에서, 상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이의 전면들이 서로 대면하도록 한다. 다른 배치구성에서, 상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 2 반도체 다이의 전면이 상기 제 1 반도체 다이의 후면을 대면하도록 한다. 또 다른 예에서, 상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이의 후면들이 서로 대면하도록 한다.

[0012] 상기 마이크로전자 소자 중 적어도 하나는 상기 봉합재의 주면(major surface)이 각 반도체 다이의 전면과 공평면이 되도록 구성될 수 있다. 이와 유사하게, 상기 마이크로전자 소자 중 적어도 하나는 상기 봉합재의 제 2 주면이 대응하는 반도체 다이의 후면과 공평면이 되도록 구성될 수 있다.

[0013] 상기 도전성 상호접속은 상기 봉합재의 외형적으로 대향면들 사이에서 연장하고 각 도전성 소자와 교차하는 레

이저-에칭된 개구를 포함할 수 있고, 상기 개구는 적어도 부분적으로 도전성 금속으로써 충진된다. 상기 도전성 상호접속 중 첫 번째 것들은 각 도전성 소자에 의하여 상기 제 1 반도체 다이와 전기적으로 접속될 수 있고, 상기 도전성 상호접속 중 두 번째 것들은 각 도전성 소자에 의하여 상기 제 2 반도체 다이와 전기적으로 접속될 수 있다. 하나의 특정한 예에서, 상기 제 1 도전성 상호접속의 양은 상기 제 2 도전성 상호접속의 양과 동일할 수 있다. 더 나아가, 상기 도전성 상호접속 모두는 제 1 도전성 상호접속 또는 제 2 도전성 상호접속일 수 있다.

[0014] 일 실시예에서, 상기 제 1 및 제 2 반도체 다이는 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공하도록 구성되는 더 많은 개수의 능동 디바이스를 가지는 메모리 칩일 수 있다. 상기 메모리 칩의 각각은 동적 랜덤 액세스 메모리("DRAM") 스토리지 어레이를 포함할 수 있다.

[0015] 마이크로전자 어셈블리는 위의 설명에 따르는 제 1 마이크로전자 패키지 및 제 2 마이크로전자 패키지를 포함할 수 있다. 제 2 마이크로전자 패키지는 그 위에 노출된 단자를 가지는 제 1 면, 그 위에 노출된 패키지 콘택을 가지는 제 2 면을 정의할 수 있다. 상기 제 2 마이크로전자 패키지는 상기 제 1 및 제 2 면 사이에 배치되고 상기 단자 및 패키지 콘택과 전기적으로 접속되는 마이크로전자 소자를 더 포함할 수 있다. 복수 개의 도전성 결합 소자는 상기 제 1 마이크로전자 패키지의 도전성 상호접속의 대면 단부(confronting ends) 및 상기 제 2 마이크로전자 패키지의 단자 사이에서 결합될 수 있다.

[0016] 상기 제 2 패키지의 마이크로전자 소자는 임의의 다른 기능보다 로직 기능을 제공하도록 구성되는 더 큰 개수의 능동 디바이스를 가지는 로직 칩일 수 있다. 상기 제 2 마이크로전자 패키지는 상기 마이크로전자 소자가 그 뒤에 탑재된 기판을 더 포함할 수 있다. 상기 기판은 상기 마이크로전자 소자 및 단자 사이에 전기적으로 접속되는 도전성 소자를 포함할 수 있다.

[0017] 제 2 패키지의 단자는 상기 도전성 소자의 각각에 결합되는 베이스를 가지는 와이어 본드의 단부일 수 있다. 이러한 예에서, 제 2 마이크로전자 패키지는 상기 기판의 표면 상에 그리고 상기 마이크로전자 소자 중 적어도 일부 상에 형성된 캡슐층을 더 포함할 수 있다. 상기 캡슐층은 더 나아가 상기 와이어 본드의 에지면을 따라서 연장할 수 있고 상기 와이어 본드를 분리시킬 수 있다. 상기 캡슐층은 상기 제 2 패키지의 제 1 면을 정의할 수 있고, 그리고 상기 와이어 본드의 단부면은 그것의 제 2 면 상에서 캡슐층에 의하여 덮이지 않을 수 있다 (uncovered).

[0018] 일 예에서, 상기 도전성 상호접속 중 첫 번째 것들은 각 도전성 소자에 의하여 상기 제 1 마이크로전자 소자와 전기적으로 접속될 수 있고, 상기 도전성 상호접속 중 두 번째 것들은 각 도전성 소자에 의하여 상기 제 2 마이크로전자 소자와 전기적으로 접속될 수 있으며, 도전성 상호접속 중 세 번째 것들은 상기 제 1 또는 제 2 마이크로전자 소자와 접속되지 않을 수 있다. 상기 제 1 마이크로전자 패키지는 상기 제 1 마이크로전자 패키지에 상재하고, 상기 봉합재의 제 1 면 상에 노출되는 제 3 도전성 소자의 단부와 결합되는 패키지 콘택을 가지는 제 3 마이크로전자 패키지를 더 포함할 수 있다.

[0019] 예시적인 구성에서, 상기 제 2 마이크로전자 패키지는 상기 제 2 패키지의 제 1 면을 정의하고 상기 제 1 면에 반대인 제 3 면을 가지는 기판을 더 포함할 수 있고, 상기 마이크로전자 소자는 상기 제 3 면 상에 탑재된다.

[0020] 시스템은 위에서 설명된 마이크로전자 어셈블리 및 하나 이상의 전자 컴포넌트를 포함할 수 있다.

[0021] 본 개시물의 다른 양태는 제 1 및 제 2 캡슐화된 마이크로전자 소자를 포함하는 마이크로전자 패키지에 관련된다. 각각의 마이크로전자 소자는 제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택, 상기 전면에 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이를 포함한다. 각각의 마이크로전자 소자는 각 반도체 다이의 에지면에 적어도 접촉하고, 상기 반도체 다이의 전면과 공평면이거나 이에 평행한 주면을 정의하기 위하여 상기 에지면으로부터 가로 방향 중 적어도 하나로 연장하는 봉합재, 및 상기 반도체 다이의 콘택으로부터 그리고 상기 전면을 따라 연장하는 금속화된 비아를 포함하는 전기적 도전성 소자를 더 가진다. 상기 도전성 소자 중 적어도 일부는 상기 에지면을 넘어 상기 봉합재의 주면에 상재하는 위치로 연장한다. 상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 전면이 서로 대면하고 상기 주면이 서로 대면하게 한다. 상기 패키지는 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 상기 주면으로부터 멀어지는 방향으로 연장하는 복수 개의 전기적 도전성 상호접속을 더 포함한다. 상기 도전성 상호접속 중 적어도 일부는 상기 도전성 소자에 의하여 상기 제 1 및 제 2 마이크로전자 소자 중 적어도 하나의 반도체 다이와 전기적으로 연결된다. 상기 도전성 상호접속은 상기 주면에 반대인 상기 봉합재의 제 1 및 제 2 대향면에서 노출된다.

[0022]

본 개시물의 다른 양태는 마이크로전자 패키지의 제조 방법에 관련된다. 이러한 방법은 복수 개의 전기적 도전성 상호접속을 제 1 및 제 2 캡슐화된 마이크로전자 소자를 통해 형성하는 단계를 포함한다. 상기 마이크로전자 소자 각각은 제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택, 상기 전면에 대항하는 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이를 포함한다. 봉합재는 적어도 상기 각 반도체 다이의 에지면과 접촉하고 그리고 상기 가로 방향 중 적어도 하나로 상기 에지면으로부터 연장한다. 전기적 도전성 소자는 상기 반도체 다이의 콘택으로부터 상기 가로 방향 중 적어도 하나로 상기 봉합재에 상재하는 위치까지 연장한다. 상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이 중 하나의 전면 또는 후면 중 하나가 상기 제 1 및 제 2 반도체 다이 중 다른 것의 전면 또는 후면 중 하나를 향하여 그리고 이에 근접하게 지향되게 한다. 상기 제 1 및 제 2 마이크로전자 소자의 봉합재는 개별적으로 대향면들을 정의한다. 상기 도전성 상호접속은 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 형성되어, 상기 도전성 상호접속 중 적어도 일부가 상기 도전성 소자에 의하여 상기 제 1 및 제 2 마이크로전자 중 적어도 하나의 반도체 다이와 전기적으로 연결되게 한다. 상기 도전성 상호접속은 외형적으로 대향면들에 노출된다.

[0023]

상기 도전성 상호접속은 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 그리고 상기 도전성 소자의 각각을 통하여 개구를 레이저 에칭함으로써, 그리고 상기 개구를 도전성 금속으로써 적어도 부분적으로 충진함으로써 형성될 수 있다.

[0024]

일 예에서, 이러한 방법은 상기 제 1 및 제 2 마이크로전자 소자를 서로 부착하여 상기 전면이 서로 대면하도록 하는 단계를 더 포함할 수 있다. 다른 예에서, 이러한 방법은 상기 제 1 및 제 2 마이크로전자 소자를 서로 부착하여 상기 제 2 마이크로전자 소자의 전면이 상기 제 1 마이크로전자 소자의 후면에 대면하도록 하는 단계를 더 포함할 수 있다. 또 다른 예에서, 이러한 방법은 상기 제 1 및 제 2 마이크로전자 소자를 서로 부착하여 상기 후면이 서로 대면하도록 하는 단계를 더 포함할 수 있다.

[0025]

상기 도전성 상호접속은 각 도전성 소자에 의하여 상기 제 1 마이크로전자 소자에 접속되는 제 1 도전성 상호접속 및 각 도전성 소자에 의하여 상기 제 2 마이크로전자 소자에 접속되는 제 2 도전성 상호접속을 포함하도록 형성될 수 있다. 상기 패키지 내에 형성된 제 1 도전성 상호접속의 양은 상기 패키지 내에 형성된 제 2 도전성 비아의 양과 같을 수 있다. 상기 도전성 상호접속은 상기 패키지 내의 다른 전기적 접속으로부터 자유로운 상기 패키지 내에 형성된 제 3 도전성 상호접속을 포함하도록 더욱 형성될 수 있다.

[0026]

이러한 방법은 상기 반도체 다이의 각 전면 및 상기 봉합재의 제 1 주면에 상재하는 유전체 영역을 따라서 연장하는 전기적 도전성 소자를 형성하는 단계를 더 포함할 수 있다. 상기 전기적 도전성 소자를 형성하는 단계는, 마이크로전자 소자를 서로 부착시키는 단계에 앞서 상기 제 1 또는 제 2 마이크로전자 소자 중 적어도 하나 상에 상기 도전성 소자를 형성하는 단계를 포함할 수 있다. 추가적으로 또는 대안적으로는, 상기 전기적 도전성 소자를 형성하는 단계는, 마이크로전자 소자를 서로 부착시키는 단계 이전에 상기 제 1 또는 제 2 마이크로전자 소자 중 적어도 하나에 상재하는 유전체 영역 상에 상기 도전성 소자를 형성하는 단계를 포함할 수 있다.

[0027]

본 개시물의 다른 양태는 마이크로전자 어셈블리의 제조 방법에 관련된다. 이러한 방법은 복수 개의 전기적 도전성 상호접속을 제 1 및 제 2 캡슐화된 마이크로전자 소자를 통해 형성하는 단계를 포함하는 단계들에 의하여 제 1 마이크로전자 패키지를 제조하는 단계를 포함한다. 상기 마이크로전자 소자 각각은 제 1 및 제 2 가로 방향으로 연장하는 전면, 상기 전면 상의 복수 개의 콘택, 상기 전면에 대항하는 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지면을 가지는 반도체 다이를 포함한다. 봉합재는 적어도 상기 각 반도체 다이의 에지면과 접촉하고 그리고 상기 가로 방향 중 적어도 하나로 상기 에지면으로부터 연장한다. 금속화된 비아를 포함하는 전기적 도전성 소자는 상기 반도체 다이의 콘택으로부터 상기 가로 방향 중 적어도 하나로 상기 봉합재에 상재하는 위치까지 연장한다. 상기 제 1 및 제 2 마이크로전자 소자는 서로 부착되어 상기 제 1 및 제 2 반도체 다이 중 하나의 전면 또는 후면 중 하나가 상기 제 1 및 제 2 반도체 다이 중 다른 것의 전면 또는 후면 중 하나를 향하여 그리고 이에 근접하게 지향되게 한다. 상기 제 1 및 제 2 마이크로전자 소자의 봉합재는 개별적으로 외형적으로 대향면들을 정의한다. 상기 도전성 상호접속은 상기 제 1 및 제 2 마이크로전자 소자의 봉합재를 통하여 형성되어, 상기 도전성 상호접속 중 적어도 일부가 상기 도전성 소자에 의하여 상기 제 1 및 제 2 마이크로전자 중 적어도 하나의 반도체 다이와 전기적으로 연결되게 한다. 상기 도전성 상호접속은 외형적으로 대향면들에 노출된다. 이러한 방법은 제 1 마이크로전자 패키지를 제 2 마이크로전자 패키지 상에 포지셔닝하는 단계로서, 상기 제 2 마이크로전자 패키지는 상기 제 2 패키지의 제 1 면 상에 노출된 단자들과 전기적으로 접속된 로직 칩 및 상기 제 2 마이크로전자 패키지의 제 2 면 상에 노출된 패키지 콘택을 포함하는, 단계를 더 포함한다. 이러한 방법은 상기 제 1 마이크로전자 패키지의 도전성 상호접속의 상기 제 2 마이크로전자 패키지에

대면하는 단부들을 복수 개의 도전성 결합 소자를 사용하여 상기 제 2 마이크로전자 패키지의 단자들과 결합시키는 단계를 더 포함한다.

[0028] 이러한 방법은 제 3 마이크로전자 패키지를 제 1 마이크로전자 패키지 위에 포지셔닝하는 단계로서, 상기 제 3 마이크로전자 패키지는 상기 제 1 패키지에 대면하도록 포지셔닝되는 그것의 표면 상에 노출되는 단자를 포함하는, 단계를 더 포함할 수 있다. 이러한 예에서, 이러한 방법은 상기 제 3 마이크로전자 패키지의 단자를 상기 제 3 마이크로전자 패키지를 향해 배치되는 도전성 상호접속의 단부와 결합시키는 단계를 더 포함할 수 있다.

[0029] 상기 도전성 상호접속은 각 도전성 소자에 의하여 상기 제 1 마이크로전자 소자로 접속되는 제 1 도전성 상호접속, 각 도전성 소자에 의하여 상기 제 2 마이크로전자 소자로 접속되는 제 2 도전성 상호접속, 및 상기 패키지 내의 다른 전기적 접속으로부터 자유로운 제 3 도전성 상호접속을 포함하도록 형성될 수 있다. 상기 제 3 마이크로전자 패키지의 단자는 상기 제 3 도전성 상호접속의 단부와 결합되고, 상기 제 3 도전성 상호접속은 상기 제 3 패키지를 제 2 패키지로 전기적으로 접속시킨다.

도면의 간단한 설명

[0030] 본 발명의 다양한 실시예가 이제 첨부된 도면을 참조하여 설명될 것이다. 이러한 도면이 본 발명의 몇몇 실시예만을 묘사하는 것이며 그러므로 그 범위를 한정하는 것으로 간주되어서는 안 된다는 것이 이해된다.

도 1 은 본 개시물의 일 실시예에 따른 마이크로전자 어셈블리를 도시한다;

도 1a 는 도 1 의 어셈블리 내에 포함되는 마이크로전자 패키지의 상세도를 도시한다;

도 2 는 도 1 의 패키지의 상단 평면도(top plan view)를 도시한다;

도 3 은 도 1 의 패키지의 하단 평면도(bottom plan view)를 도시한다;

도 4 는 본 개시물의 다른 실시예에 따른 마이크로전자 어셈블리를 도시한다;

도 5 는 본 개시물의 다른 실시예에 따른 마이크로전자 어셈블리를 도시한다;

도 6 내지 도 10 은 본 개시물의 다른 실시예에 따라서 마이크로전자 소자를 제조하기 위한 방법 단계들 도중에 인-프로세스 유닛(in-process unit)의 다양한 반복들을 도시한다;

도 11 은 본 개시물의 다른 실시예에 따른 마이크로전자 어셈블리를 도시한다;

도 12 는 본 개시물의 다른 실시예에 따른 마이크로전자 어셈블리를 도시한다; 그리고

도 13 은 본 개시물의 다양한 실시예에 따른 마이크로전자 어셈블리를 포함할 수 있는 시스템을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0031] 이제 유사한 참조 번호들이 유사한 피쳐를 표시하기 위하여 사용되는 도면으로 돌아가면, 도 1 에서 제 2 마이크로전자 패키지(50) 상에 적층된 제 1 마이크로전자 패키지(12)의 형태인 마이크로전자 어셈블리(10)가 도시된다. 일 예에서, 어셈블리(10)는 제 1 패키지(12)가 메모리 패키지이고 제 2 패키지(50)가 로직 패키지인 메모리-온-로직 어셈블리의 형태일 수 있는데, 하지만 본 명세서에서 설명되는 이러한 배치구성은 상이한 타입 또는 상이한 타입들의 조합의 패키지들이 있는 배치구성에서 사용될 수 있다. 제 1(12) 및 제 2(50) 패키지 모두는 스스로가 복수 개의 능동 디바이스를 포함하는 하나 이상의 개별적인 반도체 다이(18 및 26)를 포함한다. 메모리 패키지는 메모리 스토리지 어레이 기능을 위하여 구성되는 다수의 능동 디바이스를 가지는 반도체 다이가 있는 패키지일 수 있다. 이와 유사하게, 로직 패키지는 그 안에 다수의 능동 디바이스들이 프로세서 기능을 수행하는 것일 수 있다.

[0032] 제 1 마이크로전자 패키지(12)는 제 1 및 제 2 캡슐화된 마이크로전자 소자(14 및 16)를 포함할 수 있다. 캡슐화된 마이크로전자 소자(14, 16) 각각은 반도체 다이(18)를 포함한다. 위에서 언급된 바와 같이, 이러한 반도체 다이(18)는 DRAM 칩 또는 기타 등등과 같은 메모리 칩의 형태일 수 있다. 다른 예들에서, 반도체 다이(18)는 주문형 집적회로(application-specific integrated circuit; ASIC) 칩의 형태일 수 있다. ASIC 및 메모리 칩의 다양한 조합도 역시 패키지(12) 내에 구현될 수 있다. 반도체 다이(18)는 가로 방향으로 연장하는 전면(20)을 더 포함하고 그 위에 노출된 소자 콘택(26)을 가진다. 후면(22)은 전면(20)에 반대로 포지셔닝되고 일반적으로 이것에 평행하다. 에지면(24)은 다이(18)의 외주(outer periphery)를 정의하는 전면(20) 및 후면(22) 사이에서 연장한다.

[0033]

봉합재(28)는 반도체 다이(18)를 적어도 부분적으로 에워싼다. 봉합재는 유전체 재료로 제조될 수 있고 적어도 부분적으로 다이(18) 주위에 물딩되거나 그렇지 않으면 형성될 수 있다. 봉합재(28)는 다이(18)의 하나 이상의 에지면(24)에 접촉할 수 있고, 에지면(24)에 수직인 하나 이상의 가로 방향으로 그것으로부터 멀어지게 연장할 수 있다. 일 예에서, 전면(20) 및 후면(22)은 사각형 또는 정방형일 수 있고, 4 개의 대응하는 에지면(24)은 전면 및 후면(20, 22)의 각 면들 사이에서 연장할 수 있다. 봉합재(28)는 모든 4 개의 에지면(24)을 에워쌀 수 있고, 그것으로부터 멀어지게 연장하여 마이크로전자 소자(14 또는 16) 사각형 형상을 제공할 수 있다. 봉합재(18)는 반도체 다이(18)의 전면 및 후면(20 및 22)과 개별적으로 연관되고 이것과 평행한 제 1 및 제 2 주면(30 및 32)을 포함한다. 몇 가지 예들에서, 봉합재(28)는 후면(22)에 더욱 접촉하고 제 2 주면(32)이 후면(32)에 상재하도록 그것으로부터 멀어지게 연장할 수 있다. 예컨대 도 1에 도시되는 것과 같은 다른 실시예들에서, 전면 및 후면(20 및 22)은 봉합재(28)에 의하여 덮이지 않음으로써, 제 1 주면(30)이 실질적으로 전면(20)과 공평면이고 그리고/또는 제 2 주면(32)이 후면(22)과 공평면이도록 할 수 있다.

[0034]

각각의 마이크로전자 소자(14 및 16)는 적어도 반도체 다이(18)의 전면(20)에 상재하는 유전체 영역(48)을 더 포함할 수 있다. 도 1a에서 볼 수 있는 바와 같이, 유전체 영역(48)은 반도체 다이(18)의 에지면(24)을 넘어 연장하여 봉합재(28)의 제 1 주면(30)에 상재할 수도 있다. 유전체 영역(48)은 임의의 적합한 유전체 물질로 부분적으로 또는 전체적으로 제작될 수 있다. 예를 들어, 유전체 영역(48)은 가요성 물질의 층, 예컨대 폴리이미드, BT 수지 또는 테이프 자동화된 본딩("TAB(tape automated bonding)") 테이프를 제작하기 위하여 공통적으로 사용되는 다른 유전체 물질의 층을 포함할 수도 있다. 대안적으로는, 유전체 영역(48)은 상대적으로 단단한, 섬유-강화 에폭시의 후막과 같은 보드-유사 물질, 예컨대 Fr-4 또는 Fr-5 보드를 포함할 수도 있다. 채용된 물질과 무관하게, 유전체 영역(30)은 유전체 물질의 단일 층 또는 다중 층을 포함할 수도 있다.

[0035]

도 1a의 상세도에 도시된 바와 같이, 도전성 소자는 반도체 다이(18)의 콘택(26)과 접속될 수 있다. 구체적으로 설명하면, 도전성 비아(38)는 유전체 영역(48)을 통과해 연장하여 반도체 다이(18)의 콘택(26)과 접속할 수 있다. 트레이스(36)와 같은 추가적 도전성 피쳐는 도전성 비아(38)와 접속할 수 있고 페이스(20) 너머로 유전체 영역(48)을 따라 하나 이상의 가로 방향으로 그것으로부터 멀어지게 연장할 수 있고, 더 나아가 봉합재(28)의 제 1 주면(30)을 넘어 연장하여 제 1 주면(30)을 따라 다양한 위치에 포지셔닝될 수 있는 하나 이상의 콘택(26)과 접속할 수 있다. 이러한 도전성 소자는 구리, 금, 은, 니켈, 알루미늄, 또는 그것의 다양한 합금과 같은 도전성 금속으로 제조될 수 있다.

[0036]

도 1a에 더욱 도시되는 바와 같이, 제 1 마이크로전자 소자(14) 및 제 2 마이크로전자 패키지(16)는 서로 조립되어 개별적인 반도체 다이(18)의 전면(22)이 서로 대면하게 할 수 있다. 이러한 배치구성에서 개별적인 봉합재(28)의 제 1 주면(30)도 역시 서로 대면할 수 있다. 마이크로전자 소자는 마이크로전자 소자(14 및 16)의 유전체 영역(48) 사이에서 결합될 수 있는 접착제, 물딩된 유전체, 등일 수 있는 결합층(44)에 의하여 서로 결합될 수 있다. 결합층(44)은 더 나아가 도전성 소자, 예컨대 트레이스(36) 및 콘택(40)을 에워싸고 절연시키도록 구성될 수 있다. 도시된 예에서, 결합층(44)은 마이크로전자 소자(14 및 16)를 서로 이격시켜서, 트레이스(18)의 라우팅 패턴이 서로 간섭하지 않도록 한다. 다른 예들에서, 개별적인 제 1 및 제 2 마이크로전자 소자(14, 16)의 라우팅 패턴은 서로로부터 측면으로 이격되어 마이크로전자 소자(14 및 16)가 서로 더욱 근접하게 이격될 수 있게 구성될 수 있다.

[0037]

도전성 상호접속(40)은 제 1 및 제 2 마이크로전자 소자(14 및 16) 모두의 봉합재(28)를 통해 연장함으로써, 그것의 단부면(46A)이 제 1 마이크로전자 소자(14)의 봉합재(28)의 제 2 주면(32) 상에 노출되고, 반대 단부면(46B)이 제 2 마이크로전자 소자(16)의 봉합재(28)의 제 2 주면(32) 상에 노출되도록 할 수 있다. 도전성 상호접속(40)은 또한 연장하고 마이크로전자 소자(14 및 16) 중 하나와 연관된 도전성 소자들의 개별적인 것들과 접속할 수 있다. 도 1a의 예에서, 도전성 소자(40A)는 마이크로전자 소자(14)의 주면(30) 및 전면(20)을 따라 연장하고 마이크로전자 소자(14)의 반도체 다이(18)의 개별적인 콘택에 접속하는 트레이스(36)의 단부에서 패드(34)와 접속한다. 이와 유사하게, 도전성 소자(40B)는 마이크로전자 소자(16)의 주면(30) 및 마이크로전자 소자(16)의 전면(20)을 따라 연장하는 다른 트레이스(36)의 단부에서 패드(34)와 접속하고 마이크로전자 소자(16)의 반도체 다이(18)의 개별적인 콘택(26)과 접속한다. 이러한 배치구성에 의하여 다수 개의 접속부가 마이크로전자 소자(14 및 16)의 제 2 주면(32) 및 하나의 반도체 다이(18) 사이에서 생성될 수 있다. 예를 들어, 이것은 마이크로전자 소자(16)의 제 2 주면(32)에서 노출되는 도전성 상호접속(40)의 단부(46B)에 의하여 양자의 마이크로전자 소자(14 및 16)의 반도체 다이(18)로의 접속을 허용할 수 있고 또는 그 반대의 경우도 마찬가지이다. 도전성 상호접속은 봉합재를 통과하여 그리고 더 상세히 아래에서 상세히 설명될 것과 같이 예정, 드릴링 등에 의하여 이를 사이에 배치될 수 있는 도전성 소자들의 일부를 통과하여 형성될 수 있는 개구 내로 도전성

금속을 도금함으로써 형성되는 금속화된 비아일 수 있다. 상호접속(40)을 위한 도전성 금속은 구리, 금, 은, 니켈, 알루미늄 또는 그것의 다양한 합금을 포함할 수 있다.

[0038] 도전성 상호접속(40)은 봉합재(28) 내에서 임의의 구성 또는 패턴으로 구현될 수 있다. 도 2에 도시되는 예에서, 도전성 상호접속(40)은 그 안에서 상호접속(40)이 봉합재(18) 및 주위 반도체 다이(18) 내에서 상호접속(40)의 다양한 행 및 열의 그리드 패턴으로 배치되는 영역 어레이 패턴 내에 배치된다. 이러한 어레이 내의 상호접속(40)은 예를 들어 500 마이크론보다 더 적거나 다른 예에서는 약 250 및 300 마이크론 사이일 수 있는 어레이의 폐지에 따라서 서로로부터 이격될 수 있다. 어레이는 제 2 패키지(50) 내의 단자(58)의 어레이와 정렬되어, 예를 들어 단자(58)를 예를 들어 도전성 상호접속(40)의 단부(46B)와 결합시킴으로써 패키지들 사이의 특정 전기적 접속을 용이화하도록 구성될 수 있다. 이것은 예를 들어 제 1 패키지(12) 내의 마이크로전자 소자(14 및 16) 모두의 마이크로전자 소자(52) 및 반도체 다이(18) 사이의 접속을 허용한다.

[0039] 각 마이크로전자 소자(14 및 16)의 도전성 소자는 반도체 다이(18) 중 하나 상의 단일 콘택(26)만이 대응하는 도전성 상호접속(40)과 접속하도록 배치될 수 있다. 예를 들어, 각 마이크로전자 소자(14 및 16)의 패드(34)는 각각의 부분적으로 도전성 상호접속(40)의 어레이에 대응하는 상이한 어레이 또는 다른 패턴에서 배치될 수 있다. 이러한 부분적으로 대응하는 패턴은 마이크로전자 소자(14 및 16) 사이에서와 같이 상이하여, 마이크로전자 소자(14)와 연관된 패드(34) 중 어느 것도 마이크로전자 소자(16)와 연관된 패드(34)의 포지션을 점유하지 않도록 하고, 그리고 그 반대의 경우도 마찬가지가 되도록 할 수 있다. 다수의 구성들이 이러한 상이한 패턴에 대하여 가능하다. 일 예에서, 마이크로전자 소자(16)의 패드(34)의 모든 것은 마이크로전자 소자(14)의 패드(34)의 어레이 내에 포지셔닝될 수 있다. 다른 예에서, 마이크로전자 소자(14)의 패드(34)는 어레이 내에서 마이크로전자 소자(16)의 패드(34)와 교번할 수 있고, 다른 배치구성도 가능하다. 트레이스(36)는 이들이 대응하는 반도체 다이(18) 상의 단일 패드(34) 및 단일 콘택(26) 이외에 패키지(12) 내의 임의의 폐처에 접촉하지 않도록 라우팅될 수 있다.

[0040] 이전에 언급된 바와 같이, 도전성 상호접속(40)은 제 2 패키지(50)의 단자(29)와 접속하도록 포지셔닝될 수 있으며, 이것은 일 예에서는 로직 패키지일 수 있다. 도 1에 도시된 바와 같이, 제 2 패키지(50)는 기판(54) 상에 보유되고 기판에 상재하는 봉합재의 표면 상의 단자(58)가 있는 마이크로전자 소자(52)의 형태일 수 있다. 단자(58)는 기판(54)의 표면을 따라서 연장하는 도전성 소자로부터 연장하여, 예를 들어 도전성 매쓰(70)에 의하여 마이크로전자 소자(52)와 접속하는 상호접속(56)의 단부면일 수 있다. 상호접속은 다수 개의 구성 중 임의의 구조를 가질 수 있고, 도전성 펀 또는 포스트를 포함할 수 있다. 다른 예에서, 상호접속(56)은 오트렘바(Otremba)에게 허여된 미국 특허 번호 제 7,391,121 호, 미국 특허 출원 공개 번호 제 2005/0095835 호(와이어 본드의 형태라고 간주될 수 있는 웨지(wedge)-본딩 프로시저를 기술함), 및 공통적으로-양도된 미국 특허 출원 번호 제 13/462,158 호; 제 13/404,408 호; 제 13/405,108 호; 제 13/405,125 호; 및 제 13/404,458 호에서 기술되는 와이어 본드의 형태일 수 있는데, 이들의 개시물은 그들의 전체에서 원용에 의해 본 명세서에 포함된다. 기판(54)은 단자(58) 반대의 기판(54) 상에서 노출되는 패키지 콘택을 마이크로전자 소자(52)와 접속시켜서 어셈블리(10) 및 마이크로전자 시스템 내의 다른 마이크로전자 디바이스 사이의 접속을 용이화하는 재분배부(redistribution)를 포함할 수 있다. 실시예에서, 패키지 콘택(60)은 도전성 결합 매쓰에 의하여 회로 패널 상의 단자 등(미도시)과 접속할 수 있다. 이러한 패키지 콘택(60)은 도 3에 도시된 바와 같은 패턴 또는 어레이로 정렬될 수 있고 어셈블리(10)에 대한 입력 및 출력 접속일 수 있다.

[0041] 도 4에 도시된 바와 같이 추가적 패키지(12B)가 패키지(12A)의 상단 상에 적층될 수 있다. 패키지(12B)는 패키지(12A)와 유사한 구성을 가질 수 있는데, 이것의 구성은 도 1 내지 도 3을 참조하여 위에서 설명된 패키지(12)와 유사하다. 이러한 예에서, 패키지(12A)는 패키지(12B) 및 패키지(50) 사이의 전기적 접속을 용이화하기 위하여 적용될 수 있다. 이것을 달성하기 위하여, 패키지(12A) 내의 도전성 상호접속(40) 중 일부는 패키지(12A) 내의 반도체 다이(18) 중 어느 것과도 접속되지 않을 수 있다. 더 나아가 이러한 상호접속(40)은 임의의 도전성 소자, 예컨대 패키지(12A) 내의 패드(34) 또는 트레이스(36)와 접속되지 않을 수 있다. 패키지(12A) 내의 이러한 비접속된 상호접속(40)은 패키지(12B) 내의 도전성 상호접속(40)과 접속할 수 있는데, 이것은 스스로 도 1a의 패키지(12)에 대하여 위에서 설명된 것과 유사한 방식으로 그 안의 반도체 다이(18) 중 어느 것과 접속할 수 있다. 추가적인 예에서, 패키지(12B) 내의 도전성 상호접속(40)의 몇몇은 스스로 패키지(12B) 내의 반도체 다이(18) 중 어느 것과도 접속되지 않을 수 있고, 패키지(12A) 내의 비접속된 상호접속(40)과 유사하게 패키지(50) 및 패키지(12B)의 상단에 적층된 다른 패키지(미도시) 사이의 전기적 접속을 용이화할 수 있다. 이러한 적층된 배치구성 내의 최상층 패키지는 도 4에 도시된 바와 같은 패키지(12A 또는 12B)와 유사할 수 있고, 또는 콘택들이 노출된 그 아래의 도전성 상호접속(40)에 대향하는 면 상에서 적어도 노출되는 패키징된 마이크

로전자 소자(또는 마이크로전자 소자)의 다른 형태일 수 있다.

[0042] 도 5 는 도 1 의 어셈블리의 변형인 어셈블리(110)를 도시한다. 특히, 어셈블리(110)는 도 1 내지 도 3 의 패키지(12)의 그것과 구성에 있어서 유사한 제 1 패키지(112)를 포함한다. 어셈블리(110)는 도 1 내지 도 4 의 패키지(50)와 유사한 제 2 패키지(150)를 더 포함하는데, 하지만 상호접속(56)의 단부(158)가 패키지(112)로부터 멀어지도록 배치되고 어셈블리(110)의 외부 컴포넌트, 예컨대 회로 패널 또는 기타 등등과의 접속을 위한 콘택으로써 동작하도록 구성된다. 이에 상응하여, 마이크로전자 소자(152)에 반대인 기판(154) 상의 콘택은 패키지(112)의 도전성 상호접속(146)의 단부(146B)가 도전성 결합 매쓰(70) 등을 사용하여 접속되는 단자(160)로서의 역할을 한다. 이러한 배치구성에서, 상호접속(156)은 위에서 설명된 바와 같은 캡슐화된 와이어 본드의 형태를 가짐으로써 상호접속(156)의 단부인 콘택(160)에 대한 미세-피치를 달성하게 할 수 있다. 기판(154)(또는 그것의 층)을 통과하는 재분배부는 단자(158)의 원하는 구성이 도전성 상호접속(140)과 접속하도록 제공될 수 있다. 다른 패키지(미도시)가 도 4 에 대하여 위에서 설명된 것과 유사한 방식으로 어셈블리(110) 내에 포함될 수 있다.

[0043] 도 6 내지 도 10 은 본 개시물의 일 실시예에 따르는 방법에서 그것의 제작의 단계들 도중에 어셈블리(10)의 다양한 컴포넌트를 도시한다. 특히, 도 6 은 서로 조립되기 전에 제 1 마이크로전자 소자(14) 및 제 2 마이크로전자 소자(16)를 도시한다. 마이크로전자 소자(14 및 16)는 재구성된 웨이퍼-레벨 패키지로서 형성될 수 있다. 즉, 이들은 봉합재층 내에 임베딩된 복수 개의 반도체 다이와 함께 웨이퍼 내에 형성될 수 있다. 그러면 웨이퍼는 예를 들어, 적어도 이것의 일부분을 에워싸는 봉합재의 일부가 있는 단일 반도체 다이를 포함하는 개개의 마이크로전자 소자로 잘라지거나 세그먼트화될 수 있다. 봉합재의 하나 이상의 표면을 그라인딩하여 반도체 다이(18)의 전면(20) 및 후면(22) 페이스와 동일한 높이인 주면(30 및 32)을 생성하는 다른 프로세스 단계가 특정 패키지를 생성하기 위하여 사용될 수 있는데, 이것은 이러한 그라인딩 프로세스에 의하여 박막화될 수 있다. 세그먼트화 이전에 또는 이후에, 패드(34), 트레이스(36) 및 도전성 비아(38)를 포함하는 도전성 소자는 위에서 논의된 원리에 따라서 반도체 다이(18)의 전면(20) 및 봉합재(28)의 제 1 주면(30)을 따라 형성될 수 있다. 추가적 유전체층은 선택적으로 도전성 소자에 의하여 커버되지 않은 제 1 주면(30) 및 전면(20)의 일부 위에 형성될 수 있다.

[0044] 도 6 에 도시된 바와 같이, 마이크로전자 소자(14 및 16)는 이제 전면(20) 및 제 1 주면(30)이 그들의 각 도전성 소자들이 위에서 설명된 바와 같이 서로에 대하여 적합하게 포지셔닝되며 서로를 대면하도록 포지셔닝될 수 있다. 마이크로전자 소자(14 및 16)는 이제 마이크로전자 소자(14 및 16) 사이에 배치된 접착층 또는 응고가능 유전체 재료층에 의하여 상호 접속될 수 있다. 몇 가지 실시예들에서 이러한 층은 마이크로전자 소자(14 및 16)가 함께 이동될 때 도전성 소자들 사이에 배치될 수 있다. 이러한 결합은 도 7 에 도시되는 인-프로세스 유닛(12')이 될 수 있다.

[0045] 도 7 의인-프로세스 유닛은 그러면 제 1 및 제 2 마이크로전자 소자(14 및 16)의 봉합재(28)를 통하여 그리고 그들과 연관된 도전성 소자의 원하는 부분들을 통하여 개구를 형성하기 위하여 처리될 수 있다. 마이크로전자 소자(14 및 16)와 연관된 패드(34)가 마이크로전자 소자(14 및 16)가 함께 조립될 때 어레이로 배치되는 일 예에서, 개구(42)는 패드(34) 및 패드(34)에 상재하는 봉합재(28)의 영역의 부분들을 통하여 제조될 수 있다. 도시된 예에서, 개구(42)는 인-프로세스 유닛(12)을 통하여 완전히 연장하여 그들이 마이크로전자 소자(14 및 16) 모두의 제 2 주면(32)에게 개방되도록 할 수 있다. 제작되는 패키지가 스택 내의 최상층 패키지로서 의도되는 것과 같은 다른 실시예들에서, 개구는 제 2 주면들(32) 단일인 하나로부터 패드(34)를 통하여 연장되기에 적합한 깊이로 연장할 수 있다. 개구(42)는 드릴링, 에칭 또는 기타 등등에 의하여 제조될 수 있다. 에칭은 마스크층이 주면들(32) 상에 적어도 일시적으로 존재하는 화학적 에천트 등을 사용하여 이루어질 수 있다. 다른 예에서, 개구(42)는 레이저 에칭에 의하여 형성될 수 있다. 레이저 에칭은 이것이 패드(34)의 검출에 기초하여 홀(42)의 형성을 위하여 인-프로세스 유닛(12')의 부분을 위치결정하고 타게팅할 수 있는 특별하게 구성된 장비를 사용할 수 있기 때문에 유리할 수 있다.

[0046] 그러면 개구(42)는 구리 또는 위에서 논의된 다른 금속과 같은 도전성 금속으로써 충진되어 도전성 상호접속(40)을 형성할 수 있다. 이것은 도전성 금속을 홀 내에 도금함으로써 이루어질 수 있다. 이러한 도금은 전기 도금 또는 무전해 도금에 의하여 이루어질 수 있다고 시드층 등을 개구(42) 내에 침착시킨 이후에 수행될 수 있다. 사용될 때 이러한 시드층은 도전성 상호접속(40) 및 패드(34) 또는 다른 도전성 소자 사이에서 전기적 접속을 허용하도록 도전성일 수 있다. 몇 가지 실시예들에서, 도전성 상호접속(40)의 단부(46)는 그라인딩 등에 의하여 평탄화되어 그들이 제 2 주면(32)과 실질적으로 동일한 높이가 되게 할 수 있다. 다른 예들에서, 콘택

은 상호접속(40)의 단부(46) 위에 형성되어 다른 컴포넌트로의 접속을 위한 추가적 영역을 제공할 수 있다.

[0047] 도 10 에 도시된 바와 같이, 패키지(12)는 이제 패키지(50)와 정렬되어, 도전성 상호접속(40), 특히 그것의 페이스(46B)가 패키지(50)의 원하는 단자(58)와 정렬되게 한다. 일 예에서, 패키지(50)는 위에서 참조된 공통적으로-양도된 미국 특허 출원 번호 제 13/462,158 호; 제 13/404,408 호; 제 13/405,108 호; 제 13/405,125 호; 및 제 13/404,458 호에서 설명되는 방법들 중 임의의 것에 의한 캡슐화된 와이어 본드 상호접속을 포함하는 패키지로서 형성될 수 있다. 상호접속(40)의 페이스(46B)는 이제 솔더 볼 등과 같은 도전성 결합 매쓰(70)를 사용하여 개별적인 단자(58)와 결합되어 도 1 에 도시된 것과 같은 패키지를 형성한다. 도 4 에 대하여 위에서 설명된 바와 같이 패키지(12)의 도전성 상호접속(40) 중 특정한 것들과 접속되는 이러한 추가적 패키지의 도전성 상호접속과 패키지(12) 위에서 더욱 조립될 수 있는 패키지(12)와 유사한 추가적 패키지의 형성을 포함하는 추가적 단계들이 수행될 수 있다.

[0048] 도 11 은 다른 마이크로전자 패키지(250)와 조립되는 패키지(212)를 포함하는 마이크로전자 어셈블리(210)를 도시하는데, 패키지(250)는 도 1 에서 논의된 패키지(50)와 유사할 수 있다. 패키지(212)는 많은 공통 특징들을 가진, 도 1 에 도시되는 패키지(12)의 변형일 수 있다. 특히, 패키지(212)는 적어도 부분적으로 반도체 다이(218)를 에워싸는 봉합재(228)가 있는 반도체 다이(218)를 포함하는 제 1 및 제 2 마이크로전자 소자(214 및 216)를 포함할 수 있다. 각각의 마이크로전자 소자(214 및 216)는 각 반도체 다이(218)의 콘택(226) 및 전면(20) 및 제 1 주면(30)을 따라서 패드(34)로 연장하는 트레이스(36)와 접속되는 도전성 비아(238)를 포함하는 각 도전성 소자를 포함할 수 있다. 도 11 에 도시되는 실시예에서 제 1 및 제 2 마이크로전자 소자(214 및 216)는 함께 조립되어 마이크로전자 소자(214)의 제 1 주면(230)이 마이크로전자 소자(216)의 제 2 주면(232)에 대면하도록 할 수 있다. 더 나아가, 이러한 배치구성에서 제 1 마이크로전자 소자(214)의 반도체 다이(218)의 전면(220)은 제 2 마이크로전자 소자(216)의 반도체 다이(218)의 후면(222)에 대면한다.

[0049] 도 11 의 배치구성에서, 도전성 소자, 특히 각 마이크로전자 패키지(214 및 216)의 패드(234)의 위치는 도 1 내지 도 4 의 마이크로전자 패키지(12)의 그것들과 유사한 방식으로 결정될 수 있다. 특히, 패드(234)는 각각의 도전성 상호접속(240)이 마이크로전자 소자(214 또는 216) 중 오직 하나의 오직 하나의 패드(234)를 통하여 지나가도록 포지셔닝될 수 있다. 또한, 도 1 내지 도 4 의 패키지(12)에서와 같이, 도전성 상호접속(240)의 일부는 패키지(212) 내의 반도체 다이(218) 중 어느 것과의 전기적 접속이 없을 수 있고 패키지(212)의 상단에 적층된 다른 패키지(미도시)를 패키지(250)의 단자(258)와 접속하기 위하여 사용될 수 있다.

[0050] 어셈블리(210)를 제작하는 방법은 또한 도 6 내지 도 10 에서 설명된 바와 같은 어셈블리(10)의 제작 방법과 유사할 수 있는데, 하지만 마이크로전자 소자(214 및 216)는 함께 조립될 때 위에서 설명된 백-투-프론트 구성으로 포지셔닝된다. 더 나아가, 제 2 마이크로전자 소자(216)의 도전성 소자는 제 1 마이크로전자 소자(214)와의 그것의 조립 이후에 형성될 수 있다.

[0051] 도 12 는 다른 마이크로전자 패키지(350)와 조립되는 패키지(312)를 포함하는 마이크로전자 어셈블리(310)의 다른 변형을 도시하는데, 패키지(350)는 도 1 에서 논의된 패키지(50)와 유사할 수 있다. 패키지(312)는 많은 공통 특징들을 가진, 도 1 에 도시되는 패키지(12)의 변형일 수 있다. 특히, 패키지(312)는 적어도 부분적으로 반도체 다이(318)를 에워싸는 봉합재(328)가 있는 반도체 다이(318)를 포함하는 제 1 및 제 2 마이크로전자 소자(314 및 316)를 포함할 수 있다. 각각의 마이크로전자 소자(314 및 316)는 각 반도체 다이(318)의 콘택(326) 및 전면(320) 및 제 1 주면(330)을 따라서 패드(334)로 연장하는 트레이스(336)와 접속되는 도전성 비아(338)를 포함하는 각 도전성 소자를 포함할 수 있다. 도 12 에 도시되는 실시예에서 제 1 및 제 2 마이크로전자 소자(314 및 316)는 함께 조립되어 마이크로전자 소자(214 및 216)의 제 2 주면들(330)이 서로 대면하도록 할 수 있다. 더 나아가, 이러한 배치구성에서 제 1 및 제 2 마이크로전자 소자(214 및 216)의 반도체 다이(218)의 후면들(322)은 서로 대면할 수 있다.

[0052] 도 12 의 배치구성에서, 도전성 소자, 특히 각 마이크로전자 패키지(314 및 316)의 패드(334)의 위치는 도 1 내지 도 4 의 마이크로전자 패키지(12)의 그것들과 유사한 방식으로 결정될 수 있다. 특히, 패드(334)는 각각의 도전성 상호접속(340)이 마이크로전자 소자(314 또는 316) 중 오직 하나의 오직 하나의 패드(334)를 통하여 지나가도록 포지셔닝될 수 있다. 또한, 도 1 내지 도 4 의 패키지(12)에서와 같이, 도전성 상호접속(340)의 일부는 패키지(312) 내의 반도체 다이(318) 중 어느 것과의 전기적 접속이 없을 수 있고 패키지(312)의 상단에 적층된 다른 패키지(미도시)를 패키지(350)의 단자(358)와 접속하기 위하여 사용될 수 있다. 도 12 의 패키지(312)의 몇몇 변형에서, 제 2 마이크로전자 소자(316)의 도전성 패드(334)는 패키지(35) 상에 노출되고 패키지(312) 및 단자(358)에 대면하고, 따라서 솔더 볼(370) 또는 기타 등등에 의하여 이것과 직접적으로 접속될 수

있다. 이에 상응하여, 이러한 패드(334)는 임의의 도전성 상호접속(340)이 자신과 연관되도록 요구하지 않을 수도 있다. 이러한 예에서, 도전성 상호접속(340)은 제 1 마이크로전자 소자(314)의 패드와 접속할 수 있고 또한 패키지(312) 위에 조립된 추가적 패키지(미도시)와의 접속을 위하여 패키지(312) 내에 비접속될 수 있다.

[0053] 어셈블리(310)를 제작하는 방법은 또한 도 6 내지 도 10에서 설명된 바와 같은 어셈블리(10)의 제작 방법과 유사할 수 있는데, 하지만 마이크로전자 소자(314 및 316)는 함께 조립될 때 위에서 설명된 백-투-백 구성으로 포지셔닝된다. 더 나아가, 제 1 및 제 2 마이크로전자 소자(314 및 316)의 도전성 소자는 함께 조립된 이후에 형성될 수 있다.

[0054] 위에서 논의된 구조들은 다양한 전자 시스템을 제작하는 데에 이용될 수 있다. 예를 들어, 본 발명의 다른 실시예에 따르는 시스템(1)은 다른 전자 컴포넌트(2 및 3)와 공동으로 도 1 내지 도 4에 대하여 위에서 설명된 바와 같은 마이크로전자 패키지(10)를 포함한다. 묘사된 예에서, 컴포넌트(2)는 반도체 칩인 반면에 컴포넌트(3)는 디스플레이 스크린인데, 하지만 임의의 다른 컴포넌트도 사용될 수 있다. 물론, 예시의 명확화를 위하여 비록 오직 두 개의 추가적 컴포넌트가 도 13에서 묘사되지만, 시스템은 임의의 개수의 이러한 컴포넌트를 포함할 수도 있다. 위에서 설명된 바와 같은 마이크로전자 패키지(10)는, 예를 들어 도 1과 연계하여 위에서 설명된 바와 같은 마이크로전자 패키지 또는 도 4를 참조하여 논의된 바와 같은 복수의 마이크로전자 패키지를 내장하는 구조일 수 있다. 패키지(10)는 도 11 또는 도 12에서 설명된 실시예들 중 임의의 하나를 더 포함할 수 있다. 다른 변형예에서는 다중 변형들이 제공될 수도 있으며, 임의의 개수의 이러한 구조가 사용될 수도 있다.

[0055] 마이크로전자 패키지(10) 및 컴포넌트(2 및 3)는, 개략적으로 파선으로 묘사된 공통 하우징(4) 내에 탑재되고, 필요에 따라 서로 전기적으로 상호접속되어 원하는 회로를 형성한다. 도시된 예시적인 시스템에서, 시스템은 회로 패널 또는 가요성 인쇄 회로 보드와 같은 회로 패널(5)을 포함하는데, 회로 패널은 다수의 도체(6)를 포함하며, 이들 중에서 오직 하나가 도 13에서 컴포넌트들을 서로 상호접속하는 것으로 묘사된다. 그러나, 이것은 단순히 예시적인 것일 뿐이다; 전기 접속을 이루기 위한 임의의 적합한 구조가 사용될 수 있다.

[0056] 하우징(4)은, 예를 들어 셀룰러 전화기 또는 개인 휴대정보 단자기 내에서 사용가능한 타입의 휴대용 하우징으로서 묘사되며, 스크린(3)은 하우징의 면에서 노출된다. 마이크로전자 패키지(10)가 이미징 칩과 같은 광 감응성 소자를 포함하는 경우에는, 렌즈(7) 또는 다른 광학적 디바이스가 광을 그 구조로 라우팅하기 위하여 역시 제공될 수도 있다. 다시 말하건대, 도 13에 도시된 단순화된 시스템은 단순히 예시적인 것이다; 공통적으로 고정된 구조라고 간주되는 시스템을 포함하는 다른 시스템, 예컨대 테스크탑 컴퓨터, 라우터 등도 위에서 논의된 구조를 사용하여 제작될 수 있다.

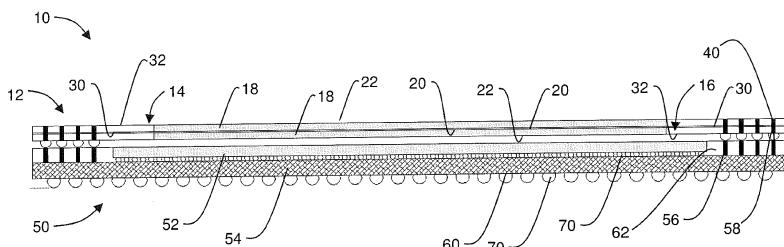
[0057] 비록 본 명세서에서 본 발명은 특정 실시예를 참조하여 설명되었지만, 이러한 실시예는 본 발명의 원리 및 적용의 단순한 예에 지나지 않는다는 것이 이해되어야 한다. 그러므로 수 많은 변경이 예시적인 실시예에 이루어질 수도 있다는 것과 다른 배치구성물이 첨부된 청구범위에 정의되는 바와 같은 본 발명의 사상 및 범위로부터 벗어나지 않으면서 고안될 수도 있다는 것이 이해되어야 한다.

산업상 이용가능성

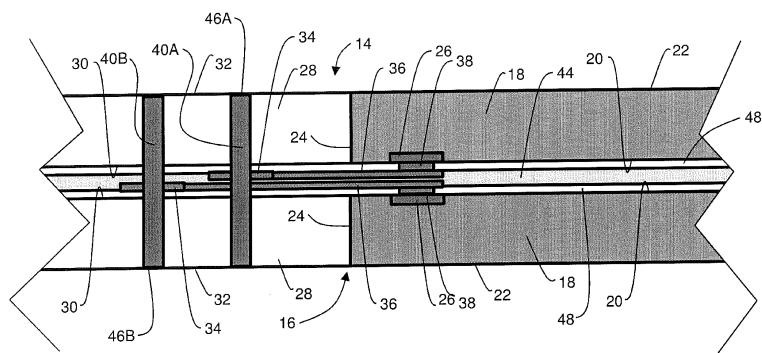
[0058] 본 출원의 기술 요지는 마이크로전자 패키지 및 마이크로전자 패키지를 통합하는 어셈블리에 관련된다.

도면

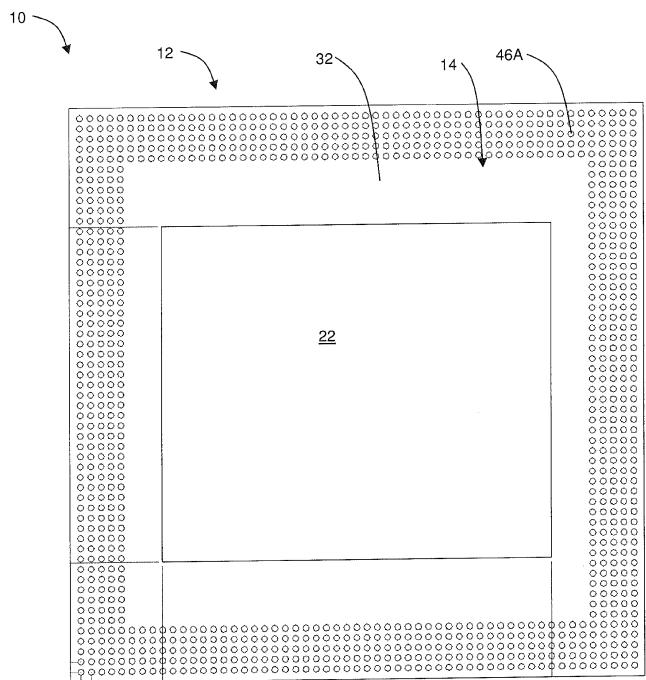
도면1

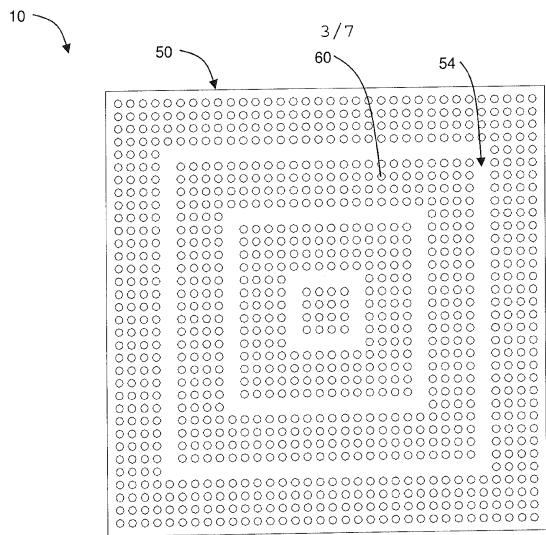
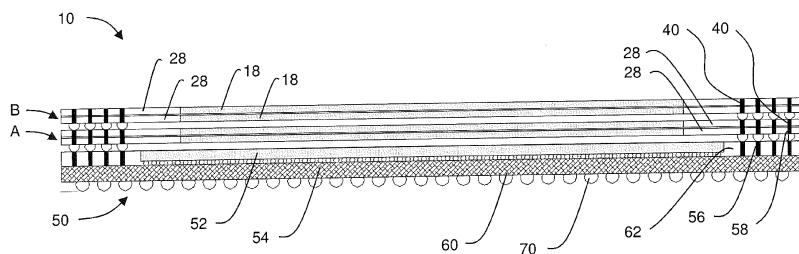
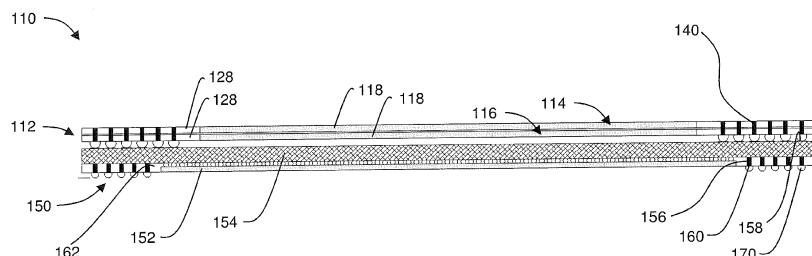
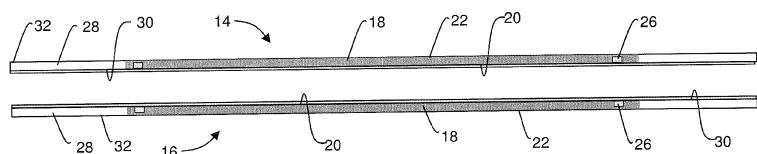


도면1a

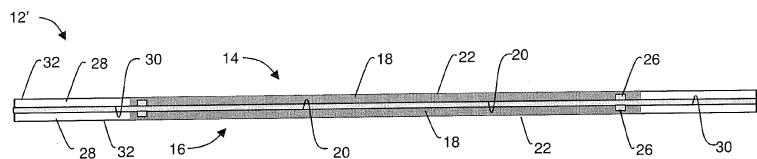


도면2

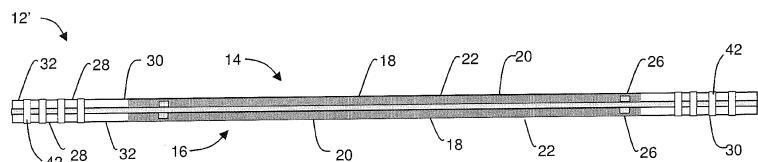


도면3**도면4****도면5****도면6**

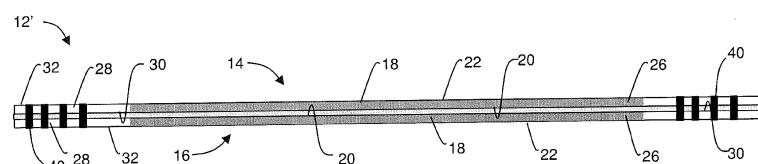
도면7



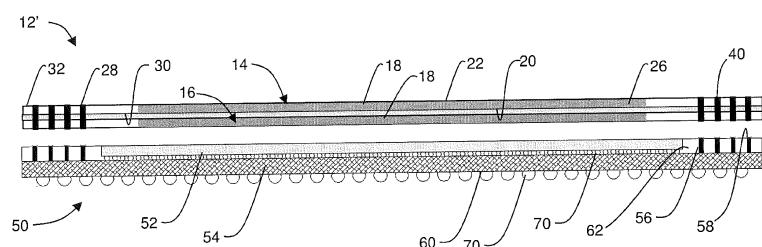
도면8



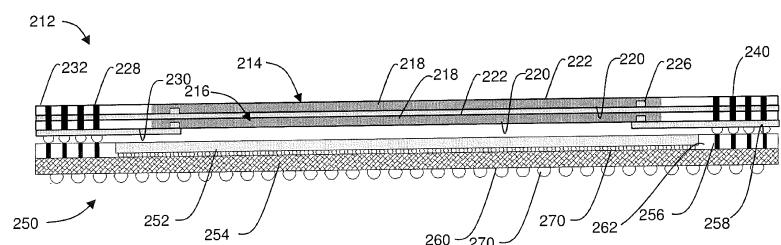
도면9



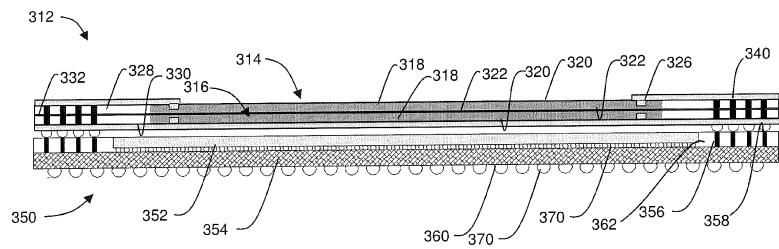
도면10



도면11



도면12



도면13

