

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年4月13日(13.04.2017)



(10) 国際公開番号

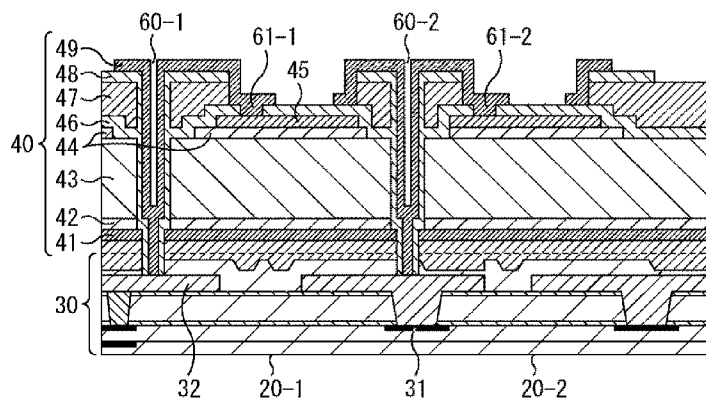
WO 2017/061273 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 31/10 (2006.01)
G01J 1/02 (2006.01) H04N 5/33 (2006.01)
H01L 27/14 (2006.01) H04N 5/369 (2011.01)
- (21) 国際出願番号: PCT/JP2016/077789
- (22) 国際出願日: 2016年9月21日(21.09.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-197390 2015年10月5日(05.10.2015) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 丸山 俊介 (MARUYAMA Shunsuke); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 柳田 剛志 (YANAGITA Takeshi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: IMAGING DEVICE, MANUFACTURING METHOD

(54) 発明の名称: 撮像装置、製造方法

[図2]



(57) Abstract: The present technology pertains to an imaging device and a manufacturing method, enabling improvement of sensitivity of an imaging device that utilizes infrared rays. The present invention is provided with: a light receiving element array having multiple light receiving elements which are arranged in an array and which are each formed of a compound semiconductor that has the light receiving sensitivity in the infrared range; a signal processing circuit that processes signals from the light receiving element; an upper electrode formed at the light receiving surface side of the light receiving elements; and a lower electrode that forms a pair with the upper electrode. The light receiving element array and the signal processing circuit are joined to each other via a film formed of a predetermined material. The upper electrode and the signal processing circuit are connected to each other via a through-hole partially penetrating the light receiving elements. The lower electrode is an electrode in common with the light receiving elements arranged in the light receiving element array. The present technology is applicable to an infrared ray sensor.

(57) 要約:

[続葉有]

WO 2017/061273 A1



本技術は、赤外線を用いた撮像装置の感度を向上させることができるようにする撮像装置、製造方法に関する。赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、受光素子からの信号を処理する信号処理回路と、受光素子の受光面側に形成されている上部電極と、上部電極と対をなす下部電極とを備え、受光素子アレイと信号処理回路は、所定の材料の膜で接合され、受光素子の一部を貫通しているスルービアを介して、上部電極と信号処理回路は接続され、下部電極は、受光素子アレイに配列された受光素子で共通した電極とされている。本技術は、赤外線センサに適用できる。

明 細 書

発明の名称：撮像装置、製造方法

技術分野

[0001] 本技術は、撮像装置、製造方法に関する。詳しくは、赤外域に受光感度を有する撮像装置、製造方法に関する。

背景技術

[0002] 化合物半導体に形成されたフォトダイオードアレイを有する撮像装置では、信号読み出し用シリコン IC (ROIC: Read Out IC) の読み出し電極と、当該フォトダイオードの電極とが向き合って、両方の間に介在するバンプによって導通がとられる。フォトダイオードは、可視域より長波長側の赤外域では、化合物半導体により形成されるため、化合物半導体とシリコン (IC) とのハイブリッド構成と呼ばれることがある。

[0003] 上記の化合物半導体の結晶は、機械的力には弱いので、上記のバンプには、融点が低く柔らかいインジウム (In) が用いられることが多い。インジウムのバンプは上記特性に起因して、フォトダイオードの電極または ROIC の読み出し電極に設けられる際、形が乱れて不揃いになりやすい。1つの撮像装置には数万個～数十万個のバンプが設けられるが、このような形状逸脱が大きいバンプを防止することは難しく、その対策について、例えば、特許文献1や特許文献2で提案がなされている。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-96921号公報

特許文献2：特開2010-157667号公報

発明の概要

発明が解決しようとする課題

[0005] 上記したように、可視域より長波長側の赤外域では、フォトダイオードを化合物半導体により形成する必要があるため、例えばバンプに用いる材料な

どに制約がある。またそのような制約のために、バンプの高さにバラツキが生じやすく、ショートしやすいために、その制御が困難であり、アレイ化や微細化が困難であった。

[0006] また、特許文献1や特許文献2に記載の構造によると、キャリアを集める電極が、受光面と反対側の面にあり、受光面の表面で光電変換されたキャリアが、電極にたどり着く前に、再結合し、感度が低下してしまう可能性がある。

[0007] 本技術は、このような状況に鑑みてなされたものであり、フォトダイオードを化合物半導体により形成した場合であってもアレイ化や微細化ができ、感度が低下するようなことを防ぐことができるようにするものである。

課題を解決するための手段

[0008] 本技術の一側面の撮像装置は、赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、前記受光素子からの信号を処理する信号処理回路と、前記受光素子の受光面側に形成されている上部電極と、前記上部電極と対をなす下部電極とを備え、前記受光素子アレイと前記信号処理回路は、所定の材料の膜で接合され、前記受光素子の一部を貫通しているスルービアを介して、前記上部電極と前記信号処理回路は接続され、前記下部電極は、前記受光素子アレイに配列された受光素子で共通した電極とされている。

[0009] 前記化合物半導体は、ⅢⅤ族半導体であるようにすることができる。

[0010] 前記受光素子の下部に設けられた電極まで貫通しているスルービアを介して、前記下部電極と前記電極が接続されているようにすることができる。

[0011] 前記下部電極は、前記受光素子の下部に設けられた電極と、前記受光素子アレイの外周部で接続されているようにすることができる。

[0012] 前記下部電極は、前記信号処理回路と、前記受光素子アレイの外周部で接続されているようにすることができる。

[0013] 前記スルービアは、固定電荷膜で内部が覆われ、前記固定電荷膜上に、前

記上部電極の一部が積層されているようにすることができる。

[0014] 本技術の一側面の製造方法は、赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、前記受光素子からの信号を処理する信号処理回路と、前記受光素子の受光面側に形成されている上部電極と、前記上部電極と対をなす下部電極とを備える撮像装置を製造する製造方法において、前記受光素子アレイと前記信号処理回路を、所定の材料の膜で接合し、前記受光素子の一部を貫通するスルービアを形成し、前記上部電極と前記信号処理回路を、前記スルービアを介して接続し、前記下部電極を、前記受光素子アレイに配列された受光素子で共通した電極として形成するステップを含む。

[0015] 前記化合物半導体は、Ⅲ－Ⅴ族半導体であるようにすることができる。

[0016] 前記受光素子の下部に電極を形成し、前記受光素子の一部に、前記電極の上面まで貫通するスルービアを形成し、前記下部電極と前記電極を前記スルービアを介して接続するステップをさらに含むようにすることができる。

[0017] 前記下部電極を、前記受光素子の下部に設けられた電極と、前記受光素子アレイの外周部で接続するステップをさらに含むようにすることができる。

[0018] 前記下部電極を、前記信号処理回路と、前記受光素子アレイの外周部で接続するステップをさらに含むようにすることができる。

[0019] 本技術の一側面の撮像装置においては、赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、受光素子からの信号を処理する信号処理回路と、受光素子の受光面側に形成されている上部電極と、上部電極と対をなす下部電極とが備えられる。また、受光素子アレイと信号処理回路は、所定の材料の膜で接合され、受光素子の一部を貫通しているスルービアを介して、上部電極と信号処理回路は接続され、下部電極は、受光素子アレイに配列された受光素子で共通した電極とされている。

[0020] 本技術の一側面の製造方法においては、前記撮像装置が製造される。

発明の効果

[0021] 本技術の一側面によれば、フォトダイオードを化合物半導体により形成した場合であってもアレイ化や微細化ができ、感度が低下するようなことを防ぐことができる。

[0022] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0023] [図1]画素アレイ部の構成を示す図である。

[図2]画素の構成を示す図である。

[図3]外周部に位置する画素の構成を示す図である。

[図4]外周部に位置する画素の他の構成を示す図である。

[図5]メサ分離について説明するための図である。

[図6]プレーナ分離について説明するための図である。

[図7]画素の製造について説明するための図である。

[図8]画素の製造について説明するための図である。

[図9]画素の製造について説明するための図である。

[図10]画素の製造について説明するための図である。

[図11]画素の製造について説明するための図である。

[図12]画素の製造について説明するための図である。

[図13]撮像装置の使用例を示す図である。

[図14]撮像装置の構成を示す図である。

発明を実施するための形態

[0024] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は、以下の順序で行う。

1. 画素の構成
2. 受光層エリアの構成
3. 製造について
4. 撮像装置の使用例

[0025] <画素の構成>

本技術は、赤外線イメージセンサを備える撮像装置に適用できる。撮像装置としては、例えば、人や物などを検出する装置とすることができる。撮像装置は、図1に示すように受光層エリアに、画素アレイ部10を備える。画素アレイ部10には、複数の画素がアレイ状に配置されている。画素アレイ部10に配列されている画素は、赤外域に受光感度を持つ化合物半導体からなる受光素子である。

[0026] 画素アレイ部10に配置されている画素（受光素子）からの信号を読み出し処理する信号処理回路（図1では不図示）等が、受光層エリアの下層に積層されている。

[0027] 受光層エリアの外周部（図1中、斜線を付して示した部分であり、以下、画素アレイ部10'と記述する）に配置されている画素と、受光層エリアの外周部以外のエリア（図1中、斜線を付した部分の内側に位置するエリア）に配置されている画素とは一部異なる構成を有する。

[0028] 図2は、受光層エリアの外周部以外のエリアに配置されている画素の構成を示し、例えば、図1のA-A'の部分で切断したときの断面図を表す。図3は、受光層エリアの外周部（画素アレイ部10'）に配置されている画素の構成を示し、例えば、図1のA-A'の部分で切断したときの断面図を表す。

[0029] 図2には、受光層エリア内に配置されている画素20-1と画素20-2を示した。以下、画素20-1と画素20-2を、個々に区別する必要がない場合、単に画素20と記述する。他の部分も同様に記述する。

[0030] 画素20は、信号処理回路30と赤外線イメージセンサ40とが積層された構成とされている。赤外線イメージセンサ40は、受光素子として機能する。信号処理回路30は、ROIC（readout integrated circuit）などと呼ばれる回路とすることでき、赤外線イメージセンサ40で光電変換された信号の読み出しや、読み出した信号の処理を行う。

[0031] 信号処理回路30には、赤外線イメージセンサ40と接続される電極31や配線32を含む配線層が形成されている。電極31は、例えば、Cu（銅

）で形成され、配線32は、Al（アルミニウム）で形成される。

[0032] 赤外線イメージセンサ40は、信号処理回路30と基板接着されている。赤外線イメージセンサ40と信号処理回路30の接着には、SiO₂（二酸化ケイ素）を用いることができる。赤外線イメージセンサ40の信号処理回路30側には、まず電極41が積層されている。電極41は、例えば、W（タングステン）やTi（チタン）で形成されている。図3を参照して後述するように、電極41は、接地されている下部電極50と接続され、上部電極49と対をなす電極として設けられている。

[0033] 電極41の上層に、n-InP層（n-InAlAs層）42が積層され、n-InP層42上に、受光層の一部として機能するi-InGaAs層43が積層されている。ここでは、受光層を、InGaAs層を備えたものとして説明を続けるが、例えば、タイプ2のInGaAs/GaAsSb多重量子井戸構造とすることもできる。InGaAs層はバンドギャップが小さいため単独でも赤外域の光を受光できる。また、他の種類のIII-V族半導体、たとえばGaAsSbと多重量子井戸構造を組むことで、受光の際、電子はGaAsSbの価電子帯からInGaAsの伝導帯へのタイプ2の遷移が可能になるので、より長波長域の受光が可能になる。

[0034] i-InGaAs層43上の開口されている部分には、P-InP層44が積層されている。P-InP層44上には、透明電極としてITO45が積層されている。さらに、ITO45上には、保護膜46が積層されている。

[0035] 保護膜46上の開口部分以外のところには、絶縁膜47が積層されている。この絶縁膜47は、SiO₂で形成することができる。絶縁膜47上には、保護膜48が積層され、さらに上部電極49が積層されている。上部電極49は、ITO45と接続されている。

[0036] 画素20間には、スルービア60が形成されている。図2に示した例では、画素20-1の左側にスルービア60-1が形成され、右側にスルービア60-2が形成されている。スルービア60の側面には、上部電極49と保

保護膜 48 が成膜されている。換言すれば、スルービア 60 の中心部分は、上部電極 49 が成膜され、その上部電極 49 の内側（受光層側）に保護膜 48 が成膜されている。

[0037] 保護膜 48 は、絶縁膜として機能し、スルービア 60 内部において、受光層と上部電極 49 との間に絶縁膜が形成されている構造とされている。

[0038] なお、図 2 に示したスルービア 60 内に成膜されている上部電極 49 は、隙間がある形状で示しているが、隙間がない状態で上部電極 49 が成膜されていても良い。換言すれば、スルービア 60 内は、上部電極 49 の材料で充填されている構成としても良い。

[0039] 保護膜 46 と保護膜 48 は、同一の材料としても良いし、異なる材料でもよい。保護膜 46、保護膜 48 は、例えば、 HfO 、 AlO 、 TaO 、 SiN 、 SiON で形成されるようにすることができる。またスルービア 60 内を覆う保護膜は、後述する製造工程で画素 20 が製造されたため、保護膜 48 となる。スルービア 60 内を覆う保護膜は、負バイアスをもつ固定電荷膜とすることができ、固定電荷膜としては、上記した HfO 、 AlO 、 TaO 、 SiN 、 SiON で形成された膜とすることができる。

[0040] 上部電極 49 の一方は、信号処理回路 30 内の配線 32 と接続され、他方は、ITO 45 と接続されている。上部電極 49 と ITO 45 は、スルービア 61 を介して接続されている。スルービア 61 は、赤外線イメージセンサ 40 の保護膜 46 を貫通するように構成され、その貫通されたスルービア 61 内に、上部電極 49 を材料が充填されることで、上部電極 49 と ITO 45 が接続される。

[0041] 上部電極 49 は、受光層（ i-InGaAs 層 43）で光電変換された電荷を集めるための電極である。光は、図 2 中、上方向から入射し、受光層に受光される。上部電極 49 が、光が入射する側（受光面側）に設けられることで、受光層の表面で光電変換されたキャリアを効率良く集められるようになり、感度を向上させることが可能となる。

[0042] 従来の受光面と反対側に上部電極が備えられている構造の場合、受光表面

で光電変換されたキャリアが、上部電極にたどり着く前に再結合してしまい、感度が低下してしまう可能性があった。しかしながら、本技術を適用した画素20においては、受光面側に上部電極49が設けられているため、発生したキャリアが上部電極49にたどりつく前に再結合しまうようなことを防ぐことが可能となり、感度が低下してしまうようなことを防ぐことが可能となる。

[0043] また、従来のような赤外線イメージセンサと信号処理回路が、バンプにより接続されている構造の場合、バンプの高さのバラツキの制御や、ショートなどの問題があり、アレイ化や微細化が困難であったが、本技術によれば、バンプにより赤外線イメージセンサ40と信号処理回路30が接続されている構造ではないため、バンプにより接続することにより発生する問題を解消することが可能である。

[0044] このように、各画素20の上部電極49は、赤外線イメージセンサ40（受光層）を貫通し、信号処理回路30内の配線32の表面まで形成されているスルービア60により、信号処理回路30内の配線32と接続されている。上部電極49に対をなす下部電極は、画素アレイ部10の外周部分（画素アレイ部10'）に配置されている画素に設けられている。

[0045] 図3は、受光エリアの外周部（画素アレイ部10'）に配置されている画素の構成を示し、例えば、図1のA-A'の部分で切断したときの断面図を表す。図3では、画素アレイ部10'に位置する画素20-3を図示している。

[0046] 画素20-3の構成は、図2に示した画素20-1と比較して、下部電極50が設けられている点が異なり、他の部分は同様であるため、同様な構成については説明を省略する。

[0047] 画素20-3の外周部側（図中、右側）に設けられているスルービア70は、外周部以外のエリアに設けられているスルービア60と異なる構造とされている。

[0048] スルービア70は、スルービア60と異なり、赤外線イメージセンサ40

(受光層)を貫通せず、赤外線イメージセンサ４０を構成する電極４１のところまで設けられている。スルービア７０内には、下部電極５０と保護膜４８が成膜されている。下部電極５０は、スルービア７０内に成膜されることで、電極４１と接続されている。すなわち、電極４１は、下部電極５０と接続されることで、下部電極として機能し、下部電極５０の一部として設けられている。

[0049] ここで図３に示した画素２０－３の左側に示したスルービア６０と、右側に示したスルービア７０を比較する。スルービア６０は、赤外線イメージセンサ４０を貫通し、その内部は、上部電極４９と保護膜４８が成膜されている。上部電極４９と電極４１との間には、保護膜４８が成膜されているため、上部電極４９と電極４１は、接続されていない。

[0050] 一方、スルービア７０は、赤外線イメージセンサ４０を貫通せず、その内部は、下部電極５０と保護膜４８が成膜されている。そして下部電極５０は電極４１に接続されている。よって、電極４１は、下部電極５０の一部を構成している。

[0051] このように、画素アレイ部１０を構成する画素２０は、上部に、上部電極４９が形成され、下部に、下部電極５０（電極４１）が形成されている構成となされている。

[0052] 画素アレイ部１０’の終端部分（図３中、右側であり、点線の円で囲んだ部分Ｂ）において、下部電極５０は、信号処理回路３０内の配線３３と接続されている。この下部電極５０と接続される配線３３は、接地されている。

[0053] 図３を参照して説明したように、スルービア７０を設けて、下部電極５０と電極４１を接続する構成としても良いが、図４に示すように、スルービア７０を設けずに、下部電極５０と電極４１が接続されている構成とすることもできる。

[0054] 図４に示した画素２０－３’は、画素アレイ部１０’に設けられている画素であるが、電極４１と下部電極５０を接続するためのスルービア７０が形成されていない構成とされている。以下の説明においては、図３に示した画

素 20-3 と区別を付けるために、図 4 に示した画素にはダッシュを付し、画素 20-3' と記述する。他の部分も、同様に記述するが、画素 20-3' と画素 20-3 を区別する必要が無い場合には、単に画素 20-3 と記述する。

[0055] 図 4 に示した画素 20-3' は、画素アレイ部 10 の外周部以外のエリアに配置されている画素 20-3 と同様の構造を有しているが、画素アレイ部 10 の外周部側（図 4 中、右側）には、スルービア 70 が形成されていない構成とされている。

[0056] 下部電極 50' は、画素アレイ部 10' の終端部分で、接地されている配線 33 と接続されている。図 4 の部分 B' の部分を参照するに、下部電極 50' は、信号処理回路 30 内の配線 33 と、画素アレイ部 10' の終端部分で接続されている。下部電極 50 と赤外線イメージセンサ 40 内の電極 41' も、画素アレイ部 10' の終端部分で接続されている。

[0057] 赤外線イメージセンサ 40 の電極 41' は、画素アレイ部 10 の終端部分（部分 B'）まで延長され、終端部分において、換言すれば、画素 20-3' の側面よりも外側の部分で、下部電極 50' と接続される。このように、画素アレイ部 10 の終端部分において、下部電極 50'、電極 41'、および配線 33 が接続される構成とすることができる。

[0058] このように、下部電極 50 を複数の画素 20 で共通の電極とすることで、微細化することが可能となる。また、各画素 20 の開口率を上げることも可能となる。

[0059] <受光層エリアの構成>

上記したように、上部電極 49 は、スルービア 60 により信号処理回路 30 内の配線 32 と接続され、下部電極 50 は、スルービア 70 により赤外線イメージセンサ 40 内の電極 41 と接続され、終端部分で信号処理回路 30 内の配線 33 と接続され、接地されている。または下部電極 50' は、終端部分で赤外線イメージセンサ 40 内の電極 41' と接続され、信号処理回路 30 内の配線 33' と接続され、接地されている。

- [0060] このような上部電極49と下部電極50を有する画素を上側から見た場合、図5または図6に示すような位置に、スルービアが形成され、P-I-nP層44が形成されている。
- [0061] 図5は、メサ分離で画素間を分離したときの画素の断面図と上部から見たときの平面図である。図5のAに示した画素20の断面図は、図2に示した画素20の断面図と同一である。図5のBは、図5のAに示した画素20を、受光面側から見たときの平面図であり、ビアの位置とP-I-nP層44のエリアを図示してある。図5のBでは、2×2の4画素を示している。
- [0062] 図5のBに示したように、画素20-1、画素20-2、画素20-11、および画素20-12のそれぞれの間は、分離部80が設けられ、分離されている。画素20-1の左下側にスルービア60-1が形成されており、その右側にスルービア61-1が形成されている。上部電極49は、スルービア60-1、スルービア61-1上に形成されているとともに、画素20の間にも形成されているが、それぞれ他の上部電極49と接触することなく、独立に形成されている。
- [0063] 図6は、プレーナ分離で画素間を分離したときの画素の断面図と上部から見たときの平面図である。図6のAに示した画素20の断面図は、図5のAに示した画素20の断面図とほぼ同一である。図6のAに示した画素20においては、P-I-nP層44がスルービア60間に設けられ、保護膜46で分断されていない点が、図5のAに示した画素20と異なる。
- [0064] 図6のBは、図6のAに示した画素20を、受光面側から見たときの平面図であり、ビアの位置とP-I-nP層44のエリアを図示してある。図6のBでは、2×2の4画素を示している。図5のBに示した画素20と異なる点は、P-I-nP層44がスルービア60-1以外の部分では繋がっている点異なる。なお、画素20間は、不純物で分離されている。
- [0065] メサ分離（図5）よりも、プレーナ分離（図6）の方が、P-I-nP層44のエリア、すなわちP層のエリアが大きいため、受光層エリアを拡大することができる。

[0066] このように、本技術は、メサ分離、プレーナ分離のどちらの分離方法においても適用できる。また、これら以外の分離方法であっても、本技術を適用できる。

[0067] なお、図5のB、図6のBにおいて、スルービア60とスルービア61の形状は、それぞれ四角形で示したが、円形など、他の形状であっても良い。

[0068] <製造について>

上記した画素20の製造について図7乃至図12を参照して説明する。

[0069] 工程S1（図7）において、基板が用意される。基板として、支持基板としての n - InP 層101上に、バッファ層としての N - InGaAs 層102が形成され、 N - InGaAs 層102上に P - InP 層44、 i - InGaAs 層43、および n - InP （ n - InAlAs ）層42がこの順で形成されている。基板は、結晶成長法などにより形成されたものとすることができる。

[0070] 工程S2において、基板上に、上部電極49となる電極が成膜され、電極上に絶縁膜（酸化膜）103が成膜される。電極は、例えば、 W （タングステン）や Ti （チタン）といった材料で成膜され、絶縁膜103は、 SiO_2 （二酸化ケイ素）といった材料で成膜される。

[0071] 工程S3において、基板（赤外線イメージセンサ40）と信号処理回路30（ $ROIC$ 基板）との貼り合わせが行われる。赤外線イメージセンサ40の下面に成膜された絶縁膜103と信号処理回路30の上面が、接着剤により接着される。なお、赤外線イメージセンサ40に絶縁膜103が設けられ、その絶縁膜103と信号処理回路30が貼り合わせられるようにしても良いが、絶縁膜103を設けずに、貼り合わせが行われるようにしても良い。

[0072] 本技術によると、赤外線イメージセンサ40と信号処理回路30とは、所定の接着剤などにより基板同士で張り合わされ、 bumps などにより接合される工程はない。赤外線イメージセンサ40と信号処理回路30は、異なる材料で構成されている。例えば、赤外線イメージセンサ40は、 InGaAs などの化合物半導体により形成され、信号処理回路30は、シリコン（ Si

）などの材料で形成されている。

[0073] このように、赤外線イメージセンサ４０と信号処理回路３０は、異なる材料で形成されているため、仮にバンプにより接合した場合、バンプに用いることができる材料に制約が出てしまう。またそのような制約のために、バンプの高さにバラツキが生じやすく、ショートしやすいために、その制御が困難であり、アレイ化や微細化が困難である可能性がある。

[0074] しかしながら、本技術によれば、赤外線イメージセンサ４０と信号処理回路３０の貼り付けは、バンプではなく、基板同士の接着により行われるため、バンプを用いる場合に生じる上記したような問題が発生することはなく、アレイ化や微細化を実現することができる。

[0075] また、バンプを用いないため、バンプを用いたときの材料の制約がなくなり、赤外線イメージセンサ４０と信号処理回路３０の貼り合わせ面の材料の選択の自由度が増す。

[0076] 工程Ｓ４（図８）において、 $n\text{-InP}$ 層１０１と $N\text{-InGaAs}$ 層１０２が剥離される。 Inp は、可視光を吸収するため、可能な限り薄くしておくことが好ましいため、工程Ｓ４において、支持基板として用いられていた $n\text{-InP}$ 層１０１とバッファ層として成膜されていた $N\text{-InGaAs}$ 層１０２が剥離される。

[0077] 工程Ｓ５において、ITO４５が成膜される。ITO４５は、透明電極膜であり、上部電極４９と接続され、受光層（ $i\text{-InGaAs}$ 層４３）で光電変換されたキャリアを読み出すのに用いられる。本技術によれば、ITO４５は、受光面側に形成されることで、キャリアを集める電極を受光面側に配置することができる。

[0078] 仮に、キャリアを集める電極が、受光面と反対側の面にあるように電極が形成された場合、受光面の表面で光電変換されたキャリアが、電極にたどり着く前に、再結合し、感度が低下してしまう可能性があるが、本技術によれば、ITO４５が、受光面側に形成されるため、感度が低下してしまうことを防ぎ、感度を向上させることが可能となる。

- [0079] 工程S6において、ITO45が加工される。ITO45を残す部分にレジスト110が塗布され、エッチングが行われることで、ITO45が加工される。
- [0080] 工程S7（図9）において、P-InP層44が加工される。P-InP層44を残す部分にレジスト111が塗布され、エッチングが行われることで、P-InP層44が加工される。このレジスト111のマスク形状は、図5を参照して説明したメサ分離の場合と図6を参照して説明したプレーナ分離の場合とは異なり、適用する分離方法に適した形状とされる。
- [0081] 工程S8において、加工後のITO45、P-InP層44上に、保護膜46が成膜される。この保護膜46は、界面ケア膜として成膜され、材料として例えば、SiN（窒化シリコン）を用いることができる。
- [0082] 工程S9において、絶縁膜47が成膜される。絶縁膜47は、例えば、SiO₂膜とすることができる。
- [0083] 工程S10（図10）において、スルービア60（70）を形成する部分以外のところに、レジスト112が塗布され、ハードマスクが形成され、エッチングが行われる。
- [0084] 工程S10乃至工程S12において、スルービア60（70）が形成されるが、図3を参照して説明したように、スルービア70を有する画素20を製造するか、図4を参照して説明したように、スルービア70を有しない画素20を製造するかにより、工程S10におけるパターニングの形状は異なる。ここでは、図4を参照して説明したように、スルービア70を有しない画素20を製造する場合を例に挙げて説明を続ける。
- [0085] 工程S10において、スルービア60を形成する部分の絶縁膜47が除去される。また、図10に示したように、画素アレイ部10'の終端側に位置する部分も、絶縁膜47は除去される。
- [0086] 工程S11において、InGaAsの加工が行われることで、スルービア60の一部に該当する部分が形成される。工程S11の時点で、スルービア60を形成する部分のi-InGaAs層43、n-InP層42が除去さ

れる。また、図10に示したように、画素アレイ部10'の終端側に位置する部分も、 $i\text{-InGaAs}$ 層43、 $n\text{-InP}$ 層42は除去される。

[0087] 工程S12において、レジスト113が塗布され、エッチングされることで、スルービア60を形成する部分の電極41、信号処理回路30の配線32の上面までが除去される。また、画素アレイ部10'の終端側に位置する部分も、電極41、信号処理回路30の配線33の上面まで除去される。

[0088] なお、ここでは、工程S10乃至S12でスルービア60が形成されとしたが、このような工程を経ずに、例えば、工程S10において、一気に、信号処理回路30の配線32（33）上まで加工が行われるようにしても良い。

[0089] なお、図3に示したスルービア70を有する画素20を製造する場合、工程S11のところに図示した状態で加工を止めることで、スルービア70を形成できる。すなわち、工程S10と工程S11で、スルービア60の一部と、スルービア70を形成することができる。そして、工程S12において、スルービア60の残りの部分を加工することで、スルービア60とスルービア70を形成することができる。

[0090] 工程S13（図11）において、保護膜48が成膜される。図11に示したように、保護膜48は、絶縁膜47上に形成されるとともに、スルービア60の側面にも成膜される。また、画素アレイ部10'の終端側においては、電極41上、信号処理回路30の配線33上にも、保護膜48は成膜される。

[0091] 工程S14において、画素20の開口部分が形成される。開口部分以外のところにレジスト114が塗布され、エッチングされることで、開口部分が形成される。図11に示したように、ITO45が形成されている部分上の絶縁膜47と保護膜48が除去される。

[0092] 工程S15において、上部電極49または下部電極50と接続される部分を形成するためのレジスト115が塗布され、エッチングが行われる。エッチングが行われることで、スルービア60の配線32上に成膜されていた保

保護膜 4 8 が除去される。また I T O 4 5 上の保護膜 4 8 が除去されることで、スルービア 6 1 が形成される。また、画素アレイ部 1 0' の終端側の電極 4 1 上の保護膜 4 8 が除去される。

[0093] 工程 S 1 6 (図 1 2) において、接続電極が成膜される。工程 S 1 6 においては、上部電極 4 9 および下部電極 5 0 となる電極が、例えば、W (タングステン) により成膜される。

[0094] 工程 S 1 7 において、接続電極のエッチングが行われる。上部電極 4 9 および下部電極 5 0 を残す部分にレジスト 1 1 5 が塗布され、エッチングが行われることで、上部電極 4 9 および下部電極 5 0 が形成される。

[0095] 工程 S 1 8 において、レジスト 1 1 6 が塗布され、エッチングが行われることで P A D が開口される。図 1 2 中、画素アレイ部 1 0' の終端側であり、信号処理回路 3 0 の配線 3 3 上の保護膜 4 8 が除去される。この保護膜 4 8 が除去され、配線 3 3 がむき出しになっている部分と、図示していない回路が接続される。

[0096] レジスト 1 1 6 が除去されることで、図 4 に示した画素 2 0 - 3' が製造される。また、画素アレイ部 1 0' 以外のエリアの画素 2 0 (図 2) も、上記した工程で製造される。このようにして、画素 2 0 が製造される。

[0097] 本技術によれば、赤外線イメージセンサ 4 0 の微細化、平坦化、感度向上が可能となる。

[0098] <撮像装置の使用例>

図 1 3 は、上述の撮像装置の使用例を示す図である。

[0099] 上述した撮像装置は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0100] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される

装置

- ・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置
- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置
- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置
- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置
- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置
- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0101] 図14は、本技術を適用した電子機器の一例である撮像装置（カメラ装置）1001の構成例を示すブロック図である。

[0102] 図14に示すように、撮像装置1001は、レンズ群1011などを含む光学系、撮像素子1012、カメラ信号処理部であるDSP1013、フレームメモリ1014、表示装置1015、記録装置1016、操作系1017、及び、電源系1018等を有している。そして、DSP1013、フレームメモリ1014、表示装置1015、記録装置1016、操作系1017、及び、電源系1018がバスライン1019を介して相互に接続された構成となっている。

[0103] レンズ群1011は、被写体からの入射光（像光）を取り込んで撮像素子1012の撮像面上に結像する。撮像素子1012は、レンズ群1011によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0104] 表示装置1015は、液晶表示装置や有機EL（electro luminescence）表示装置等のパネル型表示装置から成り、撮像素子1012で撮像された動画または静止画を表示する。記録装置1016は、撮像素子1012で撮像

された動画または静止画を、メモリカードやビデオテープやDVD（Digital Versatile Disk）等の記録媒体に記録する。

[0105] 操作系1017は、ユーザによる操作の下に、本撮像装置1001が持つ様々な機能について操作指令を発する。電源系1018は、DSP1013、フレームメモリ1014、表示装置1015、記録装置1016、及び、操作系1017の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0106] このような撮像装置1001は、ビデオカメラやデジタルスチルカメラ、更には、スマートフォン、携帯電話機等のモバイル機器向けカメラモジュールに適用される。そして、この撮像装置1001において、撮像素子1012として、上述した各実施形態に係る撮像装置を用いることができる。これにより、撮像装置1001の画質を向上させることができる。

[0107] 本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0108] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0109] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0110] なお、本技術は以下のような構成も取ることができる。

(1)

赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、

前記受光素子からの信号を処理する信号処理回路と、

前記受光素子の受光面側に形成されている上部電極と、

前記上部電極と対をなす下部電極と

を備え、

前記受光素子アレイと前記信号処理回路は、所定の材料の膜で接合され、

前記受光素子の一部を貫通しているスルービアを介して、前記上部電極と

前記信号処理回路は接続され、

前記下部電極は、前記受光素子アレイに配列された受光素子で共通した電極とされている

撮像装置。

(2)

前記化合物半導体は、Ⅲ-Ⅴ族半導体である

前記(1)に記載の撮像装置。

(3)

前記受光素子の下部に設けられた電極まで貫通しているスルービアを介して、前記下部電極と前記電極が接続されている

前記(1)または(2)に記載の撮像装置。

(4)

前記下部電極は、前記受光素子の下部に設けられた電極と、前記受光素子アレイの外周部で接続されている

前記(1)乃至(3)のいずれかに記載の撮像装置。

(5)

前記下部電極は、前記信号処理回路と、前記受光素子アレイの外周部で接続されている

前記(1)乃至(4)のいずれかに記載の撮像装置。

(6)

前記スルービアは、固定電荷膜で内部が覆われ、前記固定電荷膜上に、前記上部電極の一部が積層されている

前記(1)乃至(5)のいずれかに記載の撮像装置。

(7)

赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、

前記受光素子からの信号を処理する信号処理回路と、

前記受光素子の受光面側に形成されている上部電極と、

前記上部電極と対をなす下部電極と
を備える撮像装置を製造する製造方法において、
前記受光素子アレイと前記信号処理回路を、所定の材料の膜で接合し、
前記受光素子の一部を貫通するスルービアを形成し、
前記上部電極と前記信号処理回路を、前記スルービアを介して接続し、
前記下部電極を、前記受光素子アレイに配列された受光素子で共通した電
極として形成する
ステップを含む製造方法。

(8)

前記化合物半導体は、Ⅲ－Ⅴ族半導体である
前記(7)に記載の製造方法。

(9)

前記受光素子の下部に電極を形成し、
前記受光素子の一部に、前記電極の上面まで貫通するスルービアを形成し
、
前記下部電極と前記電極を前記スルービアを介して接続する
ステップをさらに含む
前記(7)または(8)に記載の製造方法。

(10)

前記下部電極を、前記受光素子の下部に設けられた電極と、前記受光素子
アレイの外周部で接続するステップをさらに含む
前記(7)乃至(9)のいずれかに記載の製造方法。

(11)

前記下部電極を、前記信号処理回路と、前記受光素子アレイの外周部で接
続するステップをさらに含む
前記(7)乃至(10)のいずれかに記載の製造方法。

符号の説明

[0111] 10 画素アレイ部, 20 画素, 30 信号処理回路, 31 電

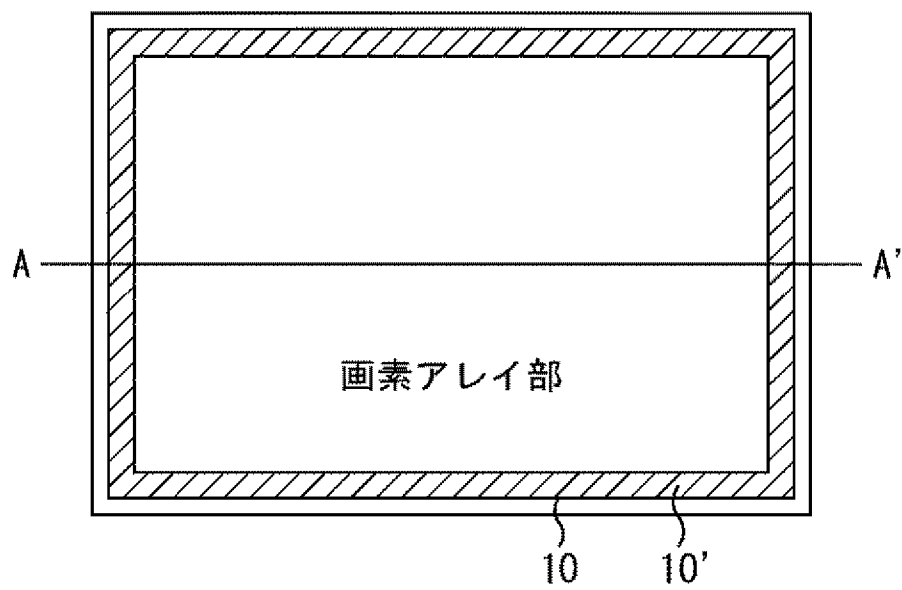
極, 32, 33 配線, 40 赤外線イメージセンサ, 41 電極,
42 n-InP層, 43 i-InGaAs層, 44 p-InP
層, 45 ITO, 46 保護膜, 47 絶縁膜, 48 保護膜,
49 上部電極, 50 下部電極, 60, 61, 70 スルービア

請求の範囲

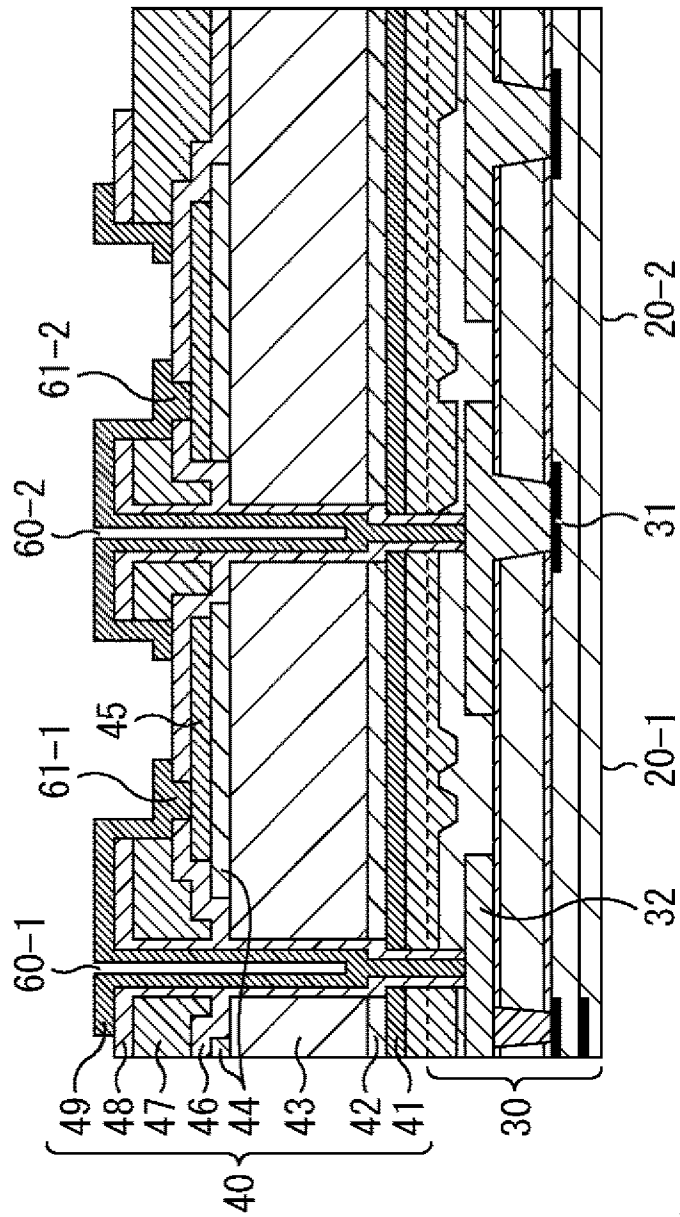
- [請求項1] 赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、
前記受光素子からの信号を処理する信号処理回路と、
前記受光素子の受光面側に形成されている上部電極と、
前記上部電極と対をなす下部電極と
を備え、
前記受光素子アレイと前記信号処理回路は、所定の材料の膜で接合され、
前記受光素子の一部を貫通しているスルービアを介して、前記上部電極と前記信号処理回路は接続され、
前記下部電極は、前記受光素子アレイに配列された受光素子で共通した電極とされている
撮像装置。
- [請求項2] 前記化合物半導体は、Ⅲ－Ⅴ族半導体である
請求項1に記載の撮像装置。
- [請求項3] 前記受光素子の下部に設けられた電極まで貫通しているスルービアを介して、前記下部電極と前記電極が接続されている
請求項1に記載の撮像装置。
- [請求項4] 前記下部電極は、前記受光素子の下部に設けられた電極と、前記受光素子アレイの外周部で接続されている
請求項1に記載の撮像装置。
- [請求項5] 前記下部電極は、前記信号処理回路と、前記受光素子アレイの外周部で接続されている
請求項1に記載の撮像装置。
- [請求項6] 前記スルービアは、固定電荷膜で内部が覆われ、前記固定電荷膜上に、前記上部電極の一部が積層されている
請求項1に記載の撮像装置。

- [請求項7] 赤外域に受光感度を持つ化合物半導体からなる受光素子が複数配列された受光素子アレイと、
前記受光素子からの信号を処理する信号処理回路と、
前記受光素子の受光面側に形成されている上部電極と、
前記上部電極と対をなす下部電極と
を備える撮像装置を製造する製造方法において、
前記受光素子アレイと前記信号処理回路を、所定の材料の膜で接合し、
前記受光素子の一部を貫通するスルービアを形成し、
前記上部電極と前記信号処理回路を、前記スルービアを介して接続し、
前記下部電極を、前記受光素子アレイに配列された受光素子で共通した電極として形成する
ステップを含む製造方法。
- [請求項8] 前記化合物半導体は、Ⅲ－Ⅴ族半導体である
請求項7に記載の製造方法。
- [請求項9] 前記受光素子の下部に電極を形成し、
前記受光素子の一部に、前記電極の上面まで貫通するスルービアを形成し、
前記下部電極と前記電極を前記スルービアを介して接続する
ステップをさらに含む
請求項7に記載の製造方法。
- [請求項10] 前記下部電極を、前記受光素子の下部に設けられた電極と、前記受光素子アレイの外周部で接続するステップをさらに含む
請求項7に記載の製造方法。
- [請求項11] 前記下部電極を、前記信号処理回路と、前記受光素子アレイの外周部で接続するステップをさらに含む
請求項7に記載の製造方法。

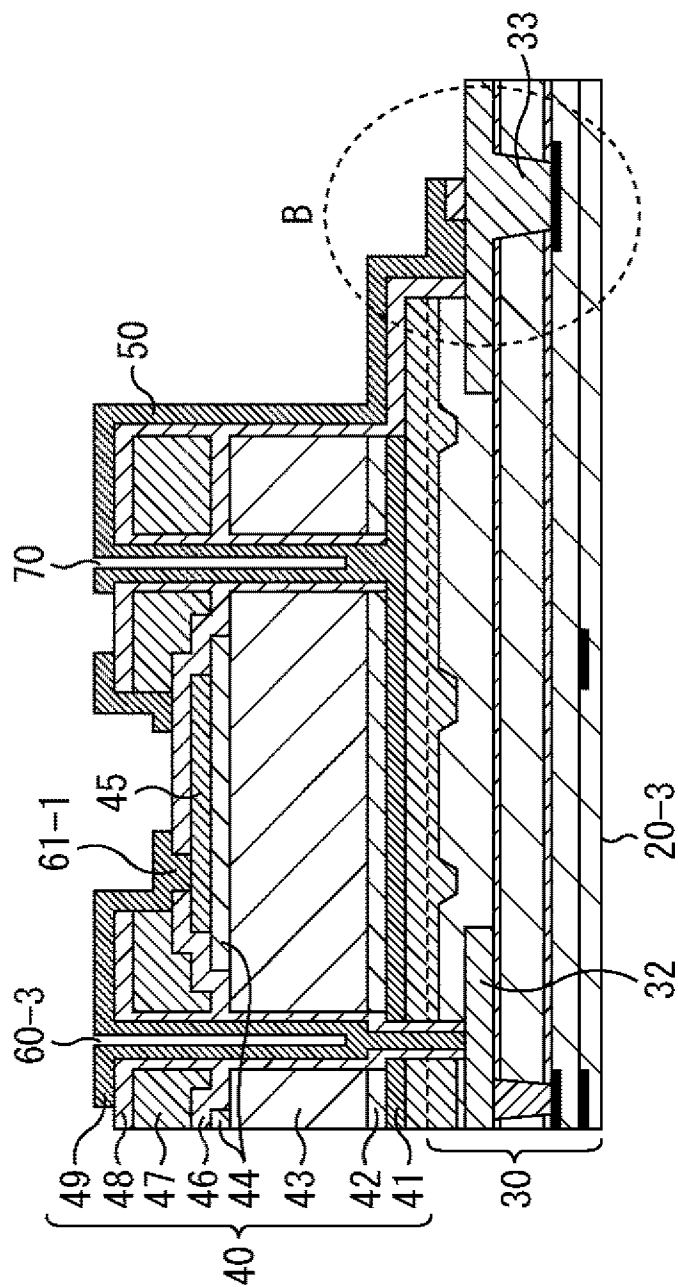
[図1]
FIG. 1



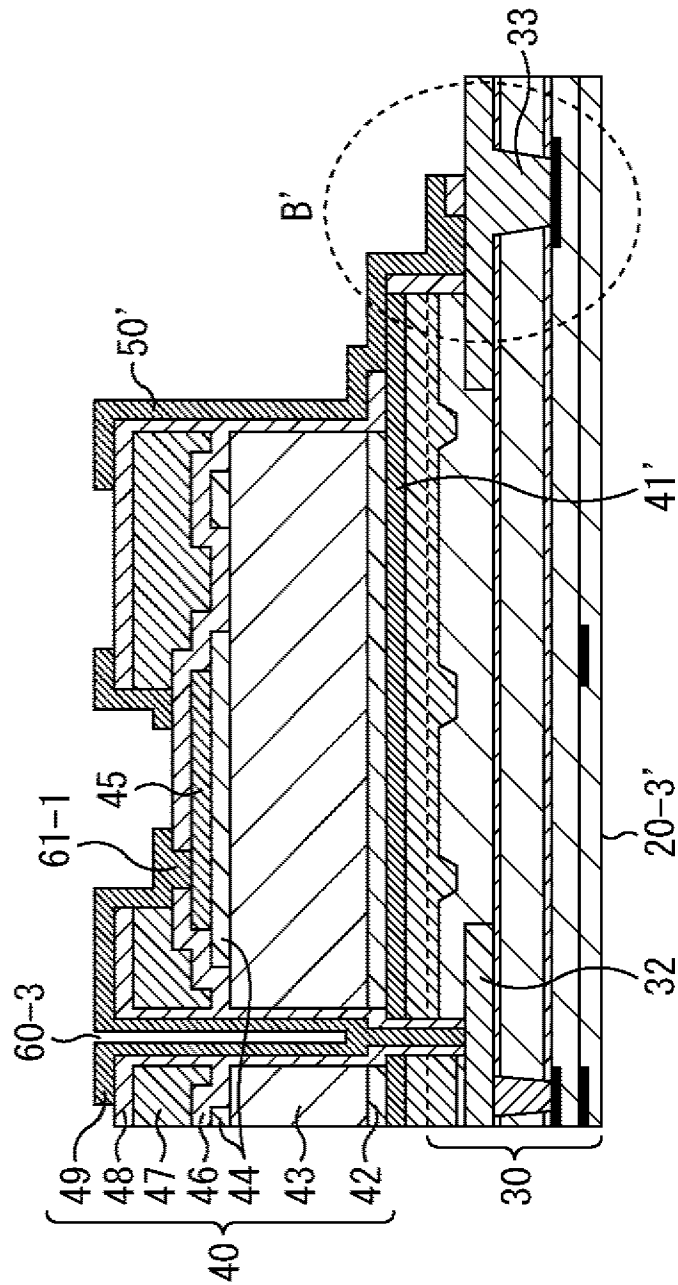
[図2]
FIG. 2



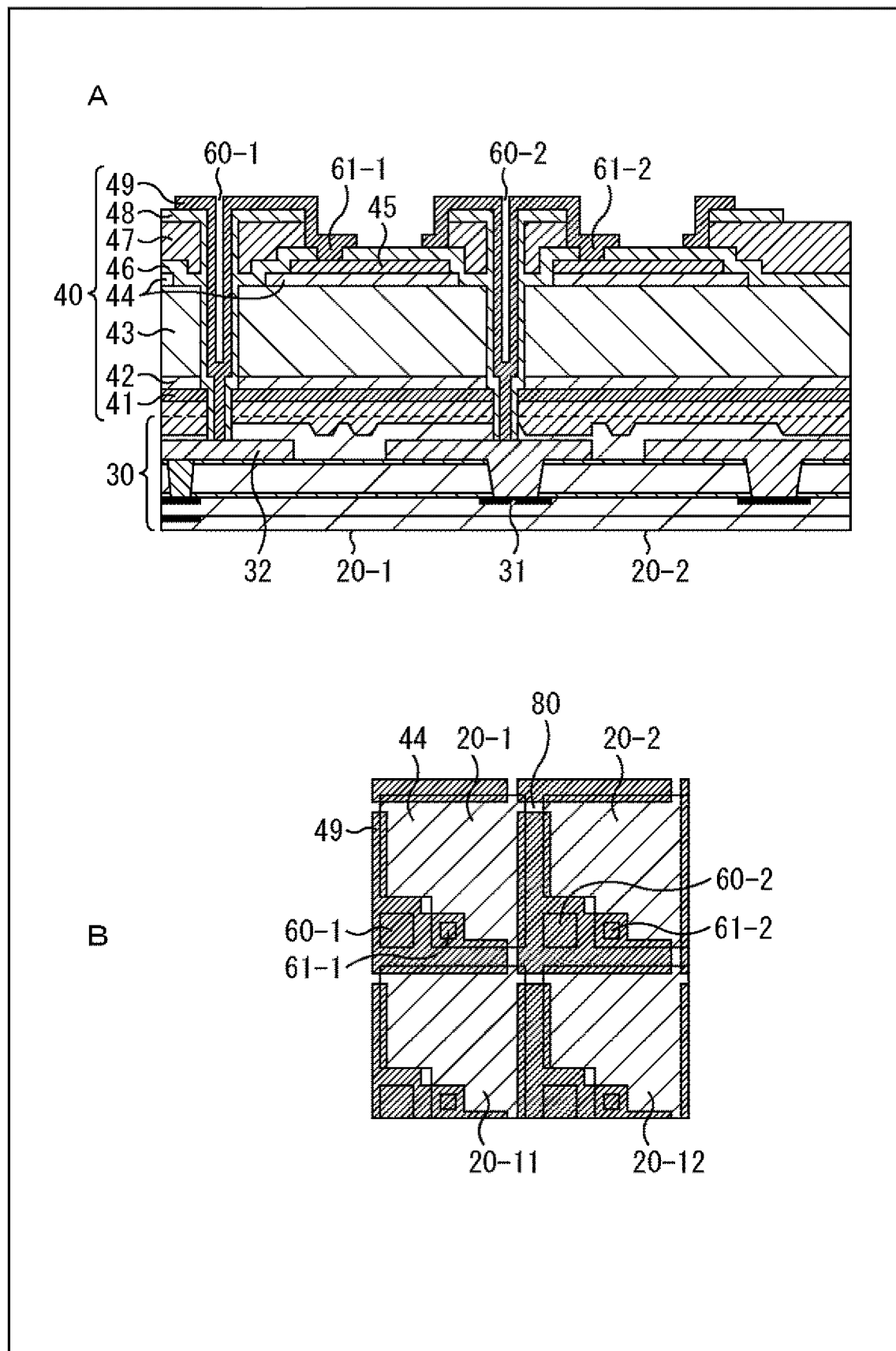
[図3]
FIG. 3



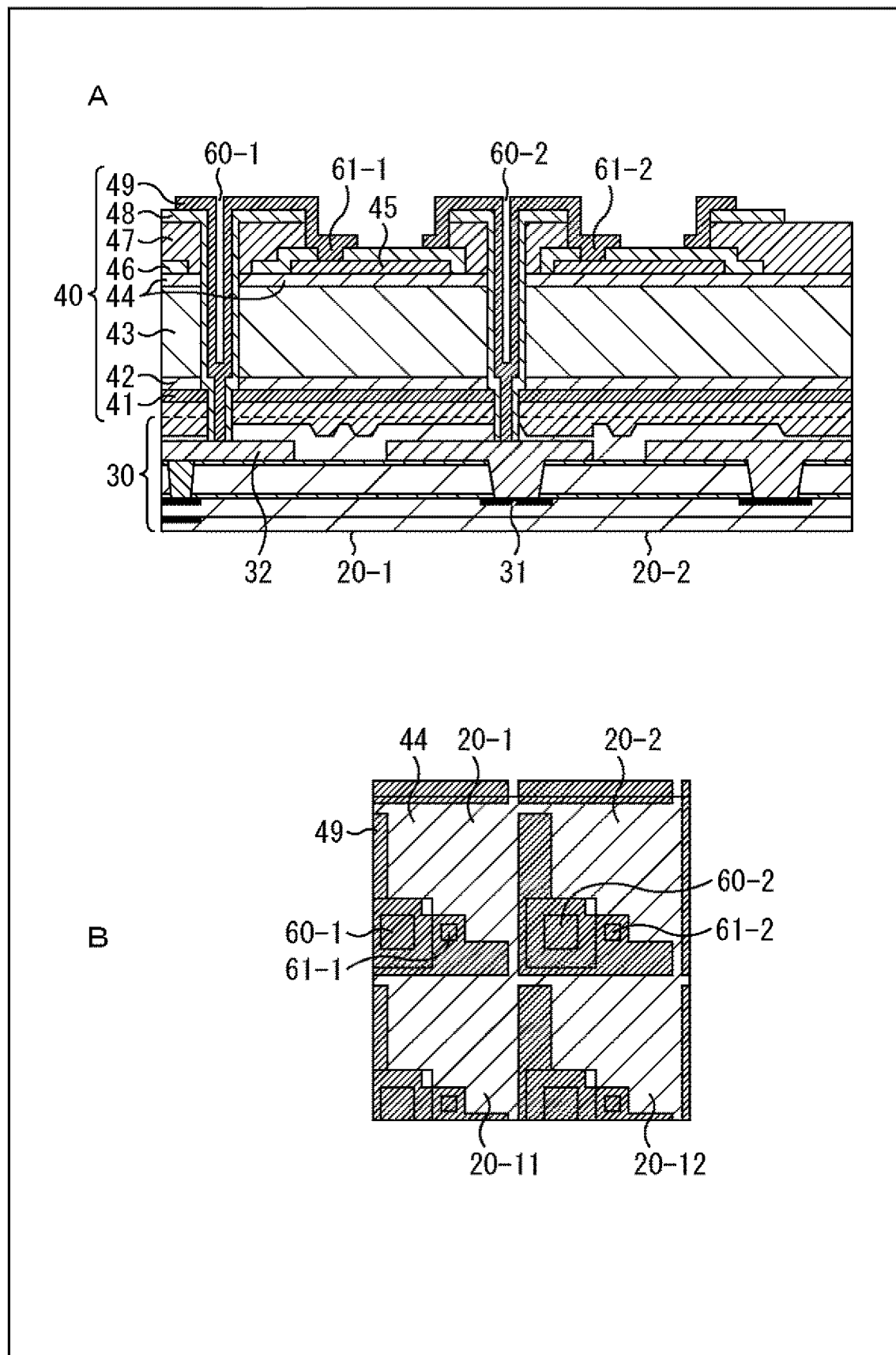
[図4]
FIG. 4



[図5]
FIG. 5

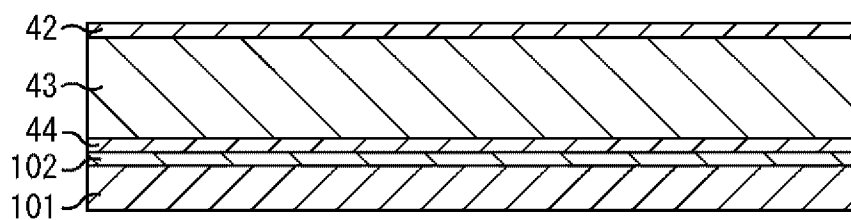


[図6]
FIG. 6

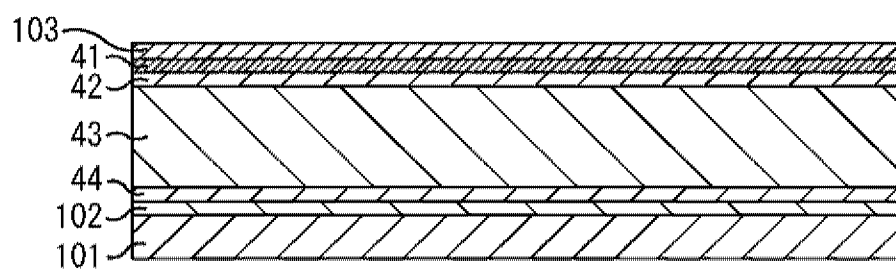


[図7]
FIG. 7

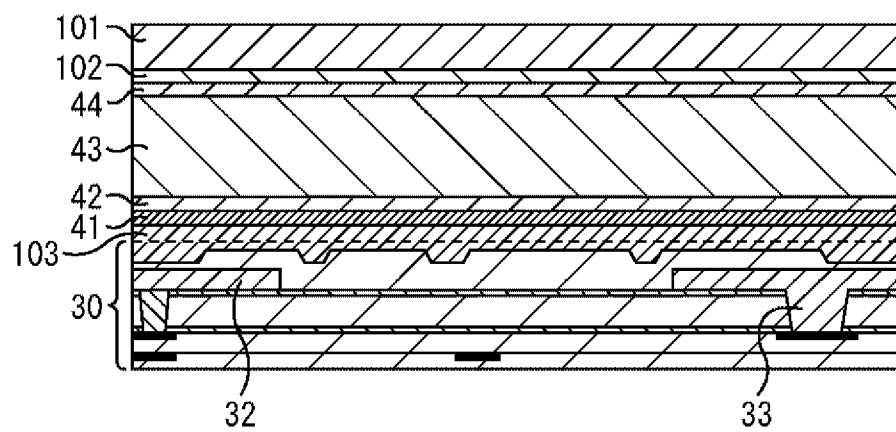
S1



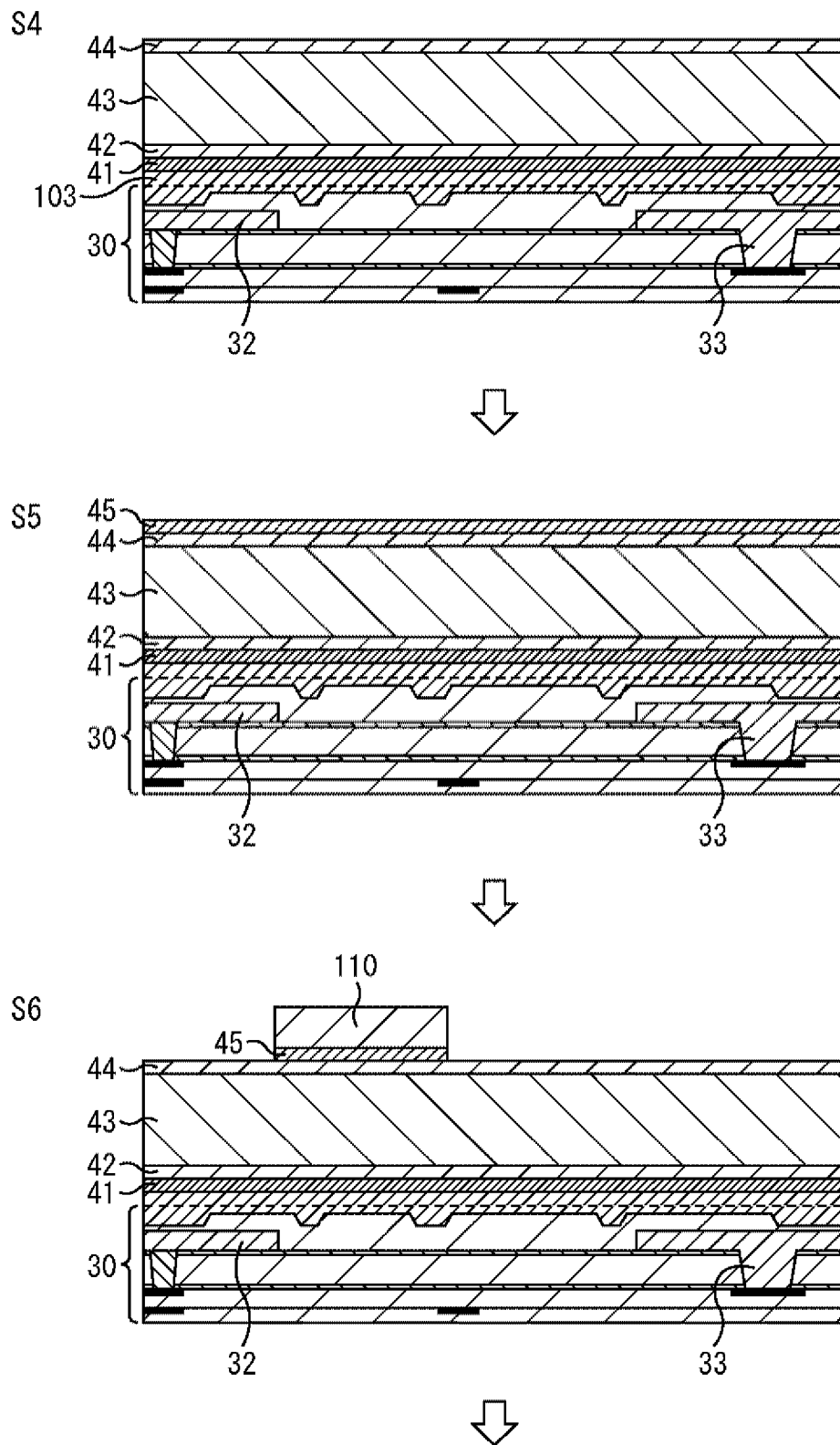
S2



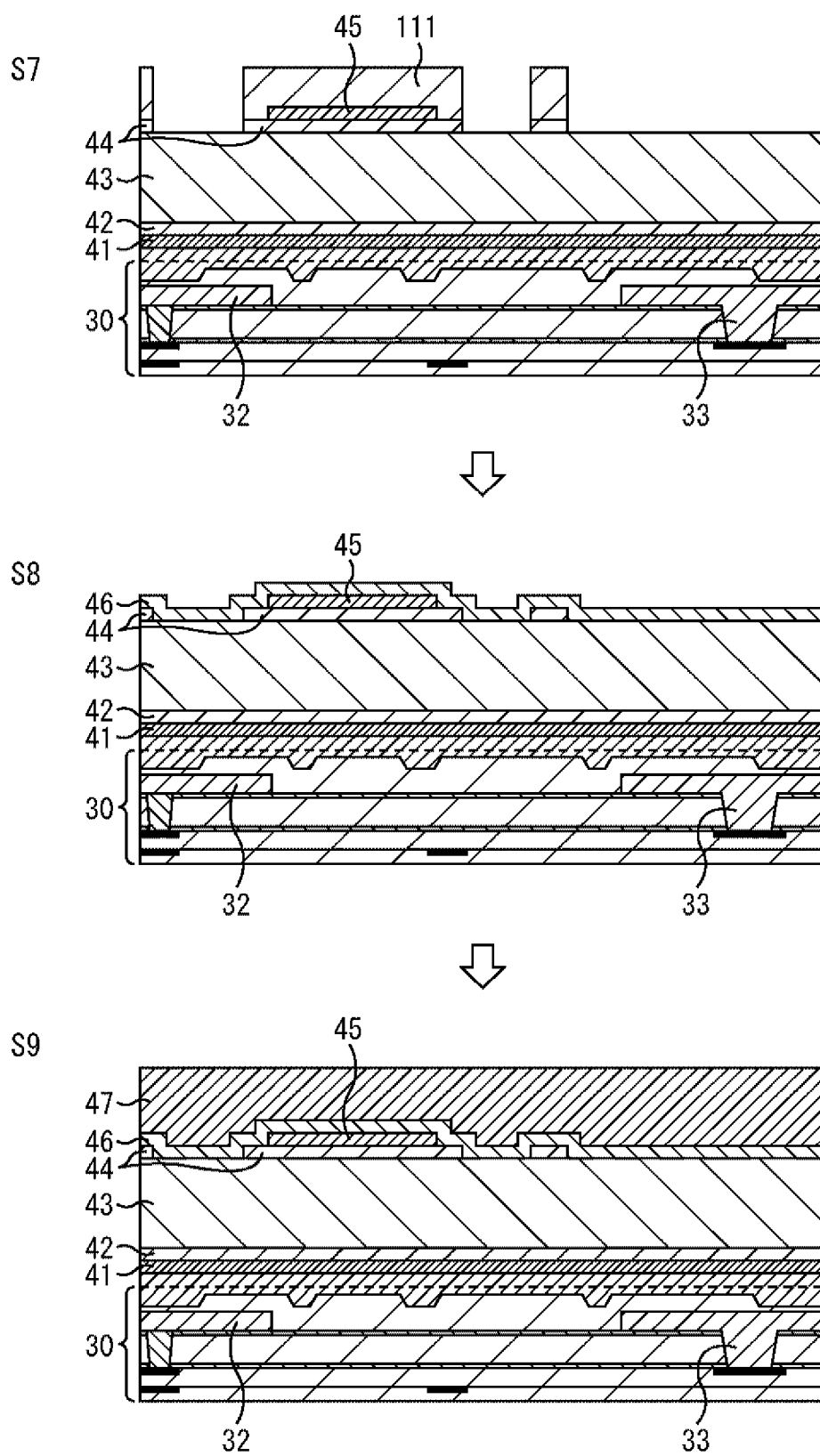
S3



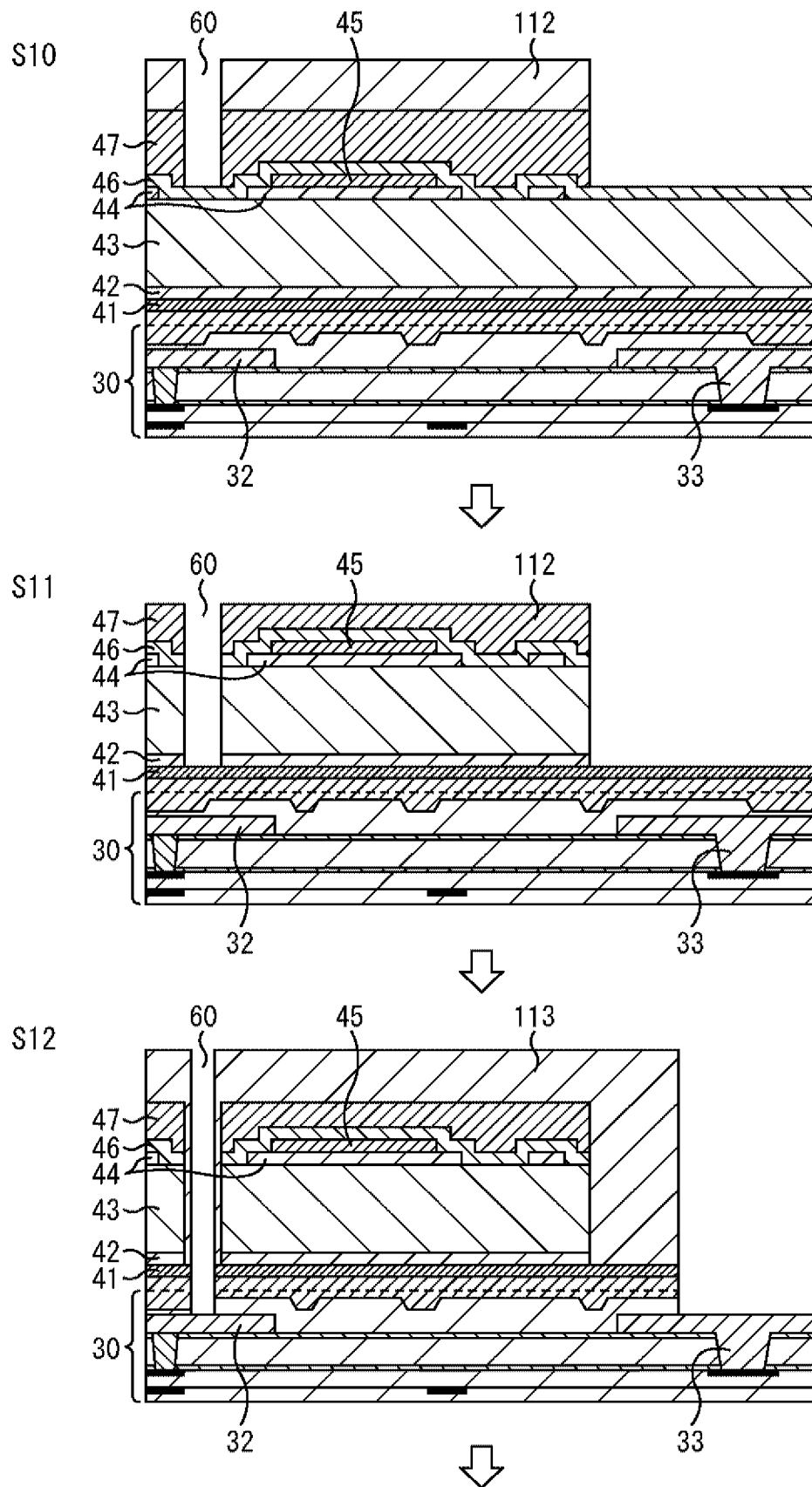
[図8]
FIG. 8



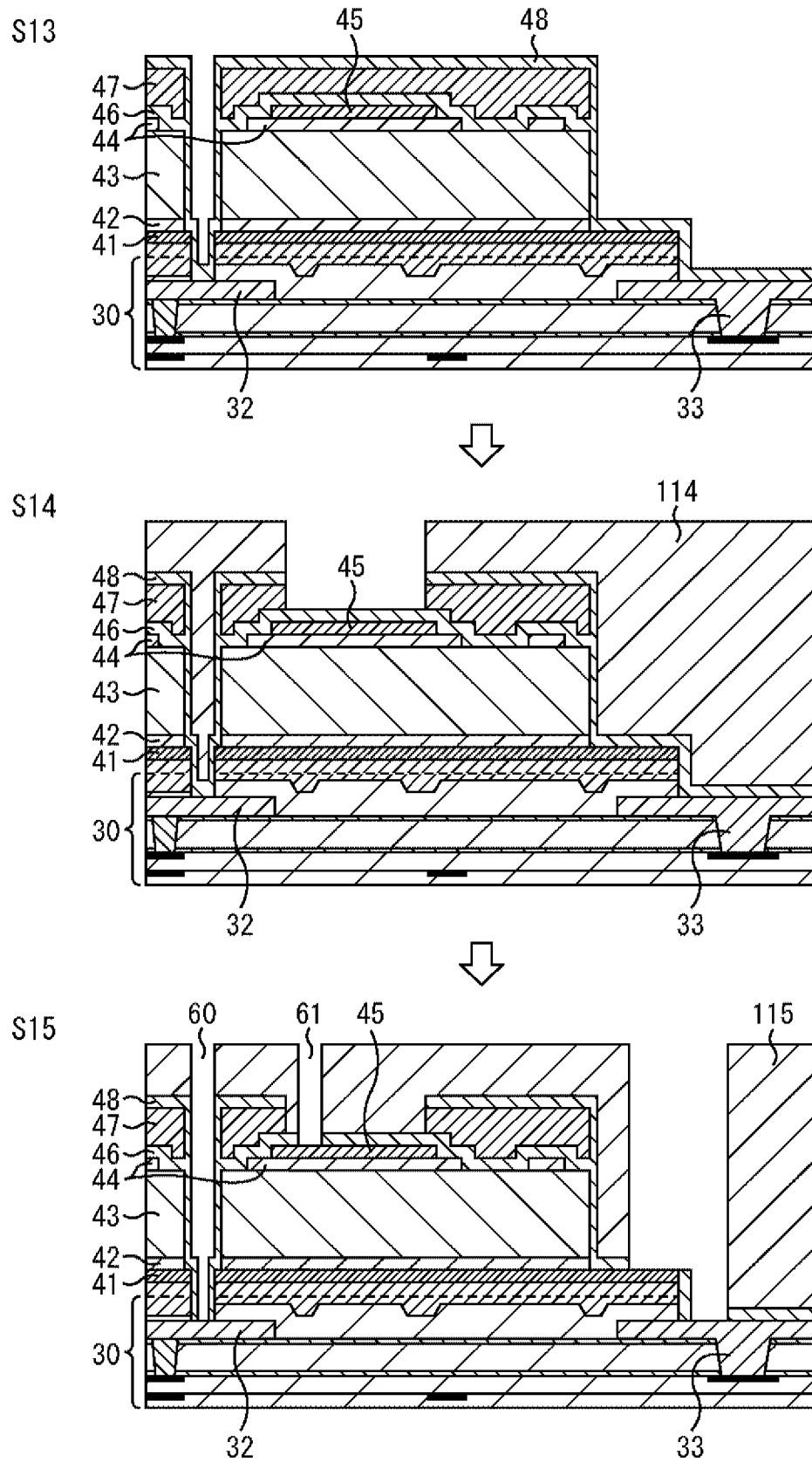
[図9]
FIG. 9



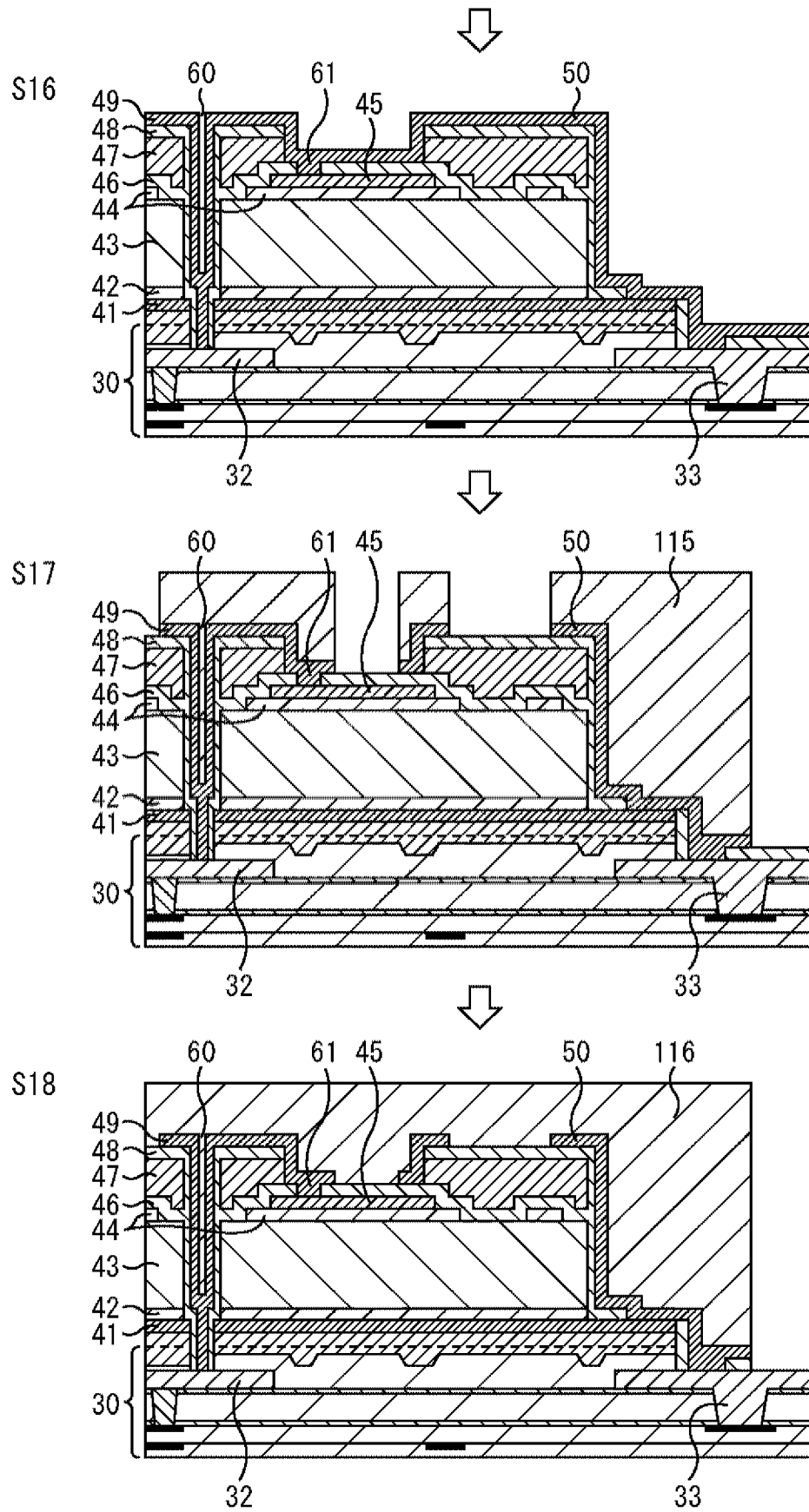
[図10]
FIG. 10



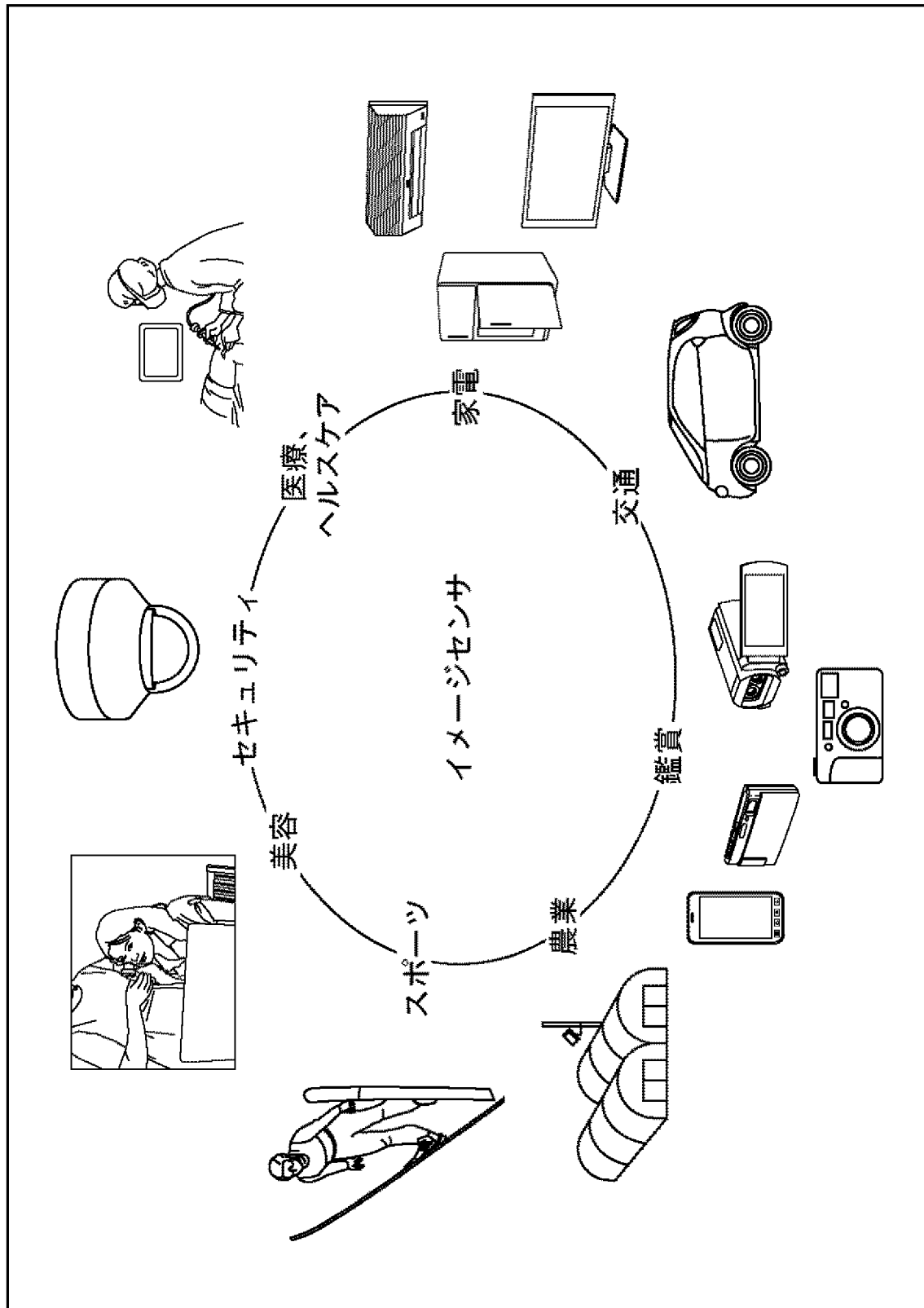
[図11]
FIG. 11



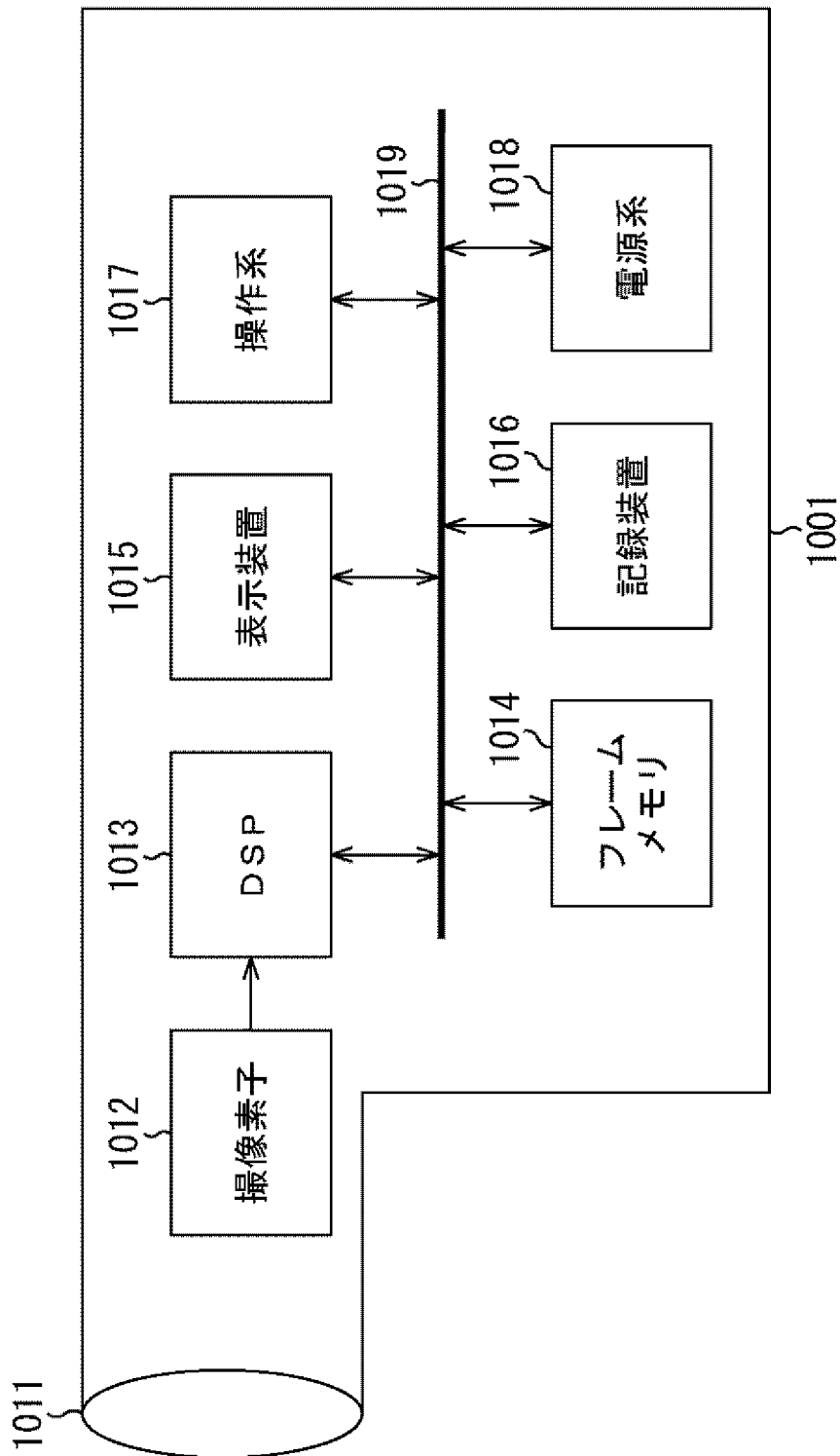
[図12]
FIG. 12



[図13]
FIG. 13



[図14]
FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/077789

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, G01J1/02(2006.01)i, H01L27/14(2006.01)i, H01L31/10(2006.01)i, H04N5/33(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, G01J1/02, H01L27/14, H01L31/10, H04N5/33, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5318666 A (ELKIND et al.), 07 June 1994 (07.06.1994), fig. 7 to 13 and explanations thereof (Family: none)	1-11
Y	JP 2014-60380 A (Rohm Co., Ltd.), 03 April 2014 (03.04.2014), fig. 1, 2 and explanations thereof & US 2013/0341694 A1 fig. 1, 2 and explanations thereof & US 8963272 B2	1-11
Y	JP 2015-149422 A (Sony Corp.), 20 August 2015 (20.08.2015), fig. 1 to 7 and explanations thereof & US 2015/0228685 A1 fig. 1A to 7 and explanations thereof	2, 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 November 2016 (28.11.16)

Date of mailing of the international search report
06 December 2016 (06.12.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/077789

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-129247 A (Fujitsu Ltd.), 05 July 2012 (05.07.2012), fig. 1 to 8B and explanations thereof (Family: none)	3, 9
Y	JP 2015-162679 A (Samsung Electronics Co., Ltd.), 07 September 2015 (07.09.2015), fig. 1 to 14 and explanations thereof & US 2015/0243694 A1 fig. 1 to 14 and explanations thereof & US 2016/0172391 A1 & KR 10-2015-0101681 A & CN 104882460 A & TW 201543659 A	6
A	JP 5-218377 A (Mitsubishi Electric Corp.), 27 August 1993 (27.08.1993), entire text; all drawings (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/146(2006.01)i, G01J1/02(2006.01)i, H01L27/14(2006.01)i, H01L31/10(2006.01)i, H04N5/33(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/146, G01J1/02, H01L27/14, H01L31/10, H04N5/33, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 5318666 A (ELKIND et al.) 1994.06.07, 図 7-13 及びその説明箇所 (ファミリーなし)	1-11
Y	JP 2014-60380 A (ローム株式会社) 2014.04.03, 図 1, 2 及びその説明箇所 & US 2013/0341694 A1, 図 1, 2 及びその説明箇所 & US 8963272 B2	1-11

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.11.2016

国際調査報告の発送日

06.12.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

今井 聖和

5 F

4666

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-149422 A (ソニー株式会社) 2015.08.20, 図 1-7 及びその説明箇所 & US 2015/0228685 A1, 図 1A-7 及びその説明箇所	2, 8
Y	JP 2012-129247 A (富士通株式会社) 2012.07.05, 図 1-8B 及びその説明箇所 (ファミリーなし)	3, 9
Y	JP 2015-162679 A (三星電子株式会社) 2015.09.07, 図 1-14 及びその説明箇所 & US 2015/0243694 A1, 図 1-14 及びその説明箇所 & US 2016/0172391 A1 & KR 10-2015-0101681 A & CN 104882460 A & TW 201543659 A	6
A	JP 5-218377 A (三菱電機株式会社) 1993.08.27, 全文全図 (ファミリーなし)	1-11