

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4195899号
(P4195899)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int.Cl. F I
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 Q
 G 1 1 C 11/22 5 0 1 D

請求項の数 6 (全 35 頁)

<p>(21) 出願番号 特願2006-250483 (P2006-250483) (22) 出願日 平成18年9月15日(2006.9.15) (65) 公開番号 特開2008-21397 (P2008-21397A) (43) 公開日 平成20年1月31日(2008.1.31) 審査請求日 平成19年9月18日(2007.9.18) (31) 優先権主張番号 特願2006-166768 (P2006-166768) (32) 優先日 平成18年6月16日(2006.6.16) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号 (74) 代理人 100104433 弁理士 宮園 博一 (72) 発明者 宮本 英明 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内 審査官 高野 芳徳</p>
---	---

最終頁に続く

(54) 【発明の名称】 強誘電体メモリ

(57) 【特許請求の範囲】

【請求項1】

外部アクセス動作に基づいて、内部アクセス動作を行うアクセス制御手段と、リフレッシュ動作を行うリフレッシュ制御手段と、前記リフレッシュ動作を、読出し動作と再書込み動作とに分割するリフレッシュ分割制御手段と、

前記リフレッシュ動作の対象となるアドレスと、前記リフレッシュ動作中に行われる前記外部アクセス動作の対象となるアドレスとが一致するか否かを判定するアドレス判定手段とを備え、

前記リフレッシュ分割制御手段は、前記リフレッシュ動作が行われる選択メモリセル以外の非選択メモリセルに対して、互いに逆の印加方向の電圧を与える第1再書込み動作および第2再書込み動作に前記再書込み動作を分割し、

前記読出し動作、前記第1再書込み動作および前記第2再書込み動作は、それぞれ、異なる前記外部アクセス動作に対応する異なる前記内部アクセス動作の前および後の少なくともどちらか一方に行われる、強誘電体メモリ。

【請求項2】

前記リフレッシュ制御手段は、前記アドレス判定手段の出力に基づいて前記リフレッシュ動作の再書込み動作を行うか否かを制御する、請求項1に記載の強誘電体メモリ。

【請求項3】

前記リフレッシュ動作の読出し動作によって読み出されたデータを保持するラッチ手段

10

20

をさらに備え、

前記リフレッシュ制御手段は、前記アドレス判定手段の出力に基づいて、前記ラッチ手段に保持されるデータを前記外部アクセス動作によって書き込まれたデータに置き換えるか否かを制御する、請求項 1 に記載の強誘電体メモリ。

【請求項 4】

前記外部アクセス動作を検知する外部アクセス検知手段と、

前記外部アクセス検知手段により前記外部アクセス動作が検知されたことと、前記アクセス制御手段の動作状態とに基づいて、リフレッシュ動作を行うかどうかを判定するリフレッシュ判定手段とをさらに備え、

前記アクセス制御手段は、前記リフレッシュ判定手段の判定結果に基づいて、前記内部アクセス動作の前および後の少なくともどちらか一方にリフレッシュ動作を行う、請求項 1 ~ 3 のいずれか 1 項に記載の強誘電体メモリ。

10

【請求項 5】

前記外部アクセス動作の外部アクセス回数を計数する外部アクセス計数手段をさらに備え、

前記アクセス制御手段は、前記外部アクセス計数手段によって計数された外部アクセス回数に基づいて前記リフレッシュ動作を行う、請求項 1 ~ 4 のいずれか 1 項に記載の強誘電体メモリ。

【請求項 6】

前記内部アクセス動作の状態および前記リフレッシュ動作の状態のどちらの状態でもないことに基づいて、前記リフレッシュ動作を行う、請求項 1 ~ 4 のいずれか 1 項に記載の強誘電体メモリ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリに関し、特に、記憶されたデータのリフレッシュ動作を行う強誘電体メモリに関する。

【背景技術】

【0002】

従来、不揮発性のメモリの一例として、強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory) が知られている。強誘電体メモリは、強誘電体の分極方向による擬似的な容量変化をメモリ素子として利用するものである。この強誘電体メモリのうち、メモリセルに記憶されたデータのディスタープが生じる単純マトリックス型および 1 トランジスタ型の強誘電体メモリが知られている。すなわち、これら単純マトリックス型および 1 トランジスタ型の強誘電体メモリでは、強誘電体キャパシタを含むメモリセルに対する読出し動作後の再書込み動作および書込み動作の際に、選択したワード線以外のワード線に接続されるメモリセルに所定の電圧が印加されることに起因して、強誘電体キャパシタの分極量が減少することによりデータが消失するいわゆるディスタープが発生することが知られている。このようなディスタープを抑制するために、単純マトリックス型および 1 トランジスタ型の強誘電体メモリでは、リフレッシュ動作が行われている。

30

【0003】

また、従来、リフレッシュ動作を行うメモリにおいて、内部アクセス動作とリフレッシュ動作とが競合しないように、各リフレッシュ動作を行うための技術が種々提案されている (たとえば、特許文献 1 参照)。この特許文献 1 には、所定の周期を有する外部クロックよりも短い周期を有する内部クロックに同期させて内部アクセス動作 (読出し動作または書込み動作) を行う DRAM (Dynamic Random Access Memory) が開示されている。一般に、DRAM では、一定の期間が経過した場合に、リフレッシュ動作を行わなければならない。また、この特許文献 1 に開示された DRAM では、外部クロックの周期よりも内部クロックの周期の方が短いので、一定期間内に入力され

40

50

る外部クロックよりもその一定期間内に生成される内部クロックの方がクロック数が多くなる。これにより、外部クロックに同期して行われる外部アクセス動作が行われていない場合でも、内部クロックが生成されることが周期的に起こることになるので、外部アクセス動作に対応する内部アクセス動作が行われない内部クロックが周期的に発生する。この特許文献1のメモリでは、この内部アクセス動作が行われない内部クロックに同期させて読出し動作と再書込み動作とからなるリフレッシュ動作を行うように構成されている。これにより、内部アクセス動作を妨げることなく、リフレッシュ動作を行うことが可能になる。

【0004】

【特許文献1】特開2001-229674号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献1に開示された従来のDRAMでは、外部クロックよりも所定の割合分だけ周期の短い内部クロックに同期させて、読出し動作および再書込み動作を連続して行うリフレッシュ動作が行われるので、その分、内部クロックの周期が長くなるという不都合がある。これにより、内部クロックの周期よりも長く設定される外部クロックの周期も長くする必要があるので、外部アクセス動作の期間が長くなるという問題点がある。

【0006】

20

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、外部アクセス動作の期間を短くすることが可能な強誘電体メモリを提供することである。

【課題を解決するための手段および発明の効果】

【0007】

上記目的を達成するために、この発明の一の局面における強誘電体メモリは、外部アクセス動作に基づいて、内部アクセス動作を行うアクセス制御手段と、リフレッシュ動作を行うリフレッシュ制御手段と、リフレッシュ動作を、読出し動作と再書込み動作とに分割するリフレッシュ分割制御手段と、リフレッシュ動作の対象となるアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるアドレスとが一致するか否かを判定するアドレス判定手段とを備え、リフレッシュ分割制御手段は、リフレッシュ動作が行われる選択メモリセル以外の非選択メモリセルに対して、互いに逆の印加方向の電圧を与え、第1再書込み動作および第2再書込み動作に再書込み動作を分割し、読出し動作、第1再書込み動作および第2再書込み動作は、それぞれ、異なる外部アクセス動作に対応する異なる内部アクセス動作の前および後の少なくともどちらか一方に行われる。

30

【0008】

この発明の一の局面による強誘電体メモリでは、上記のように、リフレッシュ動作を読出し動作と再書込み動作とに分割するリフレッシュ分割制御手段を設けることによって、読出し動作と再書込み動作とを、それぞれ、異なる外部アクセス動作に対応する異なる内部アクセス動作の前および後の少なくともどちらか一方に行う場合には、リフレッシュ動作の読出し動作と再書込み動作とを連続して行う場合に比べて、1回の外部アクセス動作の期間に行われるリフレッシュ動作の期間を短くすることができるので、その分、外部アクセス動作の期間を短くすることができる。この結果、データの転送速度を向上させることができる。また、リフレッシュ動作の対象となるアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるアドレスとが一致するか否かを判定するアドレス判定手段を設けることによって、そのアドレス判定手段により、リフレッシュ動作の対象となるアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるアドレスとが一致する場合を検知することができるので、リフレッシュ動作の対象となるアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるアドレスとが一致することに起因して発生する不都合を回避するように動作制御を行うことができる。また、リ

40

50

フレッシュ分割制御手段は、リフレッシュ動作が行われる選択メモリセル以外の非選択メモリセルに対して、互いに逆の印加方向の電圧を与える第1再書込み動作および第2再書込み動作に再書込み動作を分割し、読出し動作、第1再書込み動作および第2再書込み動作は、それぞれ、異なる外部アクセス動作に対応する異なる内部アクセス動作の前および後の少なくともどちらか一方に行われる。このように、再書込み動作をさらに第1再書込み動作と第2再書込み動作とに分割することによって、1回の外部アクセス動作の期間内に行われる再書込み動作（リフレッシュ動作）の期間をより短縮することができるので、外部アクセス動作の期間をより短くすることができる。この結果、データの転送速度をより向上させることができる。

【0009】

上記一の局面における強誘電体メモリにおいて、好ましくは、リフレッシュ制御手段は、アドレス判定手段の出力に基づいてリフレッシュ動作の再書込み動作を行うか否かを制御する。このように構成すれば、アドレス判定手段により、リフレッシュ動作の対象となるアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるアドレスとが一致すると判断された場合に、リフレッシュ制御手段により、リフレッシュ動作の再書込み動作を行わないように動作制御することによって、外部アクセス動作の書込み動作により書き込まれたデータが、リフレッシュ動作の再書込み動作によってリフレッシュ動作の読出し動作時の1つ前の古いデータに書き換えられてしまうという不都合が発生するのを抑制することができる。また、このとき、リフレッシュ動作の再書込み動作を行わないことによって、その分、リフレッシュ動作の消費電力を減少させることができるとともに、リフレッシュ動作に要する期間を短くすることができる。

【0010】

上記一の局面による強誘電体メモリにおいて、好ましくは、リフレッシュ動作の読出し動作によって読み出されたデータを保持するラッチ手段をさらに備え、リフレッシュ制御手段は、アドレス判定手段の出力に基づいて、ラッチ手段に保持されるデータを外部アクセス動作によって書き込まれたデータに置き換えるか否かを制御する。このように構成すれば、アドレス判定手段により、リフレッシュ動作の対象となるアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるアドレスとが一致すると判断された場合に、リフレッシュ制御手段により、ラッチ手段に保持されるデータを外部アクセス動作の書込み動作により書き込まれたデータに置き換えるように動作制御することによって、外部アクセス動作の書込み動作により書き込まれたデータが、リフレッシュ動作の再書込み動作によってリフレッシュ動作の読出し動作時の1つ前の古いデータに書き換えられてしまうという不都合が発生するのを抑制することができる。

【0012】

上記一の局面による強誘電体メモリにおいて、好ましくは、外部アクセス動作を検知する外部アクセス検知手段と、外部アクセス検知手段により外部アクセス動作が検知されたことと、アクセス制御手段の動作状態とに基づいて、リフレッシュ動作を行うかどうかを判定するリフレッシュ判定手段とをさらに備え、アクセス制御手段は、リフレッシュ判定手段の判定結果に基づいて、内部アクセス動作の前および後の少なくともどちらか一方にリフレッシュ動作を行う。このように、外部アクセス検知手段により外部アクセス動作が検知されたことと、アクセス制御手段の動作状態とに基づいて、リフレッシュ動作を行うかどうかを判定するリフレッシュ判定手段を設けることにより、外部アクセス動作が周期的に行われていない場合でも、外部アクセス動作が行われた際に、リフレッシュ判定手段により、アクセス制御手段の動作状態に基づいて、リフレッシュ動作を行うかどうかの判定を行うことができる。これにより、外部アクセス動作が周期的に行われるメモリのみならず、外部アクセス動作が非周期的に行われるメモリにおいても、アクセス制御手段により、リフレッシュ判定手段の判定に基づいて、内部アクセス動作と競合することなく、分割されたリフレッシュ動作を行うことができる。

【0013】

上記一の局面による強誘電体メモリにおいて、好ましくは、外部アクセス動作の外部ア

10

20

30

40

50

クセス回数を計数する外部アクセス計数手段をさらに備え、アクセス制御手段は、外部アクセス計数手段によって計数された外部アクセス回数に基づいてリフレッシュ動作を行う。このように構成すれば、外部アクセス動作が、ディスターブが発生する回数よりも少ない一定の回数行われた場合に、リフレッシュ動作を行うことができるので、一定回数の外部アクセス動作によりデータが劣化する強誘電体メモリなどに適したリフレッシュ動作を行うことができる。

【0014】

上記一の局面による強誘電体メモリにおいて、好ましくは、内部アクセス動作の状態およびリフレッシュ動作の状態のどちらの状態でもないことに基づいて、リフレッシュ動作を行う。このように構成すれば、リフレッシュ動作の回数を増加させることができるので、ディスターブが発生するのをより抑制することができる。また、外部アクセス動作の外部アクセス回数を計数する回路を省略することができるので、回路構成を簡単化することができる。

10

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施形態を図面に基づいて説明する。

【0016】

(第1実施形態)

図1は、本発明の第1実施形態による単純マトリクス型の強誘電体メモリの全体構成を示したブロック図である。図2は、図1に示した第1実施形態による単純マトリクス型の強誘電体メモリのメモリセルアレイの構成を説明する概略図である。図3は、図1に示した第1実施形態による単純マトリクス型の強誘電体メモリの動作制御回路の構成を説明するためのブロック図である。まず、図1～図3を参照して、本発明の第1実施形態による単純マトリクス型の強誘電体メモリの構成について説明する。なお、この第1実施形態では、本発明によるメモリの一例として、ワード線とビット線とが交差する位置に配置された1つの強誘電体キャパシタのみからメモリセルが構成される単純マトリクス型の強誘電体メモリについて説明する。

20

【0017】

第1実施形態による単純マトリクス型の強誘電体メモリは、図1に示すように、メモリセルアレイ1と、動作制御回路2と、ロウアドレスバッファ3と、ロウデコーダ4と、ライトアンプ5と、リードアンプ6と、入力バッファ7と、出力バッファ8と、カラムアドレスバッファ9と、カラムデコーダ10と、ワード線ソースドライバ11と、電圧生成回路12と、センスアンプ13と、ラッチ列14と、ビット線ソースドライバ15とを備えている。なお、ラッチ列14は、本発明の「ラッチ手段」の一例である。

30

【0018】

メモリセルアレイ1には、図2に示すように、たとえば、128本のワード線WLと128本のビット線BLとが交差するように配置されているとともに、その各交差位置に単一の強誘電体キャパシタ16のみからなるメモリセル17がマトリクス状に配置されている。また、強誘電体キャパシタ16は、ワード線WLと、ビット線BLと、ワード線WLおよびビット線BLの間に配置された強誘電体膜(図示せず)とを含んでいる。また、ワード線WLには、ロウデコーダ4が接続されている。ロウデコーダ4には、ロウアドレスバッファ3が接続されている。

40

【0019】

ここで、第1実施形態では、動作制御回路2は、メモリセル17に対するデータの内部アクセス動作およびリフレッシュ動作を制御するために設けられている。この動作制御回路2は、図3に示すように、外部アクセス検知回路20と、アクセス計数回路(カウンタ)21と、リフレッシュ制御回路22と、リフレッシュ分割制御回路23と、アドレス判定回路24と、内部クロック生成回路25を有するアクセス制御回路26とを含んでいる。なお、外部アクセス検知回路20、アクセス計数回路21、リフレッシュ制御回路22

50

、リフレッシュ分割制御回路23、アドレス判定回路24およびアクセス制御回路26は、それぞれ、本発明の「外部アクセス検知手段」、「外部アクセス計数手段」、「リフレッシュ制御手段」、「リフレッシュ分割制御手段」、「アドレス判定手段」および「アクセス制御手段」の一例である。

【0020】

外部アクセス検知回路20は、外部アクセス動作により外部クロックECLKが入力された場合に、外部アクセス検知パルスCMDを、アクセス計数回路(カウンタ)21と、アクセス制御回路26とに出力する機能を有する。また、外部アクセス検知回路20には、内部アクセス動作を行うための内部アドレス信号に対応する外部アドレス信号などを含むコマンドも入力される。また、外部アクセス検知回路20は、外部アクセス動作が読出し動作または書込み動作のいずれであるかを判定する機能を有する。アクセス計数回路21は、電源投入時にリセットされるとともに、外部アクセス検知回路20から外部アクセス検知パルスCMDが入力される毎に外部アクセス回数を+1だけカウントアップして、その外部アクセス回数をリフレッシュ制御回路22に出力する機能を有する。

10

【0021】

リフレッシュ制御回路22は、外部アクセス回数が一定回数(たとえば、 10^6 回)に達した場合に、メモリエルアレイ1のリフレッシュ動作を要求するために、アクセス制御回路26にリフレッシュ要求信号を出力する機能を有する。また、リフレッシュ制御回路22は、アクセス制御回路26からリフレッシュ信号を受け取った場合に、リフレッシュ動作が行われるリフレッシュアドレス信号をロウアドレスバッファ3に出力する機能を有する。また、リフレッシュ制御回路22は、第1再書込み動作RFRS1および第2再書込み動作RFRS2を行うことを要求するラッチ信号を、ラッチ列14に出力する機能を有する。さらに、アクセス制御回路26は、センスアンプ13を活性化させるためのセンスアンプ活性化信号を、センスアンプ13に出力する機能を有する。また、リフレッシュ分割制御回路23は、リフレッシュ動作を読出し動作RFRD、第1再書込み動作RFRS1および第2再書込み動作RFRS2に分割し、そのいずれかの動作をリフレッシュ制御回路22に要求する分割信号を出力する機能を有する。

20

【0022】

また、第1実施形態では、アドレス判定回路24は、リフレッシュ動作の対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるワード線WLに対応するロウアドレスとが一致するか否かを判定する機能を有する。具体的には、アドレス判定回路24は、リフレッシュ動作の対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるワード線WLに対応するロウアドレスとが一致すると判定した場合に、Hレベルのアドレス判定信号AEQFをリフレッシュ制御回路22に出力するように構成されている。また、アドレス判定回路24からリフレッシュ制御回路22にHレベルのアドレス判定信号AEQFが供給された場合には、リフレッシュ制御回路22は、第1再書込み動作RFRS1および第2再書込み動作RFRS2を行うことなく、リフレッシュアドレス信号を+1だけカウントアップするように構成されている。

30

【0023】

アクセス制御回路26は、外部アクセス検知回路20から外部アクセス検知パルスCMDが入力された際に、内部アクセス動作のための内部クロックICK1を内部クロック生成回路25によって生成する機能を有する。また、内部アクセス動作終了後にリフレッシュ動作を行う場合には、分割されたリフレッシュ動作のための内部クロックICK2を内部クロック生成回路25によって生成する機能も有する。また、外部クロックECLKの周期(たとえば、 50 nsec)は、内部クロックICK1の周期(たとえば、 30 nsec)や内部クロックICK2の周期(たとえば、 10 nsec)よりも長くなるように設定する。また、内部クロックICK1は、少なくとも内部アクセス動作を完了させるための時間以上の周期を有するクロックである。また、内部クロックICK2の周期は、内部クロックICK1の周期の約 $1/3$ 程度とする。また、アクセス制御回

40

50

路 26 は、内部アクセス動作のための内部アクセス動作信号を生成して、その内部アクセス動作信号をリードアンプ 6 やライトアンプ 5 に出力する機能を有する。また、アクセス制御回路 26 は、内部アクセス動作を行う内部アドレス信号のロウアドレス信号をロウアドレスバッファ 3 に出力し、かつ、内部アドレス信号のカラムアドレス信号をカラムアドレスバッファ 9 に出力する機能も有する。また、アクセス制御回路 26 は、内部アクセス動作状態が終了した際に、リフレッシュ制御回路 22 からリフレッシュ要求信号が出力されていると、リフレッシュ制御回路 22 にリフレッシュ信号を出力する機能も有する。

【 0024 】

また、ロウアドレスバッファ 3 は、アクセス制御回路 26 から送られる内部アドレス信号のロウアドレス信号およびリフレッシュ制御回路 22 から送られるリフレッシュアドレス信号に対応した所定のロウアドレス信号をロウデコーダ 4 に供給するために設けられている。ロウデコーダ 4 は、内部アクセス動作およびリフレッシュ動作において、ロウアドレスバッファ 3 から供給される所定のロウアドレス信号に対応するワード線 WL を活性化するように構成されている。また、ロウアドレスバッファ 3 は、切替回路 31 を含んでいる。そして、この切替回路 31 によって、ロウアドレスバッファ 3 は、内部アクセス動作を行う内部アドレス信号に対応するロウアドレス信号と、リフレッシュ動作を行うリフレッシュアドレス信号に対応するロウアドレス信号とを切り替えてロウデコーダ 4 に供給することが可能に構成されている。

【 0025 】

また、図 1 に示すように、ライトアンプ 5 およびリードアンプ 6 には、それぞれ、入力バッファ 7 および出力バッファ 8 が接続されている。また、カラムアドレスバッファ 9 には、カラムデコーダ 10 が接続されている。また、ロウデコーダ 4 には、ワード線ソースドライバ 11 が接続されている。ワード線ソースドライバ 11 には、電圧生成回路 12 が接続されるとともに、動作制御回路 2 も接続されている。また、メモリセルアレイ 1 のビット線 BL には、センスアンプ 13 を介してカラムデコーダ 10 が接続されている。また、センスアンプ 13 には、ライトアンプ 5、リードアンプ 6 およびビット線ソースドライバ 15 が接続されるとともに、ビット線ソースドライバ 15 には、電圧生成回路 12 が接続されている。

【 0026 】

図 4 は、本発明の第 1 実施形態による単純マトリクス型の強誘電体メモリの動作を説明するための電圧波形図である。図 5 および図 6 は、本発明の第 1 実施形態による単純マトリクス型の強誘電体メモリの内部アクセス動作を説明するための電圧波形図である。図 7 は、本発明の第 1 実施形態による単純マトリクス型の強誘電体メモリの分割されたリフレッシュ動作を説明するための電圧波形図である。次に、図 1 ~ 図 7 を参照して、本発明の第 1 実施形態による単純マトリクス型の強誘電体メモリの動作について説明する。なお、この動作説明では、図 4 における外部アクセス動作 A が行われる前の外部アクセス動作において、アクセス計数回路 21 によりカウントされた外部アクセス回数が、リフレッシュによりデータのディスタ urb を抑制可能な所定回数（たとえば、 10^6 回）に達して、リフレッシュ制御回路 22 からアクセス制御回路 26 にリフレッシュ要求信号が出力されているものとする。

【 0027 】

まず、図 3 および図 4 に示すように、外部アクセス検知回路 20 が、外部アクセス動作 A の外部クロック ECLK を検知すると、外部アクセス検知回路 20 は、外部アクセス検知パルス CMD を生成するとともに、その外部アクセス検知パルス CMD をアクセス計数回路 21 およびアクセス制御回路 26 に供給する。そして、外部アクセス動作 A が検知された際に、外部アクセス検知パルス CMD がアクセス計数回路 21 に供給されると、アクセス計数回路 21 は、外部アクセス回数を +1 だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路 22 に供給する。

【 0028 】

そして、外部アクセス動作 A が検知された際に、外部アクセス検知パルス CMD がアク

10

20

30

40

50

セス制御回路 26 に供給されると、アクセス制御回路 26 は、内部クロック生成回路 25 により、外部アクセス動作の期間（たとえば、60 nsec）よりも短い周期（たとえば、30 nsec）を有する内部クロック ICLK1 を 1 周期分生成する。そして、その内部クロック ICLK1 の 1 周期分の間に、アクセス制御回路 26 は、内部アクセス動作 A を行う。

【0029】

この内部アクセス動作では、アクセス制御回路 26 は、内部アドレス信号のロウアドレス信号をロウアドレスバッファ 3 に供給し、ロウアドレスバッファ 3 は、その供給された内部アドレス信号のロウアドレス信号をロウデコーダ 4 に供給する。また、内部アクセス動作では、アクセス制御回路 26 は、内部アクセス信号のカラムアドレス信号をカラムアドレスバッファ 9 に供給し、カラムアドレスバッファ 9 は、その供給された内部アドレス信号のカラムアドレス信号をカラムデコーダ 10 に供給する。

10

【0030】

また、図 5 および図 6 に示すように、内部アクセス動作は、読出し動作の場合、分割された読出し動作 IARD、第 1 再書込み動作 IARS1 および第 2 再書込み動作 IARS2 の 3 サイクルが連続して行われる。具体的には、図 5 および図 6 に示すように、まず、ビット線 BL に電圧を印加しない状態で、内部アドレス信号のロウアドレス信号に対応する選択ワード線 WL に +Vcc の電圧を印加することによって、選択ワード線 WL に繋がる全てのメモリセル 17 に記憶されたデータをビット線 BL を介してセンスアンプ 13 により一括して読み出す。

20

【0031】

そして、次に、選択ワード線 WL に繋がるメモリセル 17 のうち、読み出されたデータがデータ「H」のメモリセル 17 に対しては、図 5 に示すように、第 1 再書込み動作 IARS1 において、ビット線 BL に電圧が印加されていない状態で、選択ワード線 WL に +Vcc の電圧を印加することによって、メモリセル 17 にデータ「L」が書き込まれる。その後、第 2 再書込み動作 IARS2 においては、選択ワード線 WL に電圧が印加されていない状態で、データ「H」が読み出されたビット線 BL に +Vcc の電圧を印加することによって、メモリセル 17 にデータ「H」が書き込まれる。また、読み出されたデータがデータ「H」のメモリセル 17 に対する、第 1 再書込み動作 IARS1 においては、データ「H」が読み出されたビット線 BL に電圧が印加されていない状態で、非選択ワード線 WL には、+1/3 Vcc の電圧が印加される。これにより、第 1 再書込み動作 IARS1 においては、非選択ワード線 WL およびデータ「H」が読み出されたビット線 BL に接続されているメモリセル 17 に、-1/3 Vcc の電圧が印加される。そして、第 2 再書込み動作 IARS2 においては、データ「H」が読み出されたビット線 BL に +Vcc の電圧が印加されている状態で、非選択ワード線 WL に +2/3 Vcc の電圧が印加される。これにより、第 2 再書込み動作 IARS2 においては、非選択ワード線 WL およびデータ「H」が読み出されたビット線 BL に接続されているメモリセル 17 に、+1/3 Vcc の電圧が印加される。したがって、非選択ワード線 WL およびデータ「H」が読み出されたビット線 BL に接続されているメモリセル 17 では、絶対値として 1/3 Vcc 以上の電圧が印加されないとともに、第 1 再書込み動作 IARS1 において生じた -1/3 Vcc の電圧と、第 2 再書込み動作 IARS2 において生じた +1/3 Vcc の電圧とが、互いに相殺するように印加される。

30

40

【0032】

一方、選択ワード線 WL に繋がるメモリセル 17 のうち、読み出されたデータがデータ「L」の選択ワード線 WL のメモリセル 17 に対しては、図 6 に示すように、上記した読出し動作 IARD によってメモリセル 17 のデータが読み出されるとともに、メモリセル 17 にデータ「L」が書き込まれている。このため、メモリセル 17 に書き込まれたデータ「L」を破壊する絶対値として 1/3 Vcc 以上の電圧がメモリセル 17 に印加されないように、第 1 再書込み動作 IARS1 および第 2 再書込み動作 IARS2 が行われる。具体的には、選択ワード線 WL のメモリセル 17 に対しては、第 1 再書込み動作 IARS

50

1において、データ「L」が読み出されたビット線BLに $+2/3V_{cc}$ が印加されている状態で、選択ワード線WLに $+V_{cc}$ が印加される。そして、第2再書込み動作IARS2においては、データ「L」が読み出されたビット線BLに $+1/3V_{cc}$ が印加されている状態で、選択ワード線WLには、電圧が印加されない。また、読み出されたデータがデータ「L」のメモリセル17に対する、第1再書込み動作IARS1においては、データ「L」が読み出されたビット線BLに $+2/3V_{cc}$ の電圧が印加されている状態で、非選択ワード線WLに $+1/3V_{cc}$ の電圧が印加される。これにより、第1再書込み動作IARS1において、非選択ワード線WLおよびデータ「L」が読み出されたビット線BLに接続されているメモリセル17には、 $+1/3V_{cc}$ の電圧しか生じない。そして、第2再書込み動作IARS2においては、データ「L」が読み出されたビット線BLに $+1/3V_{cc}$ の電圧が印加されている状態で、非選択ワード線WLに $+2/3V_{cc}$ の電圧が印加される。これにより、第2再書込み動作IARS2においては、非選択ワード線WLおよびデータ「L」が読み出されたビット線BLに接続されているメモリセル17に $-1/3V_{cc}$ の電圧が印加される。したがって、非選択ワード線WLおよびデータ「L」が読み出されたビット線BLに接続されているメモリセル17では、絶対値として $1/3V_{cc}$ 以上の電圧が印加されないとともに、第1再書込み動作IARS1において生じた $+1/3V_{cc}$ の電圧と、第2再書込み動作IARS2において生じた $-1/3V_{cc}$ の電圧とが、互いに相殺するように印加される。

10

【0033】

次に、内部アクセス動作Aが終了すると、リフレッシュ制御回路22からアクセス制御回路26にリフレッシュ要求信号が供給されているので、アクセス制御回路26は、内部アクセス動作Aの終了後にリフレッシュ動作を行うための内部クロックICK2を生成するとともに、リフレッシュ制御回路22にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。なお、このリフレッシュ動作は、リフレッシュ要求信号が出力されてから127回目のリフレッシュ動作であるとする。すなわち、ワード線WL1～ワード線WL126までのリフレッシュ動作は既に終了しており、ワード線WL127がリフレッシュされるものとする。

20

【0034】

そして、内部アクセス動作Aが終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路22には、ワード線WL127に対するリフレッシュ動作の3つの読出し動作RF RD、第1再書込み動作RF RS1および第2再書込み動作RF RS2のうち、1つ目のサイクルである読出し動作RF RDのみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22は、リフレッシュ動作の読出し動作RF RDを行うために、ワード線WL127に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ3に出力する。図7に示すように、リフレッシュ動作の読出し動作RF RDは、ビット線BLに電圧が印加されていない状態で、ワード線WL127に $+V_{cc}$ の電圧が印加される。これにより、ワード線WL127に繋がるメモリセル17のデータがラッチ列14へと出力されるので、ラッチ列14がその出力されたデータを保持する。そして、ワード線WL127に対する読出し動作RF RDが終了すると、アクセス制御回路26は、次の外部アクセス動作Bが開始されるまで待機状態となる。

30

40

【0035】

次に、外部アクセス検知回路20が、外部アクセス動作B(図4参照)の外部クロックECKを検知すると、外部アクセス検知回路20は、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDをアクセス計数回路21およびアクセス制御回路26に供給する。そして、外部アクセス動作Bが検知された際に、外部アクセス検知パルスCMDがアクセス計数回路21に供給されると、アクセス計数回路21は、外部アクセス回数を+1だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路22に供給する。なお、この外部アクセス動作Bは、外部アクセス検知回路20により、ワード線WL127に繋がるメモリセル17にデータを書

50

き込む動作であると判定されたとする。

【 0 0 3 6 】

そして、外部アクセス動作 B が検知された際に、外部アクセス検知パルス C M D がアクセス制御回路 2 6 に供給されると、アクセス制御回路 2 6 は、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分間に、アクセス制御回路 2 6 は、ワード線 W L 1 2 7 に対する内部アクセス動作 B を行う。したがって、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 のデータが、リフレッシュ動作の読出し動作 R F R D によりラッチ列 1 4 に保持されたデータから書き換えられる。なお、外部アクセス検知回路 2 0 により、外部アクセス動作 B がワード線 W L 1 2 7 に繋がるメモリセル 1 7 のデータを読み出す動作であると判定された場合には、ラッチ列 1 4 に保持されたデータがワード線 W L 1 2 7 に再び書き込まれた後に、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 のデータを読み出す動作が行われる。これにより、上記ワード線 W L 1 2 7 に対するリフレッシュ動作の読出し動作 R F R D によって、データ「H」が記憶されていたメモリセル 1 7 に対して破壊読出しのためにデータ「L」が書き込まれた場合にも、外部アクセス動作 B に対応する読出し動作の前にラッチ列 1 4 に保持されたデータ「H」がワード線 W L 1 2 7 の対応するメモリセル 1 7 に再び書き込まれるので、外部アクセス動作 B に対応する読出し動作の際に、メモリセル 1 7 のデータ「H」が破壊読出しのためにデータ「L」に書き換えられた状態で読み出されるのを抑制することが可能である。

10

【 0 0 3 7 】

ここで、第 1 実施形態では、外部アクセス動作 B の対象となるワード線 W L 1 2 7 に対応するロウアドレスと、リフレッシュ動作の読出し動作 R F R D の対象となるワード線 W L 1 2 7 に対応するロウアドレスとが一致するので、リフレッシュ制御回路 2 2 には、アドレス判定回路 2 4 から H レベルのアドレス判定信号 A E Q F が供給されている。このため、リフレッシュ制御回路 2 2 は、第 1 再書込み動作 R F R S 1 を行うことなく、リフレッシュアドレス信号を + 1 だけカウントアップする。すなわち、ワード線 W L 1 2 7 のリフレッシュ動作が終了されるとともに、次のワード線 W L 1 2 8 のリフレッシュ動作に移行される。

20

【 0 0 3 8 】

次に、ワード線 W L 1 2 7 に対する内部アクセス動作 B が終了すると、リフレッシュ制御回路 2 2 からアクセス制御回路 2 6 にリフレッシュ要求信号が供給されているので、アクセス制御回路 2 6 は、内部アクセス動作 B の終了後にリフレッシュ動作を行うための内部クロック I C L K 2 を生成するとともに、リフレッシュ制御回路 2 2 にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

30

【 0 0 3 9 】

そして、ワード線 W L 1 2 7 に対する内部アクセス動作 B が終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路 2 2 には、次のワード線 W L 1 2 8 に対するリフレッシュ動作の 3 つの読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 のうち、1 つ目のサイクルである読出し動作 R F R D のみを要求する分割信号がリフレッシュ分割制御回路 2 3 から出力されている。したがって、リフレッシュ制御回路 2 2 は、リフレッシュ動作の読出し動作 R F R D を行うために、ワード線 W L 1 2 8 に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ 3 に出力する。図 7 に示すように、リフレッシュ動作の読出し動作 R F R D は、ビット線 B L に電圧が印加されていない状態で、ワード線 W L 1 2 8 に + V c c の電圧が印加される。これにより、ワード線 W L 1 2 8 に繋がるメモリセル 1 7 のデータがラッチ列 1 4 へと出力されるので、ラッチ列 1 4 がその出力されたデータを保持する。そして、ワード線 W L 1 2 8 に対する読出し動作 R F R D が終了すると、アクセス制御回路 2 6 は、次の外部アクセス動作 C が開始されるまで待機状態となる。

40

【 0 0 4 0 】

次に、外部アクセス検知回路 2 0 が、外部アクセス動作 C (図 4 参照) の外部クロック

50

ECLKを検知すると、外部アクセス検知回路20は、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDをアクセス計数回路21およびアクセス制御回路26に供給する。そして、外部アクセス動作Cが検知された際に、外部アクセス検知パルスCMDがアクセス計数回路21に供給されると、アクセス計数回路21は、外部アクセス回数を+1だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路22に供給する。なお、この外部アクセス動作Cは、ワード線WL128以外のワード線WLに繋がるメモリセル17にアクセスする動作であるとする。

【0041】

そして、外部アクセス動作Cが検知された際に、外部アクセス検知パルスCMDがアクセス制御回路26に供給されると、アクセス制御回路26は、内部クロック生成回路25により、内部クロックICK1を1周期分生成する。そして、その内部クロックICK1の1周期分の間に、アクセス制御回路26は、内部アクセス動作Cを行う。

【0042】

ここで、第1実施形態では、外部アクセス動作Cの対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RF RDの対象となるワード線WL128に対応するロウアドレスとが一致しないので、リフレッシュ制御回路22には、アドレス判定回路24からLレベルのアドレス判定信号AEQFが供給されている。したがって、リフレッシュアドレス信号がカウントアップされることなくワード線WL128のリフレッシュ動作が継続される。

【0043】

次に、内部アクセス動作Cが終了すると、リフレッシュ制御回路22からアクセス制御回路26にリフレッシュ要求信号が供給されているので、アクセス制御回路26は、内部アクセス動作Cの終了後にリフレッシュ動作を行うための内部クロックICK2を生成するとともに、リフレッシュ制御回路22にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

【0044】

そして、内部アクセス動作Cが終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路22には、ワード線WL128に対するリフレッシュ動作の3つの読出し動作RF RD、第1再書込み動作RF RS1および第2再書込み動作RF RS2のうち、2つ目のサイクルである第1再書込み動作RF RS1のみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22は、リフレッシュ動作の第1再書込み動作RF RS1を行うために、ワード線WL128に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ3に出力する。図7に示すように、リフレッシュ動作の第1再書込み動作RF RS1は、データ「H」が読み出されたビット線BLに電圧を印加しないとともに、データ「L」が読み出されたビット線BLには、+2/3Vccの電圧を印加した状態で、ワード線WL128に+Vccの電圧が印加される。そして、ワード線WL128に対する第1再書込み動作RF RS1が終了すると、アクセス制御回路26は、次の外部アクセス動作Dが開始されるまで待機状態となる。

【0045】

次に、外部アクセス検知回路20が、外部アクセス動作D(図4参照)の外部クロックECLKを検知すると、外部アクセス検知回路20は、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDをアクセス計数回路21およびアクセス制御回路26に供給する。そして、外部アクセス動作Dが検知された際に、外部アクセス検知パルスCMDがアクセス計数回路21に供給されると、アクセス計数回路21は、外部アクセス回数を+1だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路22に供給する。なお、この外部アクセス動作Dは、ワード線WL128以外のワード線WLに繋がるメモリセル17にアクセスする動作であるとする。

【 0 0 4 6 】

そして、外部アクセス動作 D が検知された際に、外部アクセス検知パルス C M D がアクセス制御回路 2 6 に供給されると、アクセス制御回路 2 6 は、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分の間に、アクセス制御回路 2 6 は、内部アクセス動作 D を行う。

【 0 0 4 7 】

ここで、第 1 実施形態では、外部アクセス動作 D の対象となるワード線 W L に対応するロウアドレスと、リフレッシュ動作の読出し動作 R F R D の対象となるワード線 W L 1 2 8 に対応するロウアドレスとが一致しないので、リフレッシュ制御回路 2 2 には、アドレス判定回路 2 4 から L レベルのアドレス判定信号 A E Q F が供給されている。したがって、リフレッシュアドレス信号がカウントアップされることなくワード線 W L 1 2 8 のリフレッシュ動作が継続される。

10

【 0 0 4 8 】

次に、内部アクセス動作 D が終了すると、リフレッシュ制御回路 2 2 からアクセス制御回路 2 6 にリフレッシュ要求信号が供給されているので、アクセス制御回路 2 6 は、内部アクセス動作 D の終了後にリフレッシュ動作を行うための内部クロック I C L K 2 を生成するとともに、リフレッシュ制御回路 2 2 にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

【 0 0 4 9 】

そして、内部アクセス動作 D が終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路 2 2 には、ワード線 W L 1 2 8 に対するリフレッシュ動作の 3 つの読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 のうち、3 つ目のサイクルである第 2 再書込み動作 R F R S 2 のみを要求する分割信号がリフレッシュ分割制御回路 2 3 から出力されている。したがって、リフレッシュ制御回路 2 2 は、リフレッシュ動作の第 2 再書込み動作 R F R S 2 を行うために、ワード線 W L 1 2 8 に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ 3 に出力する。図 7 に示すように、リフレッシュ動作の第 2 再書込み動作 R F R S 2 は、ワード線 W L 1 2 8 に電圧が印加されていない状態で、データ「H」が読み出されたビット線 B L に + V c c の電圧を印加するとともに、データ「L」が読み出されたビット線 B L には、+ 1 / 3 V c c の電圧が印加される。そして、ワード線 W L 1 2 8 に対する第 2 再書込み動作 R F R S 2 が終了すると、ワード線 W L 1 ~ ワード線 W L 1 2 8 の全てにリフレッシュ動作が行われたので、リフレッシュ制御回路 2 2 は、リフレッシュ要求信号を L レベルに立ち下げる。その後、アクセス制御回路 2 6 は、次の外部アクセス動作が開始されるまで待機状態となる。

20

30

【 0 0 5 0 】

この後は、リフレッシュ動作が行われることなく、内部アクセス動作のみが繰り返し行われる。そして、外部アクセス動作が、前回のリフレッシュ要求信号に応じてリフレッシュ動作が開始されてからカウントして所定回数（たとえば、 10^6 回）行われた際に、アクセス計数回路 2 1 により供給される外部アクセス回数に基づいて、リフレッシュ制御回路 2 2 がアクセス制御回路 2 6 にリフレッシュ要求信号を供給する。そして、再び同様の動作によって 3 つのサイクル毎に分割されたリフレッシュ動作が、全てのワード線 W L 1 ~ ワード線 W L 1 2 8 について行われる。

40

【 0 0 5 1 】

第 1 実施形態では、上記のように、リフレッシュ動作を読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 に分割するリフレッシュ分割を設けるとともに、読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 を、それぞれ、異なる外部アクセス動作に対応する異なる内部アクセス動作の後に行うように構成することによって、リフレッシュ動作の読出し動作と書込み動作とを連続して行う場合に比べて、1 回の外部アクセス動作の期間に行われるリフレッシュ動作の期間を短くすることができるので、その分外部アクセス動作の期間（外部クロック E

50

CLKの周期)を短くすることができる。この結果、データの転送速度を向上させることができる。

【0052】

また、第1実施形態では、ラッチ列14を設けることによって、リフレッシュ動作の読出し動作RFRDによって読み出されたデータを消失させることなくラッチ列14によって保持することができるので、リフレッシュ動作を読出し動作RFRDと第1再書込み動作RFRS1および第2再書込み動作RFRS2とに分割したとしても、後のリフレッシュ動作の第1再書込み動作RFRS1および第2再書込み動作RFRS2の際に、ラッチ列14に保持されたデータを復元して再書込みすることができる。また、アクセス計数回路21を設けることによって、外部アクセス動作が、ディスターブが発生する回数よりも少ない一定の回数行われた場合に、リフレッシュ動作を行うことができるので、一定回数の外部アクセス動作によりデータが劣化する第1実施形態のような単純マトリクス型の強誘電体メモリなどに適したリフレッシュ動作を行うことができる。また、非選択ワード線WLに接続されているメモリセル17では、第1再書込み動作IARS1において生じた電圧と、第2再書込み動作IARS2において生じた電圧とが、互いに相殺するので、内部アクセス動作によって非選択ワード線WLに接続されているメモリセル17のデータの劣化を抑制できる。

10

【0053】

また、第1実施形態では、リフレッシュ動作の対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるワード線WLに対応するロウアドレスとが一致するかどうかを判定するアドレス判定回路24を設けることによって、アドレス判定回路24により、リフレッシュ動作の対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるワード線WLに対応するロウアドレスとが一致すると判断された場合に、リフレッシュ制御回路22により、リフレッシュ動作の第1再書込み動作RFRS1および第2再書込み動作RFRS2を行わないように動作制御することによって、外部アクセス動作の書込み動作により書き込まれたデータが、リフレッシュ動作の第1再書込み動作RFRS1および第2再書込み動作RFRS2によってリフレッシュ動作の読出し動作RFRD時の1つ前の古いデータに書き換えられてしまうという不都合が発生するのを抑制することができる。また、このとき、リフレッシュ動作の第1再書込み動作RFRS1および第2再書込み動作RFRS2を行わないことによって、その分、リフレッシュ動作の消費電力を減少させることができるとともに、リフレッシュ動作に要する期間を短くすることができる。

20

30

【0054】

(第2実施形態)

図8は、本発明の第2実施形態による単純マトリクス型の強誘電体メモリの動作を説明するための電圧波形図である。図2、図3、図7および図8を参照して、この第2実施形態では、上記第1実施形態の構成において、リフレッシュ動作の対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作中に行われる外部アクセス動作の対象となるワード線WLに対応するロウアドレスとが一致する場合に、ラッチ列14に保持されたデータを外部アクセス動作により書き込まれるデータに置き換える動作について説明する。なお、この第2実施形態の動作説明では、上記第1実施形態と同様、図8における外部アクセス動作Aが行われる前の外部アクセス動作において、アクセス計数回路21によりカウントされた外部アクセス回数が、リフレッシュによりデータのディスターブを抑制可能な所定回数(たとえば、 10^6 回)に達して、リフレッシュ制御回路22からアクセス制御回路26にリフレッシュ要求信号が出力されているものとする。

40

【0055】

まず、図3および図8に示すように、外部アクセス検知回路20が、外部アクセス動作Aの外部クロックCLKを検知すると、外部アクセス検知回路20は、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDをアクセス計数

50

回路 2 1 およびアクセス制御回路 2 6 に供給する。そして、外部アクセス動作 A が検知された際に、外部アクセス検知パルス C M D がアクセス計数回路 2 1 に供給されると、アクセス計数回路 2 1 は、外部アクセス回数を + 1 だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路 2 2 に供給する。

【 0 0 5 6 】

そして、外部アクセス動作 A が検知された際に、外部アクセス検知パルス C M D がアクセス制御回路 2 6 に供給されると、アクセス制御回路 2 6 は、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分の間に、アクセス制御回路 2 6 は、内部アクセス動作 A を行う。

【 0 0 5 7 】

次に、内部アクセス動作 A が終了すると、リフレッシュ制御回路 2 2 からアクセス制御回路 2 6 にリフレッシュ要求信号が供給されているので、アクセス制御回路 2 6 は、内部アクセス動作 A の終了後にリフレッシュ動作を行うための内部クロック I C L K 2 を生成するとともに、リフレッシュ制御回路 2 2 にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。なお、このリフレッシュ動作は、リフレッシュ要求信号が出力されてから 1 2 7 回目のリフレッシュ動作であるとする。すなわち、ワード線 W L 1 ~ ワード線 W L 1 2 6 までのリフレッシュ動作は既に終了しており、ワード線 W L 1 2 7 がリフレッシュされるものとする。

【 0 0 5 8 】

そして、内部アクセス動作 A が終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路 2 2 には、ワード線 W L 1 2 7 に対するリフレッシュ動作の 3 つの読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 のうち、1 つ目のサイクルである読出し動作 R F R D のみを要求する分割信号がリフレッシュ分割制御回路 2 3 から出力されている。したがって、リフレッシュ制御回路 2 2 は、リフレッシュ動作の読出し動作 R F R D を行うために、ワード線 W L 1 2 7 に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ 3 に出力する。図 7 に示すように、リフレッシュ動作の読出し動作 R F R D は、ビット線 B L に電圧が印加されていない状態で、ワード線 W L 1 2 7 に + V c c の電圧が印加される。これにより、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 (図 2 参照) のデータ「 P 」がラッチ列 1 4 へと出力されるので、ラッチ列 1 4 がその出力されたデータ「 P 」を保持する。そして、ワード線 W L 1 2 7 に対する読出し動作 R F R D が終了すると、アクセス制御回路 2 6 は、次の外部アクセス動作 B が開始されるまで待機状態となる。

【 0 0 5 9 】

次に、外部アクセス検知回路 2 0 が、外部アクセス動作 B (図 8 参照) の外部クロック E C L K を検知すると、外部アクセス検知回路 2 0 は、外部アクセス検知パルス C M D を生成するとともに、その外部アクセス検知パルス C M D をアクセス計数回路 2 1 およびアクセス制御回路 2 6 に供給する。そして、外部アクセス動作 B が検知された際に、外部アクセス検知パルス C M D がアクセス計数回路 2 1 に供給されると、アクセス計数回路 2 1 は、外部アクセス回数を + 1 だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路 2 2 に供給する。なお、この外部アクセス動作 B は、外部アクセス検知回路 2 0 により、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 にデータ「 B 」を書き込む動作であると判定されたとする。

【 0 0 6 0 】

そして、外部アクセス動作 B が検知された際に、外部アクセス検知パルス C M D がアクセス制御回路 2 6 に供給されると、アクセス制御回路 2 6 は、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分の間に、アクセス制御回路 2 6 は、ワード線 W L 1 2 7 に対する内部アクセス動作 B を行う。したがって、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 のデータが、リフレッシュ動作の読出し動作 R F R D 時のデータ「 P 」からデータ「 B 」に書き換えられる。なお、外部アクセス検知回路 2 0 により、外部アクセス動作 B がワード線 W L 1

10

20

30

40

50

27に繋がるメモリセル17のデータを読み出す動作であると判定された場合には、ラッチ列14に保持されたデータ「P」がワード線WL127に再び書き込まれた後に、ワード線WL127に繋がるメモリセル17のデータ「P」を読み出す動作が行われる。これにより、上記ワード線WL127に対するリフレッシュ動作の読出し動作RF RDによって、データ「H」が記憶されていたメモリセル17に対して破壊読出しのためにデータ「L」が書き込まれた場合にも、外部アクセス動作Bに対応する読出し動作の前にラッチ列14に保持されたデータ「H」がワード線WL127の対応するメモリセル17に再び書き込まれるので、外部アクセス動作Bに対応する読出し動作の際に、メモリセル17のデータ「H」が破壊読出しのためにデータ「L」に書き換えられた状態で読み出されるのを抑制することが可能である。

10

【0061】

ここで、第2実施形態では、外部アクセス動作Bの対象となるワード線WL127に対応するロウアドレスと、リフレッシュ動作の読出し動作RF RDの対象となるワード線WL127に対応するロウアドレスとが一致するので、リフレッシュ制御回路22には、アドレス判定回路24からHレベルのアドレス判定信号AEQFが供給されている。このため、リフレッシュ制御回路22は、アクセス制御回路26により、リフレッシュ動作の読出し動作RF RDによりラッチ列14に保持されたデータ「P」を外部アクセス動作Bにより書き込まれたデータ「B」に書き換える。

【0062】

次に、ワード線WL127に対する内部アクセス動作Bが終了すると、リフレッシュ制御回路22からアクセス制御回路26にリフレッシュ要求信号が供給されているので、アクセス制御回路26は、内部アクセス動作Bの終了後にリフレッシュ動作を行うための内部クロックICK2を生成するとともに、リフレッシュ制御回路22にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

20

【0063】

そして、ワード線WL127に対する内部アクセス動作Bが終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路22には、ワード線WL127に対するリフレッシュ動作の3つの読出し動作RF RD、第1再書込み動作RF RS1および第2再書込み動作RF RS2のうち、2つ目のサイクルである第1再書込み動作RF RS1のみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22は、リフレッシュ動作の第1再書込み動作RF RS1を行うために、ワード線WL127に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ3に出力する。図7に示すように、リフレッシュ動作の第1再書込み動作RF RS1は、データ「H」が読み出されたビット線BLに電圧を印加しないととも、データ「L」が読み出されたビット線BLには、+2/3Vccの電圧を印加した状態で、ワード線WL127に+Vccの電圧が印加される。そして、ワード線WL127に対する第1再書込み動作RF RS1が終了すると、アクセス制御回路26は、次の外部アクセス動作Cが開始されるまで待機状態となる。

30

【0064】

次に、外部アクセス検知回路20が、外部アクセス動作C(図8参照)の外部クロックECKを検知すると、外部アクセス検知回路20は、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDをアクセス計数回路21およびアクセス制御回路26に供給する。そして、外部アクセス動作Cが検知された際に、外部アクセス検知パルスCMDがアクセス計数回路21に供給されると、アクセス計数回路21は、外部アクセス回数を+1だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路22に供給する。なお、この外部アクセス動作Cは、ワード線WL127以外のワード線WLに繋がるメモリセル17にアクセスする動作であるとする。

40

【0065】

そして、外部アクセス動作Cが検知された際に、外部アクセス検知パルスCMDがアク

50

セス制御回路26に供給されると、アクセス制御回路26は、内部クロック生成回路25により、内部クロックICLK1を1周期分生成する。そして、その内部クロックICLK1の1周期分の間に、アクセス制御回路26は、内部アクセス動作Cを行う。

【0066】

ここで、第2実施形態では、外部アクセス動作Cの対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RF RDの対象となるワード線WL127に対応するロウアドレスとが一致しないので、リフレッシュ制御回路22には、アドレス判定回路24からLレベルのアドレス判定信号AEQFが供給されている。このため、リフレッシュ制御回路22は、アクセス制御回路26により、ラッチ列14に保持されたデータ「B」の置き換えを行わない。

10

【0067】

次に、内部アクセス動作Cが終了すると、リフレッシュ制御回路22からアクセス制御回路26にリフレッシュ要求信号が供給されているので、アクセス制御回路26は、内部アクセス動作Cの終了後にリフレッシュ動作を行うための内部クロックICLK2を生成するとともに、リフレッシュ制御回路22にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

【0068】

そして、内部アクセス動作Cが終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路22には、ワード線WL127に対するリフレッシュ動作の3つの読出し動作RF RD、第1再書込み動作RF RS1および第2再書込み動作RF RS2のうち、3つ目のサイクルである第2再書込み動作RF RS2のみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22は、リフレッシュ動作の第2再書込み動作RF RS2を行うために、ワード線WL127に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ3に出力する。図7に示すように、リフレッシュ動作の第2再書込み動作RF RS2は、ワード線WL127に電圧が印加されていない状態で、データ「H」が読み出されたビット線BLに+Vccの電圧を印加するとともに、データ「L」が読み出されたビット線BLには、+1/3Vccの電圧が印加される。そして、ワード線WL127に対する第2再書込み動作RF RS2が終了すると、アクセス制御回路26により、リフレッシュアドレス信号が+1だけカウントアップされる。そして、アクセス制御回路26は、次の外部アクセス動作Dが開始されるまで待機状態となる。

20

30

【0069】

次に、外部アクセス検知回路20が、外部アクセス動作Dの外部クロックECKを検知すると、外部アクセス検知回路20は、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDをアクセス計数回路21およびアクセス制御回路26に供給する。そして、外部アクセス動作Dが検知された際に、外部アクセス検知パルスCMDがアクセス計数回路21に供給されると、アクセス計数回路21は、外部アクセス回数を+1だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路22に供給する。

【0070】

40

そして、外部アクセス動作Dが検知された際に、外部アクセス検知パルスCMDがアクセス制御回路26に供給されると、アクセス制御回路26は、内部クロック生成回路25により、内部クロックICLK1を1周期分生成する。そして、その内部クロックICLK1の1周期分の間に、アクセス制御回路26は、内部アクセス動作Dを行う。

【0071】

次に、内部アクセス動作Dが終了すると、リフレッシュ制御回路22からアクセス制御回路26にリフレッシュ要求信号が供給されているので、アクセス制御回路26は、内部アクセス動作Dの終了後にリフレッシュ動作を行うための内部クロックICLK2を生成するとともに、リフレッシュ制御回路22にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

50

【 0 0 7 2 】

そして、内部アクセス動作Dが終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路22には、ワード線WL128に対するリフレッシュ動作の3つの読出し動作RFRD、第1再書込み動作RFRS1および第2再書込み動作RFRS2のうち、1つ目のサイクルである読出し動作RFRDのみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22は、リフレッシュ動作の読出し動作RFRDを行うために、ワード線WL128に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ3に出力する。図7に示すように、リフレッシュ動作の読出し動作RFRDは、ビット線BLに電圧が印加されていない状態で、ワード線WL127に+Vccの電圧が印加される。これにより、ワード線WL128に繋がるメモリセル17のデータ「Q」がラッチ列14へと出力されるので、ラッチ列14がその出力されたデータ「Q」を保持する。そして、ワード線WL128に対する読出し動作RFRDが終了すると、アクセス制御回路26は、次の外部アクセス動作が開始されるまで待機状態となる。

10

【 0 0 7 3 】

以下、上記と同様の動作によってワード線WL128に対するリフレッシュ動作の第1再書込み動作RFRS1および第2再書込み動作RFRS2が行われる。そして、全てのワード線WL1～ワード線WL128がリフレッシュされることによって、リフレッシュ動作が終了する。そして、その後は、内部アクセス動作のみが繰り返し行われる。そして、外部アクセス動作が、前回のリフレッシュ要求信号に応じてリフレッシュ動作が開始されてからカウントして所定回数（たとえば、 10^6 回）行われた際に、アクセス計数回路21により供給される外部アクセス回数に基づいて、リフレッシュ制御回路22がアクセス制御回路26にリフレッシュ要求信号を供給する。そして、再び同様の動作によってリフレッシュ動作が、全てのワード線WL1～ワード線WL128について行われる。

20

【 0 0 7 4 】

なお、第2実施形態の効果は上記第1実施形態と同様である。

【 0 0 7 5 】

(第3実施形態)

図9は、本発明の第3実施形態による単純マトリクス型の強誘電体メモリの動作制御回路の構成を説明するためのブロック図である。図9を参照して、この第3実施形態では、上記第1実施形態と異なり、非同期で外部アクセス動作が行われる単純マトリクス型の強誘電体メモリに本発明を適用した場合の構成について説明する。

30

【 0 0 7 6 】

この第3実施形態による強誘電体メモリでは、図9に示すように、動作制御回路2aは、外部アクセス検知回路20aと、アクセス計数回路(カウンタ)21aと、リフレッシュ制御回路22と、リフレッシュ分割制御回路23と、アドレス判定回路24と、内部クロック生成回路25を有するアクセス制御回路26aと、リフレッシュ判定回路27とを含んでいる。なお、外部アクセス検知回路20a、アクセス計数回路21a、アクセス制御回路26aおよびリフレッシュ判定回路27は、それぞれ、本発明の「外部アクセス検知手段」、「外部アクセス計数手段」、「アクセス制御手段」および「リフレッシュ判定手段」の一例である。

40

【 0 0 7 7 】

外部アクセス検知回路20aは、外部アクセス動作が行われる際に、外部アドレス信号が供給されると、外部アクセス検知パルスATDを、アクセス計数回路21aと、アクセス制御回路26aと、リフレッシュ判定回路27とに出力する機能を有する。また、外部アクセス検知回路20aは、外部アクセス動作が読出し動作または書込み動作のいずれであるかを判定する機能も有する。アクセス計数回路21aは、電源投入時にリセットされるとともに、外部アクセス検知回路20aから外部アクセス検知パルスATDが入力される毎に外部アクセス回数を+1だけカウントアップして、その外部アクセス回数をリフレッシュ制御回路22に出力する機能を有する。

50

【 0 0 7 8 】

アクセス制御回路 2 6 a は、外部アクセス検知回路 2 0 a から外部アクセス検知パルス A T D が入力された際に、内部クロック I C L K 1 を内部クロック生成回路 2 5 によって生成する機能を有する。また、アクセス制御回路 2 6 a は、リフレッシュ要求信号およびリフレッシュ判定回路 2 7 からの R e f E を受けて、内部アクセス動作終了後にリフレッシュ動作を行う場合には、リフレッシュ動作のための内部クロック I C L K 2 を内部クロック生成回路 2 5 によって生成する機能も有する。なお、上記以外の機能については、アクセス制御回路 2 6 a は、第 1 実施形態のアクセス制御回路 2 6 と同様の機能を有する。

【 0 0 7 9 】

また、リフレッシュ判定回路 2 7 は、外部アクセス動作が検知された際に、外部アクセス検知回路 2 0 a から外部アクセス検知パルス A T D が供給されると、アクセス制御回路 2 6 a の動作状態に基づいて、H レベルまたは L レベルのリフレッシュ判定信号 R e f E を出力するように構成されている。なお、リフレッシュ制御回路 2 2、リフレッシュ分割制御回路 2 3 およびアドレス判定回路 2 4 は、第 1 実施形態と同様の構成を有する。また、外部アクセス動作の最短のサイクルの期間（たとえば、7 0 n s e c）は、内部クロック I C L K 1 の周期（たとえば、6 0 n s e c）および内部クロック I C L K 2 の周期（たとえば、2 0 n s e c）よりも長くなるように設定される。

【 0 0 8 0 】

なお、第 3 実施形態のその他の構成は、上記第 1 実施形態と同様である。

【 0 0 8 1 】

図 1 0 は、本発明の第 3 実施形態による単純マトリックス型の強誘電体メモリの動作を説明するための電圧波形図である。次に、図 2、図 9 および図 1 0 を参照して、本発明の第 3 実施形態による単純マトリックス型の強誘電体メモリの動作について説明する。なお、この動作説明では、図 1 0 における外部アクセス動作 A が行われる前の外部アクセス動作において、アクセス計数回路 2 1 a によりカウントされた外部アクセス回数が、リフレッシュ動作によりデータのディスタ urb を抑制可能な所定回数（たとえば、 10^6 回）に達して、リフレッシュ制御回路 2 2 からアクセス制御回路 2 6 a にリフレッシュ要求信号が出力されているものとする。

【 0 0 8 2 】

まず、図 9 および図 1 0 に示すように、外部アクセス検知回路 2 0 a が、外部アクセス動作 A の外部アドレス信号を検知すると、外部アクセス検知回路 2 0 a は、外部アクセス検知パルス A T D を生成するとともに、その外部アクセス検知パルス A T D をアクセス計数回路 2 1 a、アクセス制御回路 2 6 a およびリフレッシュ判定回路 2 7 に供給する。そして、外部アクセス動作 A が検知された際に、外部アクセス検知パルス A T D がアクセス計数回路 2 1 a に供給されると、アクセス計数回路 2 1 a は、外部アクセス回数を + 1 だけカウントアップするとともに、その外部アクセス回数のデータをリフレッシュ制御回路 2 2 に供給する。また、外部アクセス動作 A が検知された際に、外部アクセス検知パルス A T D がリフレッシュ判定回路 2 7 に供給されると、リフレッシュ判定回路 2 7 は、アクセス制御回路 2 6 a が内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。

【 0 0 8 3 】

ここで、第 3 実施形態では、外部アクセス検知パルス A T D が供給された際に、アクセス制御回路 2 6 a が、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもない場合には、外部アクセス動作の間にリフレッシュ動作を行うことを許可するために、リフレッシュ判定回路 2 7 は、リフレッシュ判定信号 R e f E を H レベルに設定する。一方、外部アクセス検知回路 2 0 a から外部アクセス検知パルス A T D が供給された際に、アクセス制御回路 2 6 a が、内部アクセス動作状態またはリフレッシュ動作状態のいずれかである場合には、外部アクセス動作の間にリフレッシュ動作を行うと、次の外部アクセス動作に対応する内部アクセス動作が、外部アクセス動作に対して大幅に遅延する可能性が高い。したがって、外部アクセス動作の間にリフレッシュ動作を行わないように、リフレ

10

20

30

40

50

ッシュ判定回路27は、リフレッシュ判定信号RefEをLレベルに設定する。

【0084】

ここで、外部アクセス動作Aが検知された時点では、アクセス制御回路26aが内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないのので、リフレッシュ判定回路27は、リフレッシュ判定信号RefEをHレベルに立ち上げる。そして、このリフレッシュ判定信号RefEは、次の外部アクセス動作Bが外部アクセス検知回路20aにより検知されるまで、Hレベルに保持される。

【0085】

そして、外部アクセス動作Aが検知された際に、外部アクセス検知パルスATDがアクセス制御回路26aに供給されると、アクセス制御回路26aは、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないのので、内部クロック生成回路25により、外部アクセス動作の最短期間（たとえば、70ns）よりも短い周期（たとえば、60ns）を有する内部クロックICK1を1周期分生成する。そして、その内部クロックICK1の1周期分の間に、アクセス制御回路26aは、第1実施形態と同様の内部アクセス動作Aを行う。

【0086】

次に、内部クロックICK1が1周期分終了して、内部アクセス動作Aが終了した時点では、リフレッシュ判定信号RefEがHレベルに保持されている。また、リフレッシュ制御回路22からアクセス制御回路26aには、リフレッシュ要求信号が供給されている。これにより、アクセス制御回路26aは、内部クロック生成回路25によって、リフレッシュ動作のための内部クロックICK2を1周期分生成するとともに、リフレッシュ信号をリフレッシュ制御回路22に供給する。この結果、リフレッシュ動作状態になる。なお、このリフレッシュ動作は、リフレッシュ要求信号が出力されてから127回目のリフレッシュ動作であるとする。すなわち、ワード線WL1～ワード線WL126までのリフレッシュ動作は既に終了しており、ワード線WL127がリフレッシュされるものとする。

【0087】

そして、リフレッシュ信号が供給されたリフレッシュ制御回路22には、ワード線WL127に対するリフレッシュ動作の3つの読出し動作RFRD、第1再書込み動作RFRS1および第2再書込み動作RFRS2のうち、1つ目のサイクルである読出し動作RFRDのみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22は、リフレッシュ動作の読出し動作RFRDをワード線WL127に対して行う。そして、ワード線WL127に繋がるメモリセル17（図2参照）のデータがラッチ列14へと出力されるので、ラッチ列14がその出力されたデータを保持する。そして、ワード線WL127に対する読出し動作RFRDが終了すると、アクセス制御回路26aは、次の外部アクセス動作Bが開始されるまで待機状態となる。

【0088】

次に、外部アクセス動作B（図10参照）が開始されると、外部アドレス信号が外部アクセス検知回路20aに検知される。これにより、外部アクセス検知回路20aは、外部アクセス検知パルスATDを生成するとともに、その外部アクセス検知パルスATDをアクセス計数回路21a、リフレッシュ判定回路27およびアクセス制御回路26aに供給する。そして、外部アクセス動作Bが検知された際に、外部アクセス検知パルスATDがアクセス計数回路21aに供給されると、アクセス計数回路21aは外部アクセス回数を+1だけカウントアップして、その外部アクセス回数のデータをリフレッシュ制御回路22に供給する。なお、この外部アクセス動作Bは、外部アクセス検知回路20aにより、ワード線WL127に繋がるメモリセル17にデータを書き込む動作であると判定されたとする。

【0089】

また、外部アクセス動作Bが検知された際に、外部アクセス検知パルスATDがリフレッシュ判定回路27に供給されると、リフレッシュ判定回路27は、アクセス制御回路2

10

20

30

40

50

6 a が内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。外部アクセス動作 B が検知された時点では、内部アクセス動作およびリフレッシュ動作のどちらも行っていないので、リフレッシュ判定回路 27 は、リフレッシュ判定信号 R e f E を H レベルに立ち上げた状態のまま保持する。

【 0 0 9 0 】

そして、外部アクセス動作 B が検知された際に、外部アクセス検知パルス A T D がアクセス制御回路 26 a に供給されると、アクセス制御回路 26 a は、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないので、内部クロック生成回路 25 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分の間に、アクセス制御回路 26 a は、ワード線 W L 1 2 7 に対する内部アクセス動作 B を行う。したがって、ワード線 W L 1 2 7 に繋がるメモリセル 17 のデータが、リフレッシュ動作の読出し動作 R F R D によりラッチ列 14 に保持されたデータから書き換えられる。なお、外部アクセス検知回路 20 a により、外部アクセス動作 B がワード線 W L 1 2 7 に繋がるメモリセル 17 のデータを読み出す動作であると判定された場合には、ラッチ列 14 に保持されたデータがワード線 W L 1 2 7 に再び書き込まれた後に、ワード線 W L 1 2 7 に繋がるメモリセル 17 のデータを読み出す動作が行われる。これにより、上記ワード線 W L 1 2 7 に対するリフレッシュ動作の読出し動作 R F R D によって、データ「H」が記憶されていたメモリセル 17 に対して破壊読出しのためにデータ「L」が書き込まれた場合にも、外部アクセス動作 B に対応する読出し動作の前にラッチ列 14 に保持されたデータ「H」がワード線 W L 1 2 7 の対応するメモリセル 17 に再び書き込まれるので、外部アクセス動作 B に対応する読出し動作の際に、メモリセル 17 のデータ「H」が破壊読出しのためにデータ「L」に書き換えられた状態で読み出されるのを抑制することが可能である。

【 0 0 9 1 】

ここで、第 3 実施形態では、外部アクセス動作 B の対象となるワード線 W L 1 2 7 に対応するロウアドレスと、リフレッシュ動作の読出し動作 R F R D の対象となるワード線 W L 1 2 7 に対応するロウアドレスとが一致するので、リフレッシュ制御回路 22 には、アドレス判定回路 24 から H レベルのアドレス判定信号 A E Q F が供給されている。このため、リフレッシュ制御回路 22 は、第 1 再書込み動作 R F R S 1 を行うことなく、リフレッシュアドレス信号を + 1 だけカウントアップする。すなわち、ワード線 W L 1 2 7 のリフレッシュ動作が終了されるとともに、次のワード線 W L 1 2 8 のリフレッシュ動作に移行される。なお、このアドレス判定信号 A E Q F は、リフレッシュ動作状態になるまで、H レベルに保持される。

【 0 0 9 2 】

次に、ワード線 W L 1 2 7 に対する内部アクセス動作 B が終了すると、リフレッシュ制御回路 22 からリフレッシュ要求信号が供給されているとともに、リフレッシュ判定回路 27 から H レベルのリフレッシュ判定信号 R e f E が供給されているので、アクセス制御回路 26 a は、内部アクセス動作 B の終了後にリフレッシュ動作を行うための内部クロック I C L K 2 を生成するとともに、リフレッシュ制御回路 22 にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

【 0 0 9 3 】

そして、ワード線 W L 1 2 7 に対する内部アクセス動作 B が終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路 22 には、次のワード線 W L 1 2 8 に対するリフレッシュ動作の 3 つの読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 のうち、1 つ目のサイクルである読出し動作 R F R D のみを要求する分割信号がリフレッシュ分割制御回路 23 から出力されている。したがって、リフレッシュ制御回路 22 は、リフレッシュ動作の読出し動作 R F R D をワード線 W L 1 2 8 に対して行う。そして、ワード線 W L 1 2 8 に繋がるメモリセル 17 のデータがラッチ列 14 へと出力されるので、ラッチ列 14 がその出力されたデータを保持する。そして、ワード線 W L 1 2 8 に対する読出し動作 R F R D が終了すると、アクセス制御回路 26 a は

、次の外部アクセス動作Cが開始されるまで待機状態となる。

【0094】

次に、外部アクセス動作C（図10参照）が開始されると、外部アドレス信号が外部アクセス検知回路20aに検知される。これにより、外部アクセス検知回路20aは、外部アクセス検知パルスATDを生成するとともに、その外部アクセス検知パルスATDをアクセス計数回路21a、リフレッシュ判定回路27およびアクセス制御回路26aに供給する。そして、外部アクセス動作Cが検知された際に、外部アクセス検知パルスATDがアクセス計数回路21aに供給されると、アクセス計数回路21aは外部アクセス回数を+1だけカウントアップして、その外部アクセス回数のデータをリフレッシュ制御回路22に供給する。なお、この外部アクセス動作Cは、ワード線WL128以外のワード線WLに繋がるメモリセル17にアクセスする動作であるとする。

10

【0095】

また、外部アクセス動作Cが検知された際に、外部アクセス検知パルスATDがリフレッシュ判定回路27に供給されると、リフレッシュ判定回路27は、アクセス制御回路26aが内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。外部アクセス動作Cが検知された時点では、内部アクセス動作およびリフレッシュ動作のどちらも行っていないので、リフレッシュ判定回路27は、リフレッシュ判定信号RefEをHレベルに立ち上げた状態のまま保持する。

【0096】

そして、外部アクセス動作Cが検知された際に、外部アクセス検知パルスATDがアクセス制御回路26aに供給されると、アクセス制御回路26aは、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないので、内部クロック生成回路25により、内部クロックICK1を1周期分生成する。そして、その内部クロックICK1の1周期分の間に、アクセス制御回路26aは、内部アクセス動作Cを行う。

20

【0097】

ここで、第3実施形態では、外部アクセス動作Cの対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RF RDの対象となるワード線WL128に対応するロウアドレスとが一致しないので、リフレッシュ制御回路22には、アドレス判定回路24からLレベルのアドレス判定信号AEQFが供給されている。したがって、リフレッシュアドレス信号がカウントアップされることなくワード線WL128のリフレッシュ動作が継続される。

30

【0098】

次に、内部アクセス動作Cが終了すると、リフレッシュ制御回路22からリフレッシュ要求信号が供給されているとともに、リフレッシュ判定回路27からHレベルのリフレッシュ判定信号RefEが供給されているので、アクセス制御回路26aは、内部アクセス動作Cの終了後にリフレッシュ動作を行うための内部クロックICK2を生成するとともに、リフレッシュ制御回路22にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

【0099】

そして、内部アクセス動作Cが終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路22には、ワード線WL128に対するリフレッシュ動作の3つの読出し動作RF RD、第1再書込み動作RF RS1および第2再書込み動作RF RS2のうち、2つ目のサイクルである第1再書込み動作RF RS1のみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22は、リフレッシュ動作の第1再書込み動作RF RS1をワード線WL128に対して行う。

40

【0100】

次に、外部アクセス動作D（図10参照）が開始されると、外部アドレス信号が外部アクセス検知回路20aに検知される。これにより、外部アクセス検知回路20aは、外部アクセス検知パルスATDを生成するとともに、その外部アクセス検知パルスATDをアクセス計数回路21a、リフレッシュ判定回路27およびアクセス制御回路26aに供給

50

する。そして、外部アクセス動作 D が検知された際に、外部アクセス検知パルス A T D がアクセス計数回路 2 1 a に供給されると、アクセス計数回路 2 1 a は外部アクセス回数を + 1 だけカウントアップして、その外部アクセス回数のデータをリフレッシュ制御回路 2 2 に供給する。なお、この外部アクセス動作 D は、ワード線 W L 1 2 8 以外のワード線 W L に繋がるメモリセル 1 7 にアクセスする動作であるとする。

【 0 1 0 1 】

また、外部アクセス動作 D が検知された際に、外部アクセス検知パルス A T D がリフレッシュ判定回路 2 7 に供給されると、リフレッシュ判定回路 2 7 は、アクセス制御回路 2 6 a が内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。外部アクセス動作 D が検知された時点では、リフレッシュ制御回路 2 2 がリフレッシュ動作の第 1 再書込み動作 R F R S 1 を行っていることにより、アクセス制御回路 2 6 a がリフレッシュ動作状態であるので、リフレッシュ判定回路 2 7 は、リフレッシュ判定信号 R e f E を L レベルに立ち下げる。

10

【 0 1 0 2 】

そして、外部アクセス動作 D が検知された際に、外部アクセス検知パルス A T D がアクセス制御回路 2 6 a に供給されても、1 つ前の外部アクセス動作 C の期間に開始されたリフレッシュ動作の第 1 再書込み動作 R F R S 1 がまだ終了していない。これにより、アクセス制御回路 2 6 a は、内部クロック I C L K 1 を生成しないので、内部アクセス動作 D も行わない。外部アクセス動作 C の期間に開始された第 1 再書込み動作 R F R S 1 が終了すると、アクセス制御回路 2 6 a は、内部クロック I C L K 1 を 1 周期分生成して内部アクセス動作 D を開始する。そして、内部クロック I C L K 1 の 1 周期分の間、アクセス制御回路 2 6 a は、内部アクセス動作 D を行う。ここで、この第 3 実施形態では、内部クロック I C L K 1 が 1 周期分終了して、内部アクセス動作 D が終了した場合にも、リフレッシュ判定信号 R e f E が L レベルであるので、アクセス制御回路 2 6 a は、リフレッシュ動作を行うことなく、次の外部アクセス動作 E まで待機状態になる。

20

【 0 1 0 3 】

次に、外部アクセス動作 E (図 1 0 参照) が開始されると、外部アドレス信号が外部アクセス検知回路 2 0 a に検知される。これにより、外部アクセス検知回路 2 0 a は、外部アクセス検知パルス A T D を生成するとともに、その外部アクセス検知パルス A T D をアクセス計数回路 2 1 a、リフレッシュ判定回路 2 7 およびアクセス制御回路 2 6 a に供給する。そして、外部アクセス動作 E が検知された際に、外部アクセス検知パルス A T D がアクセス計数回路 2 1 a に供給されると、アクセス計数回路 2 1 a は外部アクセス回数を + 1 だけカウントアップして、その外部アクセス回数のデータをリフレッシュ制御回路 2 2 に供給する。なお、この外部アクセス動作 E は、ワード線 W L 1 2 8 以外のワード線 W L に繋がるメモリセル 1 7 にアクセスする動作であるとする。

30

【 0 1 0 4 】

また、外部アクセス動作 E が検知された際に、外部アクセス検知パルス A T D がリフレッシュ判定回路 2 7 に供給されると、リフレッシュ判定回路 2 7 は、アクセス制御回路 2 6 a が内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。外部アクセス動作 E が検知された時点では、内部アクセス動作およびリフレッシュ動作のどちらも行っていないので、リフレッシュ判定回路 2 7 は、リフレッシュ判定信号 R e f E を H レベルに立ち上げる。

40

【 0 1 0 5 】

そして、外部アクセス動作 E が検知された際に、外部アクセス検知パルス A T D がアクセス制御回路 2 6 a に供給されると、アクセス制御回路 2 6 a は、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないので、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分の間、アクセス制御回路 2 6 a は、内部アクセス動作 E を行う。

【 0 1 0 6 】

ここで、第 3 実施形態では、外部アクセス動作 D および E の対象となるワード線 W L に

50

対応するロウアドレスと、リフレッシュ動作の読出し動作 R F R D の対象となるワード線 W L 1 2 8 に対応するロウアドレスとが一致しないので、リフレッシュ制御回路 2 2 には、アドレス判定回路 2 4 から L レベルのアドレス判定信号 A E Q F が供給されている。したがって、リフレッシュアドレス信号がカウントアップされることなくワード線 W L 1 2 8 のリフレッシュ動作が継続される。

【 0 1 0 7 】

次に、内部アクセス動作 E が終了すると、リフレッシュ制御回路 2 2 からリフレッシュ要求信号が供給されているとともに、リフレッシュ判定回路 2 7 から H レベルのリフレッシュ判定信号 R e f E が供給されているので、アクセス制御回路 2 6 a は、内部アクセス動作 E の終了後にリフレッシュ動作を行うための内部クロック I C L K 2 を生成するとともに、リフレッシュ制御回路 2 2 にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

10

【 0 1 0 8 】

そして、内部アクセス動作 E が終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路 2 2 には、ワード線 W L 1 2 8 に対するリフレッシュ動作の 3 つの読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 のうち、3 つ目のサイクルである第 2 再書込み動作 R F R S 2 のみを要求する分割信号がリフレッシュ分割制御回路 2 3 から出力されている。したがって、リフレッシュ制御回路 2 2 は、リフレッシュ動作の第 2 再書込み動作 R F R S 2 をワード線 W L 1 2 8 に対して行う。そして、ワード線 W L 1 2 8 に対する第 2 再書込み動作 R F R S 2 が終了すると、アクセス制御回路 2 6 a は、次の外部アクセス動作が開始されるまで待機状態となる。

20

【 0 1 0 9 】

この後は、リフレッシュ動作が行われることなく、内部アクセス動作のみが繰り返し行われる。そして、外部アクセス動作が、前回のリフレッシュ要求信号に応じてリフレッシュ動作が開始されてからカウントして所定回数（たとえば、 10^6 回）行われた際に、アクセス計数回路 2 1 a により供給される外部アクセス回数に基づいて、リフレッシュ制御回路 2 2 がアクセス制御回路 2 6 a にリフレッシュ要求信号を供給する。そして、再び同様の動作によって 3 つのサイクル毎に分割されたリフレッシュ動作が、全てのワード線 W L 1 ~ ワード線 W L 1 2 8 について行われる。

【 0 1 1 0 】

30

第 3 実施形態では、上記のように、外部アクセス検知回路 2 0 a により外部アクセス動作が検知されたことと、アクセス制御回路 2 6 a の動作状態とに基づいて、リフレッシュ動作を行うかどうかを判定するリフレッシュ判定回路 2 7 を設けることにより、外部アクセス動作が周期的に行われていない場合でも、外部アクセス動作が行われた際に、リフレッシュ判定回路 2 7 により、アクセス制御回路 2 6 a の動作状態に基づいて、リフレッシュ動作を行うかどうかの判定を行うことができる。これにより、外部アクセス動作が周期的に行われるメモリのみならず、第 3 実施形態のような外部アクセス動作が非周期的に行われるメモリにおいても、アクセス制御回路 2 6 a により、リフレッシュ判定回路 2 7 の判定に基づいて、内部アクセス動作と競合することなく、分割されたリフレッシュ動作を行うことができる。

40

【 0 1 1 1 】

また、第 3 実施形態では、外部アクセス動作が検知された際にアクセス制御回路 2 6 a が内部アクセス動作およびリフレッシュ動作のどちらも行っていない場合にリフレッシュ動作を行うように構成することによって、リフレッシュ動作を行う場合には、外部アクセス動作が検知された際に前回の外部アクセス動作に対応する内部アクセス動作およびリフレッシュ動作が終了しているため、外部アクセス動作が検知された時と実質的に同時に内部アクセス動作を行うことができる。これにより、リフレッシュ動作が次の外部アクセス動作の開始後に継続する可能性を抑制することができる。

【 0 1 1 2 】

なお、第 3 実施形態のその他の効果は上記第 1 実施形態と同様である。

50

【 0 1 1 3 】

(第4実施形態)

図11は、本発明の第4実施形態による単純マトリクス型の強誘電体メモリの動作制御回路の構成を説明するためのブロック図である。図11を参照して、この第4実施形態では、上記第1実施形態と異なり、外部アクセス回数に依存することなくリフレッシュ動作が行われる単純マトリクス型の強誘電体メモリの場合の構成について説明する。

【 0 1 1 4 】

この第4実施形態による強誘電体メモリでは、図11に示すように、動作制御回路2bは、外部アクセス検知回路20bと、リフレッシュ制御回路22aと、リフレッシュ分割制御回路23と、アドレス判定回路24と、内部クロック生成回路25を有するアクセス制御回路26bと、リフレッシュ判定回路27aとを含んでいる。なお、外部アクセス検知回路20b、リフレッシュ制御回路22a、アクセス制御回路26bおよびリフレッシュ判定回路27aは、それぞれ、本発明の「外部アクセス検知手段」、「リフレッシュ制御手段」、「アクセス制御手段」および「リフレッシュ判定手段」の一例である。また、外部アクセス動作が行われる際に、外部クロックECLKが供給されると、外部アクセス検知回路20bは、外部アクセス検知パルスCMDを、アクセス制御回路26bとリフレッシュ判定回路27aとに出力する機能を有する。

【 0 1 1 5 】

また、アクセス制御回路26bは、リフレッシュ判定回路27aからのリフレッシュ判定信号RefEを受けて、内部アクセス動作終了後にリフレッシュ動作を行う場合には、リフレッシュ動作のための内部クロックICK2を内部クロック生成回路25によって生成する機能を有する。上記以外の機能については、外部アクセス検知回路20bおよびアクセス制御回路26bは、それぞれ、第1実施形態の外部アクセス検知回路20およびアクセス制御回路26と同様の機能を有する。また、この第4実施形態では、第1実施形態と異なり、リフレッシュ制御回路22aからアクセス制御回路26bに、リフレッシュ要求信号が入力されることはない。また、リフレッシュ判定回路27aは、外部アクセス動作が検知された際に、外部アクセス検知回路20bから外部アクセス検知パルスCMDが供給されると、アクセス制御回路26bの動作状態に基づいて、HレベルまたはLレベルのリフレッシュ判定信号RefEを出力するように構成されている。なお、リフレッシュ分割制御回路23およびアドレス判定回路24は、第1実施形態と同様の構成を有する。

【 0 1 1 6 】

なお、第4実施形態のその他の構成は、上記第1実施形態と同様である。

【 0 1 1 7 】

図12は、本発明の第4実施形態による単純マトリクス型の強誘電体メモリの動作を説明するための電圧波形図である。次に、図2、図11および図12を参照して、本発明の第4実施形態による単純マトリクス型の強誘電体メモリの動作について説明する。

【 0 1 1 8 】

まず、図11および図12に示すように、外部アクセス検知回路20bが、外部アクセス動作Aの外部クロックECLKを検知すると、外部アクセス検知回路20bは、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDを、アクセス制御回路26bおよびリフレッシュ判定回路27aに供給する。また、外部アクセス動作Aが検知された際に、外部アクセス検知パルスCMDがリフレッシュ判定回路27aに供給されると、リフレッシュ判定回路27aは、アクセス制御回路26bが内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。

【 0 1 1 9 】

ここで、外部アクセス動作Aが検知された時点では、アクセス制御回路26bが内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないため、リフレッシュ判定回路27aは、リフレッシュ判定信号RefEをHレベルに立ち上げる。そして、このリフレッシュ判定信号RefEは、次の外部アクセス動作Bが外部アクセス検知回路20bに

より検知されるまで、Hレベルに保持される。

【0120】

そして、外部アクセス動作Aが検知された際に、外部アクセス検知パルスCMDがアクセス制御回路26bに供給されると、アクセス制御回路26bは、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないので、内部クロック生成回路25により、外部アクセス動作の周期（たとえば、64ns）よりも短い周期（たとえば、60ns）を有する内部クロックICK1を1周期分生成する。そして、その内部クロックICK1の1周期分の間に、アクセス制御回路26bは、第1実施形態と同様の内部アクセス動作Aを行う。

【0121】

次に、内部クロックICK1が1周期分終了して、内部アクセス動作Aが終了した時点では、リフレッシュ判定信号RefEがHレベルに保持されている。これにより、アクセス制御回路26bは、内部クロック生成回路25によって、リフレッシュ動作のための内部クロックICK2を1周期分生成するとともに、リフレッシュ信号をリフレッシュ制御回路22aに供給する。この結果、リフレッシュ動作状態になる。なお、このリフレッシュ動作は、ワード線WL127をリフレッシュするものとする。

【0122】

そして、リフレッシュ信号が供給されたリフレッシュ制御回路22aには、ワード線WL127に対するリフレッシュ動作の3つの読出し動作RFRD、第1再書込み動作RFRS1および第2再書込み動作RFRS2のうち、1つ目のサイクルである読出し動作RFRDのみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22aは、リフレッシュ動作の読出し動作RFRDを行うために、ワード線WL127に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ3に出力する。そして、ワード線WL127に繋がるメモセル17（図2参照）のデータがラッチ列14へと出力されるので、ラッチ列14がその出力されたデータを保持する。

【0123】

次に、外部アクセス動作B（図12参照）が開始されると、外部クロックECKが外部アクセス検知回路20bに検知される。これにより、外部アクセス検知回路20bは、外部アクセス検知パルスCMDを生成するとともに、その外部アクセス検知パルスCMDを、アクセス制御回路26bおよびリフレッシュ判定回路27aに供給する。そして、外部アクセス動作Bが検知された際に、外部アクセス検知パルスCMDがリフレッシュ判定回路27aに供給されると、リフレッシュ判定回路27aは、アクセス制御回路26bが内部アクセス状態またはリフレッシュ動作状態であるかを判定する。外部アクセス動作Bが検知された時点では、アクセス制御回路26bがリフレッシュ動作の読出し動作RFRDを行っているので、リフレッシュ判定回路27aは、リフレッシュ判定信号RefEをLレベルに立ち下げる。なお、この外部アクセス動作Bは、ワード線WL127以外のワード線WLに繋がるメモセル17にアクセスする動作であるとする。

【0124】

そして、外部アクセス動作Bが検知された際に、外部アクセス検知パルスCMDがアクセス制御回路26bに供給されても、1つ前の外部アクセス動作Aの期間に開始されたリフレッシュ動作の読出し動作RFRDがまだ終了していない。これにより、アクセス制御回路26bは、内部クロックICK1を生成しないので、内部アクセス動作Bも行わない。外部アクセス動作Aの期間に開始された読出し動作RFRDが終了すると、アクセス制御回路26bは、内部クロック生成回路25により、内部クロックICK1を1周期分生成して内部アクセス動作Bを開始する。そして、内部クロックICK1の1周期分の間、アクセス制御回路26bは、内部アクセス動作Bを行う。ここで、第4実施形態では、外部アクセス動作Bの対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RFRDの対象となるワード線WL127に対応するロウアドレスとが一致しないので、アドレス判定信号AEQFがLレベルのまま維持される。なお、リ

10

20

30

40

50

フレッシュ判定信号 R e f E が L レベルなので、内部アクセス動作 B の終了後にリフレッシュ動作は行わない。

【 0 1 2 5 】

次に、外部アクセス動作 C (図 1 2 参照) が開始されると、外部クロック E C L K が外部アクセス検知回路 2 0 b に検知される。これにより、外部アクセス検知回路 2 0 b は、外部アクセス検知パルス C M D を生成するとともに、その外部アクセス検知パルス C M D をアクセス制御回路 2 6 b およびリフレッシュ判定回路 2 7 a に供給する。そして、外部アクセス動作 C が検知された際に、外部アクセス検知パルス C M D がリフレッシュ判定回路 2 7 a に供給されると、リフレッシュ判定回路 2 7 a は、アクセス制御回路 2 6 b が内部アクセス状態またはリフレッシュ動作状態であるかを判定する。外部アクセス動作 C が検知された時点では、アクセス制御回路 2 6 b が内部アクセス動作 B を行っているので、リフレッシュ判定回路 2 7 a は、リフレッシュ判定信号 R e f E を L レベルで保持する。なお、この外部アクセス動作 C は、ワード線 W L 1 2 7 以外のワード線 W L に繋がるメモリセル 1 7 にアクセスする動作であるとする。

10

【 0 1 2 6 】

そして、外部アクセス動作 C が検知された際に、外部アクセス検知パルス C M D がアクセス制御回路 2 6 b に供給されても、内部アクセス動作 B がまだ終了していない。これにより、アクセス制御回路 2 6 b は、内部クロック I C L K 1 を生成しないので、内部アクセス動作 C も行わない。内部アクセス動作 B が終了すると、アクセス制御回路 2 6 b は、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成して内部アクセス動作 C を開始する。そして、内部クロック I C L K 1 の 1 周期分の間、アクセス制御回路 2 6 b は、内部アクセス動作 C を行う。ここで、第 4 実施形態では、外部アクセス動作 C の対象となるワード線 W L に対応するロウアドレスと、リフレッシュ動作の読出し動作 R F R D の対象となるワード線 W L 1 2 7 に対応するロウアドレスとが一致しないので、アドレス判定信号 A E Q F が L レベルのまま維持される。なお、リフレッシュ判定信号 R e f E が L レベルなので、内部アクセス動作 C の終了後にリフレッシュ動作は行わない。

20

【 0 1 2 7 】

次に、外部アクセス動作 D および E (図 1 2 参照) において、上記外部アクセス動作 C の場合と同様に、それぞれ、内部アクセス動作 D および E を行う。なお、この外部アクセス動作 D および E は、ワード線 W L 1 2 7 以外のワード線 W L に繋がるメモリセル 1 7 にアクセスする動作であるとする。ここで、第 4 実施形態では、外部アクセス動作 D および E の対象となるワード線 W L に対応するロウアドレスと、リフレッシュ動作の読出し動作 R F R D の対象となるワード線 W L 1 2 7 に対応するロウアドレスとが一致しないので、アドレス判定信号 A E Q F が L レベルのまま維持される。

30

【 0 1 2 8 】

次に、外部アクセス動作 F (図 1 2 参照) が開始されると、外部クロック E C L K が外部アクセス検知回路 2 0 b に検知される。これにより、外部アクセス検知回路 2 0 b は、外部アクセス検知パルス C M D を生成するとともに、その外部アクセス検知パルス C M D をアクセス制御回路 2 6 b およびリフレッシュ判定回路 2 7 a に供給する。また、外部アクセス動作 F が検知された際に、外部アクセス検知パルス C M D がリフレッシュ判定回路 2 7 a に供給されると、リフレッシュ判定回路 2 7 a は、アクセス制御回路 2 6 b が内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。ここで、外部アクセス動作 F が検知された時点では、アクセス制御回路 2 6 b が内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないので、リフレッシュ判定回路 2 7 a は、リフレッシュ判定信号 R e f E を H レベルに立ち上げる。そして、このリフレッシュ判定信号 R e f E は、次の外部アクセス動作 G が外部アクセス検知回路 2 0 b により検知されるまで、H レベルに保持される。なお、この外部アクセス動作 F は、外部アクセス検知回路 2 0 b により、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 にデータを書き込む動作であると判定されたとする。

40

50

【 0 1 2 9 】

そして、ワード線 W L 1 2 7 に対する外部アクセス動作 F が検知された際に、外部アクセス検知パルス C M D がアクセス制御回路 2 6 b に供給されると、アクセス制御回路 2 6 b は、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないので、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分の間に、アクセス制御回路 2 6 b は、ワード線 W L 1 2 7 に対する内部アクセス動作 F を行う。したがって、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 のデータが、リフレッシュ動作の読出し動作 R F R D によりラッチ列 1 4 に保持されたデータから書き換えられる。なお、外部アクセス検知回路 2 0 b により、外部アクセス動作 F がワード線 W L 1 2 7 に繋がるメモリセル 1 7 のデータを読み出す動作であると判定された場合には、ラッチ列 1 4 に保持されたデータがワード線 W L 1 2 7 に再び書き込まれた後に、ワード線 W L 1 2 7 に繋がるメモリセル 1 7 のデータを読み出す動作が行われる。これにより、上記ワード線 W L 1 2 7 に対するリフレッシュ動作の読出し動作 R F R D によって、データ「H」が記憶されていたメモリセル 1 7 に対して破壊読出しのためにデータ「L」が書き込まれた場合にも、外部アクセス動作 F に対応する読出し動作の前にラッチ列 1 4 に保持されたデータ「H」がワード線 W L 1 2 7 の対応するメモリセル 1 7 に再び書き込まれるので、外部アクセス動作 F に対応する読出し動作の際に、メモリセル 1 7 のデータ「H」が破壊読出しのためにデータ「L」に書き換えられた状態で読み出されるのを抑制することが可能である。

10

【 0 1 3 0 】

ここで、第 4 実施形態では、外部アクセス動作 F の対象となるワード線 W L 1 2 7 に対応するロウアドレスと、リフレッシュ動作の読出し動作 R F R D の対象となるワード線 W L 1 2 7 に対応するロウアドレスとが一致するので、リフレッシュ制御回路 2 2 a には、アドレス判定回路 2 4 から H レベルのアドレス判定信号 A E Q F が供給されている。このため、リフレッシュ制御回路 2 2 a は、第 1 再書込み動作 R F R S 1 を行うことなく、リフレッシュアドレス信号を + 1 だけカウントアップする。すなわち、ワード線 W L 1 2 7 のリフレッシュ動作が終了されるとともに、次のワード線 W L 1 2 8 のリフレッシュ動作に移行される。なお、このアドレス判定信号 A E Q F は、リフレッシュ動作状態になるまで、H レベルに保持される。

20

【 0 1 3 1 】

次に、内部アクセス動作 F が終了すると、リフレッシュ判定回路 2 7 a から H レベルのリフレッシュ判定信号 R e f E が供給されているので、アクセス制御回路 2 6 b は、内部アクセス動作 F の終了後にリフレッシュ動作を行うための内部クロック I C L K 2 を生成するとともに、リフレッシュ制御回路 2 2 a にリフレッシュ信号を出力する。この結果、リフレッシュ動作状態になる。

30

【 0 1 3 2 】

そして、ワード線 W L 1 2 7 に対する内部アクセス動作 F が終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路 2 2 a には、次のワード線 W L 1 2 8 に対するリフレッシュ動作の 3 つの読出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2 のうち、1 つ目のサイクルである読出し動作 R F R D のみを要求する分割信号がリフレッシュ分割制御回路 2 3 から出力されている。したがって、リフレッシュ制御回路 2 2 a は、リフレッシュ動作の読出し動作 R F R D を行うために、ワード線 W L 1 2 8 に対応するロウアドレスを含むリフレッシュアドレス信号をロウアドレスバッファ 3 に出力する。そして、ワード線 W L 1 2 8 に繋がるメモリセル 1 7 のデータがラッチ列 1 4 へと出力されるので、ラッチ列 1 4 がその出力されたデータを保持する。

40

【 0 1 3 3 】

次に、外部アクセス動作 G ~ J (図 1 2 参照) において、上記外部アクセス動作 B ~ E の場合と同様に、それぞれ、内部アクセス動作 G ~ J を行う。なお、この外部アクセス動作 G ~ J は、ワード線 W L 1 2 8 以外のワード線 W L に繋がるメモリセル 1 7 にアクセスする動作であるとする。

50

【 0 1 3 4 】

次に、外部アクセス動作 K (図 1 2 参照) が開始されると、外部クロック E C L K が外部アクセス検知回路 2 0 b に検知される。これにより、外部アクセス検知回路 2 0 b は、外部アクセス検知パルス C M D を生成するとともに、その外部アクセス検知パルス C M D をアクセス制御回路 2 6 b およびリフレッシュ判定回路 2 7 a に供給する。また、外部アクセス動作 K が検知された際に、外部アクセス検知パルス C M D がリフレッシュ判定回路 2 7 a に供給されると、リフレッシュ判定回路 2 7 a は、アクセス制御回路 2 6 b が内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。ここで、外部アクセス動作 K が検知された時点では、アクセス制御回路 2 6 b が内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないため、リフレッシュ判定回路 2 7 a は、リフレッシュ判定信号 R e f E を H レベルに立ち上げる。そして、このリフレッシュ判定信号 R e f E は、次の外部アクセス動作 L が外部アクセス検知回路 2 0 b により検知されるまで、H レベルに保持される。なお、この外部アクセス動作 K は、ワード線 W L 1 2 8 以外のワード線 W L に繋がるメモリセル 1 7 にアクセスする動作であるとする。

10

【 0 1 3 5 】

そして、外部アクセス動作 K が検知された際に、外部アクセス検知パルス C M D がアクセス制御回路 2 6 b に供給されると、アクセス制御回路 2 6 b は、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないため、内部クロック生成回路 2 5 により、内部クロック I C L K 1 を 1 周期分生成する。そして、その内部クロック I C L K 1 の 1 周期分の間に、アクセス制御回路 2 6 b は、内部アクセス動作 K を行う。

20

【 0 1 3 6 】

ここで、第 4 実施形態では、外部アクセス動作 G ~ K の対象となるワード線 W L に対応するロウアドレスと、リフレッシュ動作の読み出し動作 R F R D の対象となるワード線 W L 1 2 8 に対応するロウアドレスとが一致しないため、リフレッシュ制御回路 2 2 a には、アドレス判定回路 2 4 から L レベルのアドレス判定信号 A E Q F が供給されている。したがって、リフレッシュアドレス信号がカウントアップされることなくワード線 W L 1 2 8 のリフレッシュ動作が継続される。

【 0 1 3 7 】

次に、内部クロック I C L K 1 が 1 周期分終了して、内部アクセス動作 K が終了した時点では、リフレッシュ判定信号 R e f E が H レベルに保持されている。これにより、アクセス制御回路 2 6 b は、内部クロック生成回路 2 5 によって、リフレッシュ動作のための内部クロック I C L K 2 を 1 周期分生成するとともに、リフレッシュ信号をリフレッシュ制御回路 2 2 a に供給する。この結果、リフレッシュ動作状態になる。

30

【 0 1 3 8 】

そして、内部アクセス動作 K が終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路 2 2 a には、ワード線 W L 1 2 8 に対するリフレッシュ動作の 3 つの読み出し動作 R F R D、第 1 再書込み動作 R F R S 1 および第 2 再書込み動作 R F R S 2のうち、2 つ目のサイクルである第 1 再書込み動作 R F R S 1 のみを要求する分割信号がリフレッシュ分割制御回路 2 3 から出力されている。したがって、リフレッシュ制御回路 2 2 a は、リフレッシュ動作の第 1 再書込み動作 R F R S 1 をワード線 W L 1 2 8 に対して行う。

40

【 0 1 3 9 】

次に、外部アクセス動作 L ~ O (図 1 2 参照) において、上記外部アクセス動作 B ~ E の場合と同様に、それぞれ、内部アクセス動作 L ~ O を行う。なお、この外部アクセス動作 L ~ O は、ワード線 W L 1 2 8 以外のワード線 W L に繋がるメモリセル 1 7 にアクセスする動作であるとする。

【 0 1 4 0 】

次に、外部アクセス動作 P (図 1 2 参照) が開始されると、外部クロック E C L K が外部アクセス検知回路 2 0 b に検知される。これにより、外部アクセス検知回路 2 0 b は、外部アクセス検知パルス C M D を生成するとともに、その外部アクセス検知パルス C M D

50

をアクセス制御回路26bおよびリフレッシュ判定回路27aに供給する。また、外部アクセス動作Pが検知された際に、外部アクセス検知パルスCMDがリフレッシュ判定回路27aに供給されると、リフレッシュ判定回路27aは、アクセス制御回路26bが内部アクセス動作状態またはリフレッシュ動作状態であるかを判定する。ここで、外部アクセス動作Pが検知された時点では、アクセス制御回路26bが内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないの、リフレッシュ判定回路27aは、リフレッシュ判定信号RefEをHレベルに立ち上げる。そして、このリフレッシュ判定信号RefEは、次の外部アクセス動作が外部アクセス検知回路20bにより検知されるまで、Hレベルに保持される。なお、この外部アクセス動作Pは、ワード線WL128以外のワード線WLに繋がるメモリセル17にアクセスする動作であるとする。

10

【0141】

そして、外部アクセス動作Pが検知された際に、外部アクセス検知パルスCMDがアクセス制御回路26bに供給されると、アクセス制御回路26bは、内部アクセス動作状態およびリフレッシュ動作状態のどちらでもないの、内部クロック生成回路25により、内部クロックICK1を1周期分生成する。そして、その内部クロックICK1の1周期分の間に、アクセス制御回路26bは、内部アクセス動作Pを行う。

【0142】

ここで、第4実施形態では、外部アクセス動作L~Pの対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RFRDの対象となるワード線WL128に対応するロウアドレスとが一致しないので、リフレッシュ制御回路22aには、アドレス判定回路24からLレベルのアドレス判定信号AEQFが供給されている。したがって、リフレッシュアドレス信号がカウントアップされることなくワード線WL128のリフレッシュ動作が継続される。

20

【0143】

次に、内部クロックICK1が1周期分終了して、内部アクセス動作Pが終了した時点では、リフレッシュ判定信号RefEがHレベルに保持されている。これにより、アクセス制御回路26bは、内部クロック生成回路25によって、リフレッシュ動作のための内部クロックICK2を1周期分生成するとともに、リフレッシュ信号をリフレッシュ制御回路22aに供給する。この結果、リフレッシュ動作状態になる。

【0144】

そして、内部アクセス動作Pが終了した時点では、リフレッシュ信号が供給されたリフレッシュ制御回路22aには、ワード線WL128に対するリフレッシュ動作の3つの読出し動作RFRD、第1再書込み動作RFRS1および第2再書込み動作RFRS2のうち、3つ目のサイクルである第2再書込み動作RFRS2のみを要求する分割信号がリフレッシュ分割制御回路23から出力されている。したがって、リフレッシュ制御回路22aは、リフレッシュ動作の第2再書込み動作RFRS2をワード線WL128に対して行う。

30

【0145】

このように、ワード線WL128についてリフレッシュ動作が行われた後は、再び同様の動作によって3つのサイクル毎に分割されたリフレッシュ動作が、ワード線WL1から順に行われる。

40

【0146】

第4実施形態では、上記のように、リフレッシュ要求信号を出力することなく、常時、外部アクセス動作が5回行われる毎に、分割されたリフレッシュ動作を行うので、ディスタープによるデータの破壊をより抑制することができる。また、第4実施形態では、外部アクセス動作の外部アクセス回数を計数するアクセス計数回路21(図3参照)を省略することができるので、回路構成を簡単化することができる。

【0147】

なお、第4実施形態のその他の効果は上記第1実施形態と同様である。

【0148】

50

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0149】

たとえば、上記第1～第4実施形態では、リフレッシュ動作の対象となるワード線WLと、リフレッシュ動作中に行われる外部アクセス動作の対象となるワード線WLとが一致する場合に、リフレッシュ制御回路にHレベルのアドレス判定信号AEQFを供給するアドレス判定回路を設ける例を示したが、本発明はこれに限らず、リフレッシュ動作の対象となるワード線WLと、リフレッシュ動作中に行われる外部アクセス動作の対象となるワード線WLとが一致するとともに、外部アクセス動作が書込み動作である場合に、リフレッシュ制御回路にHレベルのアドレス判定信号AEQFを供給するアドレス判定回路を設けるようにしてもよい。

10

【0150】

また、上記第1～第4実施形態では、リフレッシュ制御回路22とアドレス判定回路24とを別個に設ける例を示したが、本発明はこれに限らず、アドレス判定回路を含むリフレッシュ制御回路を設けるようにしてもよい。

【0151】

また、上記第1、第3および第4実施形態では、リフレッシュ動作の読出し動作RFRDが行われた後に、アドレス判定回路からリフレッシュ制御回路にHレベルのアドレス判定信号AEQFが供給されている場合には、リフレッシュ制御回路は、第1再書込み動作RFRS1および第2再書込み動作RFRS2を行うことなく、リフレッシュアドレス信号を+1だけカウントアップする例を示したが、本発明はこれに限らず、リフレッシュ動作の第1再書込み動作RFRS1が行われた後に、アドレス判定回路からリフレッシュ制御回路にHレベルのアドレス判定信号AEQFが供給されている場合には、リフレッシュ制御回路は、第2再書込み動作RFRS2を行うことなく、リフレッシュアドレス信号を+1だけカウントアップする。このように構成すれば、外部アクセス動作の書込み動作により書き込まれたデータが、リフレッシュ動作の第2再書込み動作RFRS2によってリフレッシュ動作の読出し動作RFRD時の1つ前の古いデータに一部書き換えられてしまうという不都合が発生するのを抑制することができる。

20

30

【0152】

また、上記第1～第4実施形態では、内部アクセス動作の終了後にリフレッシュ動作を行う例を示したが、本発明はこれに限らず、内部アクセス動作の前にリフレッシュ動作を行ってもよい。また、内部アクセス動作の前にリフレッシュ動作を行う場合と、内部アクセス動作の後にリフレッシュ動作を行う場合と、内部アクセス動作の前後の両方にリフレッシュ動作を行う場合とがあってもよい。

【0153】

また、上記第1～第4実施形態では、外部アドレス信号が供給される外部アクセス動作の例を示したが、本発明はこれに限らず、外部アドレス信号以外のデータがコマンドとして外部アクセス検知回路に供給されるような外部アクセス動作が行われるメモリに適用してもよい。

40

【0154】

また、上記第1～第4実施形態では、リフレッシュ動作を選択されたワード線WLに繋がるメモリセル全体に対して一括で行う場合について説明したが、本発明はこれに限らず、所定のワード線WLと所定のビット線BLとが交差する位置の所定の1つのメモリセル毎にリフレッシュ動作を行う場合にも、同様に適用可能である。この場合には、アドレス判定回路は、ロウアドレスのみならずコラムアドレスが一致するかどうかも判定する。

【0155】

また、上記第1～第4実施形態では、ワード線WLと、ビット線BLと、ワード線WLおよびビット線BLの間に配置された強誘電体膜とによりメモリセルが形成される単純マ

50

トリックス型の強誘電体メモリに適用した例を示したが、本発明はこれに限らず、ディスタープが生じる1トランジスタ型の強誘電体メモリにも同様に適用可能である。また、リフレッシュが必要なDRAMなどの、強誘電体メモリ以外の他のメモリにも適用可能である。

【0156】

また、上記第4実施形態では、外部アクセス動作が5回行われる毎に、分割されたリフレッシュ動作を行う例を示したが、本発明はこれに限らず、外部アクセス動作が所定の回数行われる毎に、分割されたリフレッシュ動作を行うようにしてもよい。たとえば、外部アクセス動作が6回行われる毎に、分割されたリフレッシュ動作を行うようにしてもよいし、外部アクセス動作が4回行われる毎に、分割されたリフレッシュ動作を行うようにしてもよい。

10

【0157】

また、上記第4実施形態では、外部アクセス動作Fの対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RRDの対象となるワード線WLに対応するロウアドレスとが一致するとともに、外部アクセス動作B～Eの対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RRDの対象となるワード線WLに対応するロウアドレスとが一致しない例を示したが、本発明はこれに限らず、外部アクセス動作B～Fのうち少なくともいずれか1つの外部アクセス動作の対象となるワード線WLに対応するロウアドレスと、リフレッシュ動作の読出し動作RRDの対象となるワード線WLに対応するロウアドレスとが一致する場合に、リフレッシュ制御回路には、アドレス判定回路からHレベルのアドレス判定信号AEQFが供給される。

20

【図面の簡単な説明】

【0158】

【図1】本発明の第1実施形態による単純マトリックス型の強誘電体メモリの全体構成を示したブロック図である。

【図2】図1に示した第1実施形態による単純マトリックス型の強誘電体メモリのメモリセルアレイの構成を説明する概略図である。

【図3】図1に示した第1実施形態による単純マトリックス型の強誘電体メモリの動作制御回路の構成を説明するためのブロック図である。

【図4】本発明の第1実施形態による単純マトリックス型の強誘電体メモリの動作を説明するための電圧波形図である。

30

【図5】本発明の第1実施形態による単純マトリックス型の強誘電体メモリの内部アクセス動作を説明するための電圧波形図である。

【図6】本発明の第1実施形態による単純マトリックス型の強誘電体メモリの内部アクセス動作を説明するための電圧波形図である。

【図7】本発明の第1実施形態による単純マトリックス型の強誘電体メモリの分割されたリフレッシュ動作を説明するための電圧波形図である。

【図8】本発明の第2実施形態による単純マトリックス型の強誘電体メモリの動作を説明するための電圧波形図である。

【図9】本発明の第3実施形態による単純マトリックス型の強誘電体メモリの動作制御回路の構成を説明するためのブロック図である。

40

【図10】本発明の第3実施形態による単純マトリックス型の強誘電体メモリの動作を説明するための電圧波形図である。

【図11】本発明の第4実施形態による単純マトリックス型の強誘電体メモリの動作制御回路の構成を説明するためのブロック図である。

【図12】本発明の第4実施形態による単純マトリックス型の強誘電体メモリの動作を説明するための電圧波形図である。

【符号の説明】

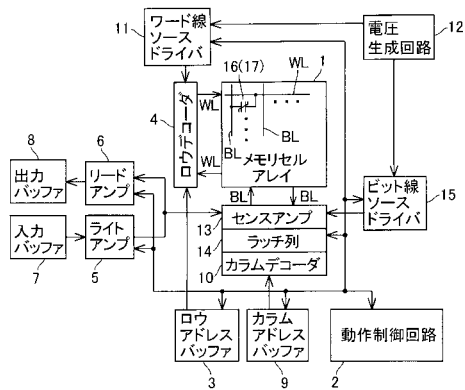
【0159】

14 ラッチ列(ラッチ手段)

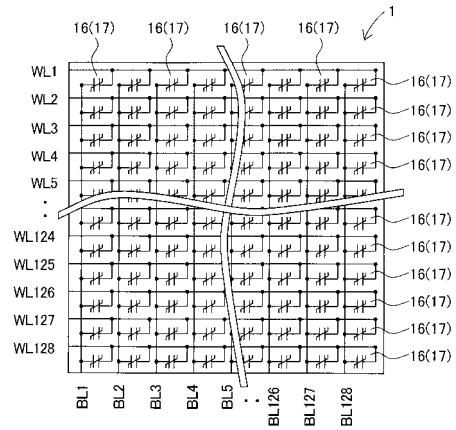
50

- 20、20a、20b 外部アクセス検知回路（外部アクセス検知手段）
- 21、21a アクセス計数回路（外部アクセス計数手段）
- 22、22a リフレッシュ制御回路（リフレッシュ制御手段）
- 23 リフレッシュ分割制御回路（リフレッシュ分割制御回路）
- 24 アドレス判定回路（アドレス判定手段）
- 26、26a、26b アクセス制御回路（アクセス制御手段）
- 27、27a リフレッシュ判定回路（リフレッシュ判定手段）
- RFRD 読出し動作
- RFRS1 第1再書込み動作動作
- RFRS2 第2再書込み動作動作

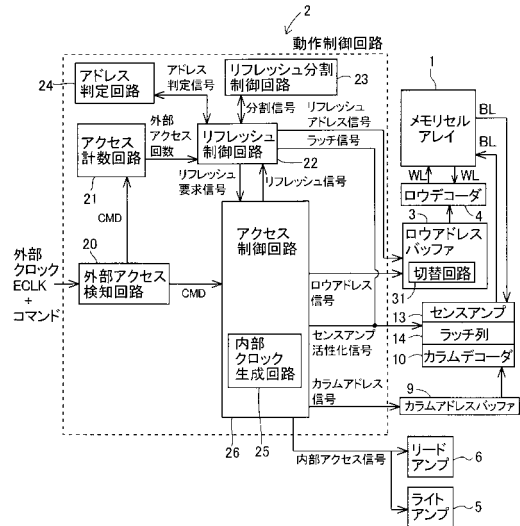
【図1】



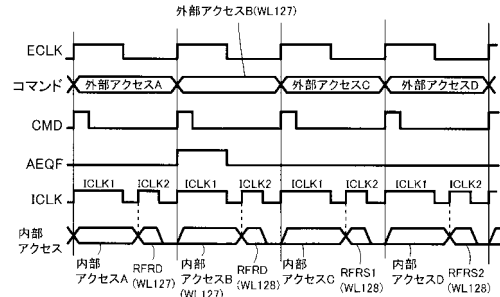
【図2】



【図3】

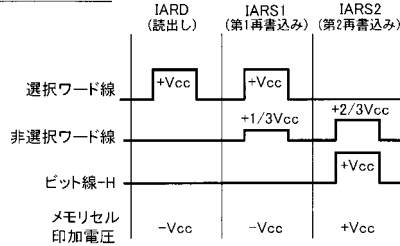


【図4】

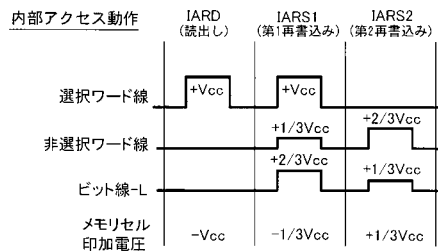


【図5】

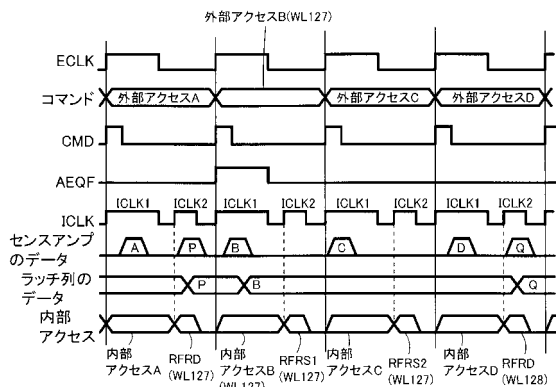
内部アクセス動作



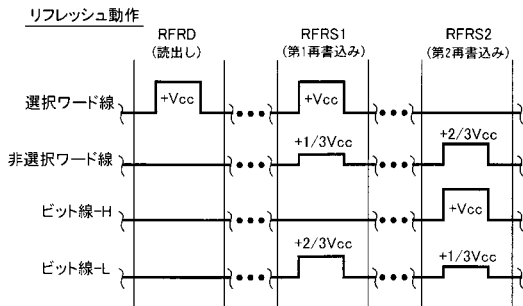
【図6】



【図8】



【図7】



フロントページの続き

- (56)参考文献 特開2004-199842(JP,A)
特開昭63-247997(JP,A)
特開2001-229674(JP,A)
特開2006-092640(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/22, 11/401