

(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **268 336 A1**

4(51) H 01 L 21/76

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 01 L / 311 717 5	(22)	30.12.87	(44)	24.05.89
------	-----------------------	------	----------	------	----------

(71) VEB Forschungszentrum Mikroelektronik Dresden, Grenzstraße 28, Dresden, 8080, DD

(72) Raab, Michael, Dipl.-Phys., DD

(54) **Verfahren zur Herstellung von Isolationsgebieten**

(55) Isolationsgebiet, Siliziumsubstrat, hochintegriert, Schaltung, Oxydation, thermisch, Polysilizium, Siliziumnitrid, Strukturierung, LP-CVD-Verfahren

(57) Die Erfindung betrifft ein Verfahren zur Herstellung von Isolationsgebieten zur Trennung aktiver Bereiche einer hochintegrierten Schaltung auf Silizium-Einkristall-Substraten. Das erfindungsgemäße Verfahren ist dadurch gekennzeichnet, daß auf ein Siliziumsubstrat, welches mit einer durch thermische Oxydation erzeugten dünnen Siliziumdioxidschicht bedeckt ist, nacheinander eine erste Polysiliziumschicht durch LP-CVD-Verfahren aufgebracht werden, daß anschließend die zweite Polysiliziumschicht strukturiert und danach vollständig oxidiert wird, daß die Siliziumnitridschicht danach strukturiert wird, wobei die oxidierte zweite Polysiliziumschicht als Hilfsmaske dient, und daß im Anschluß daran eine Kanalstopperimplantation und nach Entfernen der oxidierten zweiten Polysiliziumschicht die Erzeugung der Isolationsgebiete durch eine thermische Oxydation durchgeführt werden.

Patentanspruch:

1. Verfahren zur Herstellung von Isolationsgebieten zur Trennung aktiver Bereiche einer hochintegrierten Schaltung, bei dem im wesentlichen auf einem Siliziumsubstrat eine Mehrschicht aufgebracht und durch eine Ätzung strukturiert wird und anschließend in den geätzten Bereichen der Mehrschicht durch eine lokale Oxydation die Isolationsgebiete erzeugt werden, **gekennzeichnet durch den Ablauf folgender Verfahrensschritte**
 - a) Erzeugen einer 10... 100 nm dicken Siliziumdioxidschicht
 - b) Abscheiden einer Polysiliziumschicht mit einer Dicke von 50... 150 nm durch ein LP-CVD-Verfahren
 - c) Abscheiden einer Siliziumnitridschicht durch ein LP-CVD-Verfahren mit einer Dicke von 100... 200 nm
 - d) Abscheiden einer zweiten 200... 700 nm dicken Polysiliziumschicht durch ein LP-CVD-Verfahren
 - e) Aufbringen einer die aktiven Bereiche bedeckenden Lackmaske
 - f) Strukturieren der zweiten Polysiliziumschicht durch ein Trockenätzverfahren
 - g) Entfernen der Lackmaske
 - h) Vollständiges Oxidieren der strukturierten zweiten Polysiliziumschicht
 - i) Strukturieren der Siliziumnitridschicht, wobei die oxidierte Polysiliziumschicht als Hilfsmaske dient
 - j) Implantation von Kanalstoppern
 - k) Entfernen der vollständig oxidierten Polysiliziumschicht mit einem naßchemischen Ätzverfahren
 - l) Oxidieren der nicht von der Siliziumnitridschicht bedeckten Bereiche zur Herstellung der Isolationsgebiete
 - m) Entfernen der Siliziumnitridschicht und der ersten Polysiliziumschicht
 - n) Oxidüberätzung zum Freilegen der aktiven Bereiche
2. Verfahren nach Anspruch 1, **gekennzeichnet dadurch**, daß das Strukturieren der zweiten Polysiliziumschicht und der Siliziumnitridschicht durch ein reaktives Ionenätzen ausgeführt wird.

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren zur Herstellung von Isolationsgebieten zur Trennung aktiver Bereiche einer hochintegrierten Schaltung auf Silizium-Einkristall-Substraten.

Charakteristik des bekannten Standes der Technik

Zur Herstellung von Isolationsgebieten zur Trennung aktiver Bereiche, z. B. Transistoren, einer hoch- oder höchstintegrierten Schaltung auf der Basis der LOCOS (local oxidation of silicon)-Technik, bei der im wesentlichen mit einer Oxydationsmaske die Isolationsgebiete thermisch oxidiert werden, sind eine Vielzahl von Verfahren (EP-PS 197 198, DE-PS 31 33841, DE-PS 3031 170, DE-PS 31 35815 u. a.) bekannt.

Bei einem durch N. Matsukawa (IEEE Transaction on Electron Devices 29/1982/S.561) beschriebenen sogenannten SEPOX (selektive Polysiliziumoxydation)-Verfahren wird zunächst auf einem gereinigten Siliziumsubstrat eine Oxidschicht erzeugt und eine 300... 600 nm dicke Polysiliziumschicht durch ein LP-CVD-Verfahren aufgebracht. Danach wird eine Siliziumnitridschicht mit einer Dicke von 100... 200 nm durch ein LP-CVD-Verfahren abgeschieden und nach Aufbringen einer Lackmaske durch ein reaktives Ionenätzverfahren strukturiert. Im Anschluß daran wird die Lackmaske entfernt und eine Kanalstopperimplantation, bei CMOS-Technologien über weitere Lackmasken, durchgeführt. Hiernach werden durch eine thermische Oxydation die Isolationsgebiete, die aus dem aufgetragenen Polysilizium wachsen, erzeugt. Abschließend werden die Siliziumnitrid- und die Polysiliziumschicht wieder entfernt und durch eine Oxidüberätzung die aktiven Bereiche freigelegt.

Nachteilig an diesem Verfahren, welches durch die in der aufgetragenen Polysiliziumschicht erfolgenden Bildung der Isolationsgebiete ein ungestörtes Siliziumsubstrat gewährleistet, sind die auftretende Kantenverschiebung zwischen Fotolackmaske und dem erzeugten Isolationsgebiet sowie die relativ große Verringerung der Transistorkanalbreite. Ein weiterer Nachteil ist, daß die im weiteren Herstellungsprozeß einer integrierten Schaltung durchzuführenden Strukturierungen der Nachfolgeebenen infolge der sehr hohen Buckel der erzeugten Isolationsgebiete stark fehlerbehaftet sind.

Bei Vermeidung der Kantenverschiebung und zur Einschränkung der relativ großen Einengung der Kanalbreite der Transistoren ist ein modifiziertes LOCOS-Verfahren („Nikkei Mikron Device“ Spring [1985] S.37) bekannt, bei dem auf einem gereinigten Siliziumsubstrat zunächst eine Siliziumoxidschicht erzeugt und mit einer durch ein LP-CVD-Verfahren abgeschiedenen Siliziumnitridschicht bedeckt wird.

Anschließend wird die Siliziumnitridschicht über eine aufgetragene Lackmaske durch reaktives Ionenätzen strukturiert. Nach dem folgenden Entfernen der Lackmaske wird durch ein LP-CVD-Verfahren eine zweite Siliziumnitridschicht abgeschieden und danach zur Spacerherstellung (Siliziumnitridschicht verbleibt an den Kanten der ersten Siliziumnitridschicht) durch eine RIE-

Ätzung strukturiert. Hiernach erfolgen eine Kanalstopperimplantation und die Erzeugung der Isolationsgebiete durch eine Oxydation. Abschließend werden die Siliziumnitridschicht einschließlich der Spacer entfernt und durch eine Oxidüberätzung die aktiven Gebiete freigelegt.

Für die beschriebene Spacerherstellung ist es erforderlich, daß zumindest 200 nm aufgebracht werden. Dadurch treten an der Kante des Isolationsgebietes (Feldoxidkante) nachteilige Spannungen und Versetzungen auf, die zu einem hohen Leckstrom führen. Ein Leckstromniveau von etwa 1 nA/cm^2 , wie es für hoch- und höchstintegrierte Schaltkreise unbedingt notwendig ist, ist mit diesem modifizierten LOCOS-Verfahren nicht realisierbar.

Ziel der Erfindung

Das Ziel der Erfindung ist ein Verfahren zur Herstellung von Isolationsgebieten zur Trennung aktiver Bereiche einer hochintegrierten Schaltung mit einem Leckstromniveau von etwa 1 nA/cm^2 auf einem Silizium-Einkristall-Substrat, bei dem eine Kantenverschiebung stark eingeschränkt und eine Verringerung der Kanalbreite von kleiner $0,4 \mu\text{m}$ erreicht wird.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung von Isolationsgebieten zur Trennung aktiver Bereiche einer hochintegrierten Schaltung zu schaffen, bei dem die Isolationsgebiete durch eine lokale Oxydation aus dem Siliziumsubstrat über eine dünne Oxydationsmaske erzeugt werden, wobei die Kanten der Isolationsgebiete gegenüber den durch eine Lackmaske vorgegebenen Strukturmaßen nur geringe Verschiebungen aufweisen. Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß auf einem Siliziumsubstrat eine $10 \dots 100 \text{ nm}$ dicke Siliziumdioxidschicht erzeugt und anschließend eine erste Polysiliziumschicht mit einer Dicke von $50 \dots 150 \text{ nm}$ durch ein LP-CVD-Verfahren abgeschieden werden. Im Anschluß daran werden durch LP-CVD-Verfahren eine Siliziumnitridschicht mit einer Dicke von $100 \dots 200 \text{ nm}$ und darüber eine $200 \dots 700 \text{ nm}$ dicke zweite Polysiliziumschicht abgeschieden. Hiernach werden eine die aktiven Bereiche der herzustellenden hochintegrierten Schaltung bedeckende Lackmaske aufgebracht und die zweite Polysiliziumschicht durch ein Trockenätzverfahren strukturiert, wobei eine Kantenverschiebung von kleiner $0,05 \mu\text{m}$ auftritt. Nach Entfernen der Lackmaske erfolgt eine vollständige Oxydation der zweiten Polysiliziumschicht. Die derart erzeugte Oxidschicht weist gegenüber der ursprünglichen Polysiliziumschicht eine annähernd 1,8mal größere Schichtdicke auf. Gleichzeitig mit dieser Vergrößerung der Schichtdicke werden die durch die Trockenätzung freigelegten Gebiete der Siliziumnitridschicht um ungefähr die Dicke der zweiten Polysiliziumschicht verkleinert. Anschließend an die Oxydation der zweiten Polysiliziumschicht wird die Siliziumnitridschicht durch ein Trockenätzverfahren strukturiert. Dabei dient die erzeugte dicke Oxidschicht als Ätzmaske. Die erste Polysiliziumschicht wird bei dieser Ätzung der Siliziumnitridschicht angeätzt, verhindert jedoch einen Ätzangriff des Siliziumsubstrats. Im Anschluß daran wird eine Kanalstopperimplantation ausgeführt, wobei die dicke Oxidschicht einen sicheren Schutz der aktiven Gebiete gegenüber der Implantation gewährleistet und somit eine große Verringerung der Kanalbreite verhindert. Hiernach wird die dicke Oxidschicht durch ein naßchemisches Ätzverfahren vollständig entfernt, wobei die erste Polysiliziumschicht als sicherer Schutz gegenüber Oxidunterätzungen dient, und die Isolationsgebiete durch eine thermische Oxydation der nicht durch die Siliziumnitridschicht bedeckten Gebiete mit einer Dicke von etwa $500 \dots 800 \text{ nm}$ erzeugt. Dieser Oxydationsprozeß entspricht dem Standard-LOCOS-Verfahren, wobei die Polysiliziumschicht zuerst oxidiert wird. Der Vogelkopf wächst dabei nur geringfügig über die ursprüngliche Lackmaskenkante hinaus (geringe Kantenverschiebung). Die Vorteile des weichen Überganges vom aktiven Gebiet zum Isolationsgebiet (geringer Leckstrom) bleiben erhalten. Abschließend werden die Siliziumnitridschicht und die erste Polysiliziumschicht entfernt und durch eine Oxidüberätzung die aktiven Gebiete freigeätzt.

Ausführungsbeispiel

Das erfindungsgemäße Verfahren zur Herstellung von Isolationsgebieten zur Trennung aktiver Bereiche einer hochintegrierten Schaltung auf einem einkristallinen Siliziumsubstrat soll nachstehend anhand eines Ausführungsbeispiels näher erläutert werden.

In der dazugehörigen Zeichnung zeigen

Fig. 1: den Schichtaufbau nach Polysiliziumschicht-Strukturierung

Fig. 2: den Schichtaufbau nach vollständiger Oxydation der Polysiliziumschicht

Fig. 3: die Kanalstopperimplantation

Fig. 4: den Schichtaufbau nach Erzeugen der Isolationsgebiete.

Wie in Fig. 1 dargestellt, wird zunächst auf einem Siliziumsubstrat 1 eine 30 nm dünne Siliziumdioxidschicht 2 durch eine Oxydation erzeugt und anschließend werden nacheinander durch LP-CVD-Verfahren eine erste Polysiliziumschicht 3 mit einer Dicke von 100 nm , eine 150 nm dicke Siliziumnitridschicht 4 und eine zweite 400 nm dicke Polysiliziumschicht 5 abgeschieden. Im Anschluß daran wird in bekannter Weise eine Lackmaske 6 aufgebracht und die zweite Polysiliziumschicht 5 durch reaktives Ionenätzen mittels eines $\text{SF}_6\text{-Cl}$ -Gemisches trocken geätzt. Dabei tritt eine Kantenverschiebung auf, die weniger als $0,1 \mu\text{m}$ beträgt.

Nach dem Entfernen der Lackmaske 6 wird die zweite Polysiliziumschicht 5, wie in Fig. 2 dargestellt, durch eine $\text{H}_2\text{-O}_2$ -Verbrennung bei einer Temperatur von 1000°C vollständig thermisch oxidiert, wobei die Siliziumnitridschicht 4 die Oxydation begrenzt. Die derart gebildete Oxidschicht 7 ist 1,8mal dicker als die ursprüngliche Polysiliziumschicht 5. Gleichzeitig mit dem Anwachsen der Schichtdicke verkleinern sich die durch das reaktive Ionenätzen freigelegten Gebiete. Nachfolgend wird durch

ein weiteres reaktives Ätzen unter Verwendung der Oxidschicht 7 als Ätzmaske die Siliziumnitridschicht 4 strukturiert. Die unter der Siliziumnitridschicht 4 befindliche erste Polysiliziumschicht 3 schützt dabei das Siliziumsubstrat vor einem eventuellen Ätzangriff.

Nach Einbringen von Kanalstoppern durch eine Ionenimplantation (Fig.3), wobei die aktiven Bereiche durch die dicke Oxidschicht 7 geschützt sind, wird durch einen naßchemischen Ätzprozeß die dicke Oxidschicht 7 vollständig entfernt. Dabei dient die erste Polysiliziumschicht als Schutz gegen Unterätzungen.

Im Anschluß daran werden die Isolationsgebiete, wie in Fig.4 dargestellt, mit einer Dicke von 750 nm durch eine H_2O_2 -Verbrennung bei $1000^\circ C$ thermisch erzeugt. Abschließend werden die Siliziumnitridschicht 4 und die erste Polysiliziumschicht 3 entfernt und durch eine Oxidüberätzung, die die dünne Siliziumdioxidschicht 2 beseitigt, die aktiven Bereiche freigelegt.

Fig. 1

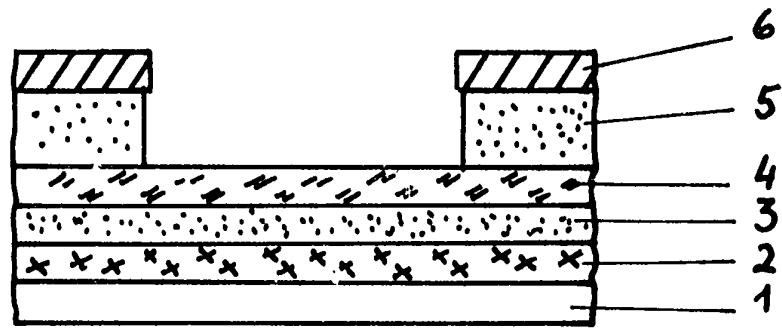


Fig. 2

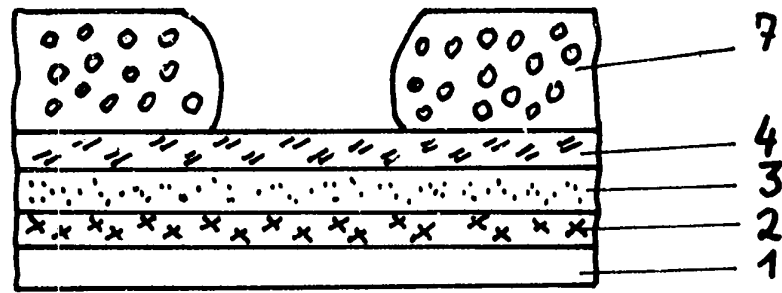


Fig. 3

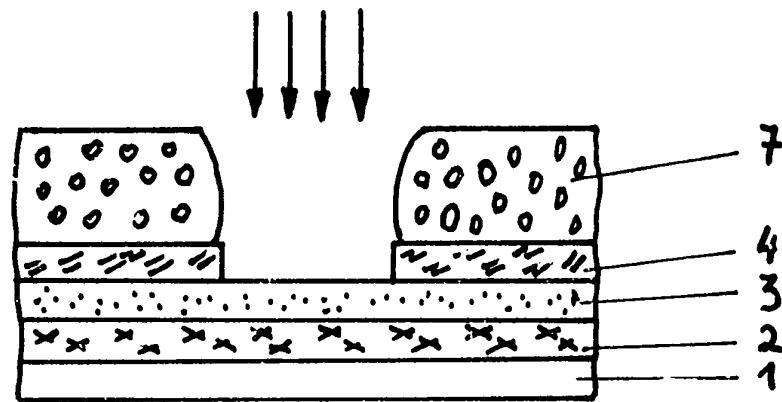


Fig. 4

