



(12) 发明专利申请

(10) 申请公布号 CN 113129949 A

(43) 申请公布日 2021. 07. 16

(21) 申请号 202010997363.2

(22) 申请日 2020.09.21

(30) 优先权数据

16/742,332 2020.01.14 US

(71) 申请人 英特尔公司

地址 美国加利福尼亚

(72) 发明人 S·卡瓦米

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 刘瑜

(51) Int.Cl.

G11C 7/10 (2006.01)

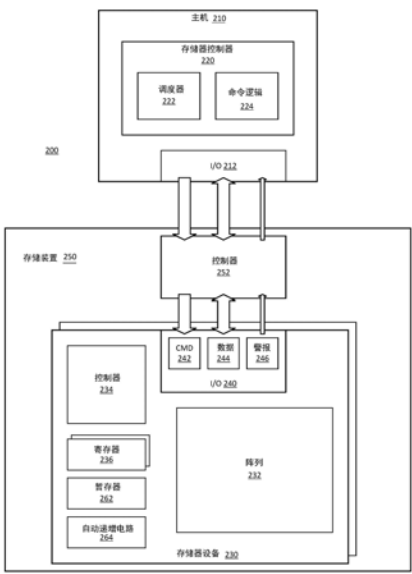
权利要求书3页 说明书18页 附图7页

(54) 发明名称

针对非易失性存储器的自动递增写入计数

(57) 摘要

存储器设备具有多个非易失性 (NV) 存储器阵列, 这些 NV 存储器阵列用于共同地存储数据块, 其中每个阵列用于存储数据块的一部分。选定的 NV 存储器阵列存储针对该数据块的写入计数。响应写入命令, 存储数据的 NV 存储器阵列执行内部预写入读取。存储写入计数的选定的 NV 存储器阵列将执行写入计数的预写入读取, 递增选定的 NV 存储器阵列内部的写入计数, 并且将递增的写入计数写回到选定的 NV 存储器阵列。



1. 一种非易失性存储器设备,包括:

多个非易失性 (NV) 存储器阵列,其用于共同地存储数据块,每个阵列用于存储所述数据块的一部分,并且所述NV存储器阵列中的一个NV存储器阵列用于存储针对所述数据块的写入计数;以及

命令总线接口,其用于接收写入命令以将所述数据块写入所述NV存储器阵列,其中,响应于接收到所述写入命令,所述NV存储器阵列用于执行所述NV存储器阵列中的所述数据块的内部预写入读取,其中,所述一个NV存储器阵列用于执行所述写入计数的预写入读取,递增所述一个NV存储器阵列内部的所述写入计数,并且将递增的写入计数写入所述一个NV存储器阵列。

2. 根据权利要求1所述的非易失性存储器设备,其中,所述NV存储器阵列包括单独的NV存储器芯片。

3. 根据权利要求1所述的非易失性存储器设备,其中,所述一个NV存储器阵列还用于存储错误检查和校正 (ECC) 数据。

4. 根据权利要求1所述的非易失性存储器设备,其中,所述NV存储器阵列还包括用于存储写入计数配置的寄存器,并且其中,所述一个NV存储器阵列用于存储针对写入计数模式的寄存器配置,并且其他NV存储器阵列用于存储不启用所述写入计数模式的寄存器配置。

5. 根据权利要求4所述的非易失性存储器设备,其中,所述NV存储器阵列还包括自动递增硬件,其中,所述写入计数模式用于选择性地启用或禁用所述自动递增硬件。

6. 根据权利要求1所述的非易失性存储器设备,其中,所述NV存储器阵列用于执行所述NV存储器阵列中的所述数据块的所述预写入读取,将所述NV存储器阵列中的数据与要被写入的数据进行比较,并且仅写入由于所述写入命令而具有不同的值的位。

7. 根据权利要求1所述的非易失性存储器设备,其中,所述一个NV存储器阵列用于存储写入阈值,并且响应于所述写入计数达到所述写入阈值而将警报传递到相关联的控制器。

8. 一种系统,包括:

控制器;以及

非易失性存储器设备,其包括:

多个非易失性 (NV) 存储器阵列,其用于共同地存储数据块,每个阵列用于存储所述数据块的一部分,并且所述NV存储器阵列中的一个NV存储器阵列用于存储针对所述数据块的写入计数;以及

命令总线接口,其用于接收写入命令以将所述数据块写入所述NV存储器阵列,其中,响应于接收到所述写入命令,所述NV存储器阵列用于执行所述NV存储器阵列中的所述数据块的内部预写入读取,其中,所述一个NV存储器阵列用于执行所述写入计数的预写入读取,递增所述一个NV存储器阵列内部的所述写入计数,并且将递增的写入计数写入所述一个NV存储器阵列。

9. 根据权利要求8所述的系统,其中,所述NV存储器阵列包括单独的NV存储器芯片。

10. 根据权利要求8所述的系统,其中,所述一个NV存储器阵列还用于存储错误检查和校正 (ECC) 数据。

11. 根据权利要求8所述的系统,其中,所述NV存储器阵列还包括用于存储写入计数配置的寄存器,并且其中,所述一个NV存储器阵列用于存储针对写入计数模式的寄存器配置,

并且其他NV存储器阵列用于存储不启用所述写入计数模式的寄存器配置。

12. 根据权利要求11所述的系统, 其中, 所述NV存储器阵列还包括自动递增硬件, 其中, 所述写入计数模式用于选择性地启用或禁用所述自动递增硬件。

13. 根据权利要求8所述的系统, 其中, 所述一个NV存储器阵列用于存储写入阈值, 并且响应于所述写入计数达到所述写入阈值而将警报传递到所述控制器。

14. 根据权利要求8所述的系统, 还包括以下各项中的一个或多个:

耦合到所述非易失性存储器设备的主机处理器设备;

通信地耦合到主机处理器的显示器;

通信地耦合到主机处理器的网络接口; 或者

为所述系统供电的电池。

15. 一种用于存储数据的方法, 包括:

将数据块共同地存储在多个非易失性 (NV) 存储器阵列中, 每个阵列存储所述数据块的一部分, 并且所述NV存储器阵列中的一个NV存储器阵列存储针对所述数据块的写入计数; 以及

接收用于将所述数据块写入所述NV存储器阵列的写入命令,

其中, 响应于接收到所述写入命令, 所述NV存储器阵列用于执行所述NV存储器阵列中的所述数据块的内部预写入读取, 其中, 所述一个NV存储器阵列用于执行所述写入计数的预写入读取, 递增所述一个NV存储器阵列内部的所述写入计数, 并且将递增的写入计数写入所述一个NV存储器阵列。

16. 根据权利要求15所述的方法, 其中, 所述NV存储器阵列包括单独的NV存储器芯片。

17. 根据权利要求15所述的方法, 其中, 所述一个NV存储器阵列还存储错误检查和校正 (ECC) 数据。

18. 根据权利要求15所述的方法, 其中, 所述NV存储器阵列还包括存储写入计数配置的寄存器, 并且其中, 所述一个NV存储器阵列存储针对写入计数模式的寄存器配置, 并且其他NV存储器阵列存储不启用所述写入计数模式的寄存器配置。

19. 根据权利要求18所述的方法, 其中, 所述NV存储器阵列还包括自动递增硬件, 其中, 所述写入计数模式选择性地启用或禁用所述自动递增硬件。

20. 根据权利要求15所述的方法, 其中, 所述一个NV存储器阵列还存储写入阈值, 其中, 所述一个NV存储器阵列用于响应于所述写入计数达到所述写入阈值而将警报传递到相关的控制器。

21. 一种用于存储数据的装置, 包括:

用于将数据块共同地存储在多个非易失性 (NV) 存储器阵列中的单元, 其中, 每个阵列存储所述数据块的一部分, 并且所述NV存储器阵列中的一个NV存储器阵列存储针对所述数据块的写入计数; 以及

用于接收用于将所述数据块写入所述NV存储器阵列的写入命令的单元,

所述NV存储器阵列中的用于响应于接收到所述写入命令而执行所述数据块的内部预写入读取的单元, 以及

所述一个NV存储器阵列中的用于执行所述写入计数的预写入读取的单元, 用于递增所述一个NV存储器阵列内部的所述写入计数的单元, 以及用于将递增的写入计数写入所述一

个NV存储器阵列的单元。

22. 根据权利要求21所述的装置,其中,所述NV存储器阵列包括单独的NV存储器芯片。

23. 根据权利要求21所述的装置,其中,所述一个NV存储器阵列还包括用于存储错误检查和校正 (ECC) 数据的单元。

24. 根据权利要求21所述的装置,其中,所述NV存储器阵列还包括存储写入计数配置的寄存器,并且其中,所述一个NV存储器阵列存储针对写入计数模式的寄存器配置,并且其他NV存储器阵列存储不启用所述写入计数模式的寄存器配置。

25. 根据权利要求24所述的装置,其中,所述NV存储器阵列还包括自动递增硬件,其中,所述写入计数模式选择性地启用或禁用所述自动递增硬件。

26. 根据权利要求21所述的装置,其中,所述一个NV存储器阵列还存储写入阈值,其中,所述一个NV存储器阵列用于响应于所述写入计数达到所述写入阈值而将警报传递到相关联的控制器。

针对非易失性存储器的自动递增写入计数

技术领域

[0001] 描述总体上涉及非易失性存储器设备,并且更具体地,描述涉及跟踪用于非易失性存储器设备的元数据。

背景技术

[0002] 非易失性(NV)存储器设备具有有限的写入耐久性。NV存储器指代如果到设备的电源中断则其状态不确定的存储器。写入耐久性指代介质在变得不可靠之前可以被写入的次数。另外地,介质会受制于写入干扰,在这种情况下,对目标存储器地址的重复访问会导致在相邻位置的受害者地址处的值的意外改变。

[0003] 在存在与写入次数相关的潜在问题的情况下,系统会跟踪写入次数,以确定刷新数据和移动数据的频率以管理单元耐久性和写入干扰。用于跟踪写入的传统方法是跟踪每个块的写入。每次将数据写入块时,系统会访问写入计数以递增该写入计数。在将写入计数存储在非易失性介质本身中的系统中,访问要求在写入块之前读取数据。传统上,介质控制器读取数据并将其递增以与用户数据一起写回到介质。该操作会减少系统的有效写入带宽。

附图说明

[0004] 以下描述包括对附图的讨论,这些附图具有通过实现方式的示例的方式给出的图示。应该通过示例而非限制的方式来理解附图。如本文所使用的,对一个或多个示例的引用应被理解为描述了包括在本发明的至少一种实现方式中的特定特征、结构或特性。本文中出现的诸如“在一个示例中”或“在替代示例中”之类的短语提供了本发明的实现方式的示例,并且不一定全部指代相同的实现方式。然而,这些短语也不一定相互排斥。

[0005] 图1是使选定的存储器阵列存储写入计数并且对写入计数执行自动递增的系统的示例的框图。

[0006] 图2是使选定的存储器阵列对写入计数元数据执行自动递增的系统的示例的框图。

[0007] 图3是对写入计数元数据执行自动递增的实现方式的框图。

[0008] 图4是用于写入计数自动递增的过程的示例的流程图。

[0009] 图5是其中可以实现写入计数自动递增的存储器子系统的示例的框图。

[0010] 图6是其中可以实现写入计数自动递增的计算系统的示例的框图。

[0011] 图7是其中可以实现写入计数自动递增的移动设备的示例的框图。

[0012] 下面是对某些细节和实现方式的描述,包括附图的非限制性描述,其可以描绘一些或所有示例以及其他潜在的实现方式。

具体实施方式

[0013] 如本文所描述的,系统可以通过将元数据存储多个非易失性(NV)存储器阵列中

的一个中来跟踪针对NV存储器的写入次数。在一个示例中,NV存储器是具有三维交叉点(3DXP)存储介质的存储器设备。NV存储器阵列共同地存储数据块,其中每个阵列用于存储数据块的一部分,并且选定的阵列用于存储针对数据块的写入计数。系统可以使用写入计数来确定刷新数据或移动数据的频率以管理单元耐久性和写入干扰。

[0014] 用于某些NV存储器技术的写入程序会花费相对长的时间并且消耗很多功率。为了管理能量使用和写入延迟,在一个示例中,NV存储器仅写入针对写入而被改变的位。NV存储器可以响应于写入命令而在内部发出读取操作。内部读取可以称为“预读取”或“预写入读取”,其允许存储器设备读取其存储器单元的内容、将现有数据与传入数据进行比较并且仅写入被改变的位。

[0015] 存储写入计数的选定的NV存储器阵列将执行对其内容的内部读取,该内容包括写入计数。选定的NV存储器阵列在内部自动递增写入计数,而无需将要被递增的写入计数发送到控制器。选定的NV存储器阵列可以将递增的写入计数写回其位单元。在一个示例中,选定的NV存储器阵列将写入计数与要被写入的用户数据一起写回到其他NV存储器阵列。自动递增可以消除控制器读取并递增写入计数的需要。在不涉及控制器的情况下,对于NV介质的每个写入周期,自动递增可以至少节约由控制器发出到NV介质的读取周期。

[0016] 在一个示例中,存储写入计数的选定的NV存储器阵列可以包括内部写入计数阈值。当NV存储器阵列递增写入计数时,该NV存储器阵列也可以与阈值进行比较,并且在达到写入计数阈值时将警报发送或传递到控制器。

[0017] 在一个示例中,选定的NV存储器阵列响应于在存储器设备内对模式的选择来执行自动递增。模式通常指代基于配置设置被执行的操作,其中基于不同的配置响应于相同的情况而发生不同的操作。因此,例如,选定的NV存储器阵列可以被配置为利用预读取操作来执行自动递增,并且其他NV存储器阵列被配置为仅执行预读取操作而无需自动递增。在一个示例中,该模式启用在每个NV存储器阵列中可用的自动递增硬件。

[0018] 图1是使选定的存储器阵列存储写入计数并且对写入计数执行自动递增的系统的示例的框图。系统100表示存储器系统或存储器设备。系统100包括多个存储器设备110,这些存储器设备110被标识为设备[0:10]。将理解,具有11个设备是示例,并且其他系统可以具有更多或更少的设备。所示出的每一个设备可以包括一个或多个存储器设备。

[0019] 在一个示例中,设备110表示用于系统100的单独的NV存储器阵列。在一个示例中,存储器阵列可以包括3DXP介质。在一个示例中,存储器阵列可以包括其他NV存储介质。在一个示例中,每个设备110包括多个阵列。在一个示例中,每个设备110表示单独的NV存储器阵列。在一个示例中,每个设备110表示单独的NV存储器芯片或存储器管芯。系统100中的设备110的数量将取决于系统100的存储容量、内部架构以及其他因素。在一个示例中,每个设备110表示单独的介质管芯。在一个示例中,每个设备110表示单独的介质设备。

[0020] 在一个示例中,系统100表示NV存储设备,例如,诸如NV双列直插式存储器模块(DIMM)之类的存储模块。在一个示例中,系统100是诸如固态驱动器(SSD)之类的设备或者是其一部分。在一个示例中,控制器120表示用于系统100的介质控制器。该介质控制器表示用于控制对系统100的存储介质的访问的控制设备。从其中集成了系统100的主机系统的角度而言,设备110仅被视为可用的存储装置。作为介质控制器的控制器120管理对特定设备的访问、数据地址、内部命令和用于执行主机命令的操作、遵守时序以及对设备110的访

问的其他管理。

[0021] 系统100将设备[0:7]示出为存储数据130。数据130表示用户数据或者由相关联的主机创建的要存储在系统100中的数据。在一个示例中,设备[8:9]存储ECC 132,该ECC 132表示针对数据130的错误检查和校正(ECC)数据。在一个示例中,设备10存储ECC 132和元数据(MD) 134。设备10因此可以存储与ECC 132一起使用的ECC数据,以及具有用于管理对设备110的访问的附加的元数据。在一个示例中,附加的元数据134包括写入计数以跟踪针对块112的写入次数。块112可以包括数据130、ECC132和MD 134。根据块112可以理解,设备110共同地存储数据块。

[0022] 信道140表示控制器120与设备110之间的通信信道。在一个示例中,信道140可以被称为3DXP信道。信道140使得控制器120能够与设备110通信。信道140可以包括控制或命令信号线以及数据信号线。

[0023] 在一个示例中,当系统100从主机接收写入操作或写入命令时,控制器120可以在系统100内生成命令或控制以使得设备110执行该写入命令。该命令将包括地址和要被写入的数据。控制器120对命令进行解码,并将块112标识为针对要被写入的数据的地址。在一个示例中,控制器120生成ECC数据以与从主机接收的数据一起写入。在一个示例中,设备[0:7]接收要被写入数据130的多个字节的数据,并且控制器120还将ECC 132提供给设备[8:10]。在一个示例中,控制器120不将写入计数提供给设备10。如果元数据134包括除了写入计数之外的信息,则控制器120可以将这种元数据提供给设备10。

[0024] 在一个示例中,块112可以被认为具有跨多个设备110写入的且由数据130表示的码字。在一个示例中,设备10是专用于跟踪元数据中的写入计数的选定的设备。在一个示例中,控制器120标识每个设备110的位置并选择一个设备来跟踪元数据。系统100将设备10示出为用于存储元数据134的选定的阵列。在一个示例中,控制器120为每个设备110提供配置设置,其中设备110作为用于执行写入计数的自动递增的选定的阵列被启用。因此,配置设置可以选择性地启用或禁用选定的存储器阵列的自动递增。

[0025] 在一个示例中,对于每个码写入或码字的写入,设备110首先读取相应的数据内容。作为预写入读取的一部分,在一个示例中,设备10读取写入计数并将其递增以写回到设备10。在一个示例中,设备10将递增的写入计数与要被写入的其他数据一起放置在数据总线上。

[0026] 传统上,用于跟踪写入计数的逻辑将被包括在控制器120中。在一个示例中,设备10包括用于跟踪写入计数的逻辑。在一个示例中,当设备10被置于自动递增模式下时,该逻辑被启用。在一个示例中,控制器120结合将设备10设置为自动递增模式来设置写入计数阈值(例如,寄存器中的值)。

[0027] 在一个示例中,对于3DXP介质,块112的块大小可以是64字节、128字节、256字节或一些其他数量的字节。NAND(非AND)闪存典型地具有较大的块大小,例如,4K字节或2K字节。对于具有较小块尺寸的系统,对块的写入计数的管理可以具有较高的积极性能影响。

[0028] 图2是使选定的存储器阵列对写入计数元数据执行自动递增的系统的框图。系统200提供了根据图1的系统100的系统的示例。存储装置250可以表示系统100的示例,其中控制器252是系统100的控制器120的示例。

[0029] 系统200包括具有耦合到存储装置250的存储器控制器220的主机210。主机210表

示与存储装置250耦合的计算平台。例如,主机210可以是或包括计算机或其他计算设备。存储器控制器220表示用于管理对存储器设备230的访问的控制器。在一个示例中,存储器控制器220是主机210的主机处理器(未具体示出)的一部分。取决于存储装置250的连接,存储器控制器220可以可替代地被认为是存储控制器。

[0030] 在一个示例中,存储器设备230的非易失性存储器可以耦合到诸如外围组件互连快速(PCIe)总线之类的存储总线。在一个示例中,存储器设备230的非易失性存储器是非易失性的,但是也是字节可寻址的和随机访问的,并且可以耦合到诸如双倍数据速率(DDR)存储器总线之类的系统存储器总线。主机210包括I/O(输入/输出)接口212。I/O 212表示与存储装置250接合的硬件。I/O 212可以包括到命令总线或命令和地址总线以及数据总线的接口。在一个示例中,该接口包括其他信号线,例如,用于存储器设备230以向主机210发送警报的信号线。

[0031] 示出了具有I/O 240的存储器设备230,I/O 240表示用于存储器设备的I/O。尽管未具体示出控制器252具有I/O,但应理解,控制器252包括I/O硬件和固件,以接收命令并与主机210交换数据,并且与存储器设备230接合。I/O 240包括命令(CMD)242,该CMD 242表示到命令总线或CA总线的接口。数据244表示到数据总线或DQ总线的接口。在一个示例中,I/O 240包括警报246,该警报246表示到用于存储器设备230以向主机210发送警报的一条或多条信号线的接口。例如,当存储器设备230是用于管理针对存储器设备的组的写入计数的选定的设备时,警报246使得选定的设备能够响应于写入计数达到阈值而发送警报。

[0032] 存储器控制器220包括调度器222,该调度器222用于管理命令序列到存储装置250的调度和发送。调度器222包括用于确定命令的次序以及命令的时序要求的逻辑。存储器控制器220对以哪种次序发送哪些命令进行确定。调度器222确定命令的次序以确保遵守时序要求。

[0033] 在一个示例中,主机210从存储器设备230接收警报,以指示对于数据块已经达到写入阈值。在一个示例中,响应于警报标志,存储器控制器220可以读取存储器设备230的一个或多个寄存器以标识警报。响应于该警报,在一个示例中,存储器控制器220确定是否发送命令以触发诸如刷新或将数据移动到不同的存储位置(例如,存储装置内的不同地址)之类的操作。如果存储器控制器220确定响应于警报而执行操作,则调度器222可以调度命令以发送到存储装置250。

[0034] 存储器控制器220包括命令逻辑224,该命令逻辑224用于生成要被发送到存储器设备230的命令。命令可以包括写入命令或读取命令。存储器控制器220通过命令总线(也可以称为命令和地址总线)发送读取命令,并且在延迟时段之后,存储器设备230将驱动数据总线上的数据。在一个示例中,命令逻辑224可以发送刷新命令或用于将数据移动到不同位置的命令。

[0035] 存储装置250包括多个存储器设备230。存储器设备230包括存储器阵列232,该存储器阵列232表示非易失性存储器单元或存储单元的阵列。存储器单元存储一个数据位或多级单元的多个位。在一个示例中,阵列232被分为存储器的存储体(bank)或存储器的其他子集。在一个示例中,存储器设备230是存储器设备的组的一部分,其中一个或多个存储器设备被组织为存储器的列(rank)。存储器的列是共享片选或使能信号并因此被并行访问的存储器资源的组。

[0036] 在一个示例中,阵列232包括非易失性存储器单元。当到存储器的电力中断时,非易失性(NV)存储器也维持其状态。如果到存储器的电力中断,则易失性存储器具有不确定的状态。在一个示例中,阵列232的NV介质是3DXP介质。

[0037] 系统200包括控制器252,该控制器252表示用于存储装置250的介质控制器,该存储装置250表示存储器或存储模块。在一个示例中,控制器252从主机210接收命令和数据,并且确定用于发送到存储器设备230的内部命令,以使存储器设备响应该命令。控制器252还可以将数据的特定部分定向到特定的存储器设备230。系统200还示出了存储器设备230的控制器234。控制器234表示在该存储器设备处的用于接收和解码命令的逻辑,并且可以驱动响应命令所需要的电路。

[0038] 存储器设备230包括寄存器236,该寄存器236表示用于存储与存储器设备230的操作相关的配置信息或值的一个或多个寄存器或存储位置。在一个示例中,寄存器236包括一个或多个模式寄存器。在一个示例中,寄存器236包括用于控制针对存储器设备230的写入计数自动递增模式的配置信息。

[0039] 在一个示例中,存储器设备230包括暂存器262,该暂存器262表示存储器设备230用于内部操作的临时存储位置。在一个示例中,存储器设备230响应于写入命令而执行预写入读取操作。预写入读取操作可以包括读取阵列232的地址的内容,并且与要被写入的数据的缓冲副本进行比较。未具体示出写入缓冲器,但是提供了用于要与阵列232交换的数据的临时缓冲器。在一个示例中,该缓冲器可以被认为是与数据总线内联的,因为该缓冲器连接到用于在阵列232与数据总线之间交换数据的数据路径。

[0040] 在一个示例中,比较生成可以存储在暂存器262中的结果。暂存器262表示用于没有被发送到控制器252的内部操作的存储装置。自动递增电路264表示用于实现自动递增的硬件,例如,用于执行值的递增并将其与用户数据和ECC数据组合在一起以写回到存储器阵列的逻辑电路。在一个示例中,可以基于存储器设备230的配置来动态地启用和禁用自动递增电路264。即,当将存储器设备230配置作为选定的写入计数阵列时,可以启用自动递增电路264以对写入计数执行自动递增操作。

[0041] 图3是对写入计数元数据执行自动递增的实现方式的框图。图300表示可以由根据所描述的非易失性存储器系统的系统实现的流程。

[0042] 在一个示例中,控制器表示介质控制器,并且3DXP表示NV存储器设备。中间列表示由所有3DXP或所有存储器阵列或存储器设备执行的操作。右列表示要由选定的3DXP设备执行的操作。

[0043] 控制器生成写入命令和用于该写入命令的地址(ADDR)(框310)。在一个示例中,响应于该写入命令,所有3DXP设备对命令的地址进行解码(框320)。在发送命令之后,控制器在适当的延迟之后在DQ总线上发送数据(框312)。该延迟是针对3DXP介质定义的写入延迟。

[0044] 在一个示例中,响应于对命令进行解码,所有3DXP设备预读取其当前的数据内容(框322)。3DXP设备将预读取的数据与在DQ总线上的接收到的数据进行比较(框324)。

[0045] 3DXP设备中的一个被选作用于管理写入计数的选定的3DXP设备。在一个示例中,选定的3DXP被配置为自动递增模式。在一个示例中,可以通过设置寄存器或配置位来配置这种模式。例如,对于未被选定的3DXP设备,配置字段或配置位可以是auto-increment=0,并且对于选定的设备,配置字段或配置位可以是auto-increment=1。

[0046] 在一个示例中,选定的3DXP递增写入计数(框330)。在一个示例中,选定的3DXP设备将当前的写入计数(WR_CNT)与递增的写入计数(WR_CNT+1)进行比较(框332)。在一个示例中,除了写入计数之外,选定的3DXP还存储ECC数据或用户数据。因此,选定的3DXP可以执行对预读取的数据与在DQ总线上的数据的比较。

[0047] 在一个示例中,对于选定的3DXP设备,启用了自动递增写入计数模式,这意味着系统可以忽略DQ总线的针对写入命令的特定的N个字节(例如,两个或三个字节)。因此,例如,一个示例的3DXP设备可以共同地执行PRE_RD[15:3]与DQ_BUS[15:3]的比较,其中PRE_RD[15:3]表示从3DXP设备的存储器阵列读取的14个字节的数据(其可以包括来自选定的3DXP设备的数据),并且DQ_BUS[15:3]表示从主机接收到的14个字节的数据。DQ总线的最后三个字节可以被忽略。选定的3DXP设备可以执行PRE_RD[2:0]与(PRE_RD[2:0]+1)的比较,其中PRE_RD[2:0]表示写入计数元数据,并且(PRE_RD[2:0]+1)表示递增的写入计数。

[0048] 在一个示例中,3DXP设备仅写入响应于写入命令而被改变的数据。在一个示例中,无论是进行对用户数据、ECC数据还是写入计数元数据的比较,3DXP设备都将数据放置回总线上。例如,设备可以将数据的比较放置在写入缓冲器中以比较翻转位。在一个示例中,3DXP设备仅写入翻转的位(框326)。

[0049] 在一个示例中,选定的3DXP设备将递增的写入计数(WR_CNT+1)与阈值计数(WR_CNT_MAX)进行比较(框334)。在一个示例中,如果达到阈值,则3DXP设备向主机发出警报(框336)。在一个示例中,介质控制器通过配置寄存器(例如,模式寄存器)设置阈值或写入计数限制。因此,如果计数达到阈值,则选定的3DXP可以设置标志或其他警报。响应于警报,介质控制器可以采取适当的动作以响应写入计数达到阈值(框338)。

[0050] 图4是用于写入计数自动递增的过程的示例的流程图。可以通过根据图1的系统100或图2的系统200的系统的示例来执行用于自动递增写入计数的过程400。

[0051] 在一个示例中,在402处,诸如3DXP设备之类的非易失性存储器设备从主机控制器接收配置命令。当该NV存储器设备是被选择用于存储写入计数的NV存储器设备时,该配置命令可以将NV存储器设备设置为执行自动递增。

[0052] 在一个示例中,如果配置命令用于启用自动递增,则在404“是”分支处,该命令配置选定的设备来管理写入计数(在406处)。如果配置命令不是用于启用自动递增,则在404“否”分支处,设备不被选择为管理写入计数。在一个示例中,如果设备不用于管理写入计数元数据,则在408处,配置禁用该设备上的自动递增电路。因此,所有设备都可以包括自动递增电路,并且一个选定的设备启用该功能,并且其他设备禁用了该功能。

[0053] 不管针对存储器设备设置了哪种配置,存储器设备都可以准备接收访问命令。在一个示例中,响应于接收到写入命令或响应于命令的接收(在410处),存储设备执行对已经被存储在写入命令相关联的地址处的数据的预读取(在412处)。

[0054] 对于多个存储器设备,将选择一个设备来管理写入计数。因此,典型情况将是标准操作,并且一个设备将具有用于管理写入计数的其他操作。在一个示例中,当未启用自动递增时,则在414“否”分支处,存储器设备将预读取的数据与针对写入命令接收到的数据进行比较(在416处)。

[0055] 在一个示例中,存储器设备执行当前数据内容(预读取的数据)与要被写入的数据的比较,因为该设备仅写入由于写入命令而将被翻转的增量或位。因此,在一个示例中,存

存储器设备各自针对要被写入的数据的每一位来确定该位是否要被翻转。在一个示例中,如果该位未被翻转,则在418“否”分支处,该设备不执行针对未改变的位的写入(在420处)。

[0056] 在一个示例中,如果该位被翻转,则在418“是”分支处,设备翻转在数据总线上的位(在422处)。因此,设备可以将比较的结果放置在数据总线上以写入存储器阵列。在一个示例中,预读取的数据不被放置在数据总线上,而是仅用于比较,其中结果被放置在数据总线上以被写入。一旦数据总线上的数据被设置,设备就将数据写入阵列(在424处)。

[0057] 对于存储写入计数的设备,在414“是”分支处启用自动递增。在一个示例中,选定的设备递增写入计数并将递增的写入计数与阈值进行比较(在426处)。该阈值可以是用于指示写入干扰的风险的阈值、用于指示寿命终止的阈值或某种其他阈值。在一个示例中,设备将递增的值与多个不同的阈值进行比较。

[0058] 在一个示例中,如果已经达到一个或多个阈值,则在428“是”分支处,设备向主机发送警报(在430处)。在一个示例中,如果比较多个阈值,则设备可以针对不同的阈值发送不同的警报。在一个示例中,设备发送单个警报,并且主机查询设备以确定警报的来源。在一个示例中,无论是否已经达到阈值,在递增写入计数之后,设备可以加载递增的写入计数以将其写回到阵列(在432处)。写入计数可以被认为是预读取的数据,并且递增的写入计数可以代替来自DQ总线的写入数据,以针对比较选定的设备的翻转的位,从而使过程返回到416。

[0059] 图5是其中可以实现写入计数自动递增的存储器子系统的示例的框图。系统500包括处理器和计算设备中的存储器子系统的元件。系统500提供了根据图1的系统100或图2的系统200的系统的示例。

[0060] 在一个示例中,系统500包括在存储器设备540中的自动递增逻辑590。在一个示例中,根据本文的任何示例,可以从存储器模块570的多个存储器设备中选择存储器设备540来管理针对存储器块的块写入计数。在一个示例中,存储器设备540将写入计数元数据存储在存储器阵列560中。在一个示例中,寄存器544包括要被写入的字段,以确定存储器设备540是否是用于管理写入计数的选定的存储器设备。在一个示例中,自动递增逻辑590包括用于执行写入计数的自动递增的硬件。

[0061] 处理器510表示可以执行操作系统(OS)和应用的计算平台的处理单元,其可以被统称为存储器的主机或用户。OS和应用执行导致存储器存取的操作。处理器510可以包括一个或多个单独的处理器。每个单独的处理器可以包括单个处理单元、多核心处理单元或其组合。处理单元可以是诸如CPU(中央处理单元)之类的主处理器、诸如GPU(图形处理单元)之类的外围处理器或其组合。存储器存取也可以由诸如网络控制器或硬盘控制器之类的设备发起。这样的设备可以在一些系统中与处理器集成在一起,或者经由总线(例如,PCI快速)附接到处理器,或其组合。系统500可以被实现为SOC(片上系统),或者可以被实现为具有独立组件。

[0062] 在一个示例中,对存储器设备的引用可以指代这样的非易失性存储器设备:即使到设备的电力中断,该非易失性存储器设备的状态也是确定的。在一个示例中,非易失性存储器设备是块可寻址的存储器设备,例如,NAND或NOR技术。因此,存储器设备还可以包括将来一代非易失性设备,例如,三维交叉点存储器设备、其他字节可寻址的非易失性存储器设备。存储器设备可以包括基于存储器单元的电阻状态或存储器单元的相位来存储数据的非

易失性字节可寻址介质。在一个示例中,存储器设备可以使用硫族化物相变材料(例如,硫族化物玻璃)。在一个示例中,存储器设备可以是或包括多阈值级NAND闪存存储器、NOR闪存存储器、单级或多级相变存储器(PCM)或具有开关的相变存储器(PCMS)、电阻式存储器、纳米线存储器、铁电晶体管随机存取存储器(FeTRAM)、结合忆阻器技术的磁阻随机存取存储器(MRAM)存储器或自旋移矩(STT)-MRAM或者以上存储器中任何存储器的组合,或其他存储器。

[0063] 存储器控制器520表示用于系统500的一个或多个存储器控制器电路或设备。存储器控制器520表示响应于处理器510对操作的执行而生成存储器存取命令的控制逻辑。存储器控制器520访问一个或多个存储器设备540。存储器设备540可以是与上面提到的任何设备一致的DRAM设备。在一个示例中,将存储器设备540组织并管理为不同的通道,其中每个通道耦合到总线以及并行耦合到多个存储器设备的信号线。每个通道可独立地操作。因此,每个通道被独立地访问并控制,并且定时、数据传输、命令和地址交换以及其他操作对于每个通道都是独立的。耦合可以指代电耦合、通信耦合、物理耦合或这些的组合。物理耦合可以包括直接接触。电耦合包括接口或互连,其允许组件之间的电流或允许组件之间的信令或两者。通信耦合包括使组件能够交换数据的连接(包括有线或无线)。

[0064] 在一个示例中,针对每个通道的设置由单独的模式寄存器或其他寄存器设置控制。在一个示例中,每个存储器控制器520管理单独的存储器通道,但是系统500可以被配置为具有由单个控制器管理的多个通道,或者在单个通道上具有多个控制器。在一个示例中,存储器控制器520是主机处理器510或主机处理器设备510的一部分,例如,在与处理器相同的管芯上实现或在与处理器相同的封装空间中实现的逻辑。

[0065] 存储器控制器520包括I/O接口逻辑522以耦合到存储器总线,例如,上面提到的存储器通道。I/O接口逻辑522(以及存储器设备540的I/O接口逻辑542)可以包括引脚、衬垫、连接器、信号线、迹线或电线,或用于连接设备的其他硬件,或这些的组合。I/O接口逻辑522可以包括硬件接口。如所示的,I/O接口逻辑522至少包括用于信号线的驱动器/收发器。通常,在集成电路接口内的电线与衬垫、引脚或连接器耦合以在设备之间接合信号线或迹线或其他电线。I/O接口逻辑522可以包括驱动器、接收器、收发器或终端,或其他电路或电路的组合,以在设备之间的信号线上交换信号。信号的交换包括发送或接收中的至少一个。虽然示出为将I/O 522从存储器控制器520耦合到存储器设备540的I/O 542,但是将理解的是,在系统500的其中并行访问存储器设备540的组的实现方式中,多个存储器设备可以包括到存储器控制器520的相同接口的I/O接口。在系统500的包括一个或多个存储器模块570的实现方式中,除了存储器设备本身上的接口硬件之外,I/O 542还可以包括存储器模块的接口硬件。其他存储器控制器520将包括到其他存储器设备540的单独接口。

[0066] 存储器控制器520与存储器设备540之间的总线可以被实现为将存储器控制器520耦合到存储器设备540的多条信号线。总线可以典型地至少包括时钟(CLK) 532、命令/地址(CMD) 534以及写入数据(DQ)和读取数据(DQ) 536,以及零条或更多条其他信号线538。在一个示例中,存储器控制器520与存储器之间的总线或连接可以被称为存储器总线。在一个示例中,存储器总线是多点总线。用于CMD的信号线可以被称为“C/A总线”(或ADD/CMD总线,或指示命令(C或CMD)和地址(A或ADD)信息的传输的某种其他设计),并且用于写入和读取DQ的信号线可以被称为“数据总线”。在一个示例中,独立的通道具有不同的时钟信号、C/A总

线、数据总线和其他信号线。因此,在独立的接口路径可以被认为是单独的总线的意义上,系统500可以被认为具有多条“总线”。将理解的是,除了明确示出的线之外,总线还可以包括选通信令线、警报线、辅助线或其他信号线中的至少一个,或它们的组合。还将理解的是,串行总线技术可以用于存储器控制器520与存储器设备540之间的连接。串行总线技术的示例是8B10B编码和利用嵌入式时钟在每个方向上通过信号的单个差分对的高速数据的传输。在一个示例中,CMD 534表示与多个存储器设备并行共享的信号线。在一个示例中,多个存储器设备共享CMD 534的编码命令信号线,并且每个存储器设备具有单独的片选(CS_n)信号线以选择单独的存储器设备。

[0067] 将理解的是,在系统500的示例中,存储器控制器520与存储器设备540之间的总线包括附属命令总线CMD 534和用于携带写入数据和读取数据的附属总线DQ 536。在一个示例中,数据总线可以包括用于读取数据和用于写入/命令数据的双向线。在另一示例中,附属总线DQ 536可以包括用于从主机到存储器写入数据的单向写入信号线,并且可以包括用于从存储器到主机读取数据的单向线。根据所选择的存储器技术和系统设计,其他信号线538可以伴随诸如选通线DQS的之类的总线或子总线。基于系统500的设计,或者基于在设计支持多种实现方式的情况下的实现方式,数据总线可以针对每个存储器设备540具有更多或更少的带宽。例如,数据总线可以支持具有x4接口、x8接口、x16接口或其他接口的存储器设备。约定“xW”表示用于与存储器控制器520交换数据的信号线的数量,其中W是指代存储器设备540的接口的接口大小或宽度的整数。存储器设备的接口大小是对系统500中每个通道可以同时使用多少个存储器设备或多少个存储器设备可以并行耦合到相同信号线的控制因素。在一个示例中,高带宽存储器设备、宽接口设备或堆叠存储器配置或其组合可以实现更宽的接口,例如,x128接口、x256接口、x512接口、x1024接口或其他数据总线接口宽度。

[0068] 在一个示例中,存储器设备540和存储器控制器520以突发或连续数据传输的序列的方式通过数据总线交换数据。该突发对应于与总线频率有关的传输周期的数量。在一个示例中,传输周期可以是针对在相同时钟或选通信号沿(例如,在上升沿)上发生的传输的整个时钟周期。在一个示例中,每个时钟周期(指代系统时钟的周期)被分成多个单位间隔(UI),其中每个UI是一个传输周期。例如,双倍数据速率传输在时钟信号的两个沿(例如,上升沿和下降沿)上触发。突发可以持续经配置的数量UI,其可以是存储在寄存器中的配置,也可以是即时触发的。例如,八个连续传输周期的序列可以被认为是突发长度八(BL8),并且每个存储器设备540可以在每个UI上传输数据。因此,在BL8上操作的x8存储器设备可以传输64位数据(8条数据信号线乘以突发中每条线传输的8个数据位)。将理解的是,该简单示例仅作为说明而不是限制。

[0069] 存储器设备540表示用于系统500的存储器资源。在一个示例中,每个存储器设备540是单独的存储器管芯。在一个示例中,每个存储器设备540可以与每个设备或管芯的多个(例如,2个)通道接合。每个存储器设备540包括I/O接口逻辑542,该I/O接口逻辑542具有由设备的实现方式确定的带宽(例如,x16或x8或某种其他接口带宽)。I/O接口逻辑542使存储器设备能够与存储器控制器520接合。I/O接口逻辑542可以包括硬件接口,并且可以与存储器控制器的I/O 522一致,但是位于存储器设备端。在一个示例中,多个存储器设备540并行连接到相同的命令总线 and 数据总线。在另一示例中,多个存储器设备540并行连接到相同的命令总线,并且连接到不同的数据总线。例如,系统500可以被配置有并行耦合的多个存

存储器设备540,其中每个存储器设备响应命令,并且访问对每个存储器设备而言在内部的存储器资源560。对于写入操作,单个存储器设备540可以写入全部数据字的一部分,并且对于读取操作,单个存储器设备540可以提取全部数据字的一部分。字的其余位将由其他存储器设备并行提供或接收。

[0070] 在一个示例中,存储器设备540直接设置在计算设备的母板或主机系统平台(例如,其上设置有处理器510的PCB(印刷电路板))上。在一个示例中,存储器设备540可以被组织为存储器模块570。在一个示例中,存储器模块570表示双列直插式存储器模块(DIMM)。在一个示例中,存储器模块570表示多个存储器设备的其他组织,以共享访问或控制电路的至少一部分,该访问或控制电路可以是与主机系统平台分离的电路、分离的设备或分离的板。存储器模块570可以包括多个存储器设备540,并且存储器模块可以包括对到设置在存储器模块上的所包括的存储器设备的多个单独的通道的支持。在另一示例中,例如通过诸如多芯片模块(MCM)、封装上封装、硅通孔(TSV)或其他技术或组合之类的技术,存储器设备540可以并入到与存储器控制器520相同的封装中。类似地,在一个示例中,多个存储器设备540可以并入到存储器模块570中,该存储器模块570自身可以并入到与存储器控制器520相同的封装中。将认识到的是,对于这些和其他实现方式,存储器控制器520可以是主机处理器510的一部分。

[0071] 存储器设备540各自包括一个或多个存储器阵列560。存储器阵列560表示用于数据的可寻址的存储器位置或存储位置。典型地,存储器阵列560被管理为数据的行,其经由字线(行)和位线(行内的单独的位)控制来访问。存储器阵列560可以被组织为存储器的单独的通道、列、存储体或分区。通道可以指代到存储器设备540内的存储位置的独立控制路径。列可以指代并行地跨多个存储器设备的公共位置(例如,不同设备内的相同行地址)。存储体可以指代存储器设备540内的存储器位置的子阵列。在一个示例中,存储器的存储体被划分为子存储体,其中共享电路(例如,驱动器、信号线、控制逻辑)的至少一部分用于子存储体,从而允许单独的寻址和访问。将理解的是,存储器位置的通道、列、存储体、子存储体、存储体组或其他组织以及这些组织的组合可以在其对物理资源的应用中重叠。例如,可以通过作为特定存储体(其也可以属于列)的特定通道来访问相同的物理存储器位置。因此,将以包含而不是排他的方式理解存储器资源的组织。

[0072] 在一个示例中,存储器设备540包括一个或多个寄存器544。寄存器544表示一个或多个存储设备或存储位置,这些存储设备或存储位置提供用于存储器设备的操作的配置或设置。在一个示例中,寄存器544可以为存储器设备540提供存储位置,以存储数据以作为控制或管理操作的一部分由存储器控制器520访问。在一个示例中,寄存器544包括一个或多个模式寄存器。在一个示例中,寄存器544包括一个或多个多用途寄存器。在寄存器544内的位置的配置可以将存储器设备540配置为以不同的“模式”操作,其中命令信息可以基于该模式来触发存储器设备540内的不同操作。另外地或在替代方案中,取决于模式,不同的模式还可以根据地址信息或其他信号线触发不同的操作。寄存器544的设置可以指示用于I/O设置的配置(例如,定时、终止或ODT(管芯上终止)546、驱动器配置或其他I/O设置)。

[0073] 在一个示例中,存储器设备540包括ODT 546作为与I/O 542相关联的接口硬件的一部分。ODT 546可以被如上面所提到的进行配置,并且提供用于将阻抗应用于到指定信号线的接口的设置。在一个示例中,ODT 546被应用于DQ信号线。在一个示例中,ODT 546被应

用于命令信号线。在一个示例中,ODT 546被应用于地址信号线。在一个示例中,ODT 546可以被应用于前述信号线的任何组合。可以基于存储器设备是访问操作的选定的目标还是非目标设备来改变ODT设置。ODT 546设置可以影响终止的线上的信令的定时和反射。对ODT 546的仔细控制可以实现具有应用的阻抗和负载的改进的匹配的更高速度的操作。ODT 546可以被应用于I/O接口542、522(例如,用于DQ线的ODT或用于CA线的ODT)的指定信号线,并且不一定被应用于所有信号线。

[0074] 存储器设备540包括控制器550,该控制器550表示在存储器设备内的用于控制存储器设备内的内部操作的控制逻辑。例如,控制器550对由存储器控制器520发送的命令进行解码,并且生成内部操作以执行或满足该命令。控制器550可以被称为内部控制器,并且与主机的存储器控制器520分离。控制器550可以基于寄存器544来确定选择哪种模式,并且基于所选定的模式来配置对用于访问存储器资源560的操作或其他操作的内部执行。控制器550生成控制信号以控制存储器设备540内的位的路由,以提供针对所选定的模式的适当接口,并且将命令引导至适当的存储器位置或地址。控制器550包括命令逻辑552,该命令逻辑552可以对在命令和地址信号线上接收到的命令编码进行解码。因此,命令逻辑552可以是或包括命令解码器。利用命令逻辑552,存储器设备可以标识命令并生成内部操作以执行所请求的命令。

[0075] 再次参考存储器控制器520,存储器控制器520包括命令(CMD)逻辑524,该CMD逻辑524表示用于生成要发送到存储器设备540的命令的逻辑或电路。命令的生成可以指代在调度之前的命令,或对准备好要被发送的排队的命令的准备。通常,存储器系统中的信令包括在命令内或伴随命令的地址信息,以指示或选择存储器设备应在其中执行命令的一个或多个存储器位置。响应于针对存储器设备540的事务的调度,存储器控制器520可以经由I/O 522发布命令以使得存储器设备540执行命令。在一个示例中,存储器设备540的控制器550接收并解码经由I/O 542从存储器控制器520接收到的命令和地址信息。基于接收到的命令和地址信息,控制器550可以控制存储器设备540内的逻辑和电路的操作的定时以执行命令。控制器550负责遵守存储器设备540内的标准或规范,例如,定时和信令要求。存储器控制器520可以通过访问调度和控制来实现对标准或规范的遵守。

[0076] 存储器控制器520包括调度器530,该调度器530表示用于生成要发送到存储器设备540的事务并对其排序的逻辑或电路。从一个角度看,可以认为存储器控制器520的主要功能是调度存储器存取和对存储器设备540的其他事务。这样的调度可以包括生成事务本身,以实现处理器510针对数据的请求并维持数据的完整性(例如,利用与刷新有关的命令)。事务可以包括一个或多个命令,并导致在一个或多个定时周期(例如,时钟周期或单位间隔)上传输命令或数据或两者。事务可以用于访问(例如,读取或写入或有关的命令或组合),并且其他事务可以包括用于配置、设置、数据完整性的存储器管理命令,或其他命令或组合。

[0077] 存储器控制器520典型地包括诸如调度器530之类的逻辑,以允许对事务的选择和排序以改进系统500的性能。因此,存储器控制器520可以选择未完成的事务中的那些事务应以哪个次序发送到存储器设备540,这典型地是利用比简单的先入先出算法复杂得多的逻辑来实现的。存储器控制器520管理到存储器设备540的事务的传输,并且管理与事务相关联的定时。在一个示例中,事务具有确定性定时,该确定性定时可以由存储器控制器520

管理并且用于确定如何利用调度器530来调度事务。

[0078] 在一个示例中,存储器控制器520包括刷新(REF)逻辑526。刷新逻辑526可以用于刷新存储器资源以保持确定性状态。需要定期刷新易失性存储器资源以维持状态,而可能需要刷新非易失性存储器资源以避免读取/写入干扰。在一个示例中,刷新逻辑526指示用于刷新的位置以及要执行的刷新的类型。刷新逻辑526可以触发存储器设备540内的自刷新,或者通过发送刷新命令来执行外部刷新(可以称为自动刷新命令)或其组合。在一个示例中,存储器设备540内的控制器550包括刷新逻辑554以在存储器设备540内应用刷新。刷新逻辑554生成内部操作以内部地执行刷新或根据从存储器控制器520接收到的外部刷新来执行刷新。

[0079] 图6是其中可以实现写入计数自动递增的计算系统的示例的框图。系统600表示根据本文任何示例的计算设备,并且可以是膝上型计算机、台式计算机、平板计算机、服务器、游戏或娱乐控制系统、嵌入式计算设备或其他电子设备。系统600提供根据图1的系统100或图2的系统200的系统的示例。

[0080] 在一个示例中,系统600包括在存储器子系统620中的自动递增逻辑692或在存储器子系统680中的自动递增逻辑694或包括两者。在一个示例中,根据本文中的任何示例,可以从多个设备中选择一个NV存储器设备或存储器630的NV存储器阵列或存储装置684的一个NV存储器设备来管理针对存储器块的块写入计数。在一个示例中,选定的NV存储器设备或NV存储器阵列存储写入计数元数据。在一个示例中,基于被配置用于管理写入计数的配置模式来选择选定的设备。在一个示例中,自动递增逻辑692或自动递增逻辑694包括用于执行写入计数的自动递增的硬件。

[0081] 系统600包括处理器610,该处理器610可以包括任何类型的微处理器、中央处理单元(CPU)、图形处理单元(GPU)、处理核心或其他处理硬件或组合,以提供对系统600的指令的处理或执行。处理器610控制系统600的总体操作,并且可以是或包括一个或多个可编程的通用或专用微处理器、数字信号处理器(DSP)、可编程控制器、专用集成电路(ASIC)、可编程逻辑器件(PLD)或这些设备的组合。

[0082] 在一个示例中,系统600包括耦合到处理器610的接口612,该接口612可以表示用于需要更高带宽连接的系统组件(例如,存储器子系统620或图形接口组件640)的较高速度接口或高吞吐量接口。接口612表示接口电路,其可以是独立组件或集成到处理器管芯上。接口612可以作为电路集成到处理器管芯上,或者作为组件集成到片上系统上。在存在图形接口640的情况下,图形接口640与图形组件接合,以向系统600的用户提供视觉显示。图形接口640可以是独立组件或集成到处理器管芯或片上系统上。在一个示例中,图形接口640可以驱动向用户提供输出的高清晰度(HD)显示器或超高清晰度(UHD)显示器。在一个示例中,显示器可以包括触摸屏显示器。在一个示例中,图形接口640基于存储在存储器630中的数据或基于由处理器610执行的操作或基于两者来生成显示。

[0083] 存储器子系统620表示系统600的主要存储器,并且为要由处理器610执行的代码或要在执行例程中使用的数据值提供存储。存储器子系统620可以包括一个或多个存储器设备630,例如,只读存储器(ROM)、闪速存储器、随机存取存储器(RAM)的一种或多种变型(例如,DRAM)、3DXP(三维交叉点)或其他存储器设备,或这些设备的组合。存储器630存储并托管操作系统(OS)632以及其他事物,以提供用于对在系统600中的指令的执行的软件平

台。另外地,应用634可以从存储器630在OS 632的软件平台上执行。应用634表示具有其自己的操作逻辑以执行对一个或多个功能的执行的程序。进程636表示向OS 632或一个或多个应用634或其组合提供辅助功能的代理或例程。OS 632、应用634和进程636提供软件逻辑以提供用于系统600的功能。在一个示例中,存储器子系统620包括存储器控制器622,该存储器控制器622是用于生成命令并将命令发布到存储器630的存储器控制器。将理解的是,存储器控制器622可以是处理器610的物理部分或接口612的物理部分。例如,存储器控制器622可以是集成到具有处理器610的电路(例如,集成到处理器管芯或片上系统)的集成存储器控制器。

[0084] 尽管没有具体示出,但是将理解的是,系统600可以包括设备之间的一条或多条总线或一个或多个总线系统,例如,存储器总线、图形总线、接口总线等。总线或其他信号线可以将组件通信地或电气地耦合在一起,或者将组件通信地且电气地耦合。总线可以包括物理通信线路、点对点连接、桥、适配器、控制器或其他电路或组合。总线可以包括例如系统总线、外围组件互连(PCI)总线、超传输或行业标准架构(ISA)总线、小型计算机系统接口(SCSI)总线、通用串行总线(USB)或其他总线中的一个或多个或其组合。

[0085] 在一个示例中,系统600包括接口614,该接口614可以耦合到接口612。接口614与接口612相比可以是较低速度接口。在一个示例中,接口614表示接口电路,该接口电路可以包括独立组件和集成电路。在一个示例中,多个用户界面组件或外围组件或两者耦合到接口614。网络接口650向系统600提供通过一个或多个网络与远程设备(例如,服务器或其他计算设备)通信的能力。网络接口650可以包括以太网适配器、无线互连组件、蜂窝网络互连组件、USB(通用串行总线)、或基于有线标准或无线标准的其他接口或专有接口。网络接口650可以与远程设备交换数据,这可以包括发送存储在存储器中的数据或接收要存储在存储器中的数据。

[0086] 在一个示例中,系统600包括一个或多个输入/输出(I/O)接口660。I/O接口660可以包括用户通过其与系统600交互(例如,音频、字母数字、触觉/触摸或其他接合)的一个或多个接口组件。外围接口670可以包括上面未具体提到的任何硬件接口。外围设备通常指代依赖地连接到系统600的设备。依赖连接是其中系统600提供在其上执行操作并且用户与其进行交互的软件平台或硬件平台或两者的一种连接。

[0087] 在一个示例中,系统600包括用于以非易失性方式存储数据的存储子系统680。在一个示例中,在某些系统实现方式中,存储装置680的至少某些组件可以与存储器子系统620的组件重叠。存储子系统680包括(多个)存储设备684,这些存储设备684可以是或包括用于以非易失性方式存储大量数据的任何常规介质,例如,一个或多个基于磁性、固态、3DXP或光学的盘或其组合。存储装置684以持久状态保存代码或指令以及数据686(即,尽管到系统600的电力被中断,但该值仍被保留)。存储装置684通常可以被认为是“存储器”,但是存储器630典型地是用于向处理器610提供指令的执行或操作存储器。尽管存储装置684是非易失性的,但是存储器630可以包括易失性存储器(即,如果到系统600的电力被中断,则数据的值或状态是不确定的)。在一个示例中,存储子系统680包括用于与存储装置684接合的控制器682。在一个示例中,控制器682是接口614或处理器610的物理部分,或者可以包括处理器610和接口614两者中的电路或逻辑。

[0088] 电源602向系统600的组件提供电力。更具体地,电源602典型地与系统600中的一

个或多个电源供应604接合,以向系统600的组件提供电力。在一个示例中,电源供应604包括用于插入壁式插座的AC到DC(交流电到直流电)适配器。这样的AC电力可以是可再生能源(例如,太阳能)电源602。在一个示例中,电源602包括DC电源,例如,外部AC到DC转换器。在一个示例中,电源602或电源供应604包括无线充电硬件,以经由与充电场的接近度来充电。在一个示例中,电源602可以包括内部电池或燃料电池源。

[0089] 图7是其中可以实现写入计数自动递增的移动设备的示例的框图。系统700表示移动计算设备,例如,计算平板、移动电话或智能电话、可穿戴计算设备或其他移动设备或嵌入式计算设备。将理解的是,总体上示出了组件中的某些组件,并且在系统700中未示出这种设备的所有组件。系统700提供了根据图1的系统100或图2的系统200的系统的示例。

[0090] 在一个示例中,系统700包括在存储器子系统760中的自动递增逻辑790。在一个示例中,根据本文的任何示例,可以从多个设备中选择一个NV存储器设备或存储器762的NV存储器阵列来管理针对存储器块的块写入计数。在一个示例中,选定的NV存储器设备或NV存储器阵列存储写入计数元数据。在一个示例中,基于被配置用于管理写入计数的配置模式来选择选定的设备。在一个示例中,自动递增逻辑790包括用于执行写入计数的自动递增的硬件。

[0091] 系统700包括处理器710,该处理器710执行系统700的主要处理操作。处理器710可以包括一个或多个物理设备,例如,微处理器、应用处理器、微控制器、可编程逻辑器件或其他处理模块。由处理器710执行的处理操作包括对在其上执行应用和设备功能的操作平台或操作系统的执行。处理操作包括与人类用户或其他设备的I/O(输入/输出)有关的操作、与功率管理有关的操作、与将系统700连接到另一设备有关的操作或其组合。处理操作还可以包括与音频I/O、显示I/O或其他接合有关的操作或其组合。处理器710可以执行存储在存储器中的数据。处理器710可以写入或编辑存储在存储器中的数据。

[0092] 在一个示例中,系统700包括一个或多个传感器712。传感器712表示嵌入式传感器或与外部传感器的接口或其组合。传感器712使系统700能够监视或检测在其中实现系统700的环境或设备的一个或多个条件。传感器712可以包括环境传感器(例如,温度传感器、运动检测器、光检测器、相机、化学传感器(例如,一氧化碳、二氧化碳或其他化学传感器))、压力传感器、加速度计、陀螺仪、医学或生理学传感器(例如,生物传感器、心率监视器或用于检测生理属性的其他传感器)或其他传感器或其组合。传感器712还可以包括用于生物计量系统的传感器,例如,指纹识别系统、面部检测或识别系统或检测或识别用户特征的其他系统。应该广义上理解传感器712,而不是限制于可以利用系统700实现的许多不同类型的传感器。在一个示例中,一个或多个传感器712经由与处理器710集成的前端电路耦合到处理器710。在一个示例中,一个或多个传感器712经由系统700的另一组件耦合到处理器710。

[0093] 在一个示例中,系统700包括音频子系统720,该音频子系统720表示与向计算设备提供音频功能相关联的硬件(例如,音频硬件和音频电路)和软件(例如,驱动程序、编解码器)组件。音频功能可以包括扬声器或耳机输出,以及麦克风输入。可以将用于这种功能的设备集成到系统700中或连接到系统700。在一个示例中,用户通过提供由处理器710接收并处理的音频命令来与系统700进行交互。

[0094] 显示子系统730表示提供视觉显示以用于向用户呈现的硬件(例如,显示设备)和软件组件(例如,驱动程序)。在一个示例中,显示器包括用户用于与计算设备进行交互的触

觉组件或触摸屏元件。显示子系统730包括显示接口732,该显示接口732包括用于向用户提供显示的特定屏幕或硬件设备。在一个示例中,显示接口732包括与处理器710(例如,图形处理器)分离的逻辑,以执行与显示器有关的至少一些处理。在一个示例中,显示子系统730包括向用户提供输出和输入两者的触摸屏设备。在一个示例中,显示子系统730包括向用户提供输出的高清晰度(HD)或超高清晰度(UHD)显示器。在一个示例中,显示子系统包括或驱动触摸屏显示器。在一个示例中,显示子系统730基于存储在存储器中的数据或基于由处理器710执行的操作或基于两者来生成显示信息。

[0095] I/O控制器740表示和与用户交互有关的硬件设备和软件组件。I/O控制器740可以操作以管理作为音频子系统720或显示子系统730或两者的一部分的硬件。另外地,I/O控制器740示出了用于连接到系统700的附加设备的连接点,用户可以通过该附加设备与系统交互。例如,可以附接到系统700的设备可以包括麦克风设备、扬声器或立体声系统、视频系统或其他显示设备、键盘或小键盘设备、按钮/开关或与特定应用一起使用的其他I/O设备,例如,读卡器或其他设备。

[0096] 如上面所提到的,I/O控制器740可以与音频子系统720或显示子系统730或两者进行交互。例如,通过麦克风或其他音频设备的输入可以提供用于系统700的一个或多个应用或功能的输入或命令。另外地,代替或除了显示输出之外,可以提供音频输出。在另一示例中,如果显示子系统包括触摸屏,则显示设备还用作输入设备,其可以至少部分地由I/O控制器740管理。在系统700上还可以存在附加按钮或开关来提供由I/O控制器740管理的I/O功能。

[0097] 在一个示例中,I/O控制器740管理诸如加速度计、相机、光传感器或其他环境传感器、陀螺仪、全球定位系统(GPS)、或可以被包括在系统700中的其他硬件或传感器712之类的设备。输入可以是直接用户交互的一部分,以及向系统提供环境输入以影响其操作(例如,过滤噪声、调整显示以进行亮度检测、为相机应用闪光或其他特征)。

[0098] 在一个示例中,系统700包括功率管理750,该功率管理750管理电池电力使用、电池的充电以及与功率节约操作有关的特征。功率管理750管理来自电源752的电力,该电源752向系统700的组件提供电力。在一个示例中,电源752包括用于插入壁式插座的AC到DC(交流电到直流电)适配器。这样的AC电力可以是可再生能源(例如,太阳能、基于运动的电力)。在一个示例中,电源752仅包括DC电力,其可以由诸如外部AC到DC转换器之类的DC电源来提供。在一个示例中,电源752包括无线充电硬件,以经由与充电场的接近度来充电。在一个示例中,电源752可以包括内部电池或燃料电池源。

[0099] 存储器子系统760包括用于在系统700中存储信息的(多个)存储器设备762。存储器子系统760可以包括非易失性(如果到存储器设备的电力被中断,则状态不会改变)或易失性(如果到存储器设备的电力被中断,则状态是不确定的)存储器设备或其组合。存储器760可以存储应用数据、用户数据、音乐、照片、文档或其他数据,以及与对系统700的应用和功能的执行有关的系统数据(无论是长期的还是临时的)。在一个示例中,存储器子系统760包括存储器控制器764(其也可以被认为是系统700的控件的一部分,并且可以潜在地被认为是处理器710的一部分)。存储器控制器764包括调度器,以生成并发出命令来控制对存储器设备762的访问。

[0100] 连通性770包括硬件设备(例如,无线或有线连接器和通信硬件,或有线硬件和无

线硬件的组合)和软件组件(例如,驱动程序、协议栈),以使系统700能够与外部设备进行通信。外部设备可以是单独的设备,例如,其他计算设备、无线接入点或基站以及外围设备(例如,耳机、打印机)或其他设备。在一个示例中,系统700与外部设备交换数据以将数据存储在存储器中或在显示设备上显示。经交换的数据可以包括要存储在存储器中的数据或者已经存储在存储器中的数据,以读取、写入或编辑数据。

[0101] 连通性770可以包括多种不同类型的连通性。概括而言,系统700被示为具有蜂窝连通性772和无线连通性774。蜂窝连通性772通常指代由无线载波提供的(例如,经由GSM(全球移动通信系统)或其变型或衍生物、CDMA(码分多址)或其变型或衍生物、TDM(时分复用)或其变型或衍生物、LTE(长期演进——也称为“4G”)、5G或其他蜂窝服务标准提供的)蜂窝网络连通性。无线连通性774指代非蜂窝式的无线连通性,并且可以包括个域网(例如,蓝牙)、局域网(例如,WiFi)或广域网(例如,WiMax),或其他无线通信或其组合。无线通信指代通过使用经调制的电磁辐射通过非固体介质来传输数据。有线通信通过固体通信介质发生。

[0102] 外围连接780包括用于进行外围连接的硬件接口和连接器以及软件组件(例如,驱动程序、协议栈)。将理解的是,系统700既可以对其他计算设备而言是外围设备(“去往”782),也可以具有与其连接的外围设备(“来自”784)。出于诸如管理(例如,下载、上传、改变、同步)系统700上的内容之类的目的,系统700通常具有“对接(docking)”连接器以连接到其他计算设备。另外地,对接连接器可以允许系统700连接到某些外围设备,这些外围设备允许系统700控制内容输出到例如视听系统或其他系统。

[0103] 除了专有的对接连接器或其他专有的连接硬件之外,系统700还可以经由常见的或基于标准的连接器进行外围连接780。常见的类型可以包括通用串行总线(USB)连接器(其可以包括许多不同的硬件接口中的任何一个)、包括微型显示端口(MDP)的显示端口、高清晰度多媒体接口(HDMI),或其他类型。

[0104] 总体上,关于本文的描述,在一个示例中,一种非易失性存储器设备包括:多个非易失性(NV)存储器阵列,其用于共同地存储数据块,每个阵列用于存储数据块的一部分,并且NV存储器阵列中的一个NV存储器阵列用于存储针对数据块的写入计数;以及命令总线接口,其用于接收写入命令以将数据块写入NV存储器阵列,其中,响应于接收到写入命令,NV存储器阵列用于执行NV存储器阵列中的数据的内部预写入读取,其中,一个NV存储器阵列用于执行写入计数的预写入读取,递增一个NV存储器阵列内部的写入计数,并且将递增的写入计数写入一个NV存储器阵列。

[0105] 在一个示例中,NV存储器阵列包括单独的NV存储器芯片。在一个示例中,一个NV存储器阵列还用于存储错误检查和校正(ECC)数据。在一个示例中,NV存储器阵列还包括用于存储写入计数配置的寄存器,并且其中,一个NV存储器阵列用于存储针对写入计数模式的寄存器配置,并且其他NV存储器阵列用于存储不启用写入计数模式的寄存器配置。在一个示例中,NV存储器阵列还包括自动递增硬件,其中,写入计数模式用于选择性地启用或禁用自动递增硬件。在一个示例中,NV存储器阵列用于执行NV存储器阵列中的数据的预写入读取,将NV存储器阵列中的数据与要被写入的数据进行比较,并且仅写入由于写入命令而具有不同的值的位。在一个示例中,一个NV存储器阵列用于存储写入阈值,并且响应于写入计数达到写入阈值而将警报传递到相关联的控制器。

[0106] 总体上,关于本文的描述,在一个示例中,系统包括:控制器;以及非易失性存储器设备,其包括:多个非易失性 (NV) 存储器阵列,其用于共同地存储数据块,每个阵列用于存储数据块的一部分,并且NV存储器阵列中的一个NV存储器阵列用于存储针对数据块的写入计数;以及命令总线接口,其用于接收写入命令以将数据块写入NV存储器阵列,其中,响应于接收到写入命令,NV存储器阵列用于执行NV存储器阵列中的数据的内部预写入读取,其中,一个NV存储器阵列用于执行写入计数的预写入读取,递增一个NV存储器阵列内部的写入计数,并且将递增的写入计数写入一个NV存储器阵列。

[0107] 在一个示例中,NV存储器阵列包括单独的NV存储器芯片。在一个示例中,一个NV存储器阵列还用于存储错误检查和校正 (ECC) 数据。在一个示例中,NV存储器阵列还包括用于存储写入计数配置的寄存器,并且其中,一个NV存储器阵列用于存储针对写入计数模式的寄存器配置,并且其他NV存储器阵列用于存储不启用写入计数模式的寄存器配置。在一个示例中,NV存储器阵列还包括自动递增硬件,其中,写入计数模式用于选择性地启用或禁用自动递增硬件。在一个示例中,一个NV存储器阵列用于存储写入阈值,并且响应于写入计数达到写入阈值而将警报传递到控制器。在一个示例中,系统还包括以下各项中的一个或多个:耦合到非易失性存储器设备的主机处理器设备;通信地耦合到主机处理器的显示器;通信地耦合到主机处理器的网络接口;或为系统供电的电池。

[0108] 总体上,关于本文的描述,在一个示例中,一种方法包括:将数据块共同地存储在多个非易失性 (NV) 存储器阵列中,每个阵列存储数据块的一部分,并且NV存储器阵列中的一个NV存储器阵列存储针对数据块的写入计数;以及接收用于将数据块写入NV存储器阵列的写入命令,其中,响应于接收到写入命令,NV存储器阵列用于执行NV存储器阵列中的数据的内部预写入读取,其中,一个NV存储器阵列用于执行写入计数的预写入读取,递增一个NV存储器阵列内部的写入计数,并且将递增的写入计数写入一个NV存储器阵列。

[0109] 在一个示例中,NV存储器阵列包括单独的NV存储器芯片。在一个示例中,一个NV存储器阵列还存储错误检查和校正 (ECC) 数据。在一个示例中,NV存储器阵列还包括存储写入计数配置的寄存器,并且其中,一个NV存储器阵列存储针对写入计数模式的寄存器配置,并且其他NV存储器阵列存储不启用写入计数模式的寄存器配置。在一个示例中,NV存储器阵列还包括自动递增硬件,其中,写入计数模式选择性地启用或禁用自动递增硬件。在一个示例中,一个NV存储器阵列还存储写入阈值,其中,一个NV存储器阵列用于响应于写入计数达到写入阈值而将警报传递到相关联的控制器。

[0110] 如本文所示出的流程图提供了各种处理动作的序列的示例。流程图可以指示要由软件或固件例程执行的操作以及物理操作。流程图可以示出可以以硬件和/或软件来实现的有限状态机 (FSM) 的状态的实现方式的示例。虽然以特定序列或次序显示,但除非另有说明,否则可以修改动作的次序。因此,所示出的示意图应该仅被理解为示例,并且可以以不同的次序执行该过程,并且可以并行执行一些动作。另外地,可以省略一个或多个动作;因此,并非所有实现方式将执行所有动作。

[0111] 就本文描述的各种操作或功能而言,可以将各种操作或功能描述或定义为软件代码、指令、配置和/或数据。内容可以是可直接执行的(“对象”或“可执行的”形式)、源代码或差异代码(“增量”或“补丁”代码)。本文所描述的软件内容可以经由其上存储有内容的制品提供,或者经由操作通信接口以经由通信接口发送数据的方法提供。机器可读存储介质可

以使得机器执行描述的功能或操作,并且包括以可以由机器(例如,计算设备、电子系统等)访问的形式存储信息的任何机制,例如,可记录/不可记录介质(例如,只读存储器(ROM)、随机存取存储器(RAM)、磁盘存储介质、光学存储介质、闪速存储器设备等)。通信接口包括与硬连线、无线、光学等介质中的任一介质接合以与另一设备通信的任何机制,例如,存储器总线接口、处理器总线接口、互联网连接、磁盘控制器等。可以通过提供配置参数和/或发送信号来配置通信接口,以准备通信接口来提供描述软件内容的数据信号。可以经由发送到通信接口的一个或多个命令或信号来访问通信接口。

[0112] 本文描述的各种组件可以是用于执行描述的操作或功能的单元。本文描述的每个组件包括软件、硬件或这些软件和硬件的组合。组件可以被实现为软件模块、硬件模块、特殊用途硬件(例如,专用硬件、专用集成电路(ASIC)、数字信号处理器(DSP)等)、嵌入式控制器、硬连线电路等。

[0113] 除了本文描述的内容之外,在不脱离本发明的所公开的内容以及实现方式的范围的情况下,可以对本发明的所公开的内容以及实现方式进行各种修改。因此,本文的说明和示例应该被解释为说明性的而不是限制意义的。应该仅通过参考所附权利要求书来衡量本发明的范围。

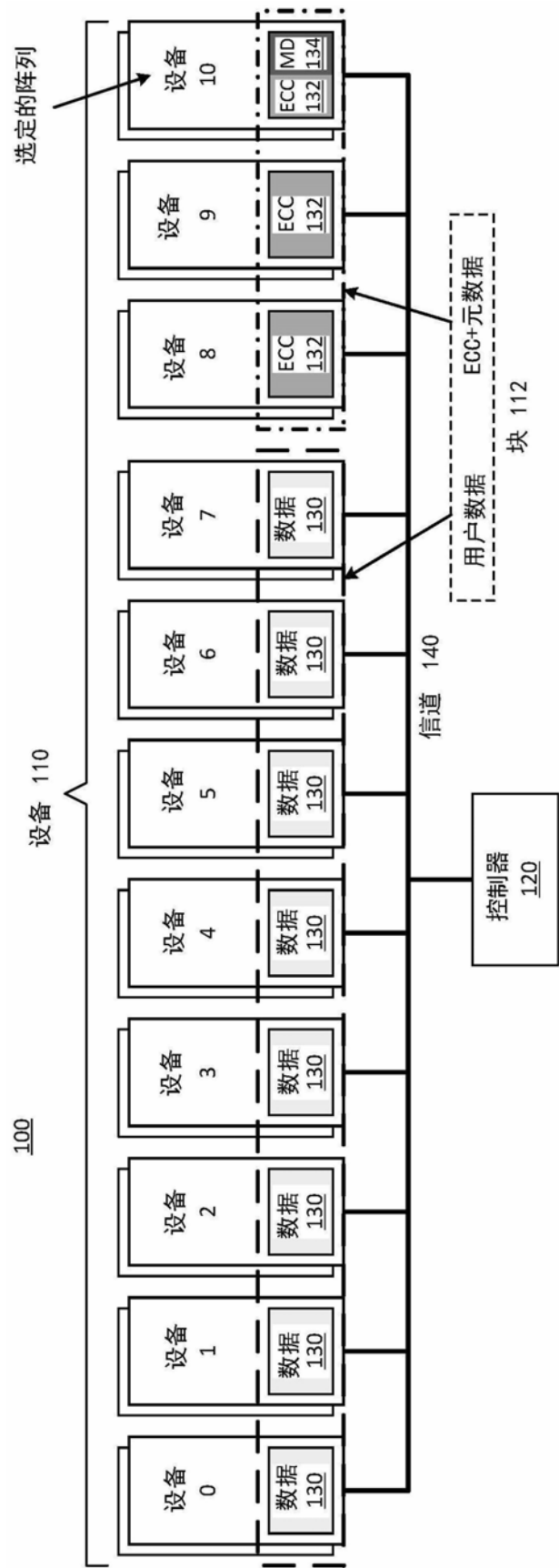


图1

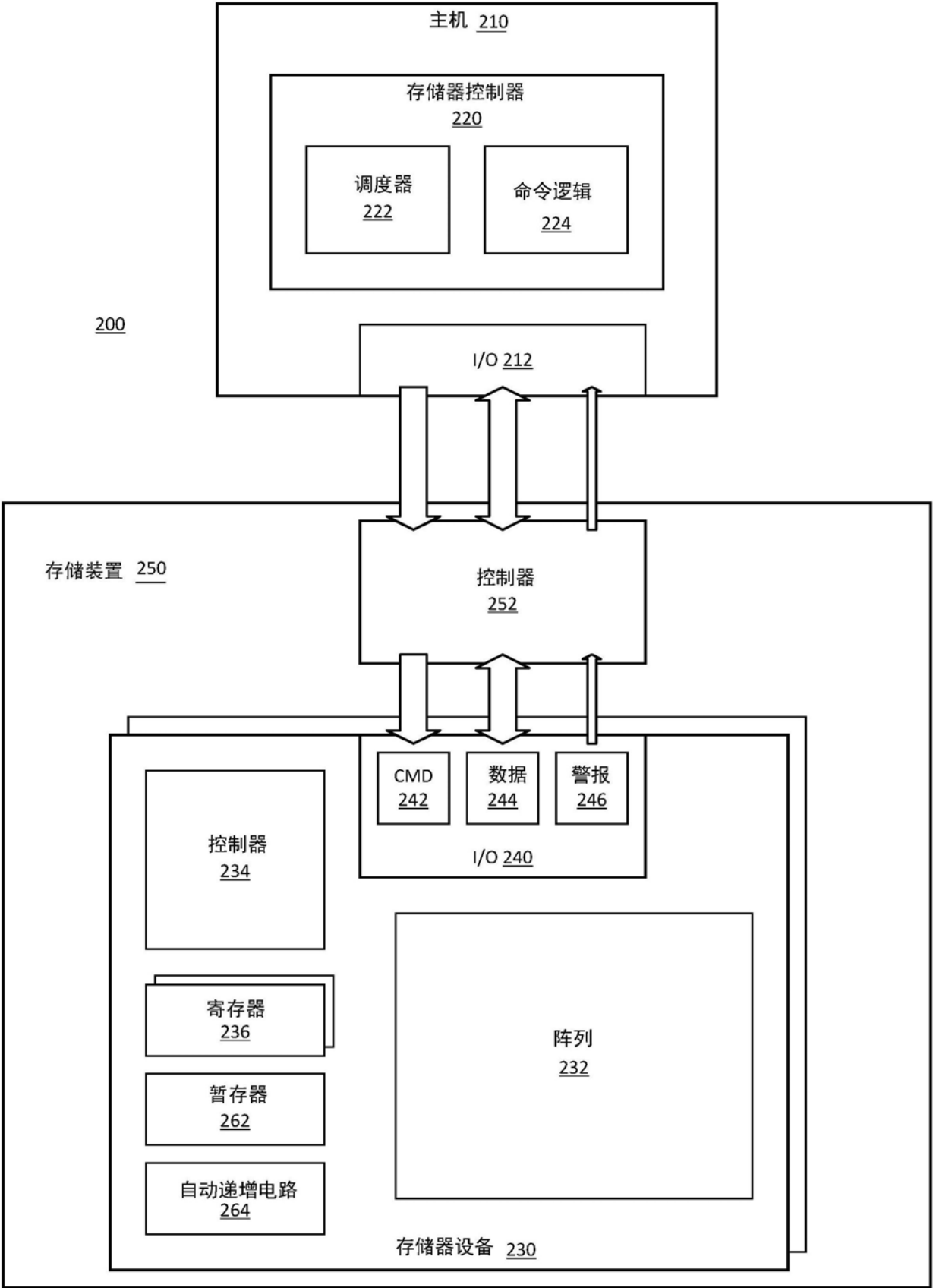


图2

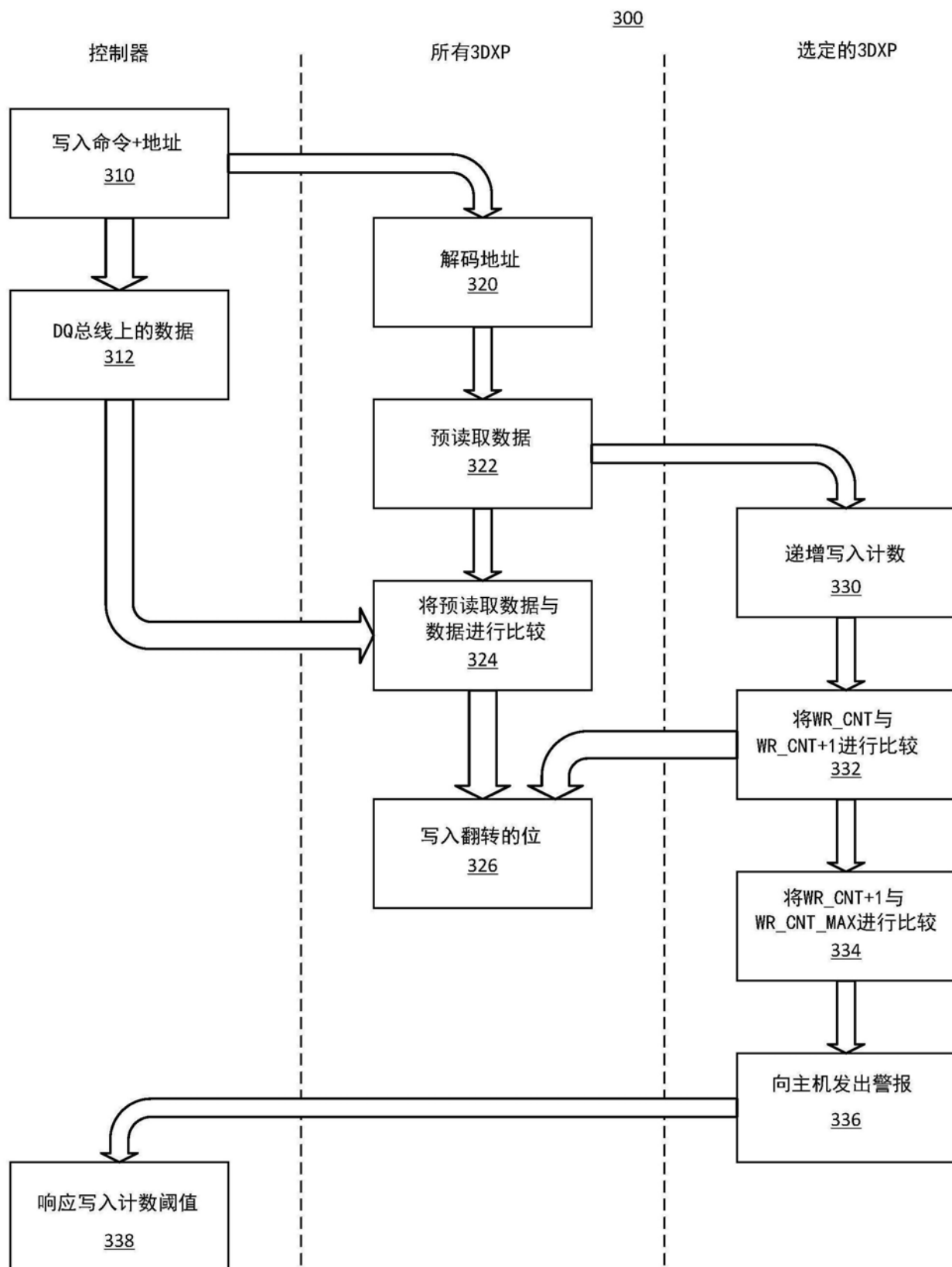


图3

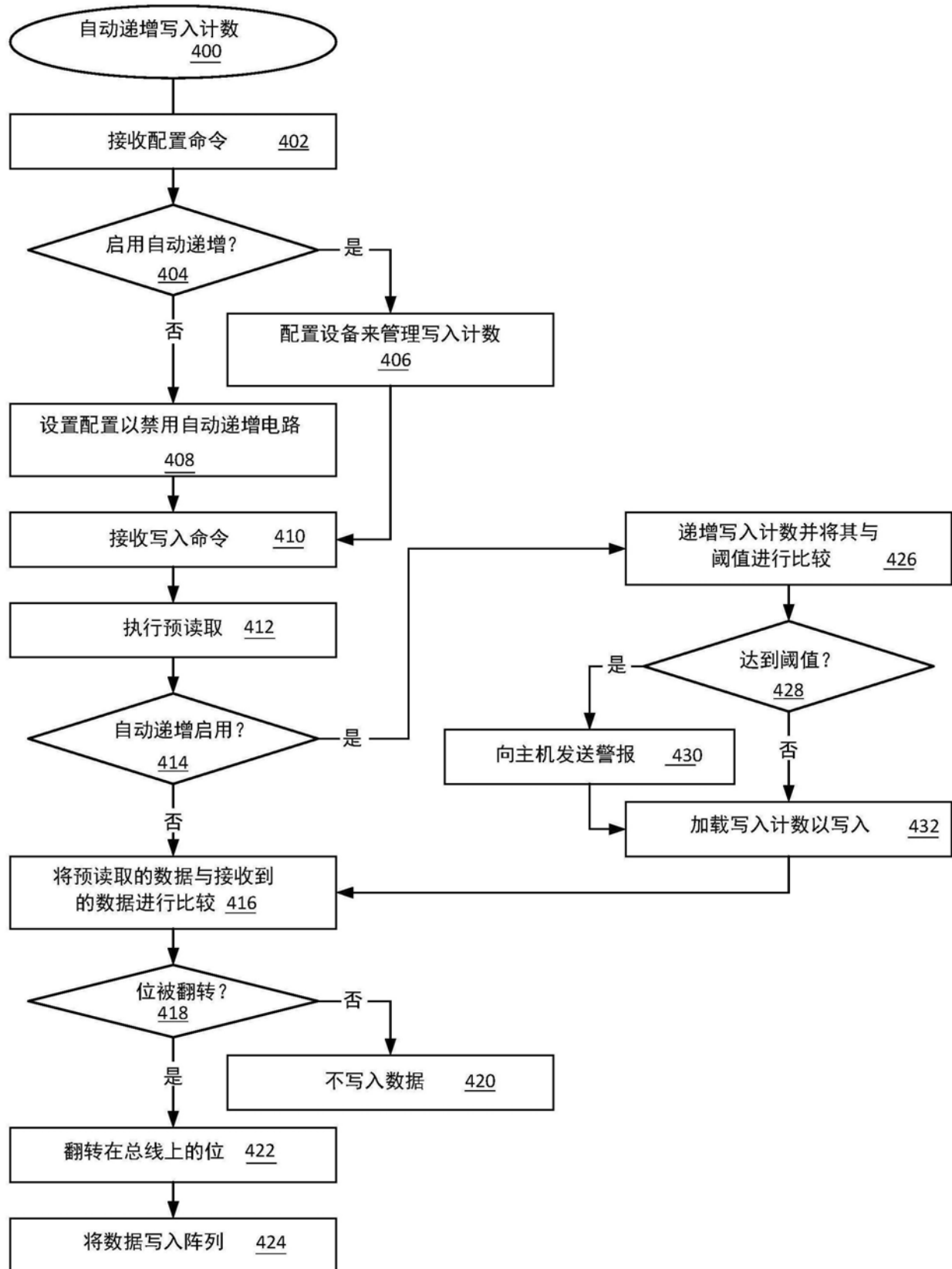


图4

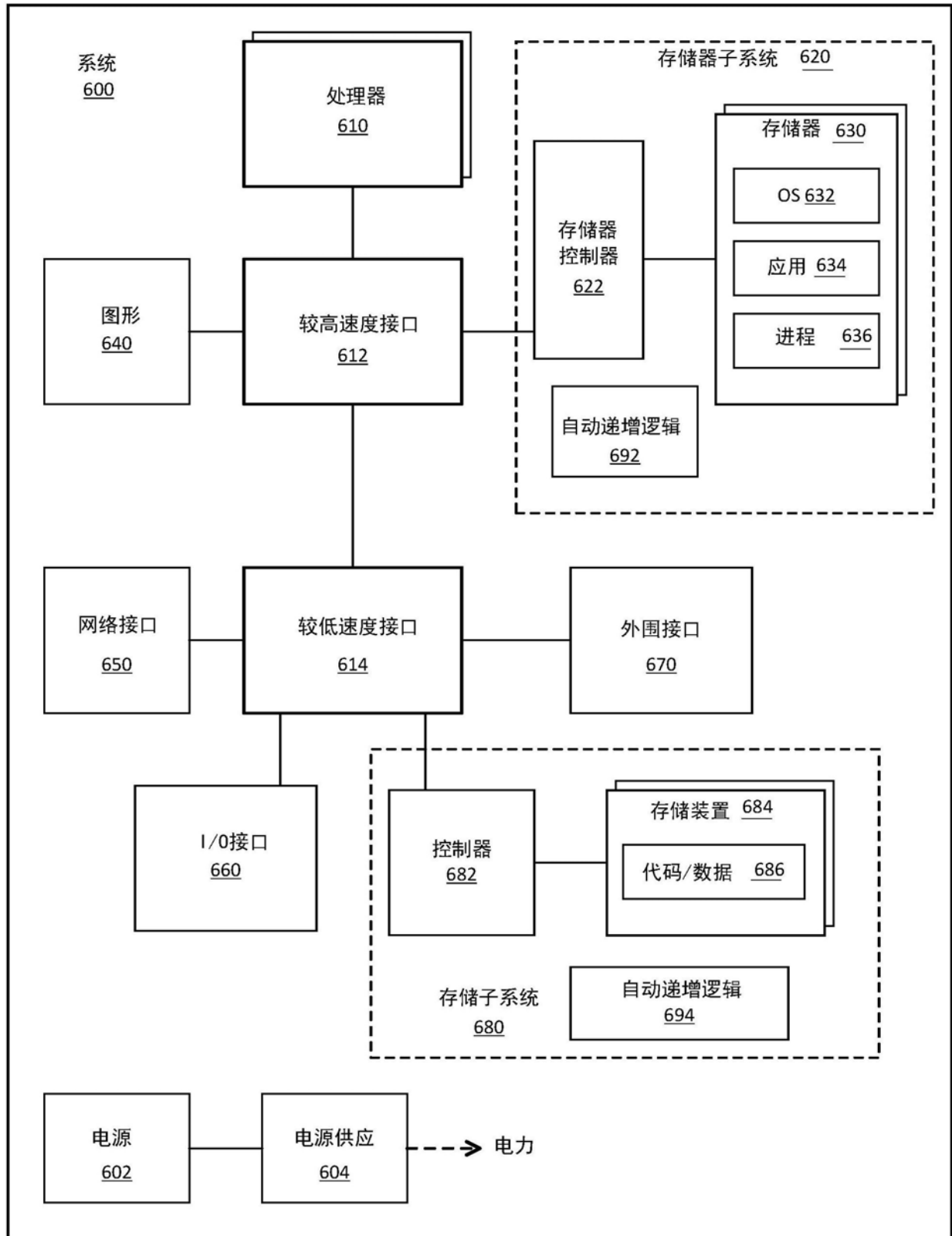


图6

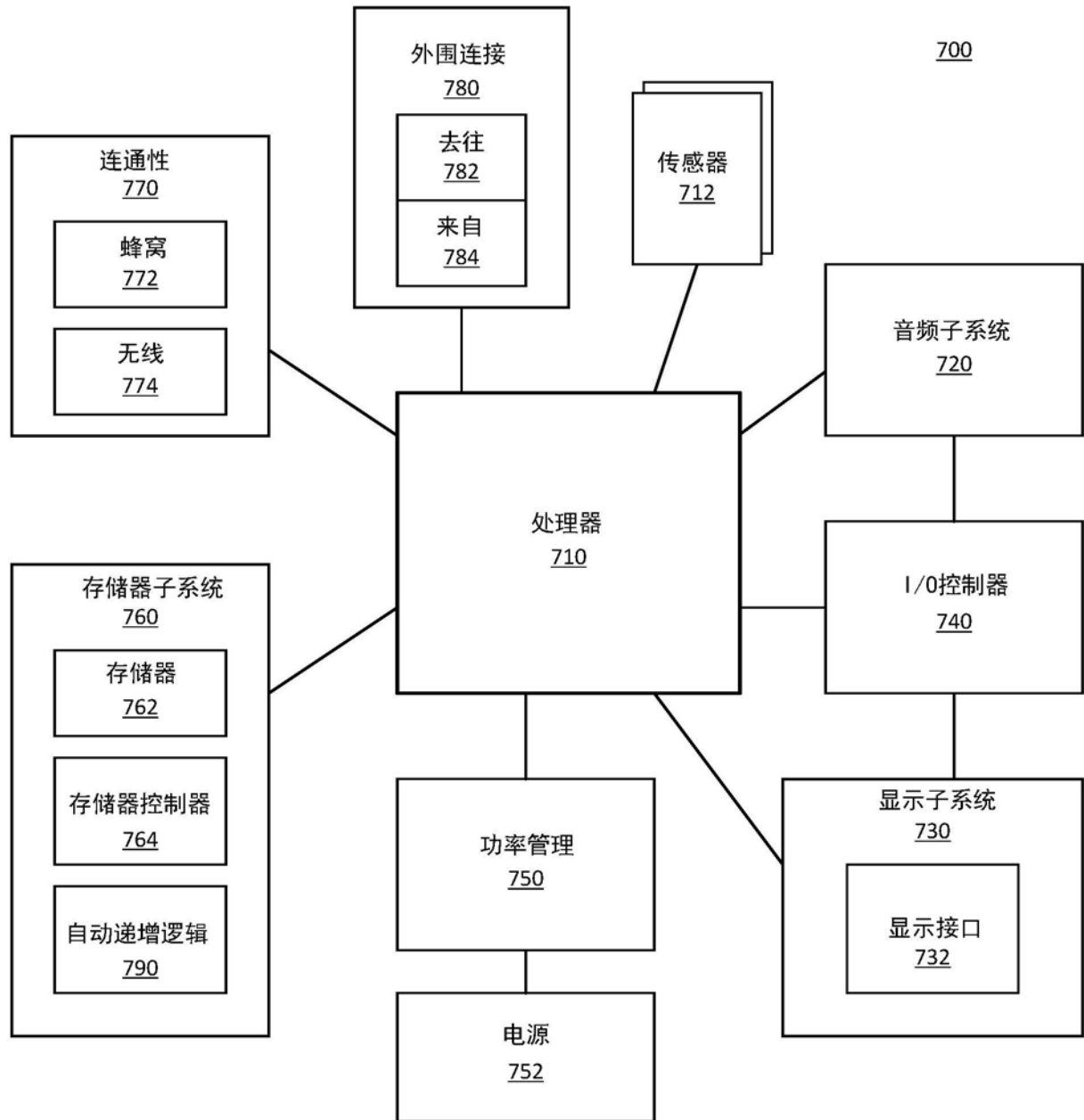


图7