

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月2日(02.08.2024)



(10) 国際公開番号

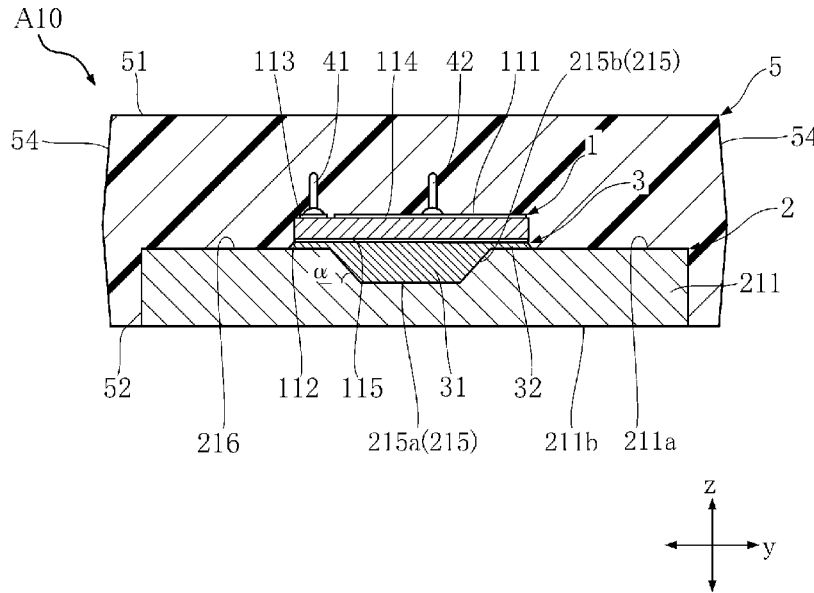
WO 2024/157752 A1

- (51) 国際特許分類:
H01L 21/52 (2006.01) H01L 23/48 (2006.01)
- (21) 国際出願番号: PCT/JP2024/000157
- (22) 国際出願日: 2024年1月9日(09.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-008682 2023年1月24日(24.01.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 中野 昂樹 (NAKANO Koki); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置

FIG.4



(57) Abstract: In the present invention, a semiconductor device comprises a support member that has a first surface, a semiconductor element that has a second surface, and a bonding material, wherein the first surface has a first recess and a flat portion, the bonding material being filled in the first recess, and the first and second surfaces being bonded in a conductive manner by the bonding material.

(57) 要約: 半導体装置は、第1面を有する支持部材と、第2面を有する半導体素子と、接合材と、を有し、前記第1面は第1凹部及び平坦部を有し、前記接合材が前記第1凹部に充填されており、前記第1面と前記第2面が、前記接合材によって導通接合されている。

[続葉有]

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置の製造方法および半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] チップは、リードフレームの一方の面に搭載され、半田層を介して前記リードフレームに電氣的に接続され、チップの固定もこの半田層によって行われている。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-14490号公報

発明の概要

発明が解決しようとする課題

[0004] チップのサイズが大きい場合、温度サイクル試験にて半田クラック等意図しない現象が生じてしまい、熱抵抗が上昇してしまうということが懸念される。

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、温度サイクルに対する信頼性の向上を図ることができる半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示の一の側面によって提供される半導体装置は、第1面を有する支持部材と、第2面を有する半導体素子と、接合材と、を有する。前記第1面または前記第2面は凹部及び平坦部を有する。前記接合材が前記凹部に充填されている。前記第1面と前記第2面が、前記接合材によって導通接合されている。

発明の効果

[0007] 上記構成によれば、温度サイクルに対する信頼性の向上を図ることが可能である。

[0008] 本開示のその他の特徴および利点は、添付の図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0009] [図1]本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図2]図1に示す半導体装置において、封止樹脂を省略した斜視図である。

[図3]本開示の第1実施形態に係る半導体装置を示す平面図である。

[図4]図3のI-V-I-V線に沿う断面図である。

[図5]図3のV-V線に沿う断面図である。

[図6]本開示の第1実施形態に係る半導体装置の第1変形例を示す断面図である。

[図7]本開示の第1実施形態に係る半導体装置の第2変形例を示す平面図である。

[図8]本開示の第1実施形態に係る半導体装置の第2変形例を示す図7のV-I-I-V-I-I線に沿う断面図である。

[図9]本開示の第1実施形態に係る半導体装置の第3変形例を示す平面図である。

[図10]本開示の第1実施形態に係る半導体装置の第3変形例を示す図9のX-X線に沿う断面図である。

[図11]本開示の第2実施形態に係る半導体装置を示す断面図である。

[図12]本開示の第3実施形態に係る半導体装置を示す断面図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について、図面を参照して具体的に説明する。

[0011] 第1実施形態：

図1～図5は、本開示の第1実施形態に係る半導体装置A10を示している。本開示の半導体装置A10は、例えば、自動車、電子機器などの電装回

路基板に表面実装される形式のものである。半導体装置A10は、半導体素子1、リードフレーム2、接合材3、ワイヤ4、および、封止樹脂5を備えている。ここで、ワイヤ4は、第1のワイヤ41及び第2のワイヤ42を含む。なお、本開示の半導体装置は、ワイヤ4を備える構成に限定されず、ワイヤ4に代えてたとえば金属板材料を用いて形成された導通部材を備える構成であってもよい。

[0012] 図1は、半導体装置A10の斜視図である。図2は、図1の斜視図において、封止樹脂5の図示を省略したものである。図3は、半導体装置A10の平面図である。図4は、図3のI-V-I'V線に沿う断面図である。図5は、図3のV-V'線に沿う断面図である。なお、図3においては、封止樹脂5を透過させている。理解の便宜上、例えば、半導体装置A10の厚さ方向を第1方向z、第1方向zと直交する平面図（図3）の上下方向を第2方向x、第1方向zおよび第2方向xと直交する平面図（図3）の左右方向を第3方向yとそれぞれ定義する。なお、以下の説明における「上下」の語句は、説明の便宜を図るために用いるものであり、本開示の半導体装置A10の設置姿勢を限定するものではない。

[0013] 半導体素子1は、半導体を材料とする回路素子であり、半導体装置A10の機能の中核となる素子である。半導体素子1の具体例は何ら限定されず、たとえば、IGBT (Insulated Gate Bipolar Transistor; 絶縁ゲートバイポーラトランジスタ)、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)、ダイオード等であってもよい。本実施形態においては、半導体素子1は、IGBT (Insulated Gate Bipolar Transistor; 絶縁ゲートバイポーラトランジスタ) である。半導体素子1は、図4に示すように、半導体素子主面111および半導体素子裏面112を有する。

[0014] 半導体素子主面111は、半導体素子1の上面である。半導体素子裏面112は、半導体素子11の下面である。ここで、半導体素子裏面112が、本開示の「第2面」に相当する。半導体素子主面111および半導体素子裏

面 1 1 2 は、第 1 方向 z において互いに反対側を向いている。

[0015] 半導体素子主面 1 1 1 の一部は、第 1 電極パッド 1 1 3 および第 2 電極パッド 1 1 4 である。第 1 電極パッド 1 1 3 の面積は、第 2 電極パッド 1 1 4 の面積よりも小とされている。本実施形態においては、第 1 電極パッド 1 1 3 は上記 I G B T のゲート電極であり、第 2 電極パッド 1 1 4 は上記 I G B T のエミッタ電極である。また、半導体素子裏面 1 1 2 の主たる部分は、第 3 電極パッド 1 1 5 である。本実施形態においては、第 3 電極パッド 1 1 5 は上記 I G B T のコレクタ電極である。

[0016] 半導体素子 1 は、厚さ方向視（第 1 方向 z 視）において、矩形状をなす。本実施形態においては、半導体素子 1 は、第 1 方向 z 視の寸法が 1 m m ~ 1 0 m m 角である。また、半導体素子 1 の厚さ方向寸法は、4 0 μ m ~ 3 0 0 μ m である。

[0017] リードフレーム 2 は、導通性を有する部材であり、回路基板に接合されることにより、半導体装置 A 1 0 と回路基板との導通経路を構成する。リードフレーム 2 は、C u を主成分とする合金からなる。なお、耐食性、導電性、熱伝導性、あるいは、接合性などを考慮して、表面の一部にめっきを施していてもよい。リードフレーム 2 は、第 1 リード 2 1、第 2 リード 2 2、および、第 3 リード 2 3 を有する。ここで、第 1 リード 2 1 が、本開示の「支持部材」に相当する。

[0018] 第 1 リード 2 1 は、第 1 パッド 2 1 1（ダイパッド）、第 1 端子 2 1 2、および、中間連結部 2 1 3 を含む。第 1 リード 2 1 の材質は、銅、ニッケル、鉄などを含む。

[0019] 第 1 パッド 2 1 1 は、パッド主面 2 1 1 a およびパッド裏面 2 1 1 b を有する。パッド主面 2 1 1 a は、第 1 パッド 2 1 1 の上面である。ここで、パッド主面 2 1 1 a が、本開示の「第 1 面」に相当する。パッド主面 2 1 1 a は、半導体素子 1 が搭載された面であり、図 4 に示すように、半導体素子裏面 1 1 2 がパッド主面 2 1 1 a に向かい合っている。パッド裏面 2 1 1 b は、第 1 パッド 2 1 1 の下面である。パッド主面 2 1 1 a およびパッド裏面 2 1

1 bはともに、平坦であり、第1方向zにおいて互いに反対側を向いている。

[0020] パッド主面211aは、第1凹部215及び第1平坦部216を含む。第1平坦部216は、平坦な部分であり、本実施形態においては、第1方向zと直交している。第1凹部215は、第1平坦部216から第1方向zに凹んでおり、本開示における「凹部」の一例である。第1凹部215は、第1凹部底面215aと第1凹部周面215bとを含む。第1凹部底面215aは、第1凹部215の深さ方向（第1方向z）において最も奥方に位置する面である。第1凹部周面215bは、第1凹部底面215aと第1平坦部216との間に位置する。平面視における第1凹部215の面積、すなわち、第1凹部周面215bと第1平坦部216が交わる辺で囲まれる面積は、半導体素子裏面112の面積よりも小さい。平面視において、第1凹部215は、半導体素子1に内包されている。平面視において、第1平坦部216の一部は、半導体素子1に重なる。図3から理解されるように、第1凹部底面215aは、矩形状を想定するが、三角形状、多角形状、円形等の形状でもよい。第1凹部底面215aと第1凹部周面215bが成す角度 α は約45度である。第1凹部215の深さは特に限定されないが、 $10\mu\text{m}\sim 650\mu\text{m}$ 程度である。なお、第1パッド211の厚さが厚いほど、第1凹部215も深くすることができる。

[0021] また、第1パッド211には、パッド主面211aからパッド裏面211bに至るパッド貫通孔211cが形成されている。パッド貫通孔211cは、厚さ方向視において、半導体素子1から離間している。本実施形態においては、パッド貫通孔211cは、厚さ方向視において、円形であるが、その形状は限定されない。

[0022] 第1端子212は、図1～図3に示すように、第2方向xに沿って延出し、かつ、一部が封止樹脂5から露出した部分である。第1端子212は、中間連結部213、第1パッド211および接合材3を介して第3電極パッド115に導通している。上記するように第3電極パッド115はコレクタ電

極であるので、第1端子212は、半導体装置A1のコレクタ端子である。

[0023] 中間連結部213は、図2および図3に示すように、第1パッド211と第1端子212とに繋がる部分である。図5に示すように、第1方向zにおいて、第1パッド211と第1端子212との位置が異なり、第1パッド211は、第1端子212よりも図5の下方に位置している。よって、中間連結部213は、第1パッド211および第1端子212に対して傾斜している。中間連結部213はすべて、封止樹脂5に覆われている。

[0024] 第2リード22は、図1～図3に示すように、第1リード21から離間して配置され、かつ、第2方向xに沿って延出する部材である。第3方向yにおいて、第2リード22は、第1端子212の片側に位置している。第2リード22は、第2パッド221および第2端子222を含む。

[0025] 第2パッド221は、図3に示すように、第3方向yの長さが第2端子222よりも長く、かつ、全体が封止樹脂5に覆われた部分である。図2および図3に示すように、第2パッド221には、第1のワイヤ41が接続されている。

[0026] 第2端子222は、図1～図3に示すように、第2方向xに沿って延出し、かつ、一部が封止樹脂5から露出する部分である。第2端子222は、第2パッド221および第1のワイヤ41を介して、第1電極パッド113に導通している。本実施形態においては、上記するように第1電極パッド113はゲート電極であるので、第2端子222は、半導体装置A1のゲート端子である。

[0027] 第3リード23は、図1～図3に示すように、第1リード21および第2リード22から離間して配置され、かつ、第2方向xに沿って延出する部材である。第3方向yにおいて、第3リード23は、第1端子212に対して第2リード22とは反対側に位置している。第3リード23は、第3パッド231および第3端子232を含む。

[0028] 第3パッド231は、図3に示すように、第3方向yの長さが、第3パッド231よりも長く、かつ、全体が封止樹脂5に覆われた部分である。図2

および図3に示すように、第3パッド231には、第2のワイヤ42が接続されている。

[0029] 第3端子232は、図1～図3に示すように、第2方向xに沿って延出し、かつ、一部が封止樹脂5から露出する部分である。第3端子232は、第3パッド231および第2のワイヤ42を介して、第2電極パッド114に導通している。本実施形態においては、上記するように第2電極パッド114はエミッタ電極であるので、第3端子232は、半導体装置A10のエミッタ端子である。

[0030] なお、第1端子212、第2端子222、第3端子232の封止樹脂5から露出した部分をめっきで覆っておいてもよい。これらをめっきで覆っておくことで、耐食性を向上させることができる。

[0031] 接合材3は、図2および図4に示すように、半導体素子1と第1リード21の第1パッド211との間に介在し、かつ、導電性を有する部材である。接合材3は厚肉部31と薄肉部32を含む。厚肉部31は第1凹部215に充填されている。薄肉部32は、半導体素子裏面112と第1平坦部216との間に介在している。厚肉部31の厚さは15 μ m～750 μ m程度、薄肉部32の厚さは10 μ m～120 μ m程度である。なお、厚肉部31の厚さは、薄肉部32の厚さに第1凹部215の深さを足した量となる。接合材3によって、半導体素子1が第1パッド211に搭載され、かつ、半導体素子1の第3電極パッド115と第1リード21との導通が確保される。接合材3の材質は、半田や銀ペースト等、導電性のものであれば適宜採用可能である。

[0032] 第1のワイヤ41および第2のワイヤ42は、同一の金属からなり、導電性を有する部材である。本実施形態においては、第1のワイヤ41および第2のワイヤ42は、Al（アルミニウム）あるいはAl合金からなる。

[0033] 第1のワイヤ41は、図2および図3に示すように、一端が第2パッド221にボンディングされ、他端が半導体素子主面111の第1電極パッド113にボンディングされている。よって、第1のワイヤ41は、第2パッド

2 2 1 と第 1 電極パッド 1 1 3 とを導通させている。

[0034] 第 2 のワイヤ 4 2 は、図 2 および図 3 に示すように、一端が第 3 パッド 2 3 1 にボンディングされ、他端が半導体素子主面 1 1 1 の第 2 電極パッド 1 1 4 にボンディングされている。よって、第 2 のワイヤ 4 2 は、第 3 パッド 2 3 1 と第 2 電極パッド 1 1 4 とを導通させている。

[0035] 封止樹脂 5 は、リードフレーム 2 の一部、半導体素子 1、第 1 のワイヤ 4 1 および第 2 のワイヤ 4 2 を覆う部材である。封止樹脂 5 は電気絶縁性を有する熱硬化性の合成樹脂である。本実施形態においては、黒色のエポキシ樹脂である。封止樹脂 5 は、樹脂主面 5 1、樹脂裏面 5 2、一对の樹脂第 1 側面 5 3、および、一对の樹脂第 2 側面 5 4 を有する。

[0036] 樹脂主面 5 1 は、図 4 および図 5 に示す封止樹脂 5 の上面である。樹脂裏面 5 2 は、図 4 および図 5 に示す封止樹脂 5 の下面である。樹脂主面 5 1 および樹脂裏面 5 2 は、第 1 方向 z に対して互いに反対側を向いている。

[0037] 一对の樹脂第 1 側面 5 3 は、図 5 に示すように、第 2 方向 x に離間して形成された面である。一对の樹脂第 1 側面 5 3 は、第 2 方向 x において互いに反対側を向いている。図 5 に示す樹脂第 1 側面 5 3 の上端が樹脂主面 5 1 に繋がり、図 5 に示す樹脂第 1 側面 5 3 の下端が樹脂裏面 5 2 に繋がっている。本実施形態においては、一方の樹脂第 1 側面 5 3 から、第 1 リード 2 1 （第 1 端子 2 1 2）および第 2 リード 2 2 （第 2 端子 2 2 2）のそれぞれ一部が露出している。

[0038] 一对の樹脂第 2 側面 5 4 は、図 4 に示すように第 3 方向 y に離間して形成された面である。一对の樹脂第 2 側面 5 4 は、第 3 方向 y において互いに反対側を向いている。図 4 に示す樹脂第 2 側面 5 4 の上端が樹脂主面 5 1 に繋がり、図 4 に示す樹脂第 2 側面 5 4 の下端が樹脂裏面 5 2 に繋がっている。

[0039] 封止樹脂 5 には、図 1 に示す一对の樹脂第 2 側面 5 4 のそれぞれ上部から封止樹脂 5 の内部に窪む一对の凹部 5 5 が形成されている。また、図 1 および図 5 に示すように、第 1 方向 z において、封止樹脂 5 には、樹脂主面 5 1 から樹脂裏面 5 2 に至る樹脂貫通孔 5 6 が形成されている。本実施形態にお

いては、樹脂貫通孔56の中心は、パッド貫通孔211cの中心と同一（あるいは略同一）である。また、樹脂貫通孔56の直径は、パッド貫通孔211cの直径よりも小である。本実施形態においては、パッド貫通孔211cの孔壁はすべて、封止樹脂5によって覆われている。

[0040] 次に、半導体装置A10の作用について説明する。

[0041] 本実施形態とは異なり、第1凹部215を有さない半導体装置に温度サイクルを与えられると、接合材3にクラックが生じることが懸念されていた。そこで、本実施形態の半導体装置A1のように、リードフレーム2に第1凹部215を設けることにより接合材3の厚さを厚くした構成に温度サイクルを与えた解析を行った。その結果、第1凹部215を設けない場合と比べて、接合材3に生じる応力を低減させる効果が認められた。したがって、第1凹部215を設けることで、半田クラックの発生を抑制できることが明らかとなり、温度サイクルに対する信頼性を向上することができる。なお、接合材3の体積が大きい方がより効果を奏することが分かった。具体的には、第1凹部215の深さ及び第1凹部底面215aの面積は、大きいほうが応力低減の効果がより期待できる。第1凹部底面215aと第1凹部周面215bの成す角度 α は、45度よりも小さい方が、応力低減に有利である結果が得られた。

[0042] 図6～図12は、本開示の変形例および他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。また、各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0043] 第1実施形態 第1変形例：

図6は、半導体装置A10の第1変形例を示している。本変形例の半導体装置A11においては、第1凹部215の形状が、半導体装置A10と異なっている。

[0044] 本変形例においては、第1凹部底面215aと第1凹部周面215bが成す

角度は、ほぼ90度である。

[0045] 本変形例によっても、接合材3の体積は大きくなるので、接合材3に生じる応力が減少する。本変形例から理解されるように、第1凹部底面215aと第1凹部周面215bの成す角度は任意である。

[0046] 第1実施形態 第2変形例：

図7、図8は、半導体装置A10の第2変形例を示している。本変形例の半導体装置A12においては、第1凹部215の構成が、半導体装置A10と異なっている。

[0047] 本変形例では、第1凹部215が複数の領域217を含む。具体的には、複数の領域217は、平面視において互いに離れており、互いの間それぞれに第1平坦部216の一部が存在する。複数の領域217の個数は何ら限定されず、図示された例においては、4つである。これに対応して、第1凹部215は、4つの第1凹部底面215aを有する。本変形例から分かるように、第1凹部215は、互いに離れた複数の領域217を含む構成であってもよい。図示された例では、領域217の形状は四角形だが、他の形状でもよい。図7では、4つの領域217が2行2列で配置されているが、配置についても任意である。

[0048] 第1実施形態 第3変形例：

図9、図10は、半導体装置A10の第3変形例を示している。本変形例の半導体装置A13においては、第1凹部215の形状が、半導体装置A10と異なっている。

[0049] 本変形例においては、第1凹部215が、領域217と複数の領域218とを含む。本変形例においては、領域217と複数の領域218とは、互いに繋がっている。平面視において、領域217は、半導体素子裏面112に重なり、半導体素子裏面112に内包されている。複数の領域218、は半導体素子裏面112の四隅に重なるように配置されている。複数の領域218は、領域217の四隅に繋がっている。この場合、厚肉部31は領域217及び領域218に充填されている。すなわち、領域218は、平面視にお

いて一部が半導体素子裏面 1 1 2 とかさなり、他の部分が半導体素子裏面 1 1 2 からはみ出している。図 9 では、平面視において、領域 2 1 7 と複数の領域 2 1 8 は、矩形状だが、形状は任意である。

[0050] 本変形例によっても、接合材 3 の体積は大きくなるので、半導体素子 1 の下の接合材 3 の応力を減少させることが可能である。また、発明者らの解析によると、接合材 3 のうち半導体素子 1 の四隅の直下に位置する部分に、顕著な応力集中が認められた。本変形例においては、半導体素子 1 の四隅に、複数の領域 2 1 8 が存在する。このため、半導体素子 1 の四隅には、複数の厚肉部 3 1 が配置されている。これにより、半導体素子 1 の四隅における接合材 3 の応力集中をより効率よく緩和することができる。また、領域 2 1 7 および複数の領域 2 1 8 以外の領域には、第 1 平坦部 2 1 6 が設けられている。これにより、半導体素子 1 を適切に支持することができる。

[0051] 第 2 実施形態：

図 1 1 は、本開示の第 2 実施形態に係る半導体装置を示している。本実施形態の半導体装置 A 2 0 は、半導体素子裏面 1 1 2 が、第 2 凹部 1 1 7 及び第 2 平坦部 1 1 8 を含む。第 2 平坦部 1 1 8 は、平坦な部分であり、本実施形態においては、第 1 方向 z と直交している。第 2 凹部 1 1 7 は、第 2 平坦部 1 1 8 から第 1 方向 z に凹んでおり、本開示における「凹部」の一例である。第 2 凹部 1 1 7 は、第 2 凹部底面 1 1 7 a と第 2 凹部周面 1 1 7 b を含む。第 2 凹部底面 1 1 7 a は、第 2 凹部 1 1 7 の深さ方向（第 1 方向 z）において最も奥方に位置する面である。第 2 凹部周面 1 1 7 b は、第 2 凹部底面 1 1 7 a と第 2 平坦部 1 1 8 との間に位置する。第 2 凹部底面 1 1 7 a は矩形状を想定するが、三角形状、多角形状、円形等別の形状でもよい。第 2 凹部底面 1 1 7 a と第 2 凹部周面 1 1 7 b が成す角度は任意である。第 2 凹部 1 1 7 の深さは特に限定されないが、 $1\ \mu\text{m} \sim 230\ \mu\text{m}$ 程度である。なお、半導体素子 1 の厚さが厚いほど、第 2 凹部 1 1 7 も深くすることができる。厚肉部 3 1 は、第 2 凹部 1 1 7 に充填されている。

[0052] 本実施形態においても、厚肉部 3 1 を形成することができるので、第 1 実

施形態と同様に接合材 3 の応力緩和を図ることができる。また、本実施形態から理解されるように、本開示における凹部は、本開示の第 1 面および第 2 面のいずれに設けられてもよい。

[0053] 第 3 実施形態：

図 1 2 は、本開示の第 3 実施形態に係る半導体装置を示している。本実施形態の半導体装置 A 3 0 は、凹部 8 を有する。

[0054] 凹部 8 は、第 1 領域 2 1 9 と第 2 領域 1 1 9 とを含む。また、パッド主面 2 1 1 a は、第 1 平坦部 2 1 6 と第 1 領域 2 1 9 とを含む構成である。半導体素子裏面 1 1 2 は、第 2 平坦部 1 1 8 と第 2 領域 1 1 9 とを含む構成である。第 1 領域 2 1 9 と第 2 領域 1 1 9 とは、平面視において互いに重なっている。本実施形態においては、厚肉部 3 1 は、第 1 領域 2 1 9 と第 2 領域 1 1 9 とに充填されている。

[0055] 本実施形態によっても、厚肉部 3 1 を形成することができるので、第 1 実施形態と同様に接合材 3 の応力緩和を図ることができる。また、凹部 8 が、第 1 領域 2 1 9 と第 2 領域 1 1 9 とを含むことにより、厚肉部 3 1 の体積を増大させることが可能であり、接合材 3 の応力緩和に好ましい。

[0056] 本開示は、以下の付記に係る実施形態を含む。

付記 1.

第 1 面を有する支持部材と、

第 2 面を有する半導体素子と、

接合材と、を有し、

前記第 1 面及び前記第 2 面の少なくとも一方に凹部及び平坦部を有し、

前記凹部は前記平坦部から凹んでおり、

前記接合材が前記凹部に充填されており、

前記第 1 面と前記第 2 面が、前記接合材によって導通接合されている、

半導体装置。

付記 2.

前記凹部は、凹部底面と、前記凹部底面と前記平坦部との間に位置する凹

部周面と、を含む、

付記 1 に記載の半導体装置。

付記 3.

前記凹部底面は、平面視において矩形状である、

付記 2 に記載の半導体装置。

付記 4.

前記凹部は、複数の領域を含む、

付記 1 ないし 3 のいずれかに記載の半導体装置。

付記 5.

前記接合材は、厚肉部と薄肉部とを含み、

前記厚肉部は、前記凹部に充填されている、

付記 1 ないし 4 のいずれかに記載の半導体装置。

付記 6.

前記接合材は、半田である、

付記 1 ないし 5 のいずれかに記載の半導体装置。

付記 7.

前記第 1 面の前記凹部は、平面視において前記半導体素子に内包されている、

付記 1 ないし 6 のいずれかに記載の半導体装置。

付記 8.

前記第 1 面の前記凹部は、平面視において前記半導体素子からはみ出した領域を含む、

付記 1 ないし 6 のいずれかに記載の半導体装置。

付記 9.

前記凹部は、前記第 1 面に含まれる第 1 領域と、前記第 2 面に含まれる第 2 領域と、を含む、

付記 1 に記載の半導体装置。

符号の説明

[0057] A 1, A 10, A 10, A 1 1, A 12, A 13, A 2 : 半導体装置

1 : 半導体素子 2 : リードフレーム

3 : 接合材 4 : ワイヤ

5 : 封止樹脂 8 : 凹部

1 1 : 半導体素子 2 1 : 第 1 リード

2 2 : 第 2 リード 2 3 : 第 3 リード

3 1 : 厚肉部 3 2 : 薄肉部

4 1 : 第 1 のワイヤ 4 2 : 第 2 のワイヤ

5 1 : 樹脂主面 5 2 : 樹脂裏面

5 3 : 樹脂第 1 側面 5 4 : 樹脂第 2 側面

5 5 : 凹部 5 6 : 樹脂貫通孔

1 1 1 : 半導体素子主面 1 1 2 : 半導体素子裏面

1 1 3 : 第 1 電極パッド 1 1 4 : 第 2 電極パッド

1 1 5 : 第 3 電極パッド 1 1 7 : 第 2 凹部

1 1 7 a : 第 2 凹部底面 1 1 7 a : 第 2 凹部底面

1 1 7 b : 第 2 凹部周面 1 1 7 b : 第 2 凹部周面

1 1 8 : 第 2 平坦部 1 1 9 : 第 2 領域

2 1 1 : 第 1 パッド 2 1 1 a : パッド主面

2 1 1 a : パッド主面 2 1 1 b : パッド裏面

2 1 1 c : パッド貫通孔 2 1 2 : 第 1 端子

2 1 3 : 中間連結部 2 1 5 : 第 1 凹部

2 1 5 a : 第 1 凹部底面 2 1 5 a : 第 1 凹部底面

2 1 5 b : 第 1 凹部周面 2 1 5 b : 第 1 凹部周面

2 1 6 : 第 1 平坦部 2 1 7 : 領域

2 1 8 : 領域 2 1 9 : 第 1 領域

2 2 1 : 第 2 パッド 2 2 2 : 第 2 端子

2 3 1 : 第 3 パッド 2 3 2 : 第 3 端子

x : 第 2 方向 y : 第 3 方向

z : 第 1 方向 α : 角度

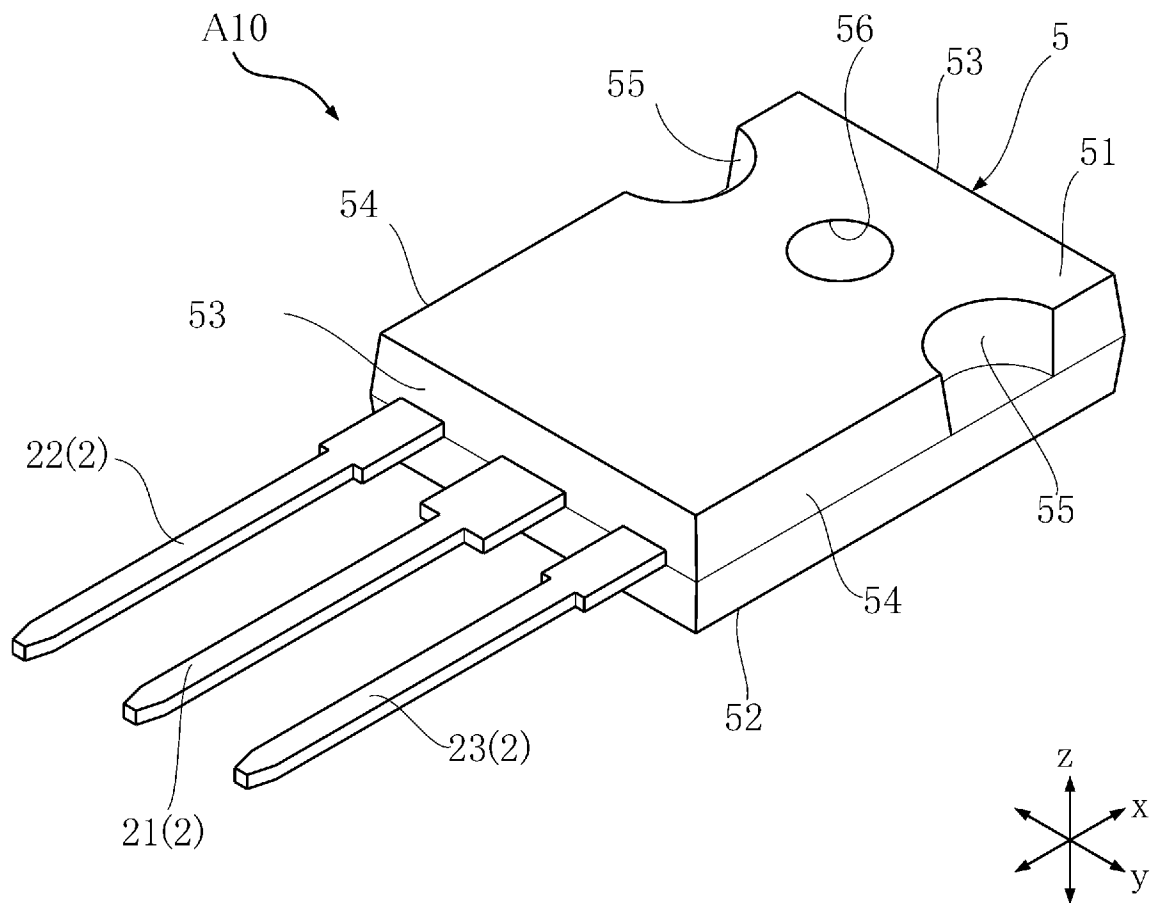
請求の範囲

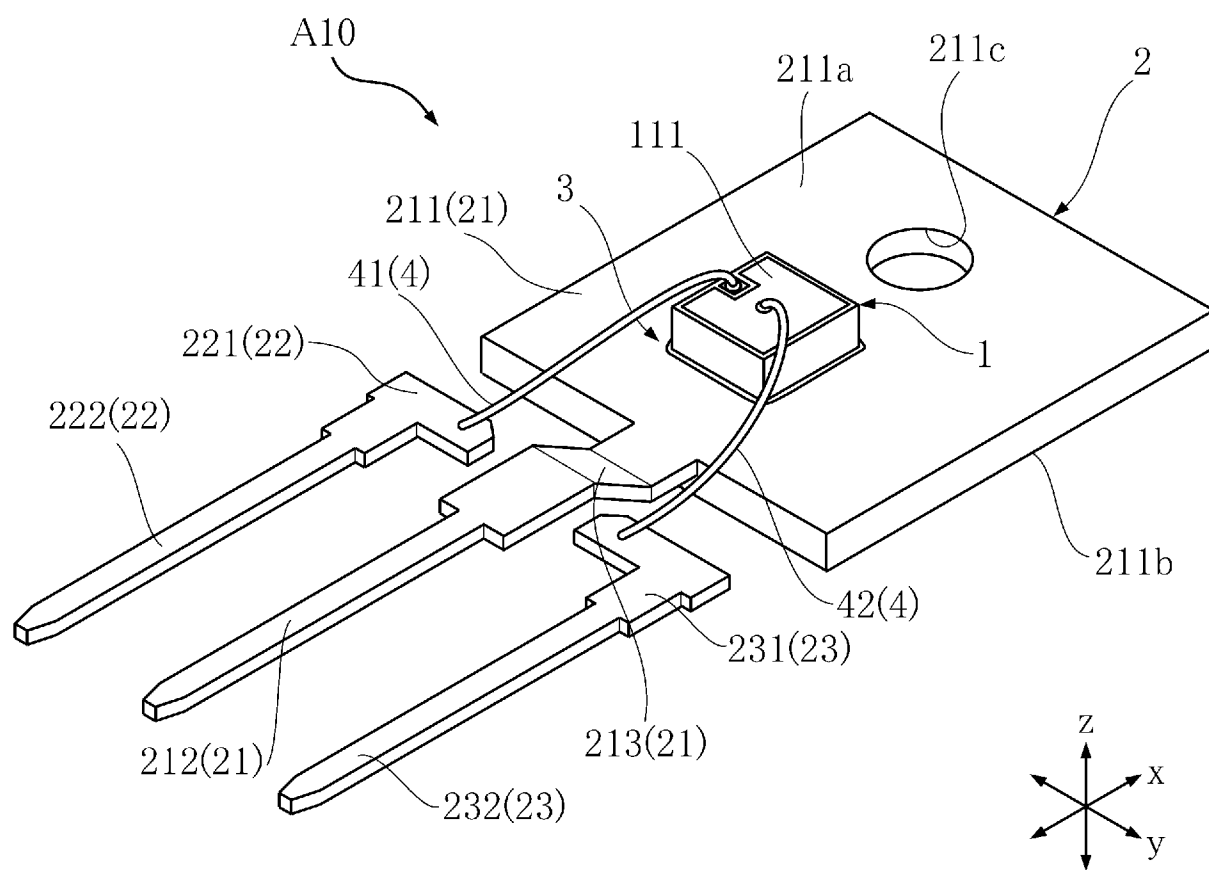
- [請求項1] 第1面を有する支持部材と、
第2面を有する半導体素子と、
接合材と、を有し、
前記第1面及び前記第2面の少なくとも一方に凹部及び平坦部を有し、
前記凹部は前記平坦部から凹んでおり、
前記接合材が前記凹部に充填されており、
前記第1面と前記第2面が、前記接合材によって導通接合されている、
半導体装置。
- [請求項2] 前記凹部は、凹部底面と、前記凹部底面と前記平坦部との間に位置する凹部周面と、を含む、
請求項1に記載の半導体装置。
- [請求項3] 前記凹部底面は、平面視において矩形状である、
請求項2に記載の半導体装置。
- [請求項4] 前記凹部は、複数の領域を含む、
請求項1ないし3のいずれかに記載の半導体装置。
- [請求項5] 前記接合材は、厚肉部と薄肉部とを含み、
前記厚肉部は、前記凹部に充填されている、
請求項1ないし4のいずれかに記載の半導体装置。
- [請求項6] 前記接合材は、半田である、
請求項1ないし5のいずれかに記載の半導体装置。
- [請求項7] 前記第1面の前記凹部は、平面視において前記半導体素子に内包されている、
請求項1ないし6のいずれかに記載の半導体装置。
- [請求項8] 前記第1面の前記凹部は、平面視において前記半導体素子からはみ出した領域を含む、

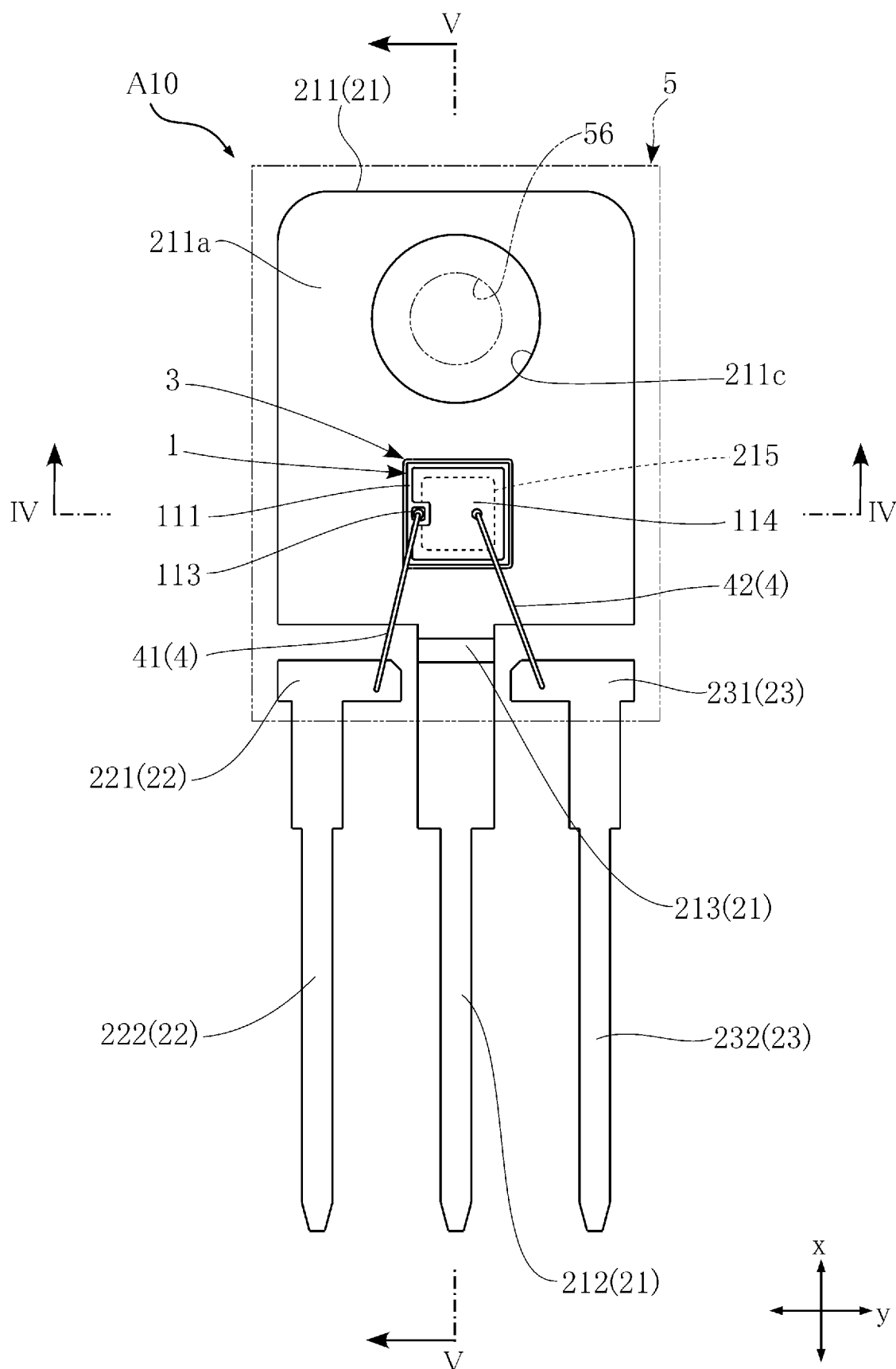
請求項 1 ないし 6 のいずれかに記載の半導体装置。

[請求項9] 前記凹部は、前記第 1 面に含まれる第 1 領域と、前記第 2 面に含まれる第 2 領域と、を含む、
請求項 1 に記載の半導体装置。

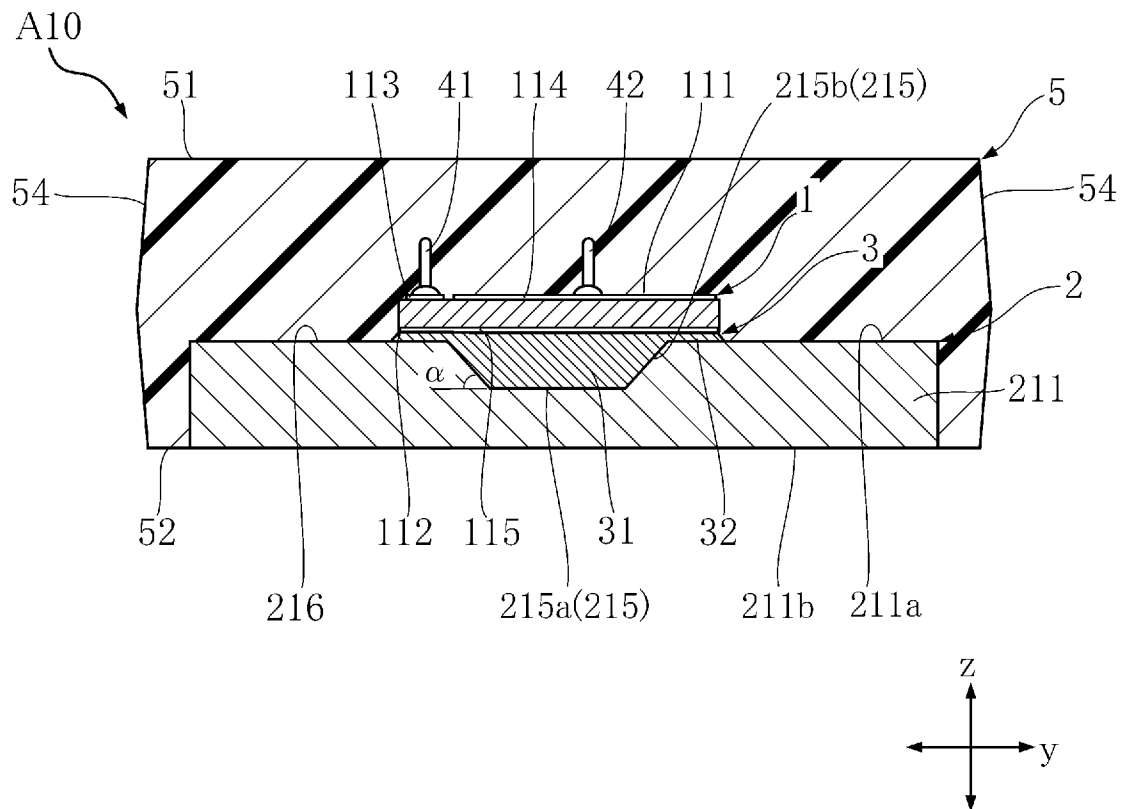
[図1]
FIG.1



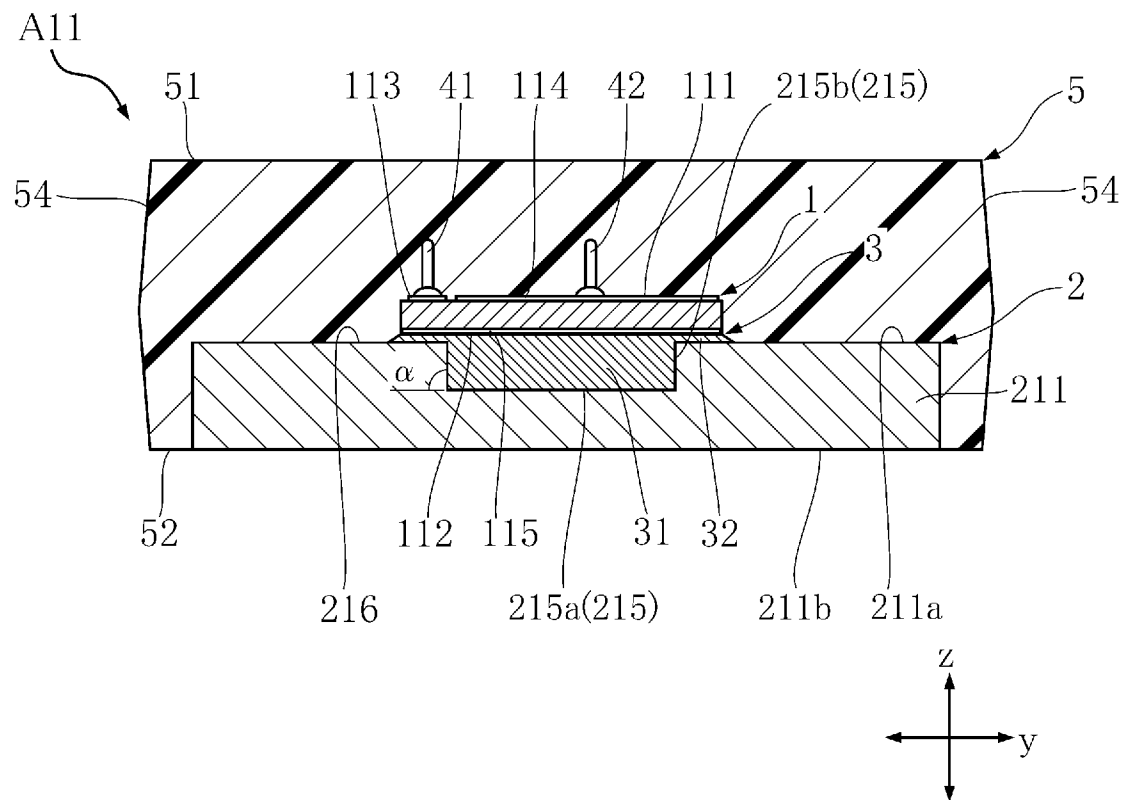
[図2]
FIG.2

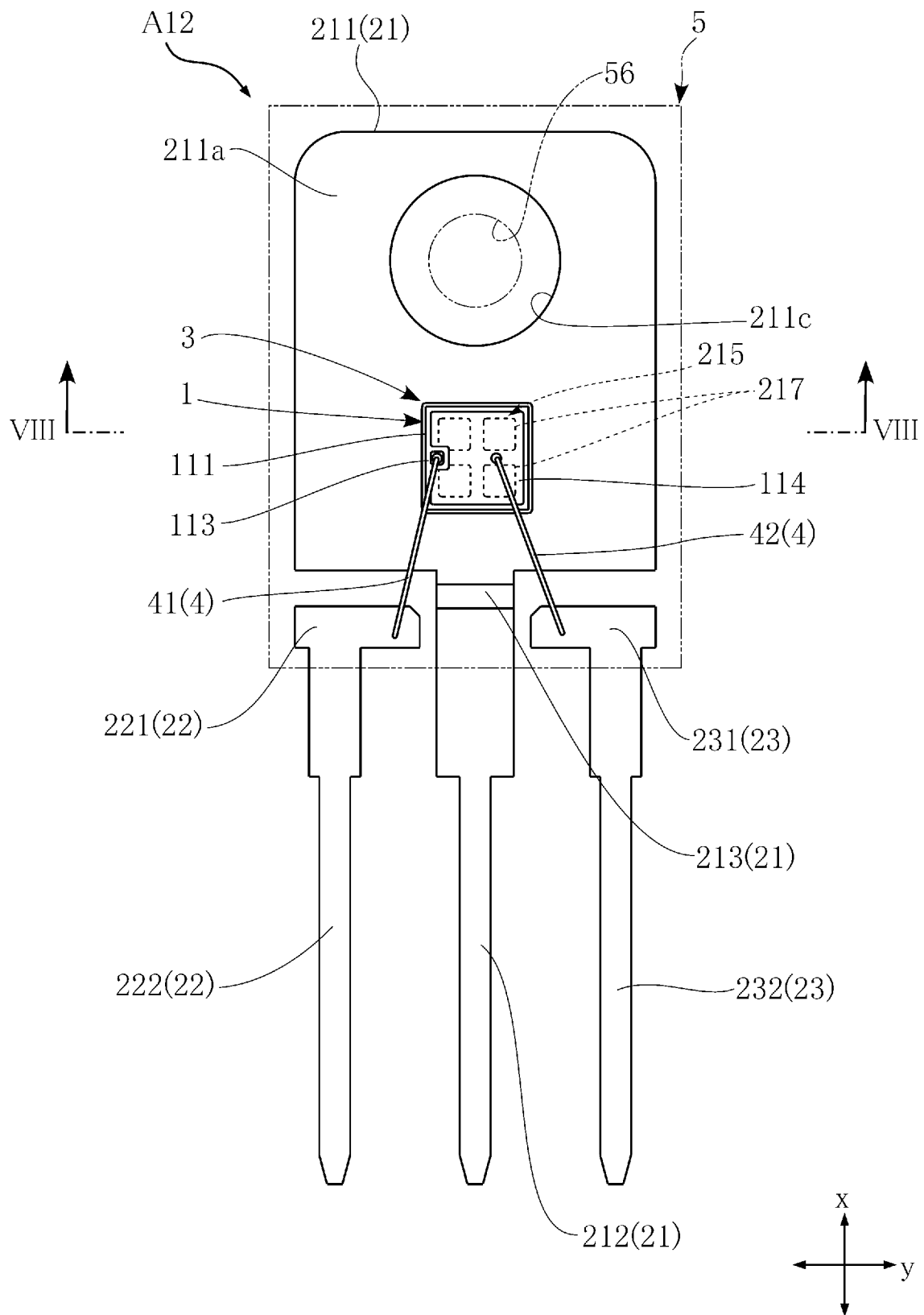
[図3]
FIG.3

[図4]
FIG.4

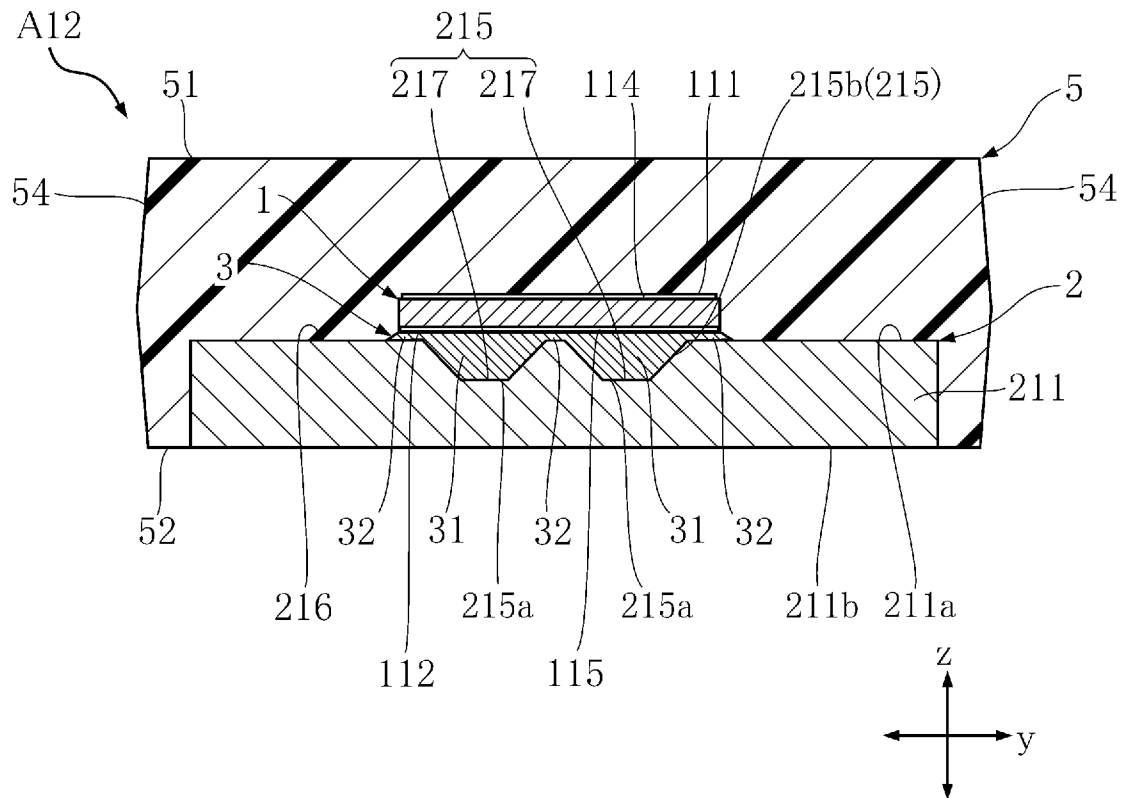


[図6]
FIG.6

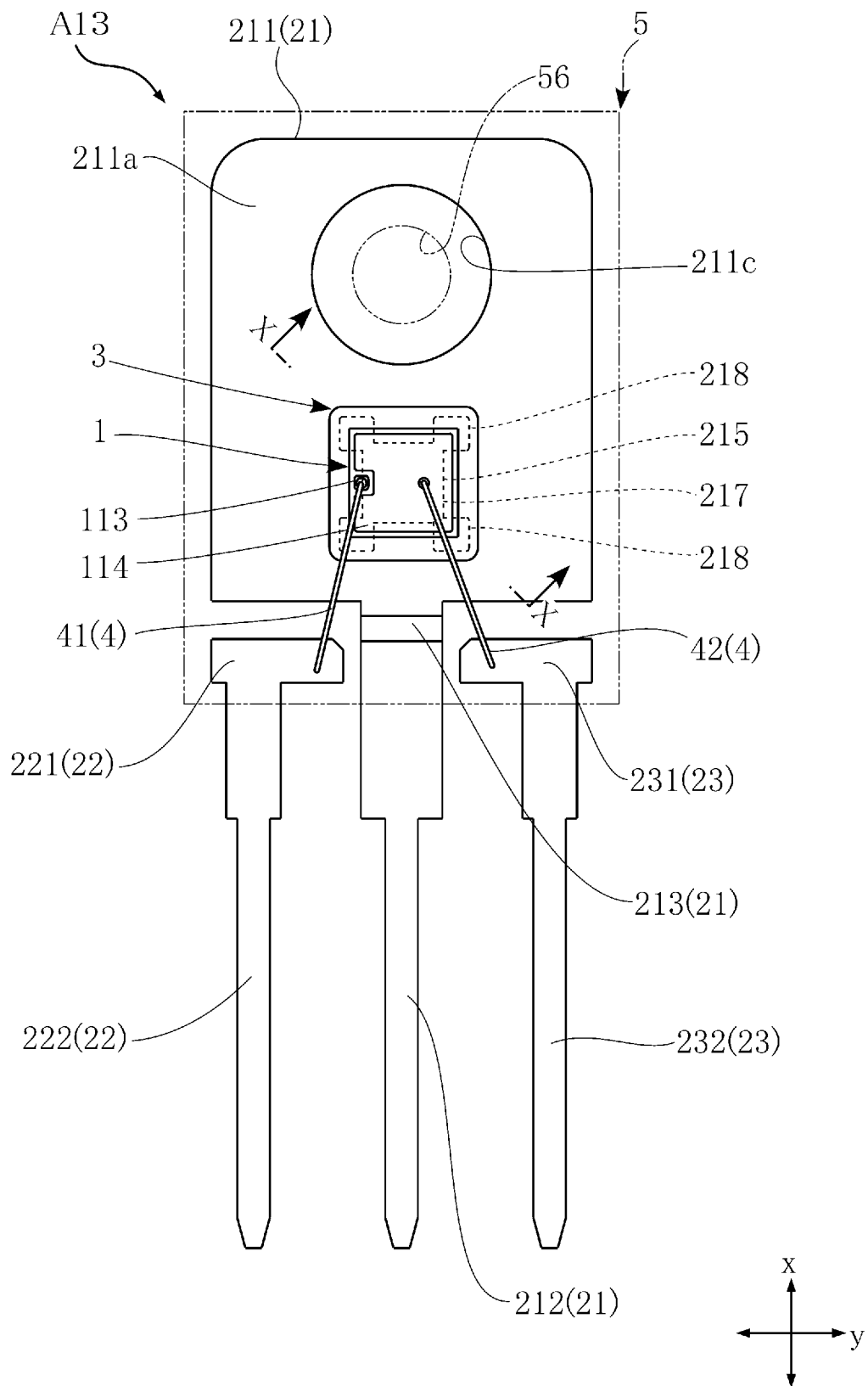


[図7]
FIG.7

[図8]
FIG.8



[図9]
FIG.9



[図10]
FIG.10

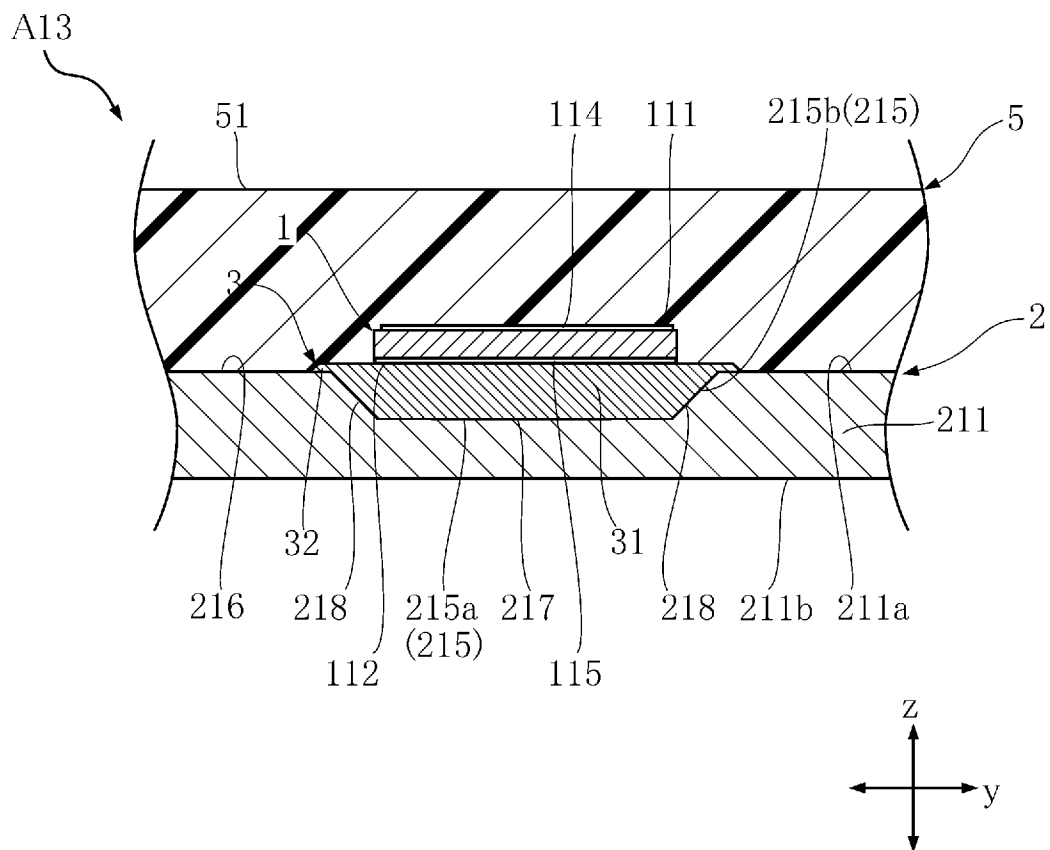
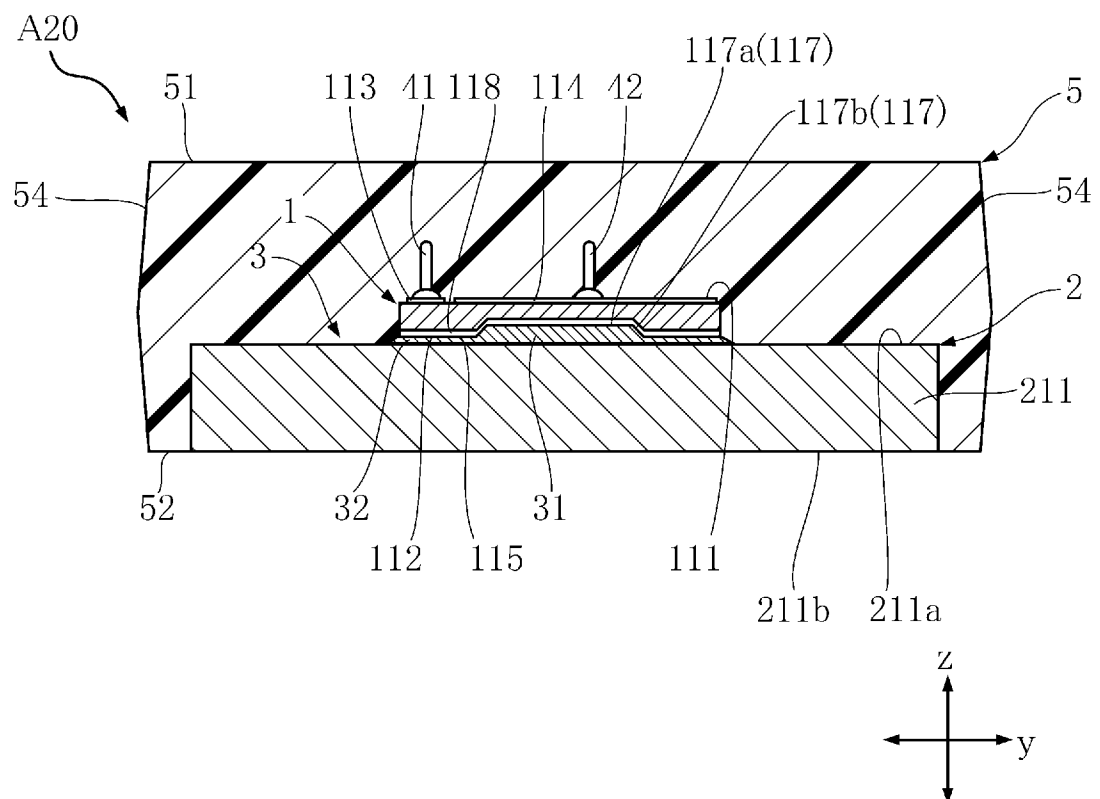
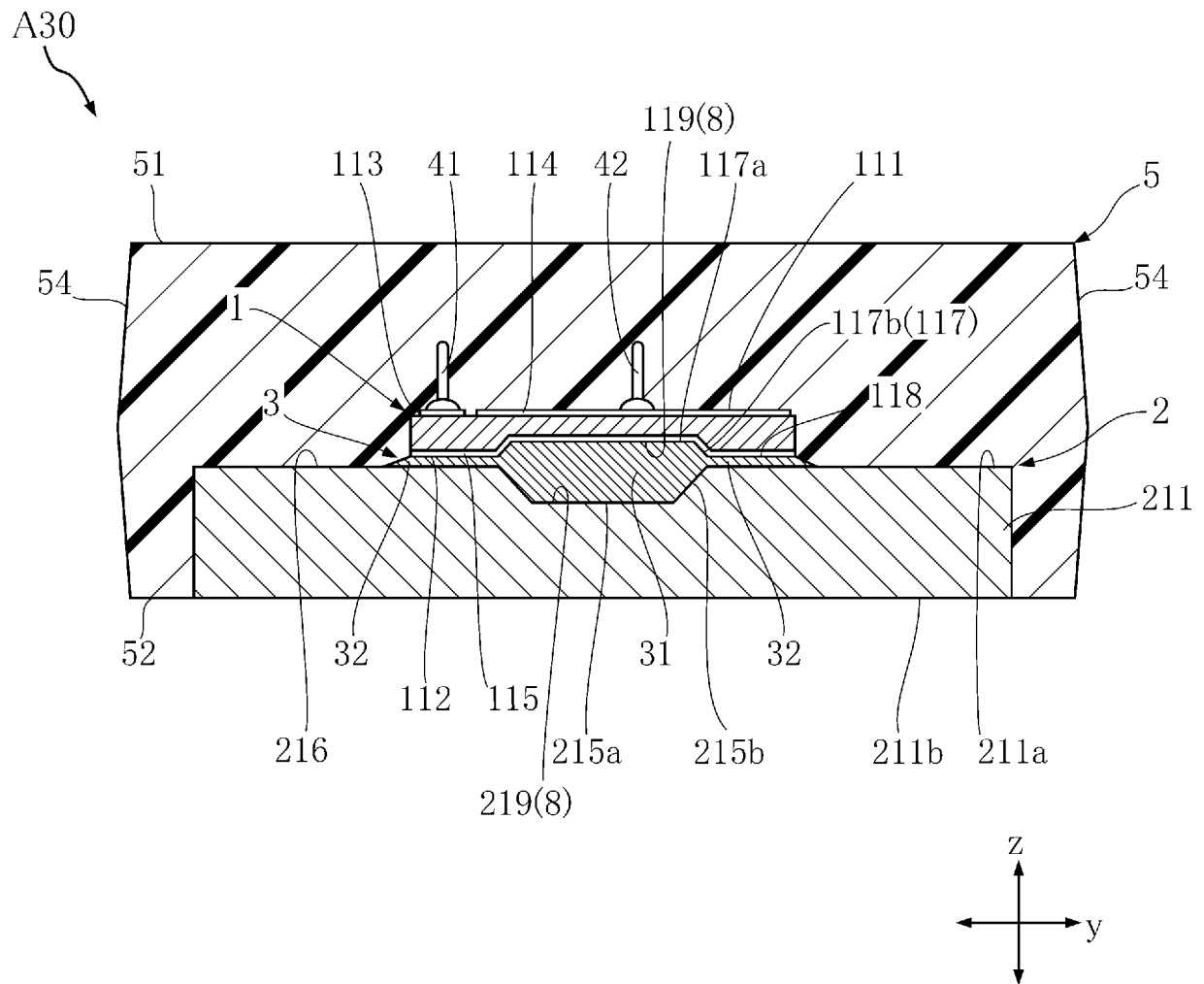


FIG.11



[図12]
FIG.12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/000157

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/52 (2006.01)i; H01L 23/48 (2006.01)i FI: H01L21/52 A; H01L23/48 H According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/52; H01L21/58; H01L23/48 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-96042 A (ROHM CO., LTD.) 12 April 2007 (2007-04-12) paragraphs [0011]-[0012], [0053]-[0057], fig. 3, 8	1-7
X	JP 2007-134395 A (ROHM CO., LTD.) 31 May 2007 (2007-05-31) paragraphs [0011]-[0012], [0058]-[0062], fig. 3, 6	1-6, 8
X	JP 2003-168694 A (MITSUBISHI ELECTRIC CORPORATION) 13 June 2003 (2003-06-13) paragraphs [0005], [0024]-[0025], fig. 3	1-2, 4-6, 8-9
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 18 March 2024		Date of mailing of the international search report 26 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/000157

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-96042	A	12 April 2007	(Family: none)	
JP	2007-134395	A	31 May 2007	(Family: none)	
JP	2003-168694	A	13 June 2003	KR 10-2003-0047688	A

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/52(2006.01)i; H01L 23/48(2006.01)i

FI: H01L21/52 A; H01L23/48 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/52; H01L21/58; H01L23/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-96042 A（ローム株式会社）12.04.2007（2007 - 04 - 12） 段落0011 - 0012、0053 - 0057、図3、8	1-7
X	JP 2007-134395 A（ローム株式会社）31.05.2007（2007 - 05 - 31） 段落0011 - 0012、0058 - 0062、図3、6	1-6, 8
X	JP 2003-168694 A（三菱電機株式会社）13.06.2003（2003 - 06 - 13） 段落0005、0024 - 0025、図3	1-2, 4-6, 8-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

18. 03. 2024

国際調査報告の発送日

26. 03. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

堀江 義隆 5F 9172

電話番号 03-3581-1101 内線 3516

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/000157

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-96042	A	12.04.2007	(ファミリーなし)	
JP	2007-134395	A	31.05.2007	(ファミリーなし)	
JP	2003-168694	A	13.06.2003	KR 10-2003-0047688	A