

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6673624号
(P6673624)

(45) 発行日 令和2年3月25日(2020.3.25)

(24) 登録日 令和2年3月9日(2020.3.9)

(51) Int. Cl.		F I			
HO2M	7/48	(2007.01)	HO2M	7/48	M
HO2M	7/155	(2006.01)	HO2M	7/155	C
HO2M	1/08	(2006.01)	HO2M	1/08	A

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2018-511800 (P2018-511800)	(73) 特許権者	501137636
(86) (22) 出願日	平成28年4月12日 (2016.4.12)		東芝三菱電機産業システム株式会社
(86) 国際出願番号	PCT/JP2016/061829		東京都中央区京橋三丁目1番1号
(87) 国際公開番号	W02017/179127	(74) 代理人	100108062
(87) 国際公開日	平成29年10月19日 (2017.10.19)		弁理士 日向寺 雅彦
審査請求日	平成30年9月25日 (2018.9.25)	(74) 代理人	100168332
			弁理士 小崎 純一
		(74) 代理人	100146592
			弁理士 市川 浩
		(72) 発明者	白木 一浩
			東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内
		(72) 発明者	狼 智久
			東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内
			最終頁に続く

(54) 【発明の名称】 電力変換装置の制御装置

(57) 【特許請求の範囲】

【請求項1】

複数の第1変換器アームを直列接続して構成する第1スイッチング回路と、複数の第2変換器アームを直列接続して構成する第2スイッチング回路と、複数の第3変換器アームを直列接続して構成する第3スイッチング回路と、を備え、前記第1スイッチング回路の一端と前記第2スイッチング回路の一端と前記第3スイッチング回路の一端とが直流回路の高圧側に接続され、前記第1スイッチング回路の他端と前記第2スイッチング回路の他端と前記第3スイッチング回路の他端とが前記直流回路の低圧側に接続され、交流電源から供給される交流電力を直流電力に変換し、前記直流電力を前記直流回路に供給する他励式の電力変換装置の制御装置であって、

前記第1スイッチング回路を構成する前記複数の第1変換器アームのそれぞれのゲートパルス制御する第1制御回路と、

前記第2スイッチング回路を構成する前記複数の第2変換器アームのそれぞれのゲートパルス制御する第2制御回路と、

前記第3スイッチング回路を構成する前記複数の第3変換器アームのそれぞれのゲートパルス制御する第3制御回路と、

前記第1制御回路、前記第2制御回路及び前記第3制御回路のそれぞれと接続された上位制御回路と、

を備え、

前記第1制御回路は、前記第1制御回路に電源を供給する第1制御電源と、前記第1制

御電源の状態を監視する第1停電検出回路と、前記第1制御電源の停電時に前記第1制御回路に所定時間電力を供給する第1停電補償回路と、を含み、

前記第2制御回路は、前記第2制御回路に電源を供給する第2制御電源と、前記第2制御電源の状態を監視する第2停電検出回路と、前記第2制御電源の停電時に前記第2制御回路に所定時間電力を供給する第2停電補償回路と、を含み、

前記第3制御回路は、前記第3制御回路に電源を供給する第3制御電源と、前記第3制御電源の状態を監視する第3停電検出回路と、前記第3制御電源の停電時に前記第3制御回路に所定時間電力を供給する第3停電補償回路と、を含み、

前記上位制御回路は、正常時において、

前記第1スイッチング回路を構成する前記複数の第1変換器アームのそれぞれの位相制御パルスを前記第1制御回路へ出力し、

前記第2スイッチング回路を構成する前記複数の第2変換器アームのそれぞれの位相制御パルスを前記第2制御回路へ出力し、

前記第3スイッチング回路を構成する前記複数の第3変換器アームのそれぞれの位相制御パルスを前記第3制御回路へ出力し、

前記上位制御回路は、前記第1停電検出回路から前記第1制御電源が停電であることを表す信号を受信した場合には、

前記第1制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第2制御回路に対して前記第2スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、または、前記第1制御回路及び前記第2制御回路に対して

前記位相制御パルスを停止し、かつ、前記第3制御回路に対して前記第3スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、

前記上位制御回路は、前記第2停電検出回路から前記第2制御電源が停電であることを表す信号を受信した場合には、

前記第1制御回路及び前記第2制御回路に対して前記位相制御パルスを停止し、かつ、前記第3制御回路に対して前記第3スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、または、前記第2制御回路及び前記第3制御回路に対して

前記位相制御パルスを停止し、かつ、前記第1制御回路に対して前記第1スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、

前記上位制御回路は、前記第3停電検出回路から前記第3制御電源が停電であることを表す信号を受信した場合には、

前記第2制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第1制御回路に対して前記第1スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、または、前記第1制御回路及び前記第3制御回路に対して

【請求項2】

前記所定時間は、前記バイパスペア指令が出力されてから、前記バイパスペア指令を受けていない、前記第1変換器アーム、前記第2変換器アーム及び前記第3変換器アームのいずれかがターンオフするまでの時間以上である請求項1記載の電力変換装置の制御装置。

【請求項3】

複数の第1変換器アームを直列接続して構成する第1スイッチング回路と、複数の第2変換器アームを直列接続して構成する第2スイッチング回路と、複数の第3変換器アームを直列接続して構成する第3スイッチング回路と、を備え、前記第1スイッチング回路の一端と前記第2スイッチング回路の一端と前記第3スイッチング回路の一端とが直流回路の高圧側に接続され、前記第1スイッチング回路の他端と前記第2スイッチング回路の他端と前記第3スイッチング回路の他端とが前記直流回路の低圧側に接続され、交流電源から供給される交流電力を直流電力に変換し、前記直流電力を前記直流回路に供給する他励

10

20

30

40

50

式の電力変換装置の制御装置であって、

前記第1スイッチング回路と接続され前記複数の第1変換器アームのそれぞれのオンタイムを制御する第1制御回路と、

前記第2スイッチング回路と接続され前記複数の第2変換器アームのそれぞれのオンタイムを制御する第2制御回路と、

前記第3スイッチング回路を構成する前記複数の第3変換器アームのそれぞれのオンタイムを制御する第3制御回路と、

前記第1制御回路、前記第2制御回路及び前記第3制御回路のそれぞれと接続された上位制御回路と、

を備え、

前記第1制御回路は、前記第1制御回路が前記第1スイッチング回路に出力するゲートパルスの異常の有無を監視する第1パルス監視回路を含み、

前記第2制御回路は、前記第2制御回路が前記第2スイッチング回路に出力するゲートパルスの異常の有無を監視する第2パルス監視回路を含み、

前記第3制御回路は、前記第3制御回路が前記第3スイッチング回路に出力するゲートパルスの異常の有無を監視する第3パルス監視回路を含み、

前記上位制御回路は、正常時において、

前記第1スイッチング回路を構成する前記複数の第1変換器アームのそれぞれの位相制御パルスを前記第1制御回路へ出力し、

前記第2スイッチング回路を構成する前記複数の第2変換器アームのそれぞれの位相制御パルスを前記第2制御回路へ出力し、

前記第3スイッチング回路を構成する前記複数の第3変換器アームのそれぞれの位相制御パルスを前記第3制御回路へ出力し、

前記上位制御回路は、前記第1パルス監視回路から前記第1制御回路が出力するゲートパルスに異常があることを表す信号を受信した場合には、

前記第1制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第2制御回路に対して前記第2スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、または、前記第1制御回路及び前記第2制御回路に対して前記位相制御パルスを停止し、かつ、前記第3制御回路に対して前記第3スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、

前記上位制御回路は、前記第2パルス監視回路から前記第2制御回路が出力するゲートパルスに異常があることを表す信号を受信した場合には、

前記第1制御回路及び前記第2制御回路に対して前記位相制御パルスを停止し、かつ、前記第3制御回路に対して前記第3スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、または、前記第2制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第1制御回路に対して前記第1スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、

前記上位制御回路は、前記第3パルス監視回路から前記第3制御回路が出力するゲートパルスに異常があることを表す信号を受信した場合には、

前記第2制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第1制御回路に対して前記第1スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力し、または、前記第1制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第2制御回路に対して前記第2スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出力する電力変換装置の制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、電力変換装置の制御装置に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

サイリスタ素子を用いた他励式の電力変換装置の保護停止には、例えば、「GS (Gate Shift) - GB (Gate Block) - CBT (Circuit Breaker Trip)」という手法が用いられる。HVDC (High Voltage Direct Current)などの直流送電方式においては、ゲートパルス
を生成する制御装置が故障したときに、「GS - GB - CBT」を用いて電力変換装置を
停止させる場合がある。GSとはサイリスタの点弧位相を90°以上にして電力変換装置
をインバータ領域で運転させることである。GBとはゲートパルスを停止することである
。CBTとは電力変換装置の交流側に接続される遮断器を解放することである。「GS -
GB - CBT」とはGS後にGBを行いさらにCBTを行う一連の保護連動のことである
。また、GSの代わりにBPP (バイパスペア)を用いて、保護停止させる手法がある。10
BPPとは電力変換器の変換器アームのうち、同じ相に接続されている高圧側アームと低
圧側アームとを同時に導通させることである。

【 0 0 0 3 】

GS期間は、一般的に、40ms ~ 100ms程度であるが、例えば、制御装置の制御
電源が喪失するような故障のときには、GS期間が完了するまで停電補償が行われている
。停電補償は、電力変換装置全体として保護連動が完了するように制御装置のゲートパルス
発生能力を維持する目的で行われる。このため、電力変換装置の制御装置は、制御回路
を分割し停電補償回路を備えている。例えば、12個の変換器アーム (バルブ)を備えた
12相の電力変換装置の構成であれば、12相の各アーム毎に、ゲートパルスを生成する
制御回路が設けられる。つまり、12相の各相に停電補償回路が設けられている。このた
め、回路構成が複雑となり、制御装置が大型化する。このような制御装置においては、回
路構成を簡素にすることが望まれている。20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開昭 4 8 - 8 6 0 3 4 号公報

【 特許文献 2 】 特開 2 0 0 8 - 2 2 8 1 4 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本発明の実施形態は、回路構成を簡素にできる電力変換装置の制御装置を提供する。30

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明の実施形態によれば、他励式の電力変換装置の制御装置が提供される。前記電力
変換装置は、第1スイッチング回路と、第2スイッチング回路と、第3スイッチング回路
と、を備える。前記第1スイッチング回路は、複数の第1変換器アームが直列接続される
。前記第2スイッチング回路は、複数の第2変換器アームが直列接続される。前記第3ス
イッチング回路は、複数の第3変換器アームが直列接続される。前記第1スイッチング回
路の一端と前記第2スイッチング回路の一端と前記第3スイッチング回路の一端とが直流
回路の高圧側と接続される。前記第1スイッチング回路の他端と前記第2スイッチング回
路の他端と前記第3スイッチング回路の他端とが前記直流回路の低圧側と接続される。前
記電力変換装置は、交流電源から供給される交流電力を直流電力に変換し、前記直流電力
を前記直流回路に供給する。前記制御装置は、第1制御回路と、第2制御回路と、第3制
御回路と、上位制御回路と、を備える。前記第1制御回路は、前記第1スイッチング回路
と接続され前記複数の第1変換器アームのそれぞれのゲートパルスを制御する。前記第2
制御回路は、前記第2スイッチング回路と接続され前記複数の第2変換器アームのそれぞ
れのゲートパルスを制御する。前記第3制御回路は、前記第3スイッチング回路と接続さ
れ前記複数の第3変換器アームのそれぞれのゲートパルスを制御する。前記上位制御回路
は、前記第1制御回路、前記第2制御回路及び前記第3制御回路のそれぞれと接続される
。前記第1制御回路は、第1制御電源と、第1停電検出回路と、第1停電補償回路と、を

10

20

30

40

50

含む。前記第1制御電源は、前記第1制御回路に電源を供給する。前記第1停電検出回路は、前記第1制御電源の状態を監視する。前記第1停電補償回路は、前記第1制御電源の停電時に前記第1制御回路に所定時間電力を供給する。前記第2制御回路は、第2制御電源と、第2停電検出回路と、第2停電補償回路と、を含む。前記第2制御電源は、前記第2制御回路に電源を供給する。前記第2停電検出回路は、前記第2制御電源の状態を監視する。前記第2停電補償回路は、前記第2制御電源の停電時に前記第2制御回路に所定時間電力を供給する。前記第3制御回路は、第3制御電源と、第3停電検出回路と、第3停電補償回路と、を含む。前記第3制御電源は、前記第3制御回路に電源を供給する。前記第3停電検出回路は、前記第3制御電源の状態を監視する。前記第3停電補償回路は、前記第3制御電源の停電時に前記第3制御回路に所定時間電力を供給する。前記上位制御回路は、正常時において、前記第1スイッチング回路を構成する前記複数の第1変換器アームのそれぞれの位相制御パルスを出し、前記第2スイッチング回路を構成する前記複数の第2変換器アームのそれぞれの位相制御パルスを出し、前記第3スイッチング回路を構成する前記複数の第3変換器アームのそれぞれの位相制御パルスを出し、前記第1停電検出回路から前記第1制御電源が停電であることを表す信号を受信した場合には、前記第1制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第2制御回路に対して前記第2スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出し、または、前記第1制御回路及び前記第2制御回路に対して前記位相制御パルスを停止し、かつ、前記第3制御回路に対して前記第3スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出し、前記第2停電検出回路から前記第2制御電源が停電であることを表す信号を受信した場合には、前記第1制御回路及び前記第2制御回路に対して前記位相制御パルスを停止し、かつ、前記第3制御回路に対して前記第3スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出し、または、前記第2制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第1制御回路に対して前記第1スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出し、前記第3停電検出回路から前記第3制御電源が停電であることを表す信号を受信した場合には、前記第2制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第1制御回路に対して前記第1スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出し、または、前記第1制御回路及び前記第3制御回路に対して前記位相制御パルスを停止し、かつ、前記第2制御回路に対して前記第2スイッチング回路を使用してバイパスペアの状態にするバイパスペア指令を出し、

10

20

30

。【発明の効果】

【0007】

本発明の実施形態によれば、回路構成を簡素にできる電力変換装置の制御装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係る電力変換装置の主回路部及び制御装置を模式的に表すブロック図である。

40

【図2】第1の実施形態に係る変換器アームを模式的に表すブロック図である。

【図3】第1の実施形態に係る上位制御回路を模式的に表すブロック図である。

【図4】第1の実施形態に係る第1～第3制御回路を模式的に表すブロック図である。

【図5】第1の実施形態に係る電力変換装置の主回路部及び制御装置の一部を模式的に表すブロック図である。

【図6】図6(a)及び図6(b)は、電力変換装置の保護停止動作を例示するタイミングチャート図である。

【図7】第2の実施形態に係る変換器アームの位相角の関係を例示する図である。

【図8】第2の実施形態に係るバイパスペアの組み合わせを例示する図である。

50

【発明を実施するための形態】

【0009】

以下に、本発明の各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0010】

(第1の実施形態)

図1は、第1の実施形態に係る電力変換装置の主回路部及び制御装置を模式的に表すブロック図である。

図1に表したように、制御装置10は、電力変換装置の主回路部30(以下、単に主回路部30という)と接続されている。主回路部30は、交流電源20及び直流回路50に接続されている。交流電源20は、例えば、三相交流電源である。交流電源20は、三相交流電力Pacを主回路部30に供給する。

【0011】

主回路部30は、交流電源20から供給された交流電力を直流電力に変換し、直流電力を直流回路50に供給する。主回路部30は、交流電力から直流電力への変換を行う。主回路部30は、他励式である。制御装置10は、主回路部30による電力の変換を制御する。

【0012】

直流回路50は、高圧側直流母線50Hと、低圧側直流母線50Lと、を含む。高圧側直流母線50Hは、例えば、海底ケーブルなどの直流ケーブルである。低圧側直流母線50Lは、ケーブル帰路でもよいし、大地帰路や海水帰路などでもよい。すなわち、低圧側直流母線50Lは、必要に応じて設けられ、省略可能である。

【0013】

主回路部30及び制御装置10は、例えば、直流送電システムに用いられる。直流送電システムにおいては、直流回路50の一端に主回路部30が接続され、直流回路50の他端に主回路部30と同様の変換装置が接続される。直流送電システムでは、主回路部30において交流電力から直流電力に変換し、反対側の変換装置において直流電力から交流電力に戻す。このように、直流送電システムでは、交流電力を直流電力に変換して送電を行い、直流電力を交流電力に再変換することにより、再変換後の交流電力を電力系統などに供給する。

【0014】

主回路部30は、交流遮断器31と、変圧器32、33と、直流リアクトル34と、第1スイッチング回路41と、第2スイッチング回路42と、第3スイッチング回路43と、を含む。これら第1スイッチング回路41、第2スイッチング回路42及び第3スイッチング回路43のそれぞれは、例えば、3相交流のR相、S相及びT相の交直変換器として機能する。第1スイッチング回路41では、複数の第1変換器アームU1、X1、U2、X2が直列に接続されている。第2スイッチング回路42では、複数の第2変換器アームV1、Y1、V2、Y2が直列に接続されている。第3スイッチング回路43では、複数の第3変換器アームW1、Z1、W2、Z2が直列に接続されている。ここで、第1～第3変換器アームの1つを単にバルブ(または変換器アーム)とも呼ぶ。つまり、1つのスイッチング回路においては、複数のバルブ(ここでは、4つのバルブまたは変換器アーム)が直列接続されている。

【0015】

第1スイッチング回路41の一端と、第2スイッチング回路42の一端と、第3スイッチング回路43の一端とは、直流回路50の高圧側と接続される。第1スイッチング回路41の他端と、第2スイッチング回路42の他端と、第3スイッチング回路43の他端と

10

20

30

40

50

は、直流回路50の低圧側と接続される。

【0016】

変換器アームU1とX1、変換器アームV1とY1、及び、変換器アームW1とZ1は、ブリッジ接続される。変換器アームU2とX2、変換器アームV2とY2、及び、変換器アームW2とZ2は、ブリッジ接続される。さらに、これらの2つのブリッジは、カスケード接続されている。

【0017】

交流遮断器31は、交流電源20と主回路部30との間に設けられている。交流遮断器31は、交流電源20と主回路部30とを遮断する。

【0018】

変圧器32は、一次巻線32aと、二次巻線32bと、を含む。変圧器33は、一次巻線33aと、二次巻線33bと、を含む。変圧器32、33の一次巻線32a、33aのそれぞれは、交流遮断器31を介して交流電源20に接続されている。変圧器32の二次巻線32bは、変換器アームU1と変換器アームX1との間の交流接続点、変換器アームV1と変換器アームY1との間の交流接続点、及び、変換器アームW1と変換器アームZ1との間の交流接続点に接続されている。変圧器33の二次巻線33bは、変換器アームU2と変換器アームX2との間の交流接続点、変換器アームV2と変換器アームY2との間の交流接続点、及び、変換器アームW2と変換器アームZ2との間の交流接続点に接続されている。これにより、変圧器32、33で変圧された交流電力が、第1スイッチング回路41、第2スイッチング回路42及び第3スイッチング回路43のそれぞれの交流接続点に供給される。

【0019】

この例において、変圧器32、33は、三相変圧器である。変圧器32の一次巻線32aは、Y接続されている。変圧器32の二次巻線32bは、Y接続されている。変圧器33の一次巻線33aは、Y接続されている。変圧器33の二次巻線33bは、Y接続されている。従って、変換器アームU2、X2と、変換器アームV2、Y2と、変換器アームW2、Z2とに供給される交流電力の位相は、変換器アームU1、X1と、変換器アームV1、Y1と、変換器アームW1、Z1とに供給される交流電力の位相に対して30°ずれる。なお、三相変圧器は、3つの単相の変圧器を用いて構成するようにしてもよい。あるいは、三相変圧器は、三次巻線を有する三巻線変圧器であってもよい。

【0020】

第1スイッチング回路41、第2スイッチング回路42及び第3スイッチング回路43の高圧側の直流出力点は、直流リアクトル34に接続され、直流リアクトル34を介して直流回路50の高圧側直流母線50Hに接続されている。第1スイッチング回路41、第2スイッチング回路42及び第3スイッチング回路43の低圧側の直流出力点は、直流回路50の低圧側直流母線50Lに接続されている。

【0021】

この例において、主回路部30は、12相の整流回路である。主回路部30及び制御装置10は、第1スイッチング回路41、第2スイッチング回路42及び第3スイッチング回路43のスイッチングを制御することにより、交流電源20から供給された交流電力を直流電力に変換する。主回路部30は、高圧側直流母線50Hと低圧側直流母線50Lとの間に直流電圧を印加する。

【0022】

なお、主回路部30は、12相の整流回路に限ることなく、6相の整流回路でもよい。さらには、24相、36相、48相などのより多相の整流回路でもよい。また、交流電源20の交流電力は、例えば、単相交流電力でもよい。

【0023】

実施形態に係る制御装置10は、第1制御回路11と、第2制御回路12と、第3制御回路13と、上位制御回路14と、を含む。第1制御回路11は、例えば、R相用である。第2制御回路12は、例えば、S相用である。第3制御回路13は、例えば、T相用で

10

20

30

40

50

ある。第1制御回路11からは、光ケーブルを介して第1スイッチング回路41へゲートパルスGU1、GX1、GU2、GX2が伝送される。第1制御回路11は、複数の変換器アームU1、X1、U2、X2(R相)のそれぞれのゲートパルスGU1、GX1、GU2、GX2を制御する。

また、各変換器アームU1、X1、U2、X2からは、光ケーブルを介して各バルブが順方向に電圧が印加されているか、あるいは、逆方向に電圧が印加されているかを示すバルブモニタ信号MU1、MX1、MU2、MX2が第1制御回路11に送信される。

【0024】

第2制御回路12からは、光ケーブルを介して第2スイッチング回路42へゲートパルスGV1、GY1、GV2、GY2が伝送される。第2制御回路12は、複数の変換器アームV1、Y1、V2、Y2(S相)のそれぞれのゲートパルスGV1、GY1、GV2、GY2を制御する。

また、各変換器アームV1、Y1、V2、Y2からは、光ケーブルを介して各バルブが順方向に電圧が印加されているか、あるいは、逆方向に電圧が印加されているかを示すバルブモニタ信号MV1、MY1、MV2、MY2が第2制御回路12に送信される。

【0025】

第3制御回路13からは、光ケーブルを介して第3スイッチング回路43へゲートパルスGW1、GZ1、GW2、GZ2が伝送される。第3制御回路13は、複数の変換器アームW1、Z1、W2、Z2(T相)のそれぞれのゲートパルスGW1、GZ1、GW2、GZ2を制御する。

また、各変換器アームW1、Z1、W2、Z2からは、光ケーブルを介して各バルブが順方向に電圧が印加されているか、あるいは、逆方向に電圧が印加されているかを示すバルブモニタ信号MW1、MZ1、MW2、MZ2が第3制御回路13に送信される。

【0026】

図2は、第1の実施形態に係る第1変換器アームU1を模式的に表すブロック図である。

図2に表したように、変換器アームU1は、例えば、複数のサイリスタTH1~TH7と、複数の抵抗RS1~RS7と、複数のコンデンサC1~C7と、複数の分圧抵抗RD1~RD7と、リアクトルAL1、AL2と、を含む。第1変換器アームU1は、降圧側の端子Kと、低圧側の端子Aと、を含む。なお、他の変換器アームX1、U2、X2、変換器アームV1、Y1、V2、Y2、変換器アームW1、Z1、W2、Z2の構成は、変換器アームU1の構成と実質的に同じである。これらについての詳細な説明は省略する。

【0027】

各サイリスタTH1~TH7のそれぞれは、端子Kと端子Aとの間で直列に接続されている。この例では、7つのサイリスタTH1~TH7が直列に接続されている。サイリスタの数は、7つ以下でもよいし、8つ以上でもよい。サイリスタは、1つでもよい。直列に接続するサイリスタの数は、印加される電圧値などに応じて適宜設定すればよい。

【0028】

リアクトルAL1は、直列に接続された各サイリスタTH1~TH7の一端に接続されている。この例では、リアクトルAL1は、端子KとサイリスタTH7のカソード端子との間に接続されている。リアクトルAL2は、直列に接続された各サイリスタTH1~TH7の他端に接続されている。この例では、リアクトルAL2は、サイリスタTH1のアノード端子と端子Aとの間に接続されている。なお、リアクトルなどの回路構成や接続位置などは、本例に限定されない。

【0029】

抵抗RS1は、コンデンサC1と直列に接続されている。抵抗RS1及びコンデンサC1は、サイリスタTH1と並列に接続されている。抵抗RS1及びコンデンサC1は、サイリスタTH1に対して、いわゆるスナバ回路を形成する。

【0030】

同様に、サイリスタTH2には、抵抗RS2及びコンデンサC2を含むスナバ回路が並

10

20

30

40

50

列に接続される。サイリスタTH3には、抵抗RS3及びコンデンサC3を含むスナバ回路が並列に接続される。サイリスタTH4には、抵抗RS4及びコンデンサC4を含むスナバ回路が並列に接続される。サイリスタTH5には、抵抗RS5及びコンデンサC5を含むスナバ回路が並列に接続される。サイリスタTH6には、抵抗RS6及びコンデンサC6を含むスナバ回路が並列に接続される。サイリスタTH7には、抵抗RS7及びコンデンサC7を含むスナバ回路が並列に接続される。

【0031】

各分圧抵抗RD1～RD7は、各スナバ回路に並列に接続されている。各分圧抵抗RD1～RD7は、直流成分の分圧抵抗である。各分圧抵抗RD1～RD7は、例えば、各サイリスタTH1～TH7の順方向または逆方向の電圧を検出するパルス電圧検出回路（図示せず）の電流制限抵抗等にも用いられる。本図では図示されないが、パルス電圧検出回路の出力は、パルスモニタ信号MU1として第1制御回路11へ光ケーブル等を使用して送信される。

10

【0032】

各サイリスタTH1～TH7は、ゲート用ライトガイドG11～G17（光ファイバ）を有する。ゲート用ライトガイドG11～G17は、ゲートパルスGU1を伝送する光ケーブルである。ゲート用ライトガイドG11～G17は、サイリスタTH1～TH7のゲートに光信号を入力する。各サイリスタTH1～TH7は、光信号の入力に応じて点弧（ターンオン）する。すなわち、各サイリスタTH1～TH7は、光サイリスタである。

【0033】

各ゲート用ライトガイドG11～G17は、第1制御回路11に接続されている。第1制御回路11は、各ゲート用ライトガイドG11～G17を介して各サイリスタTH1～TH7のゲートにパルス状の光信号をゲートパルスGU1として入力する。これにより、各サイリスタTH1～TH7を点弧させる。第1制御回路11は、各サイリスタTH1～TH7に実質的に同時にパルス状の光信号を入力する。各サイリスタTH1～TH7は、実質的に同時に点弧する。これにより、変換器アームU1が、オン状態（導通状態）になる。

20

【0034】

このように、第1制御回路11は、光信号の入力により、変換器アームU1のオンタイミングを制御する。第1制御回路11は、変換器アームU1、X1、U2、X2毎にゲートパルスである光信号を生成し、それぞれのオンタイミングを制御する。

30

【0035】

この例では、各サイリスタTH1～TH7に光サイリスタを用いている。各サイリスタTH1～TH7は、光サイリスタに限ることなく、ゲートに電気信号を入力することによって点弧するサイリスタでもよい。また、スイッチング素子は、サイリスタに限ることなく、他の他励式のスイッチング素子でもよい。

【0036】

図2では、変換器アームU1について説明したが、他の変換器アームX1、U2、X2、変換器アームV1、Y1、V2、Y2、変換器アームW1、Z1、W2、Z2についても同様であるため、説明及び図示は省略する。

40

【0037】

さらに、図1に表すように、主回路部30は、直流電流検出器35と、直流電圧検出器36と、交流電流検出器37a～37cと、交流電流検出器38a～38cと、交流電圧検出器39a～39cと、交流電圧検出器40a～40cと、をさらに含む。

【0038】

直流電流検出器35は、主回路部30から出力される直流電流Idcを検出し、直流電流Idcの検出値を上位制御回路14に入力する。直流電圧検出器36は、主回路部30から出力される直流電圧Vdcを検出する。直流電圧検出器36は、直流電圧Vdcの検出値を上位制御回路14に入力する。

【0039】

50

交流電流検出器 37a ~ 37c は、変圧器 32 の二次側の各相の交流電流 I_{aca} を検出し、交流電流 I_{aca} の検出値を上位制御回路 14 に入力する。交流電流検出器 38a ~ 38c は、変圧器 33 の二次側の各相の交流電流 I_{acb} を検出し、交流電流 I_{acb} の検出値を上位制御回路 14 に入力する。

【0040】

交流電圧検出器 39a ~ 39c は、変圧器 32 の二次側の各相の交流電圧 V_{aca} を検出し、交流電圧 V_{aca} の検出値を上位制御回路 14 に入力する。交流電圧検出器 40a ~ 40c は、変圧器 33 の二次側の各相の交流電圧 V_{acb} を検出し、交流電圧 V_{acb} の検出値を上位制御回路 14 に入力する。

【0041】

なお、各交流電流検出器 37a ~ 37c、38a ~ 38c は、各変圧器 32、33 の一次側の交流電流を検出してもよい。各交流電圧検出器 39a ~ 39c、40a ~ 40c は、各変圧器 32、33 の一次側の交流電圧を検出してもよい。例えば、各変圧器 32、33 の一次側の交流電流を検出する交流電流検出器と、二次側の交流電流を検出する交流電流検出器と、各変圧器 32、33 の一次側の交流電圧を検出する交流電圧検出器と、二次側の交流電圧を検出する交流電圧検出器と、をそれぞれ設けてもよい。

【0042】

図 3 は、第 1 の実施形態に係る上位制御回路を模式的に表すブロック図である。

図 3 に表すように、上位制御回路 14 は、第 1 制御回路 11、第 2 制御回路 12 及び第 3 制御回路 13 のそれぞれと接続されている。上位制御回路 14 は、第 1 ~ 第 3 制御回路 11 ~ 13 と別体で構成されていてもよい。すなわち、上位制御回路 14 は、第 1 ~ 第 3 制御回路 11 ~ 13 のそれぞれと有線または無線を介して接続されていてもよい。

【0043】

上位制御回路 14 は、入力された交流電流 I_{aca} 、 I_{acb} 、交流電圧 V_{aca} 、 V_{acb} 、直流電流 I_{dc} 及び直流電圧 V_{dc} のそれぞれの検出値及び図示されていない、起動指令や停止指令、直流電力指令値、直流電流指令値、直流電圧指令値等に基づき、それに応じた各変換器アーム U1、X1、U2、X2、各変換器アーム V1、Y1、V2、Y2、及び各変換器アーム W1、Z1、W2、Z2 の通電期間に相当する指令（位相制御パルス PHS）を、第 1 制御回路 11、第 2 制御回路 12 及び第 3 制御回路 13 にそれぞれに出力する。

【0044】

上位制御回路 14 は、位相制御回路 14a と、故障検出回路 14b と、を含む。位相制御回路 14a は、上記の位相制御パルス PHS を生成し、生成した位相制御パルス PHS を、第 1 ~ 第 3 制御回路 11 ~ 13 のそれぞれに対して出力する。第 1 ~ 第 3 制御回路 11 ~ 13 は、故障が発生した場合に、各々の制御回路の故障信号 F1 ~ F3 を故障検出回路 14b に送信する。故障検出回路 14b は、第 1 ~ 第 3 制御回路 11 ~ 13 の動作状態を監視し、第 1 ~ 第 3 制御回路 11 ~ 13 に故障が発生したか否かを判定する機能を備える。位相制御回路 14a は、故障検出回路 14b と接続されており、第 1 ~ 第 3 制御回路 11 ~ 13 の故障の発生に応じて位相制御パルス PHS を出力することができる。

【0045】

図 4 は、第 1 の実施形態に係る第 1 ~ 第 3 制御回路を模式的に表すブロック図である。

図 4 に表すように、第 1 制御回路 11 は、第 1 制御電源 11a と、第 1 停電検出回路 11b と、第 1 停電補償回路 11c と、第 1 ゲートパルス発生回路 11d と、第 1 パルブモニタ回路 11e と、第 1 パルス監視回路 11f と、第 1 論理和回路 11g と、を含む。第 1 停電検出回路 11b、第 1 パルス監視回路 11f 及び第 1 論理和回路 11g は、第 1 制御回路 11 の異常を検出する第 1 異常検出回路を構成する。

【0046】

第 1 制御電源 11a は、第 1 ゲートパルス発生回路 11d 及び第 1 パルブモニタ回路 11e に電源を供給する。第 1 停電検出回路 11b は、第 1 制御電源 11a の状態を監視し、例えば、第 1 制御電源 11a が故障し、その出力電圧がゼロまたは閾値以下と判定した

10

20

30

40

50

場合に、第1制御回路11が停電状態と判定する。第1停電補償回路11cは、第1制御回路11の停電時に第1ゲートパルス発生回路11d及び第1バルブモニタ回路11eに所定時間電力を供給する。第1停電補償回路11cには、例えば、バッテリーや、コンデンサなどが用いられる。

【0047】

図2で図示を省略したバルブ電圧検出回路からの出力であるバルブモニタ信号MU1、MX1、MU2、MX2は、第1スイッチング回路41を構成する各変換器アームU1、X1、U2、X2から出力される。第1バルブモニタ回路11eは、第1スイッチング回路41からバルブモニタ信号MU1、MX1、MU2、MX2を受信し、その信号に基づき第1スイッチング回路41の変換器アームU1、X1、U2、X2に印加されている電圧が順電圧であるか逆電圧であるかを判定し、その信号を第1ゲートパルス発生回路11dに送信する。

10

【0048】

第1ゲートパルス発生回路11dは、上位制御回路14からの指令（位相制御パルス）と、第1バルブモニタ回路11eによる判定結果（順電圧または逆電圧）と、に基づいて、第1スイッチング回路41に与えるゲートパルスGU1、GX1、GU2、GX2を発生させる。

【0049】

第1停電検出回路11bは、第1制御回路11が停電状態と判定するとその出力を第1論理和回路11gに出力する。

20

【0050】

第1パルス監視回路11fは、第1ゲートパルス発生回路11dの異常の有無を監視する。第1パルス監視回路11fは、例えば、第1ゲートパルス発生回路11dの出力であるゲートパルスGU1、GX1、GU2、GX2のパルス幅が所定値以内に無いパルス幅異常の場合や、1サイクル中のパルスの数が所定値より大きいパルス数異常の場合や、パルスが所定期間出力されない欠相の場合や、パルスの出力の値が所定値より不足する出力不足の場合に、第1ゲートパルス発生回路11dが異常と判定する。パルス出力の値は、例えば、パルス出力が電圧信号のときには電圧値であり、パルス出力が光信号のときには光量値である。

【0051】

30

第1停電検出回路11bは、第1制御回路11が停電状態と判定するとその出力を第1論理和回路11gに異常信号を出力する。第1パルス監視回路11fは、第1ゲートパルス発生回路11dが異常と判断すると、その出力を第1論理和回路11gに異常信号を出力する。第1論理和回路11gは、第1停電検出回路11bからの異常信号または第1パルス監視回路11fからの異常信号のどちらかを一方でも受信した場合は、第1制御回路11の故障信号F1を上位制御回路14に出力する。

【0052】

第2制御回路12は、第2制御電源12aと、第2停電検出回路12bと、第2停電補償回路12cと、第2ゲートパルス発生回路12dと、第2バルブモニタ回路12eと、第2パルス監視回路12fと、第2論理和回路12gと、を含む。第2停電検出回路12b、第2パルス監視回路12f及び第2論理和回路12gは、第2制御回路12の異常を検出する第2異常検出回路を構成する。

40

【0053】

第2制御回路12を構成する第2制御電源12a、第2停電検出回路12b、第2停電補償回路12c、第2ゲートパルス発生回路12d、第2バルブモニタ回路12e、第2パルス監視回路12f、及び第2論理和回路12gの動作は、第1制御回路11を構成する第1制御電源11a、第1停電検出回路11b、第1停電補償回路11c、第1ゲートパルス発生回路11d、第1バルブモニタ回路11e、第1パルス監視回路11f、及び第1論理和回路11gの動作と同様である。ここでの繰り返しの説明を省略する。

【0054】

50

第3制御回路13は、第3制御電源13aと、第3停電検出回路13bと、第3停電補償回路13cと、第3ゲートパルス発生回路13dと、第3パルブモニタ回路13eと、第3パルス監視回路13fと、第3論理和回路13gと、を含む。第3停電検出回路13b、第3パルス監視回路13f及び第3論理和回路13gは、第3制御回路13の異常を検出する第3異常検出回路を構成する。

【0055】

第3制御回路13を構成する第3制御電源13a、第3停電検出回路13b、第3停電補償回路13c、第3ゲートパルス発生回路13d、第3パルブモニタ回路13e、第3パルス監視回路13f、及び第3論理和回路13gの動作は、第1制御回路11を構成する第1制御電源11a、第1停電検出回路11b、第1停電補償回路11c、第1ゲート

10

【0056】

なお、実施形態においては、各制御回路内に停電補償回路を備える構成としたが、制御回路の外部に停電補償回路を備える構成としてもよい。

【0057】

このように、実施形態に係る電力変換装置の制御装置は、直列接続された複数の変換器アーム(複数のパルブ)1セット毎に1つの制御回路を備え、さらに、集約された制御回路毎に停電補償回路を備えている。すなわち、停電補償回路が制御回路毎に集約して設けられている。これにより、制御装置の回路構成を簡素にすることができる。

20

【0058】

さらに、大容量の電力変換装置では、第1スイッチング回路(R相)と、第2スイッチング回路(S相)と、第3スイッチング回路(T相)と、が絶縁のためそれぞれ離隔されることがある。そこで、電力変換装置では、第1スイッチング回路(R相)、第2スイッチング回路(S相)、第3スイッチング回路(T相)毎に物理的に分割して制御回路を設けることで、R相、S相、T相のスイッチング回路のそれぞれの近くに個別に制御回路を配置することが可能となる。このため、交直変換器と制御回路との間に用いる光ケーブルの合計長を短くすることができる。

さらに、制御回路を、R相、S相、T相毎に設けることで、メンテナンス単位を最小化でき、メンテナンス時間を短く分割することにより、メンテナンス時間の短縮を図ることが

30

【0059】

実施形態においては、三相交流の場合で3つのスイッチング回路及び3つの制御回路を例示して説明した。実施形態としては、少なくとも2つのスイッチング回路が直流回路に並列に接続されていて、それに対応して2つの制御回路を備えていればよい。例えば、単相交流で、フルブリッジの整流回路を用いた場合には、2つのスイッチング回路が設けられ、2つのスイッチング回路に対応して2つの制御回路が設けられる。

【0060】

ここで、制御装置10は、第1～第3制御回路11～13の少なくともいずれか1つが停電したときに、電力変換装置を安全に保護停止させる機能を有する。具体的には、ゲートシフト(GS)動作ではなく、バイパスペア(BPP)動作により保護停止を行う。バイパスペア動作とは、交直変換器のパルブのうち、同じ相に接続されている高圧側パルブと低圧側パルブとを同時に導通させる動作のことをいう。第1スイッチング回路41の場合、例えば、U1とX1、U2とX2、がそれぞれバイパスペアとなる。

40

【0061】

図5は、第1の実施形態に係る電力変換装置の主回路部及び制御装置の一部を模式的に表すブロック図である。

以下、実施形態に係るバイパスペアを用いた保護停止動作について、図4及び図5に基づいて説明する。

【0062】

50

図4及び図5において、例えば、第1制御回路11の第1制御電源11aが故障し、第1制御回路11が停電することを想定する。第1制御回路11が停電すると、第1制御回路11内では、電源が第1停電補償回路11cから供給されるようになり、第1停電補償回路11cから所定時間電力が供給される。第1制御電源11aが故障したこと(第1制御回路11内で停電が起きたこと)は、第1停電検出回路11bで検出され、第1論理和回路11gを経由し、第1制御回路11から上位制御回路14に故障信号F1として通知される。

【0063】

この通知を受けた上位制御回路14は、直ちに、第1制御回路11以外の1つの制御回路に対し、バイパスペア指令を出力する。また、第1制御回路11及びバイパスペア指令を出力していない制御回路に対して位相制御パルスPHSの出力を停止する。

10

【0064】

例えば、上位制御回路14は、第2制御回路12に対して、複数の変換器アームV1、Y1、V2、Y2をバイパスペア状態にするバイパスペア指令BP2を出力し、第1制御回路11及び第3制御回路13への位相制御パルスPHSの出力を停止する。

【0065】

第2制御回路12は、バイパスペア指令BP2に従って、第2スイッチング回路42を構成する各変換器アームV1、Y1、V2、Y2に対して、各ゲートパルスGV1、GY1、GV2、GY2を出力する。各ゲートパルスGV1、GY1、GV2、GY2は、第2ゲートパルス発生回路12dにより出力される。なお、ここでは、変換器アームV1、Y1、V2、Y2をバイパスペア状態にするために、上位制御回路14から第2制御回路12に対し、バイパスペア指令BP2を出力したが、上位制御回路14から第2制御回路12に対して出力する位相制御信号PHSを使用し、変換器アームV1、Y1、V2、Y2がバイパスペア状態になるように各ゲートパルスGV1、GY1、GV2、GY2が出力されるようなロジックを上位制御回路14及び第2制御回路12で構成してもよい。

20

【0066】

第1制御回路11が停電し、第1停電補償回路11cから第1制御回路11に電力が供給される所定時間、すなわち、停電補償時間は、バイパスペア指令BP2が出力されてから、バイパスペア指令BP2が与えられていない別の変換器アーム(例えば、U1、X1、U2、X2、W1、Z1、W2、Z2など)が正常にターンオフするまでの時間以上確保されていればよい。停電により、第1制御回路11の第1ゲートパルス発生回路11dのゲートパルス発生機能が喪失する。このとき、変換器アームU1、X1、U2、X2及び変換器アームW1、Z1、W2、Z2の中に通電中のアームがあった場合、ゲートパルスの有する部分転流失敗発生時の保護ゲート出力機能が喪失し、場合によっては変換器アームを構成するサイリスタの破損に至る可能性があるからである。したがって、停電しても変換器アームが完全にターンオフした後であれば、たとえ保護ゲート出力機能が失われたとしても、変換器アームを構成するサイリスタを破損させる可能性を低減できる。例えば、停電補償時間として、系統周波数の半サイクル分確保されていればよい。半サイクル分の時間とは、例えば、系統周波数が50Hzのときに、10ミリ秒(ms)程度である。

30

40

【0067】

なお、ここでは、第1制御回路11の第1制御電源11aが故障し、第1制御回路11が停電することを想定し、変換器アームV1、Y1、V2、Y2をバイパスペア状態にするために上位制御回路14から第2制御回路12に対しバイパスペア指令BP2を出力するようにした。これの代わりに、変換器アームW1、Z1、W2、Z2をバイパスペア状態にするために上位制御回路14から第3制御回路13に対しバイパスペア指令BP3を出力し、上位制御回路14から第2制御回路12に対する位相制御パルスPHSの出力を停止してもよい。

【0068】

第2制御回路12または第3制御回路13が停電した場合も同様である。例えば、変換

50

器アームU1、X1、U2、X2をバイパスペア状態にする。この場合、上位制御回路14から第1制御回路11に対しバイパスペア指令BP1を出力する。

【0069】

図6(a)及び図6(b)は、電力変換装置の保護停止動作を例示するタイミングチャート図である。

図6(a)は、参考例に係るゲートシフトを用いた場合の保護停止動作を示すタイミングチャート図である。

図6(b)は、実施形態に係るバイパスペアを用いた場合の保護停止動作を示すタイミングチャート図である。

図中、GSはゲートシフトを示す。GBはゲートブロックを示す。CBTはCB(遮断器)トリップを示す。BPPはバイパスペアを示す。

【0070】

図6(a)に表すように、「GS-GB-CBT」により保護停止動作を行う場合、GS動作の完了にはT1(ms)程度の時間を要する。つまり、停電補償時間としては、T1(ms)以上を確保しなくてはならない。T1は、直流回路のインダクタンスやゲートシフト位相に依存するが、一般的に、40ms~100ms程度である。この場合、停電補償時間として、少なくとも40ms以上を確保しなくてはならない。

【0071】

これに対して、実施形態によれば、図6(b)に表すように、「BPP-CBT-GB」により保護停止動作を行う。この場合、BPP動作の完了にはT1よりも短いT2(ms)の時間ですむ。つまり、停電補償時間としては、T2(ms)以上確保出来ればよい。T2は、例えば、系統周波数が50Hzの半サイクル分の時間として、10ms程度である。この場合、停電補償時間として、10ms以上を確保すればよい。より望ましくは、マージンを含め、例えば、20ms以上とするのが良い。

【0072】

このように、実施形態によれば、停電補償回路を制御回路毎に集約して備え、さらに、バイパスペアを用いた保護停止動作を採用することにより、ゲートシフトを用いた保護停止動作と比べ、保護停止動作を迅速に実施することができ、さらに、停電補償時間を短くできるため、停電補償回路を長寿命化、小容量化することが可能となる。

【0073】

(第2の実施形態)

第1の実施形態においては、第1~第3制御回路11~13の少なくとも1つの制御電源が喪失した場合について説明した。

次に、第1~第3制御回路11~13の少なくとも1つが故障しゲートパルスを出力できない場合について説明する。

【0074】

ここで、図4、図5において、第1ゲートパルス発生回路11dが何らかの原因で故障し、ゲートパルスGU1を出力することができない場合を想定する。この場合、第1ゲートパルス発生回路11dの異常(欠相)は、第1パルス監視回路11fで検出され、異常信号として第1論理和回路11gに送信される。異常信号は、第1論理和回路11gを経由し第1制御回路11から上位制御回路14に故障信号F1として通知される。

【0075】

この通知を受けた上位制御回路14は、直ちに、第1制御回路11以外の1つの制御回路に対して、バイパスペア指令を出力する。また、第1制御回路11及びバイパスペア指令を出力していない制御回路に対して位相制御パルスPHSの出力を停止する。

以下、先に述べた第1制御回路11の第1制御電源11aが故障し、第1制御回路11が停電することを想定した動作と同様であるので、ここでの説明は省略する。

尚、本故障の場合、停電ではなく、第1ゲートパルス発生回路11dの第1制御電源11aは維持される。このため、故障したゲートパルスGU1以外のゲートパルスは出力可能な状態である。このような故障のみを想定した場合は、第1~第3制御回路11~13

10

20

30

40

50

のそれぞれは、第1～第3停電検出回路11b、12b、13b及び第1～第3停電補償回路11c、12c、13cを備えていなくてもよい。

【0076】

なお、停電検出回路やパルス監視回路は、本実施形態では、第1～第3制御回路11～13のそれぞれの中に設けられているが、故障検出回路14bとしては、第1～第3制御回路11～13のどの回路で異常が起きたかを検出できれば良い。このため、上位制御回路14側で何らかの第1～第3制御回路11～13の故障監視を行う回路を設けることでもよい。

【0077】

図7は、第2の実施形態に係る変換器アームの位相角の関係を例示する図である。

10

図7に表すように、第1スイッチング回路41の場合、変換器アームU2、X2の位相は、変換器アームU1、X1の位相に対して30°ずれる。第2スイッチング回路42の場合、変換器アームV2、Y2の位相は、変換器アームV1、Y1の位相に対して30°ずれる。第3スイッチング回路43の場合、変換器アームW2、Z2の位相は、変換器アームW1、Z1の位相に対して30°ずれる。変換器アームU1、X1と、変換器アームV1、Y1と、変換器アームW1、Z1と、はそれぞれ120°ずれている。

【0078】

第1制御回路11が故障した場合、複数の変換器アームU1、X1、U2、X2以外の複数の変換器アーム(V1、Y1、V2、Y2、W1、Z1、W2、Z2)を用いてバイパスペアを構成する。第2制御回路12が故障した場合、複数の変換器アームV1、Y1、V2、Y2以外の複数の変換器アーム(U1、X1、U2、X2、W1、Z1、W2、Z2)を用いてバイパスペアを構成する。第3制御回路13が故障した場合、複数の変換器アームW1、Z1、W2、Z2以外の複数の変換器アーム(U1、X1、U2、X2、V1、Y1、V2、Y2)を用いてバイパスペアを構成する。

20

【0079】

図8は、第2の実施形態に係るバイパスペアの組み合わせを例示する図である。

図8に表すように、R相、S相、T相毎に4ケースずつの組み合わせがある。つまり、R相用の第1制御回路11が故障した場合、「V1、Y1、V2、Y2」、「V1、Y1、W2、Z2」、「W1、Z1、V2、Y2」、「W1、Z1、W2、Z2」の4ケースとなる。S相用の第2制御回路12が故障した場合、「U1、X1、U2、X2」、「U1、X1、W2、Z2」、「W1、Z1、U2、X2」、「W1、Z1、W2、Z2」の4ケースとなる。T相用の第3制御回路13が故障した場合、「U1、X1、U2、X2」、「U1、X1、V2、Y2」、「V1、Y1、U2、X2」、「V1、Y1、V2、Y2」の4ケースとなる。

30

【0080】

このように、実施形態においては、第1～第3制御回路11～13のいずれかが故障した場合でも、故障していない制御回路からゲートパルスを出力し、制御回路が故障した複数の変換器アーム以外でバイパスペアを構成させることが可能となる。これにより、1つの制御回路の故障が全体に波及することなく、交直変換器を安全に停止させることができる。

40

【0081】

実施形態によれば、回路構成を簡素にできる電力変換装置の制御装置が提供できる。

【0082】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、第1制御回路、第1停電補償回路、第2制御回路、第2停電補償回路、第3制御回路及び第3停電補償回路などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

【0083】

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも

50

、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0084】

その他、本発明の実施の形態として上述した電力変換装置の制御装置を基にして、当業者が適宜設計変更して実施し得る全ての電力変換装置の制御装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

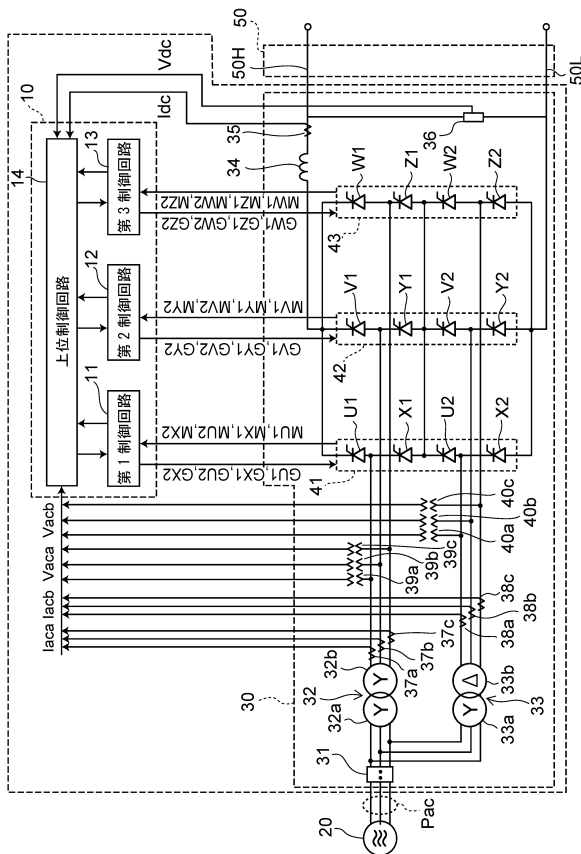
【0085】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

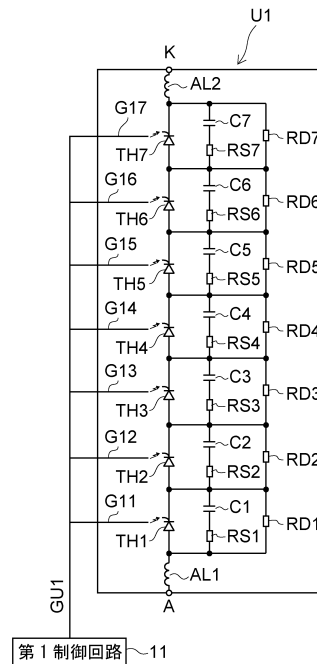
【0086】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

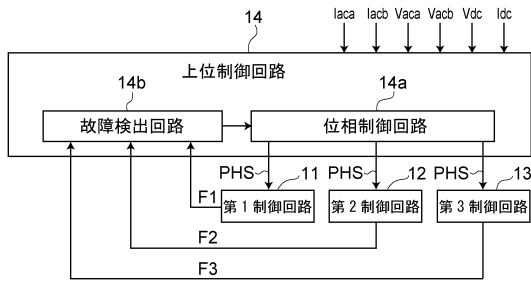
【図1】



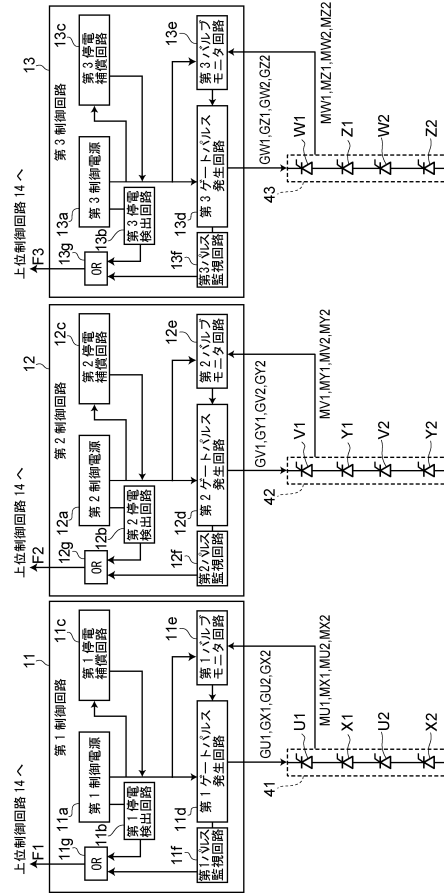
【図2】



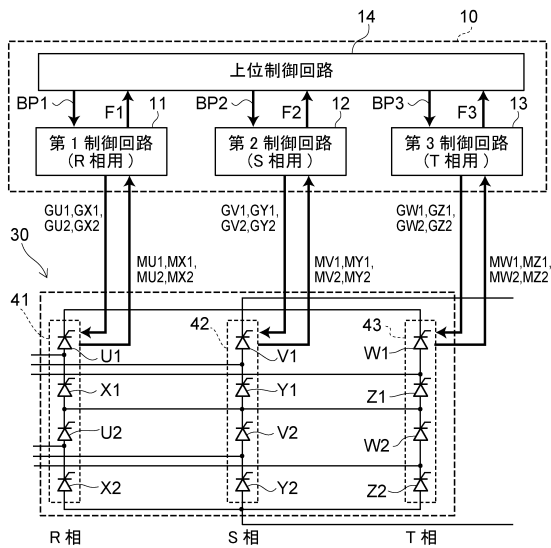
【図3】



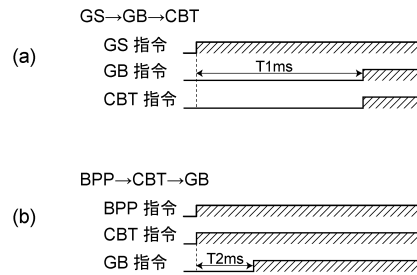
【図4】



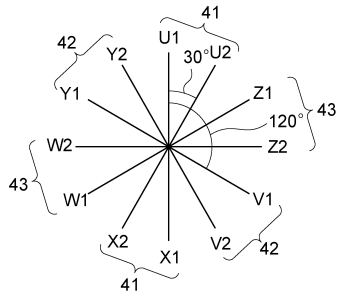
【図5】



【図6】



【図7】



【図8】

故障した制御回路	No.	バイパスペア組合せ			
		V1	Y1	V2	Y2
第1制御回路 (R相用)	1-1				
	1-2	V1	Y1	W2	Z2
	1-3			V2	Y2
	1-4	W1	Z1	W2	Z2
第2制御回路 (S相用)	2-1			U2	X2
	2-2	U1	X1	W2	Z2
	2-3			U2	X2
	2-4	W1	Z1	W2	Z2
第3制御回路 (T相用)	3-1			U2	X2
	3-2	U1	X1	V2	Y2
	3-3			U2	X2
	3-4	V1	Y1	V2	Y2

フロントページの続き

審査官 高野 誠治

- (56)参考文献 特開昭50-002854(JP,A)
特開昭60-051469(JP,A)
国際公開第2015/015623(WO,A1)
特開平04-344171(JP,A)
特開平07-245953(JP,A)
特開昭48-086034(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/42 - 7/98
H02M 1/08
H02M 7/155