



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0111840
(43) 공개일자 2018년10월11일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) H01L 21/48 (2006.01)
H01L 21/56 (2006.01) H01L 23/29 (2006.01)
H01L 23/538 (2006.01)
(52) CPC특허분류
H01L 23/49833 (2013.01)
H01L 21/4853 (2013.01)
(21) 출원번호 10-2018-7022909
(22) 출원일자(국제) 2017년02월07일
심사청구일자 없음
(85) 번역문제출일자 2018년08월08일
(86) 국제출원번호 PCT/US2017/016864
(87) 국제공개번호 WO 2017/139285
국제공개일자 2017년08월17일
(30) 우선권주장
15/040,881 2016년02월10일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
위, 홍복
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
이, 재식
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
김, 동욱
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

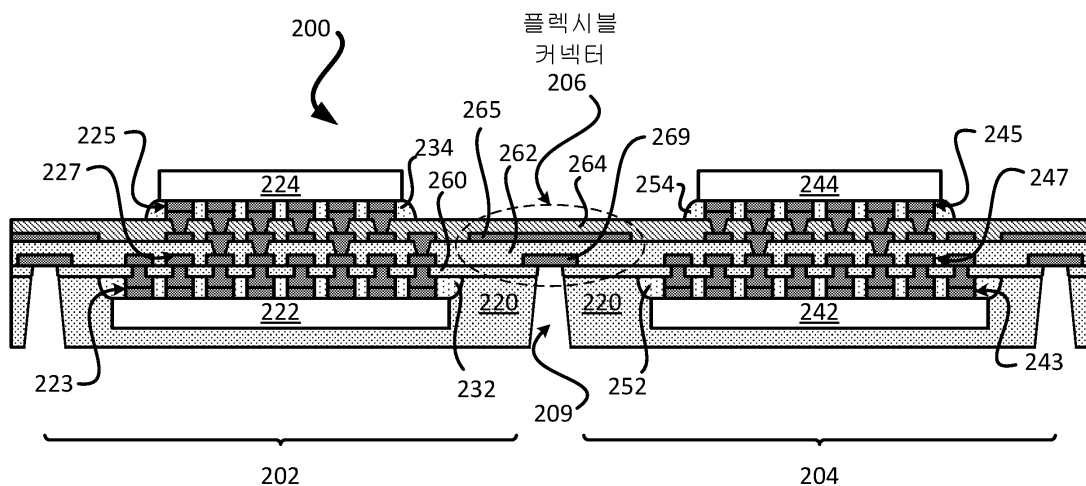
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 집적 회로(IC) 패키지들 사이의 플렉시블 커넥터를 포함하는 통합 디바이스

(57) 요약

일부 특징들은 제 1 IC(integrated circuit) 패키지, 플렉시블 커넥터 및 제 2 IC(integrated circuit) 패키지를 포함하는 통합 디바이스에 관한 것이다. 제 1 IC(integrated circuit) 패키지는 제 1 다이, 복수의 제 1 인터커넥트들, 및 제 1 다이를 캡슐화하는 제 1 유전체 층을 포함한다. 플렉시블 커넥터는 제 1 IC(integrated circuit) 패키지에 커플링된다. 플렉시블 커넥터는 제 1 유전체 층 및 인터커넥트를 포함한다. 제 2 IC(integrated circuit) 패키지는 플렉시블 커넥터에 커플링된다. 제 2 IC(integrated circuit) 패키지는 제 1 유전체 층 및 복수의 제 2 인터커넥트들을 포함한다. 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터는 제 1 유전체 층의 적어도 부분(예를 들어, 인접 부분)을 통해 함께 커플링된다. 일부 구현들에서, 플렉시블 커넥터는 더미 금속 층을 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 21/561 (2013.01)

H01L 21/565 (2013.01)

H01L 23/293 (2013.01)

H01L 23/5387 (2013.01)

명세서

청구범위

청구항 1

통합 디바이스로서,

제 1 IC(integrated circuit) 패키지 - 상기 제 1 IC(integrated circuit) 패키지는 제 1 다이; 복수의 제 1 인터커넥트들; 및 상기 제 1 다이를 캡슐화하는 제 1 유전체 층을 포함함 - ;

상기 제 1 IC(integrated circuit) 패키지에 커플링되는 플렉시블 커넥터 - 상기 플렉시블 커넥터는, 상기 제 1 유전체 층; 더미 금속 층; 및 인터커넥트를 포함함 - ; 및

상기 플렉시블 커넥터에 커플링되는 제 2 IC(integrated circuit) 패키지를 포함하고,

상기 제 2 IC(integrated circuit) 패키지는, 상기 제 1 유전체 층; 및 복수의 제 2 인터커넥트들을 포함하고,

상기 제 1 IC(integrated circuit) 패키지, 상기 제 2 IC(integrated circuit) 패키지 및 상기 플렉시블 커넥터는 상기 제 1 유전체 층의 적어도 부분을 통해 함께 커플링되는,

통합 디바이스.

청구항 2

제1항에 있어서,

상기 제 1 IC(integrated circuit) 패키지, 상기 제 2 IC(integrated circuit) 패키지 및 상기 플렉시블 커넥터 공유에 의해 공유되는 상기 제 1 유전체 층의 부분은 상기 제 1 유전체 층의 인접 부분인,

통합 디바이스.

청구항 3

제1항에 있어서,

상기 더미 금속 층은 전기 신호를 송신하지 않도록 구성되는,

통합 디바이스.

청구항 4

제1항에 있어서,

상기 더미 금속 층은 레이저가 상기 제 1 유전체 층의 부분으로 침투하는 것을 막도록 구성되는,

통합 디바이스.

청구항 5

제1항에 있어서,

상기 제 2 IC(integrated circuit) 패키지는 상기 제 1 유전체 층 내에 로케이팅되는 제 2 다이를 포함하는,

통합 디바이스.

청구항 6

제1항에 있어서,

상기 제 2 IC(integrated circuit) 패키지는 상기 제 1 유전체 층 위에 로케이팅되는 제 2 다이를 포함하는,

통합 디바이스.

청구항 7

제1항에 있어서,

상기 제 1 IC(integrated circuit) 패키지는 상기 제 1 유전체 층 위에 로케이팅되는 제 2 다이를 포함하는, 통합 디바이스.

청구항 8

제7항에 있어서,

상기 제 1 다이는 제 1 다이 패키지이고 상기 제 2 다이는 제 2 다이 패키지이고, 상기 제 1 IC(integrated circuit) 패키지는 PoP(package on package) 디바이스를 포함하는,

통합 디바이스.

청구항 9

제1항에 있어서,

상기 제 1 유전체 층은 폴리아미드(PI) 층을 포함하는,

통합 디바이스.

청구항 10

제1항에 있어서,

상기 제 1 유전체 층은 복수의 유전체 층들을 포함하는,

통합 디바이스.

청구항 11

제1항에 있어서,

상기 플렉시블 커넥터는 패키지간 커넥터(package to package connector)인,

통합 디바이스.

청구항 12

제1항에 있어서,

상기 플렉시블 커넥터는 전기 신호가 PCB(printed circuit board)을 우회하면서, 상기 제 1 IC(integrated circuit) 패키지와 상기 제 2 IC(integrated circuit) 패키지 사이를 횡단하도록 허용하게 구성되는,

통합 디바이스.

청구항 13

제1항에 있어서,

상기 통합 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트 폰, 개인용 디지털 보조기기(personal digital assistant), 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of Things) 디바이스, 랩톱 컴퓨터, 서버 및 자동차 내의 디바이스로 구성된 그룹으로부터 선택된 디바이스에 통합되는,

통합 디바이스.

청구항 14

장치로서,

제 1 IC(integrated circuit) 패키지 - 상기 제 1 IC(integrated circuit) 패키지는, 제 1 다이; 복수의 제 1

인터커넥트들; 및 상기 제 1 다이를 캡슐화하는 제 1 유전체 층을 포함함 - ;

상기 제 1 IC(integrated circuit) 패키지에 커플링되는, 전기 연결을 위한 수단 - 상기 전기 연결을 위한 수단은, 상기 제 1 유전체 층; 더미 금속 층; 및 인터커넥트를 포함함 - ; 및

상기 전기 연결을 위한 수단에 커플링되는 제 2 IC(integrated circuit) 패키지를 포함하고, 상기 제 2 IC(integrated circuit) 패키지는, 상기 제 1 유전체 층; 및 복수의 제 2 인터커넥트들을 포함하고,

상기 제 1 IC(integrated circuit) 패키지, 상기 제 2 IC(integrated circuit) 패키지 및 상기 전기 연결을 위한 수단은 상기 제 1 유전체 층의 적어도 부분을 통해 함께 커플링되는,

장치.

청구항 15

제14항에 있어서,

상기 제 1 IC(integrated circuit) 패키지, 상기 제 2 IC(integrated circuit) 패키지 및 상기 전기 연결을 위한 수단 공유에 의해 공유되는 제 1 유전체 층의 부분은 상기 제 1 유전체 층의 인접 부분인,

장치.

청구항 16

제14항에 있어서,

상기 더미 금속 층은 전기 신호를 송신하지 않도록 구성되는,

장치.

청구항 17

제14항에 있어서,

상기 더미 금속 층은 레이저가 상기 제 1 유전체 층의 부분으로 침투하는 것을 막도록 구성되는,

장치.

청구항 18

제14항에 있어서,

상기 제 2 IC(integrated circuit) 패키지는 상기 제 1 유전체 층 내에 로케이팅되는 제 2 다이를 포함하는,

장치.

청구항 19

제14항에 있어서,

상기 제 2 IC(integrated circuit) 패키지는 상기 제 1 유전체 층 위에 로케이팅되는 제 2 다이를 포함하는,

장치.

청구항 20

제14항에 있어서,

상기 제 1 IC(integrated circuit) 패키지는 상기 제 1 유전체 층 위에 로케이팅되는 제 2 다이를 포함하는,

장치.

청구항 21

제14항에 있어서,

상기 제 1 유전체 층은 폴리이미드(PI) 층을 포함하는,
장치.

청구항 22

제14항에 있어서,
상기 전기 연결을 위한 수단은 패키지간 커넥터인,
장치.

청구항 23

제14항에 있어서,
상기 전기 연결을 위한 수단은 전기 신호가 PCB(printed circuit board)을 우회하면서, 상기 제 1 IC(integrated circuit) 패키지와 상기 제 2 IC(integrated circuit) 패키지 사이를 횡단하도록 허용하게 구성되는,
장치.

청구항 24

제14항에 있어서,
상기 장치는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트 폰, 개인용 디지털 보조기기(personal digital assistant), 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of Things) 디바이스, 랩톱 컴퓨터, 서버 및 자동차 내의 디바이스로 구성된 그룹으로부터 선택된 디바이스에 통합되는,
장치.

청구항 25

통합 디바이스를 제조하기 위한 방법으로서,
제 1 IC(integrated circuit) 패키지를 제공하는 단계 - 상기 제 1 IC(integrated circuit) 패키지를 제공하는 단계는,
제 1 다이를 제공하는 단계;
복수의 제 1 인터커넥트들을 제공하는 단계; 및
상기 제 1 다이를 캡슐화하는 제 1 유전체 층을 형성하는 단계를 포함함 - ;
플렉시블 커넥터가 상기 제 1 IC(integrated circuit) 패키지에 커플링되도록 상기 플렉시블 커넥터를 형성하는 단계 - 상기 플렉시블 커넥터를 형성하는 단계는,
상기 제 1 유전체 층을 형성하는 단계;
더미 금속 층을 형성하는 단계; 및
인터커넥트를 형성하는 단계를 포함함 - ; 및
제 2 IC(integrated circuit) 패키지가 상기 플렉시블 커넥터에 커플링되도록 상기 제 2 IC(integrated circuit)를 제공하는 단계를 포함하고,
상기 제 2 IC(integrated circuit) 패키지를 제공하는 단계는,
상기 제 1 유전체 층을 형성하는 단계; 및
복수의 제 2 인터커넥트들을 형성하는 단계를 포함하고,
상기 제 1 IC(integrated circuit) 패키지, 상기 제 2 IC(integrated circuit) 패키지 및 상기 플렉시블 커넥터는, 상기 제 1 IC(integrated circuit) 패키지, 상기 제 2 IC(integrated circuit) 패키지 및 상기 플렉시블

커넥터가 상기 제 1 유전체 층의 적어도 부분을 통해 함께 커플링되도록 형성되는,
통합 디바이스를 제조하기 위한 방법.

청구항 26

제25항에 있어서,

상기 제 1 IC(integrated circuit) 패키지, 상기 제 2 IC(integrated circuit) 패키지 및 상기 플렉시블 커넥터 공유에 의해 공유되는 제 1 유전체 층의 부분은 상기 제 1 유전체 층의 인접 부분인,

통합 디바이스를 제조하기 위한 방법.

청구항 27

제25항에 있어서,

상기 더미 금속 층은 전기 신호를 송신하지 않도록 구성되는,

통합 디바이스를 제조하기 위한 방법.

청구항 28

제25항에 있어서,

상기 더미 금속 층은 레이저가 상기 제 1 유전체 층의 부분으로 침투하는 것을 막도록 구성되는,

통합 디바이스를 제조하기 위한 방법.

청구항 29

제25항에 있어서,

상기 제 1 유전체 층을 형성하는 단계는 폴리이미드(PI) 층을 형성하는 단계를 포함하는,

통합 디바이스를 제조하기 위한 방법.

청구항 30

제25항에 있어서,

상기 플렉시블 커넥터는 전기 신호가 PCB(printed circuit board)을 우회하면서, 상기 제 1 IC(integrated circuit) 패키지와 상기 제 2 IC(integrated circuit) 패키지 사이를 횡단하도록 허용하게 구성되는,

통합 디바이스를 제조하기 위한 방법.

발명의 설명

기술 분야

[0001] 본 출원은, 2016년 2월 10일자로 미국 특허상표청에 출원된 정식 특허 출원 번호 제15/040,881호의 이득 및 이에 대한 우선권을 주장하며, 상기 정식 특허 출원의 전체 내용들은 인용에 의해 본원에 포함된다.

[0002] 다양한 특징들은 통합 디바이스에 관한 것으로, 더욱 상세하게는, 집적 회로(IC; integrated circuit) 패키지를 사이의 플렉시블 커넥터(flexible connector)를 포함하는 통합 디바이스에 관한 것이다.

배경 기술

[0003] 스마트 폰들, 태블릿들, IoT(Internet of Things) 등과 같은 모바일 디바이스들은 다수의 컴포넌트들, 칩셋들 등을 요구한다. 통상적으로, 이들 컴포넌트들은 하나 또는 그 초과 집적 회로들을 갖는 인쇄 회로 보드 상에 제공된다. 이러한 컴포넌트들을 하나의 제품에 함께 패키징하는 것은 특히, 특이한 형상들 또는 만곡된 형상들을 갖는 디바이스들에서 점점 더 난제가 되고 있다. 이러한 특이한 형상들 또는 만곡된 형상들을 수

용하기 위해, 플렉시블 커넥터들이 칩들(예를 들어, 다이들)을 포함하는 여러 인쇄 회로 보드들을 함께 커플링하는 데 사용된다.

- [0004] [0004] 도 1은 제 1 IC(integrated circuit) 패키지(102), 제 2 IC(integrated circuit) 패키지(104) 및 플렉시블 커넥터(106)를 포함하는 통합 디바이스(100)를 예시한다. 제 1 IC(integrated circuit) 패키지(102)는 PCB(printed circuit board)(120) 및 제 1 칩(122)(예를 들어, 다이, 다이 패키지)을 포함한다. 제 2 IC(integrated circuit) 패키지(104)는 PCB(printed circuit board)(140) 및 제 2 칩(142)(예를 들어, 다이, 다이 패키지)을 포함한다.
- [0005] [0005] 제 1 IC(integrated circuit) 패키지(102)는 플렉시블 커넥터(106)를 통해 제 2 IC(integrated circuit) 패키지(104)에 커플링된다. 플렉시블 커넥터(106)는 PCB(printed circuit board) 커넥터이다. 플렉시블 커넥터(106)는 복수의 와이어들(160), 제 1 PCB 인터페이스(162), 제 2 PCB 인터페이스(164) 및 커버(166)를 포함한다. 커버(166)는 복수의 와이어들(160)을 둘러싼다. 복수의 와이어들(160)은 제 1 PCB 인터페이스(162) 및 제 2 PCB 인터페이스(164)에 커플링된다. 제 1 PCB 인터페이스(162)는 제 1 PCB(120)의 표면에 커플링된다. 제 2 PCB 인터페이스(164)는 제 2 PCB(140)의 표면에 커플링된다.
- [0006] [0006] 도 1에 예시된 바와 같이, 통합 디바이스(100)는 3개의 별개의 컴포넌트들, 즉 제 1 IC(integrated circuit) 패키지(102), 제 2 IC(integrated circuit) 패키지(104) 및 플렉시블 커넥터(106)로 구성된다. 이들 컴포넌트들은 별개로 제조되고 그 후 조립되어 통합 디바이스(100)를 형성한다. 별개의 컴포넌트들을 제조하고 그 후 이들을 조립하는 프로세스는 값비싼 프로세스이며 작은 디바이스들에 넣기에는 너무 클 수 있는 패키지를 생성한다. 패키지들이 보다 작은 디바이스들에 배치되도록 이들 패키지들의 크기, 높이 및/또는 공간들을 감소시키는 것이 바람직하다. 이상적으로는, 이러한 패키지는 모바일 디바이스들, IoT(Internet of Things) 디바이스들 및/또는 웨어러블 디바이스들의 요구들을 충족시키는 동시에, 제조하기에 더 저렴하고 더 양호한 폼 팩터를 가질 것이다.

발명의 내용

- [0007] [0007] 다양한 특징들은 통합 디바이스에 관한 것으로, 더욱 상세하게는, IC(integrated circuit) 패키지들 사이에 플렉시블 커넥터(flexible connector)를 포함하는 통합 디바이스에 관한 것이다.
- [0008] [0008] 일부 특징들은 제 1 IC(integrated circuit) 패키지, 플렉시블 커넥터 및 제 2 IC(integrated circuit) 패키지를 포함하는 통합 디바이스에 관한 것이다. 제 1 IC(integrated circuit) 패키지는 제 1 다이, 복수의 제 1 인터커넥트(interconnect)들, 및 제 1 다이를 캡슐화하는 제 1 유전체 층을 포함한다. 플렉시블 커넥터는 제 1 IC(integrated circuit) 패키지에 커플링된다. 플렉시블 커넥터는 제 1 유전체 층 및 인터커넥트를 포함한다. 제 2 IC(integrated circuit) 패키지는 플렉시블 커넥터에 커플링된다. 제 2 IC(integrated circuit) 패키지는 제 1 유전체 층 및 복수의 제 2 인터커넥트들을 포함한다. 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터는 제 1 유전체 층의 적어도 부분(예를 들어, 인접 부분)을 통해 함께 커플링된다.
- [0009] [0009] 일부 특징들은 제 1 IC(integrated circuit) 패키지, 전기 연결을 위한 수단 및 제 2 IC(integrated circuit) 패키지를 포함하는 통합 디바이스에 관한 것이다. 제 1 IC(integrated circuit) 패키지는 제 1 다이, 복수의 제 1 인터커넥트들, 및 제 1 다이를 캡슐화하는 제 1 유전체 층을 포함한다. 전기 연결을 위한 수단은 제 1 IC(integrated circuit) 패키지에 커플링된다. 제 2 IC(integrated circuit) 패키지는 플렉시블 커넥터에 커플링된다. 제 2 IC(integrated circuit) 패키지는 제 1 유전체 층 및 복수의 제 2 인터커넥트들을 포함한다. 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 전기 연결을 위한 수단은 제 1 유전체 층의 적어도 부분(예를 들어, 인접 부분)을 통해 함께 커플링된다.
- [0010] [0010] 일부 특징들은 통합 디바이스를 제조하기 위한 방법에 관한 것이다. 이 방법은 제 1 IC(integrated circuit) 패키지를 제공하며, 여기서 제 1 IC(integrated circuit) 패키지를 제공하는 것은 제 1 다이를 제공하는 것, 복수의 제 1 인터커넥트들을 형성하는 것 그리고 제 1 다이를 캡슐화하는 제 1 유전체 층을 형성하는 것을 포함한다. 이 방법은 플렉시블 커넥터가 제 1 IC(integrated circuit) 패키지에 커플링되도록 플렉시블 커넥터를 형성하며, 여기서 플렉시블 커넥터를 형성하는 것은 제 1 유전체 층을 형성하는 것 및 인터커넥트를 형성하는 것을 포함한다. 이 방법은 제 2 IC(integrated circuit) 패키지가 플렉시블 커넥터에 커플링되도록 제 2 IC(integrated circuit) 패키지를 제공하며, 여기서 제 2 IC(integrated circuit) 패키지를 제공하는 것은 제 1 유전체 층을 형성하는 것, 제 2 복수의 인터커넥트들을 형성하는 것을 포함한다. 제 1 IC(integrated circuit) 패키지는 제 1 유전체 층의 적어도 부분(예를 들어, 인접 부분)을 통해 함께 커플링된다.

circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터는, 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터가 제 1 유전체 층의 적어도 부분을 통해 함께 커플링되도록 형성된다.

도면의 간단한 설명

[0011]

[0011] 다양한 특징들, 성질, 및 이점들은, 도면들과 함께 취해진 경우, 아래에 기술된 상세한 설명으로부터 명백해질 수 있으며, 도면에서, 유사한 참조 부호들은 전반에 걸쳐 상응하게 식별한다.

[0012] 도 1은 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스의 도면을 예시한다.

[0013] 도 2는 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스의 측면도를 예시한다.

[0014] 도 3은 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스의 측면도를 예시한다.

[0015] 도 4는 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스의 측면도를 예시한다.

[0016] 도 5는 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스의 측면도를 예시한다.

[0017] 도 6은 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스의 측면도를 예시한다.

[0018] 도 7(도 7a 내지 7f를 포함함)은 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스를 제조하기 위한 시퀀스의 예를 예시한다.

[0019] 도 8은 플렉시블 커넥터를 통해 함께 커플링되는 2개의 패키지들을 포함하는 디바이스를 제조하기 위한 예시적인 방법의 흐름도를 예시한다.

[0020] 도 9는 본원에서 설명된 다양한 통합 디바이스들, 통합 디바이스 패키지들, 반도체 디바이스들, 다이들, 집적 회로들 및/또는 패키지들을 포함할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0012]

[0021] 다음의 설명에서, 본 개시의 다양한 양상들의 완전한 이해를 제공하기 위해 특정 세부사항들이 주어진다. 그러나, 양상들이 이들 특정 세부사항들 없이도 실시될 수도 있다는 것이 당업자들에 의해 이해될 것이다. 예를 들어, 회로들은, 불필요하게 상세히 양상들을 모호하게 하는 것을 회피하기 위해 블록도들로 도시될 수 있다. 다른 경우들에서, 잘-알려진 회로들, 구조들 및 기술들은 본 개시의 양상들을 모호하게 하지 않기 위해 상세히 도시되지 않을 수 있다.

[0013]

[0022] 일부 특징들은 제 1 IC(integrated circuit) 패키지, 플렉시블 커넥터 및 제 2 IC(integrated circuit) 패키지를 포함하는 통합 디바이스에 관한 것이다. 제 1 IC(integrated circuit) 패키지는 제 1 다이, 복수의 제 1 인터커넥트들, 및 제 1 다이를 캡슐화하는 제 1 유전체 층을 포함한다. 플렉시블 커넥터는 제 1 IC(integrated circuit) 패키지에 커플링된다. 플렉시블 커넥터는 제 1 유전체 층 및 인터커넥트를 포함한다. 제 2 IC(integrated circuit) 패키지는 플렉시블 커넥터에 커플링된다. 플렉시블 커넥터는 2개의 패키지들 간을 전기 연결하기 위한 수단일 수 있다. 제 2 IC(integrated circuit) 패키지는 제 1 유전체 층 및 복수의 제 2 인터커넥트들을 포함한다. 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터는 제 1 유전체 층의 적어도 부분을 통해 함께 커플링된다. 일부 구현들에서, 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터 공유(flexible connector share)에 의해 공유되는 제 1 유전체 층의 부분은 제 1 유전체 층의 인접 부분이다. 일부 구현들에서, 플렉시블 커넥터는 더미 금속 층을 포함한다. 일부 구현들에서, 제 1 유전체 층은 폴리이미드(PI) 층을 포함한다. 일부 구현들에서, 제 1 유전체 층은 여러 유전체 층들을 포함한다. 일부 구현들에서, 제 1 유전체 층은 제 1 IC(integrated circuit) 패키지 및 제 2 IC(integrated circuit) 패키지를 기계적으로 그리고 구조적으로 커플링하도록 구성된다. 일부 구현들에서, 플렉시블 커넥터(예를 들어, 전기 연결을 위한 수단)의 인터커

넥트는 제 1 IC(integrated circuit) 패키지 및 제 2 IC(integrated circuit) 패키지를 전기적으로 커플링하도록 구성된다.

[0014] [0023] 일부 구현들에서, 인터커넥트는 2개의 지점들, 엘리먼트들 및/또는 컴포넌트들 사이의 전기 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현들에서, 인터커넥트는 트레이스, 비아, 패드, 필라(pillar), 재분배 금속 층 및/또는 UBM(under bump metallization) 층을 포함할 수 있다. 일부 구현들에서, 인터커넥트는 신호(예를 들어, 데이터 신호, 접지 신호, 전력 신호)에 대한 전기적 경로를 제공하도록 구성될 수 있는 전기 도전성 재료이다. 인터커넥트는 회로의 부분일 수 있다. 인터커넥트는 하나 초과와 엘리먼트 또는 컴포넌트를 포함할 수 있다.

[0015] **패키지들 사이의 플렉시블 커넥터를 포함하는 예시적인 통합 디바이스**

[0016] [0024] 도 2는 제 1 패키지(202)(예를 들어, 제 1 IC(integrated circuit) 패키지), 제 2 패키지(204)(예를 들어, 제 2 IC(integrated circuit) 패키지) 및 플렉시블 커넥터(206)(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)를 포함하는 통합 디바이스(200)(예를 들어, IC(integrated circuit) 디바이스)를 예시한다. 제 1 패키지(202)는 플렉시블 커넥터(206)를 통해 제 2 패키지(204)에 커플링된다. 아래에서 추가로 설명될 바와 같이, 플렉시블 커넥터(206)는 제 1 패키지(202)를 제 2 패키지(204)에 전기적으로 그리고/또는 기계적으로 커플링하도록 구성된다.

[0017] [0025] 일부 구현들에서, 플렉시블 커넥터(206)는 제 1 패키지(202) 및 제 2 패키지(204)에 임베딩된다. 플렉시블 커넥터(206)는 적어도 제 1 패키지(202) 및 제 2 패키지(204)와 공유되는 유전체 층을 포함한다. 따라서, 플렉시블 커넥터(206)의 유전체 층은 또한 제 1 패키지(202) 및 제 2 패키지(204)에 형성된다.

[0018] [0026] 도 2에 예시된 바와 같이, 제 1 패키지(202)는 제 1 유전체 층(220), 제 1 다이(222), 제 2 다이(224), 제 2 유전체 층(260), 제 3 유전체 층(262), 복수의 제 1 인터커넥트들(227), 언더필(232), 언더필(234) 및 솔더 레지스트 층(264)을 포함한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 하나의 유전체 층이다. 제 1 유전체 층(220)은 제 1 다이(222)를 캡슐화한다. 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 폴리이미드(PI) 층을 포함할 수 있다.

[0019] [0027] 일부 구현들에서, 제 1 다이(222) 및/또는 제 2 다이(224)는 다이 패키지(예를 들어, 웨이퍼 레벨 패키지)이다. 제 1 패키지(202)는 PoP(package on package) 디바이스일 수 있다. 제 1 다이(222)는 제 1 활성 측(예를 들어, 복수의 제 1 인터커넥트들(223)을 포함하는 측) 및 제 1 비-활성 측을 포함한다. 제 2 다이(224)는 제 2 활성 측(예를 들어, 복수의 제 1 인터커넥트들(225)을 포함하는 측) 및 제 2 비-활성 측을 포함한다. 도 2에 예시된 바와 같이, 제 1 다이(222)의 제 1 활성 측은 제 2 다이(224)의 제 2 활성 측을 향한다.

[0020] [0028] 제 1 다이(222)는 복수의 인터커넥트들(223)을 통해 복수의 제 1 인터커넥트들(227)에 커플링된다. 복수의 제 1 인터커넥트들(227)은 트레이스, 패드 및/또는 비아를 포함한다. 복수의 인터커넥트들(223)은 패드 및/또는 범프(예를 들어, 구리 필라)를 포함한다. 일부 구현들에서, 하나 또는 그 초과와 솔더 인터커넥트들(예를 들어, 솔더 볼)이 복수의 인터커넥트들(223)을 복수의 제 1 인터커넥트들(227)에 커플링하는 데 사용될 수 있다. 언더필(232)은 복수의 인터커넥트들(223)을 적어도 부분적으로 둘러싼다. 복수의 제 1 인터커넥트들(227)은 유전체 층(예를 들어, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262))에 그리고/또는 그 상에 형성될 수 있다. 솔더 레지스트 층(264)은 제 3 유전체 층(262) 및 복수의 제 1 인터커넥트들(227)로부터의 인터커넥트들 위에 형성된다.

[0021] [0029] 도 2는 제 2 다이(224)가 표면 장착 다이임을 예시한다. 제 2 다이(224)는 솔더 레지스트 층(264)에 커플링(예를 들어, 장착)된다. 제 2 다이(224)는 복수의 제 1 인터커넥트들(225)을 통해 복수의 제 1 인터커넥트들(227)에 커플링된다. 복수의 제 1 인터커넥트들(225)은 패드 및/또는 범프(예를 들어, 구리 필라)를 포함한다. 일부 구현들에서, 하나 또는 그 초과와 솔더 인터커넥트들(예를 들어, 솔더 볼)이 복수의 제 1 인터커넥트들(225)을 복수의 제 1 인터커넥트들(227)에 커플링하는 데 사용될 수 있다. 언더필(234)은 복수의 제 1 인터커넥트들(225)을 적어도 부분적으로 둘러싼다.

[0022] [0030] 도 2에 예시된 바와 같이, 제 2 패키지(204)는 제 1 유전체 층(220), 제 3 다이(242), 제 4 다이(244), 제 2 유전체 층(260), 제 3 유전체 층(262), 복수의 제 1 인터커넥트들(247), 언더필(252), 언더필(254) 및 솔더 레지스트 층(264)을 포함한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 하나의 유전체 층이다. 제 1 유전체 층(220)은 제 3 다이(242)를 캡슐화한다. 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 폴리이미드(PI) 층을 포함할 수 있다.

- [0023] [0031] 일부 구현들에서, 제 3 다이(242) 및/또는 제 4 다이(244)는 다이 패키지(예를 들어, 웨이퍼 레벨 패키지)이다. 제 2 패키지(204)는 PoP(package on package) 디바이스일 수 있다.
- [0024] [0032] 제 3 다이(242)는 제 1 활성 층(예를 들어, 복수의 제 1 인터커넥트들(243)을 포함하는 층) 및 제 1 비-활성 층을 포함한다. 제 4 다이(244)는 제 2 활성 층(예를 들어, 복수의 인터커넥트들(245)을 포함하는 층) 및 제 2 비-활성 층을 포함한다. 도 2에 예시된 바와 같이, 제 3 다이(242)의 제 1 활성 층은 제 4 다이(244)의 제 2 활성 층을 향한다.
- [0025] [0033] 제 3 다이(242)는 복수의 인터커넥트들(243)을 통해 복수의 제 1 인터커넥트들(247)에 커플링된다. 복수의 제 1 인터커넥트들(247)은 트레이스, 패드 및/또는 비아를 포함한다. 복수의 인터커넥트들(243)은 패드 및/또는 범프(예를 들어, 구리 필라)를 포함한다. 일부 구현들에서, 하나 또는 그 초과와 솔더 인터커넥트들(예를 들어, 솔더 볼)이 복수의 인터커넥트들(243)을 복수의 제 1 인터커넥트들(247)에 커플링하는 데 사용될 수 있다. 언더필(252)은 복수의 인터커넥트들(243)을 적어도 부분적으로 둘러싼다. 복수의 제 1 인터커넥트들(247)은 유전체 층(예를 들어, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262))에 그리고/또는 그 상에 형성될 수 있다. 솔더 레지스트 층(264)은 제 3 유전체 층(262) 및 복수의 제 1 인터커넥트들(247)로부터의 인터커넥트들 위에 형성된다.
- [0026] [0034] 도 2는 제 4 다이(244)가 표면 장착 다이임을 예시한다. 제 4 다이(244)는 솔더 레지스트 층(264)에 커플링(예를 들어, 장착)된다. 제 4 다이(244)는 복수의 인터커넥트들(245)을 통해 복수의 제 1 인터커넥트들(247)에 커플링된다. 복수의 인터커넥트들(245)은 패드 및/또는 범프(예를 들어, 구리 필라)를 포함한다. 일부 구현들에서, 하나 또는 그 초과와 솔더 인터커넥트들(예를 들어, 솔더 볼)이 복수의 인터커넥트들(245)을 복수의 제 1 인터커넥트들(247)에 커플링하는 데 사용될 수 있다. 언더필(254)은 복수의 인터커넥트들(245)을 적어도 부분적으로 둘러싼다.
- [0027] [0035] 플렉시블 커넥터(206)(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)는 제 2 유전체 층(260), 제 3 유전체 층(262)(일부 구현들에서, 제 3 유전체 층(262)은 플렉시블 커넥터(206)의 제 1 유전체 층임), 솔더 레지스트 층(264), 인터커넥트(265) 및 더미 금속 층(269)을 포함한다. 일부 구현들에서, 플렉시블 커넥터(206)는 제 1 유전체 층(220)에 캐비티(209)를 형성 및/또는 생성함으로써 형성된다. 레이저 프로세스가 캐비티(209)를 형성하는 데 사용될 수 있다. 더미 금속 층(269)은 레이저가 제 1 유전체 층(220), 제 2 유전체 층(260) 및/또는 제 3 유전체 층(262)에 캐비티를 추가로 생성하는 것을 방지하기 위한 백 스톱(back stop)으로서 사용된다. 일부 구현들에서, 더미 금속 층(예를 들어, 더미 금속 층(269))은 전기 신호를 송신하지 않거나 또는 전기 신호를 위한 전기 경로로서 사용되지 않도록 구성된다.
- [0028] [0036] 일부 구현들에서, 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 동일한 유전체 층이다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 동일한 유전체 층이다.
- [0029] [0037] 일부 구현들에서, 제 1 패키지(202), 제 2 패키지(204) 및 플렉시블 커넥터(206)는 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262), 솔더 레지스트 층(264) 및 인터커넥트(265)를 공유한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262) 및/또는 솔더 레지스트 층(264)은 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204) 간의 기계적 및/또는 구조적 커플링을 제공하도록 구성된다. 일부 구현들에서, 인터커넥트(265)는 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204) 간의 전기적 커플링을 제공하도록 구성된다.
- [0030] [0038] 일부 구현들에서, 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터 공유(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)에 의해 공유되는 유전체 층(예를 들어, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262))의 하나 또는 그 초과와 부분들은 유전체 층의 인접 부분이다.
- [0031] [0039] 유전체 층의 인접 부분은 제 1 패키지(202) 및/또는 제 2 패키지(204)의 일부(예를 들어, 상당한 부분) 또는 전체를 횡단할 수 있다.
- [0032] [0040] 도 2가 인터커넥트(265)의 하나의 층을 갖는 플렉시블 커넥터(206)를 예시한다는 것이 주의된다. 인터커넥트(265)는 복수의 인터커넥트들을 포함할 수 있다. 일부 구현들에서, 플렉시블 커넥터(206)는 상이한 금속 층들 상에 형성된 인터커넥트(265)의 여러 층들을 포함할 수 있다. 유사하게, 플렉시블 커넥터(206)는 유전체 층들의 여러 상이한 층들을 포함할 수 있다.

- [0033] [0041] 플렉시블 커넥터의 위의 특징들 및 구현들은 패키지들 간의 다른 연결들보다 여러 기술적 이점들을 제공한다. 이러한 기술적 이점들은 아래에서 추가로 설명된다.
- [0034] [0042] 첫째로, 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)와 인터커넥트들, 및/또는 유전체 층들(예를 들어, 폴리이미드(PI) 층)의 공유는 제 1 패키지(202) 및 제 2 패키지(204) 간의 연결 또는 커플링을 위한 보다 콤팩트한 폼 팩터를 제공한다. 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)가 재료들을 공유하기 때문에, 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)를 기계적으로 커플링하기 위해 추가의 인터페이스를 부가할 필요가 없다. 별개로 제조되고 그리고 기계적으로 함께 조립되는 3개의 별개의 컴포넌트들(제 1 IC(integrated circuit) 패키지(102), 제 2 IC(integrated circuit) 패키지(104) 및 플렉시블 커넥터(106))를 예시하는 도 1과 대조적으로, 일부 구현들에서, 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)는 하나의 인접한 바디(예를 들어, 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)를 포함하는 단일 바디 패키지)로서 고려될 수 있다.
- [0035] [0043] 둘째로, 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)와 인터커넥트들, 및/또는 유전체 층들(예를 들어, 폴리이미드(PI) 층)의 공유는 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)가 함께 제조될 수 있음을 의미하며, 이는 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(204)의 전체 제조 비용을 낮춘다.
- [0036] [0044] 셋째로, 제 1 패키지(202) 및 제 2 패키지(204)를 갖는 플렉시블 커넥터(206)의 임베딩 또는 구현은 제 1 패키지(202)와 제 2 패키지(204) 사이의 보다 정확하고 정밀한 연결을 의미하는 데, 그 이유는 플렉시블 커넥터(206), 제 1 패키지(202) 및 제 2 패키지(204)의 인터커넥트들이 동일한 제조 프로세스 동안 형성되기 때문이다. 일부 구현들에서, 동일한 제조 프로세스를 사용하여 플렉시블 커넥터(206), 제 1 패키지(202) 및 제 2 패키지(204)를 제조하는 것은 연결들 간에 오정렬의 가능성이 적음을 의미한다. 일반적으로 말하면, 도 1의 통합 디바이스(100)를 조립하는 데 사용되는 컴포넌트들의 기계적 어셈블리는 오정렬되기 더 쉽다.
- [0037] [0045] 넷째, 플렉시블 커넥터(206)의 인터커넥트들(예를 들어, 인터커넥트들(265))은 다른 커넥트들보다 미세한 피치 및 미세한 간격을 가지며 따라서 제 1 패키지(202)와 제 2 패키지(204) 사이의 더 높은 밀도의 연결들을 제공한다. 일부 구현들에서, 이는, 플렉시블 커넥터(206)의 인터커넥트들(예를 들어, 인터커넥트(265))이 제 1 패키지(202)의 인터커넥트들 및 제 2 패키지(204)의 인터커넥트들과 동일한 제조 프로세스를 사용하여 형성되기 때문에 가능하다.
- [0038] [0046] 다섯째, 통합 디바이스(200)는 PCB(printed circuit board) 및/또는 마더 보드의 필요성 없이 완전히 기능적인 통합 디바이스를 제공한다. 일부 구현들에서, 위의 예시적인 통합 디바이스(200)는 PCB(printed circuit board)의 필요성 없이 제 1 패키지(202)가 제 2 패키지(204)에 전기적으로 커플링되도록 허용하게 구성된다. 즉, 예를 들어, 하나 또는 그 초과와 전기 신호들(예를 들어, 입력/출력 신호들)은 PCB(printed circuit board)에 걸친 횡단 없이 제 1 패키지(202)와 제 2 패키지(204) 사이를 횡단할 수 있다. 따라서, 일부 구현들에서, 전기 신호들은, PCB(printed circuit board)가 존재하고 그리고/또는 통합 디바이스에 기계적으로 커플링되더라도, 제 1 패키지와 제 2 패키지 사이를 횡단하고 PCB(printed circuit board)를 우회할 수 있다.
- [0039] [0047] 일부 구현들에서, 위의 기술적 이점들은 본 개시에서 설명된 다른 통합 디바이스들(예를 들어, 300, 400, 500, 600)에 적용될 수 있다.
- [0040] **패키지들 사이에 플렉시블 커넥터를 포함하는 예시적인 통합 디바이스**
- [0041] [0048] 도 3은 제 1 패키지(202)(예를 들어, 제 1 IC(integrated circuit) 패키지), 제 2 패키지(304)(예를 들어, 제 2 IC(integrated circuit) 패키지) 및 플렉시블 커넥터(206)(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)를 포함하는 통합 디바이스(300)(예를 들어, IC(integrated circuit) 디바이스)를 예시한다. 제 1 패키지(202)는 플렉시블 커넥터(206)를 통해 제 2 패키지(304)에 커플링된다. 플렉시블 커넥터(206)는 제 1 패키지(202)를 제 2 패키지(304)에 전기적으로 커플링하도록 구성된다.
- [0042] [0049] 도 3은 제 2 패키지(304)가 도 2의 제 2 패키지(204)와 상이한 것을 제외하고는 도 2와 유사하다. 특히, 도 3의 제 2 패키지(304)는 제 4 다이(244)를 포함하지 않는다.
- [0043] [0050] 도 3에 예시된 바와 같이, 제 2 패키지(304)는 제 1 유전체 층(220), 제 3 다이(242), 제 2 유전체 층(260), 제 3 유전체 층(262), 복수의 제 1 인터커넥트들(247), 언더필(252), 및 솔더 레지스트 층(264)을 포함한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 하나의 유전체

층이다. 제 1 유전체 층(220)은 제 3 다이(242)를 캡슐화한다. 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 폴리이미드(PI) 층을 포함할 수 있다. 일부 구현들에서, 제 3 다이(242)는 다이 패키지(예를 들어, 웨이퍼 레벨 패키지)이다.

[0044] [0051] 일부 구현들에서, 제 1 패키지(202), 제 2 패키지(304) 및 플렉시블 커넥터(206)는 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262), 솔더 레지스트 층(264) 및 인터커넥트(265)를 공유한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262) 및/또는 솔더 레지스트 층(264)은 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(304) 간의 기계적 및/또는 구조적 커플링을 제공하도록 구성된다. 일부 구현들에서, 인터커넥트(265)는 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(304) 간의 전기적 커플링을 제공하도록 구성된다.

[0045] [0052] 일부 구현들에서, 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터 공유에 의해 공유되는 유전체 층(예를 들어, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262))의 하나 또는 그 초과 부분들은 유전체 층의 인접 부분이다. 유전체 층의 인접 부분은 제 1 패키지(202) 및/또는 제 2 패키지(304)의 일부(예를 들어, 상당한 부분) 또는 전체를 횡단할 수 있다.

[0046] **패키지들 사이에 플렉시블 커넥터를 포함하는 예시적인 통합 디바이스**

[0047] [0053] 도 4는 제 1 패키지(202)(예를 들어, 제 1 IC(integrated circuit) 패키지), 제 2 패키지(404)(예를 들어, 제 2 IC(integrated circuit) 패키지) 및 플렉시블 커넥터(206)를 포함하는 통합 디바이스(400)(예를 들어, IC(integrated circuit) 디바이스)를 예시한다. 제 1 패키지(202)는 플렉시블 커넥터(206)(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)를 통해 제 2 패키지(404)에 커플링된다. 플렉시블 커넥터(206)는 제 1 패키지(202)를 제 2 패키지(404)에 전기적으로 커플링하도록 구성된다.

[0048] [0054] 도 4는 제 2 패키지(404)가 도 2의 제 2 패키지(204)와 상이한 것을 제외하고는 도 2와 유사하다. 특히, 도 4의 제 2 패키지(404)는 제 4 다이(244)를 포함하지 않는다.

[0049] [0055] 도 4에 예시된 바와 같이, 제 2 패키지(404)는 제 1 유전체 층(220), 제 4 다이(244), 제 2 유전체 층(260), 제 3 유전체 층(262), 복수의 제 1 인터커넥트들(247), 언더필(254), 및 솔더 레지스트 층(264)을 포함한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 하나의 유전체 층이다. 제 1 유전체 층(220), 제 2 유전체 층(260) 및 제 3 유전체 층(262)은 폴리이미드(PI) 층을 포함할 수 있다. 일부 구현들에서, 제 4 다이(244)는 다이 패키지(예를 들어, 웨이퍼 레벨 패키지)이다.

[0050] [0056] 제 4 다이(244)는 표면 장착 다이이다. 제 4 다이(244)는 솔더 레지스트 층(264)에 커플링(예를 들어, 장착)된다. 제 4 다이(244)는 복수의 인터커넥트들(245)을 통해 복수의 제 1 인터커넥트들(247)에 커플링된다. 복수의 인터커넥트들(245)은 패드 및/또는 범프(예를 들어, 구리 필라)를 포함한다. 일부 구현들에서, 하나 또는 그 초과 솔더 인터커넥트들(예를 들어, 솔더 볼)이 복수의 인터커넥트들(245)을 복수의 제 1 인터커넥트들(247)에 커플링하는 데 사용될 수 있다. 언더필(254)은 복수의 인터커넥트들(245)을 적어도 부분적으로 둘러싼다.

[0051] [0057] 일부 구현들에서, 제 1 패키지(202), 제 2 패키지(404) 및 플렉시블 커넥터(206)는 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262), 솔더 레지스트 층(264) 및 인터커넥트(265)를 공유한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262) 및/또는 솔더 레지스트 층(264)은 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(404) 간의 기계적 및/또는 구조적 커플링을 제공하도록 구성된다. 일부 구현들에서, 인터커넥트(265)는 제 1 패키지(202), 플렉시블 커넥터(206) 및 제 2 패키지(404) 간의 전기적 커플링을 제공하도록 구성된다.

[0052] [0058] 일부 구현들에서, 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터 공유에 의해 공유되는 유전체 층(예를 들어, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262))의 하나 또는 그 초과 부분들은 유전체 층의 인접 부분이다. 유전체 층의 인접 부분은 제 1 패키지(202) 및/또는 제 2 패키지(404)의 일부(예를 들어, 상당한 부분) 또는 전체를 횡단할 수 있다.

[0053] [0059] 일부 구현들에서, 제 1 유전체 층(220) 및/또는 제 2 패키지(404)의 제 2 유전체 층(260)이 (점선으로 표시된 바와 같이) 선택적일 수 있다는 것에 주의된다.

[0054] **패키지들 사이의 플렉시블 커넥터를 포함하는 예시적인 통합 디바이스**

[0055] [0060] 도 5는 제 1 패키지(502)(예를 들어, 제 1 IC(integrated circuit) 패키지), 제 2 패키지(504)(예를 들어,

어, 제 2 IC(integrated circuit) 패키지) 및 플렉시블 커넥터(206)를 포함하는 통합 디바이스(500)(예를 들어, IC(integrated circuit) 디바이스)를 예시한다. 제 1 패키지(202)는 플렉시블 커넥터(206)(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)를 통해 제 2 패키지(504)에 커플링된다. 플렉시블 커넥터(206)는 제 1 패키지(502)를 제 2 패키지(504)에 전기적으로 커플링하도록 구성된다.

[0056] [0061] 도 5는 (i) 제 1 패키지(502)가 제 1 패키지(202)와 상이하고, (ii) 제 2 패키지(504)가 도 2의 제 2 패키지(204)와 상이한 것을 제외하고는 도 2와 유사하다. 특히, 도 5의 제 1 패키지(502) 및 제 2 패키지(504)는 표면 장착 다이를 포함하지 않는다.

[0057] [0062] 일부 구현들에서, 제 1 패키지(502), 제 2 패키지(504) 및 플렉시블 커넥터(206)는 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262), 솔더 레지스트 층(264) 및 인터커넥트(265)를 공유한다. 일부 구현들에서, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262) 및/또는 솔더 레지스트 층(264)은 제 1 패키지(502), 플렉시블 커넥터(206) 및 제 2 패키지(504) 간의 기계적 및/또는 구조적 커플링을 제공하도록 구성된다. 일부 구현들에서, 인터커넥트(265)는 제 1 패키지(502), 플렉시블 커넥터(206) 및 제 2 패키지(504) 간의 전기적 커플링을 제공하도록 구성된다.

[0058] [0063] 일부 구현들에서, 제 1 IC(integrated circuit) 패키지, 제 2 IC(integrated circuit) 패키지 및 플렉시블 커넥터 공유에 의해 공유되는 유전체 층(예를 들어, 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262))의 하나 또는 그 초과 부분들은 유전체 층의 인접 부분이다. 유전체 층의 인접 부분은 제 1 패키지(502) 및/또는 제 2 패키지(504)의 일부(예를 들어, 상당한 부분) 또는 전체를 횡단할 수 있다.

[0059] [0064] 도 2 내지 도 5는 2개의 패키지들을 포함하는 통합 디바이스를 예시한다. 그러나, 일부 구현들에서, 통합 디바이스는 2개 초과 패키지들을 포함할 수 있다. 도 6은 3개의 패키지들, 즉 제 1 패키지(502), 제 2 패키지(504) 및 제 2 패키지(204)를 포함하는 통합 디바이스(600)를 예시한다. 제 2 패키지(204)는 PoP(package on package) 디바이스일 수 있다.

[0060] [0065] 제 1 패키지(502)는 플렉시블 커넥터(206)를 통해 제 2 패키지(504)에 커플링(예를 들어, 전기적으로 커플링 및/또는 기계적으로 커플링)된다. 제 2 패키지(504)는 플렉시블 커넥터(606)를 통해 제 2 패키지(204)에 커플링(예를 들어, 전기적으로 커플링 및/또는 기계적으로 커플링)된다. 플렉시블 커넥터(606)(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)는 플렉시블 커넥터(206)와 유사할 수 있다. 통합 디바이스(600)가 본 개시에서 설명된 패키지들 중 임의의 패키지에 의해 형성될 수 있다는 것이 주의된다.

[0061] 패키지들 사이에 플렉시블 커넥터를 포함하는 통합 디바이스를 제조하기 위한 예시적인 시퀀스

[0062] [0066] 일부 구현들에서, 임베딩된 플렉시블 커넥터를 포함하는 IC(integrated circuit) 디바이스를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 7(도 7a 내지 도 7f를 포함함)은 임베딩된 플렉시블 커넥터를 포함하는 IC(integrated circuit) 디바이스를 제공/제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 7a 내지 도 7f의 시퀀스는 도 2의 임베딩된 플렉시블 커넥터를 포함하는 IC(integrated circuit) 디바이스 및/또는 본 개시에서 설명된 다른 IC(integrated circuit) 디바이스들을 제조하는 데 사용될 수 있다. 도 7a 내지 도 7f는 도 2의 IC(integrated circuit) 디바이스를 제공/제조하는 맥락에서 이제 설명될 것이다.

[0063] [0067] 도 7a 내지 도 7f의 시퀀스가 임베딩된 플렉시블 커넥터를 포함하는 IC(integrated circuit) 디바이스를 제공하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과 단계들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0064] [0068] 도 7a의 단계 1은 제공되는 캐리어(700)를 예시한다. 캐리어(700)는 공급자에 의해 제공되거나 제조될 수 있다. 캐리어(700)는 접착 층일 수 있다.

[0065] [0069] 단계 2는 캐리어(700) 상에 형성된 제 2 유전체 층(260)을 예시한다. 제 2 유전체 층(260)은 폴리이미드(PI) 층을 포함할 수 있다. 일부 구현들에서, 제 2 유전체 층(260)은 캐리어(700) 상에 액체 유전체를 제공하고 그 후 경화시킴으로써 형성된다.

[0066] [0070] 단계 3은 제 2 유전체 층(260)에 형성된 캐비티(702) 및 캐비티(704)를 예시한다. 상이한 구현들은 캐비티들(예를 들어, 캐비티(702), 캐비티(704))을 상이하게 형성할 수 있다. 일부 구현들에서, 캐비티는 레이저 프로세스 및/또는 (예를 들어, 제 2 유전체 층(260)이 포토 에칭 가능(photoetchable)할 때) 포토-에칭 프로세스를 사용하여 형성된다.

[0067] [0071] 단계 4는 제 2 유전체 층(260) 및 캐리어(700) 위에 형성된 시드 층(710)을 예시한다. 일부 구현들

에서, 시드 층(710)은 제 2 유전체 층(260)의 형상 및/또는 윤곽을 따를 수 있다. 시드 층(710)은 금속 층(예를 들어, 구리 층)을 포함할 수 있다.

- [0068] [0072] 스테이지 5는 시드 층(710) 위에 형성된 라미네이션(lamination) 층(720)을 예시한다. 라미네이션 층(720)은 포토레지스트(PR) 층일 수 있다.
- [0069] [0073] 도 7b의 스테이지 6은 제 2 유전체 층(260)에 그리고/또는 그 상에 형성된 복수의 인터커넥트들(703) 및 복수의 인터커넥트들(707)을 예시한다. 일부 구현들에서, 복수의 인터커넥트들(703) 및 복수의 인터커넥트들(707)은 라미네이션 층(720)의 개구들에 형성된다. 스테이지 6은 복수의 인터커넥트들(703) 및 복수의 인터커넥트들(707)이 형성된 후에 라미네이션 층(720)이 제거된 것을 예시한다.
- [0070] [0074] 스테이지 7은 캐리어(700)가 제 2 유전체 층(260), 복수의 인터커넥트들(703) 및 복수의 인터커넥트들(707)로부터 디커플링(예를 들어, 분리, 제거)됨을 예시한다.
- [0071] [0075] 스테이지 8은 복수의 제 1 인터커넥트들(223)을 통해 복수의 인터커넥트들(703)에 커플링되는 제 1 다이(222)를 예시한다. 스테이지 8은 또한, 복수의 제 1 인터커넥트들(243)을 통해 복수의 인터커넥트들(707)에 커플링되는 제 3 다이(242)를 예시한다. 일부 구현들에서, 도시되지 않은 솔더 인터커넥트들(예를 들어, 솔더 볼)은 복수의 인터커넥트들(703)을 복수의 제 1 인터커넥트들(223)에 커플링하는 데 사용될 수 있다. 유사하게, 일부 구현들에서, 도시되지 않은 솔더 인터커넥트들(예를 들어, 솔더 볼)은 복수의 인터커넥트들(707)을 복수의 제 1 인터커넥트들(243)에 커플링하는 데 사용될 수 있다.
- [0072] [0076] 스테이지 9는 제 1 다이(222)와 제 2 유전체 층(260) 사이에 형성된 언더필(232)을 예시한다. 언더필(232)은 복수의 인터커넥트들(703) 및 복수의 제 1 인터커넥트들(223)을 적어도 부분적으로 둘러싼다. 스테이지 9는 또한 제 3 다이(242)와 제 2 유전체 층(260) 사이에 형성된 언더필(252)을 예시한다. 언더필(252)은 복수의 인터커넥트들(707) 및 복수의 제 1 인터커넥트들(243)을 적어도 부분적으로 둘러싼다. 언더필은 선택적이라는 것이 주의된다.
- [0073] [0077] 스테이지 10은 제 1 다이(222), 제 3 다이(242) 및 제 2 유전체 층(260) 위에 형성된 제 1 유전체 층(220)을 예시한다. 제 1 유전체 층(220)은 제 1 다이(222) 및 제 3 다이(242)를 적어도 부분적으로 캡슐화할 수 있다. 제 1 유전체 층(220)은 폴리이미드(PI) 층을 포함할 수 있다. 제 1 유전체 층(220)은 제 2 유전체 층(260)과 동일할 수 있다(예를 들어, 둘 모두는 하나의 유전체 층일 수 있음).
- [0074] [0078] 도 7c의 스테이지 11은 제 2 유전체 층(260) 위에 형성된 라미네이션 층(730)을 예시한다. 라미네이션 층(720)은 포토레지스트(PR) 층일 수 있다.
- [0075] [0079] 스테이지 12는 라미네이션 층(730)에 형성된 복수의 캐비티들(731) 및 복수의 캐비티들(735)을 예시한다. 상이한 구현들은 캐비티들을 상이하게 형성할 수 있다. 일부 구현들에서, 캐비티는 레이저 프로세스 및/또는 포토-에칭 프로세스를 사용하여 형성된다.
- [0076] [0080] 스테이지 13은 제 2 유전체 층(260) 상에 형성된 복수의 인터커넥트들(733) 및 복수의 인터커넥트들(737)을 예시한다. 스테이지 13은 또한 제 2 유전체 층(260) 위에 형성된 더미 금속 층(269)을 예시한다. 일부 구현들에서, 복수의 인터커넥트들(733), 복수의 인터커넥트들(737) 및 더미 금속 층(269)은 라미네이션 층(730)의 캐비티들/개구들에 형성된다. 스테이지 13은 복수의 인터커넥트들(733), 복수의 인터커넥트들(737) 및 더미 금속 층(269)이 형성된 후에 라미네이션 층(730)이 제거된 것을 예시한다.
- [0077] [0081] 스테이지 14는 제 2 유전체 층(260) 위에 형성되는 제 3 유전체 층(262)을 예시한다. 일부 구현들에서, 제 3 유전체 층(262)은 폴리이미드(PI) 층을 포함한다. 일부 구현들에서, 제 3 유전체 층(262), 제 2 유전체 층(260) 및 제 1 유전체 층(220)은 하나의 유전체 층이다.
- [0078] [0082] 도 7d의 스테이지 15는 제 3 유전체 층(262)에 형성되는 복수의 캐비티들(743) 및 복수의 캐비티들(745)을 예시한다. 상이한 구현들은 캐비티들을 상이하게 형성할 수 있다. 일부 구현들에서, 캐비티는 레이저 프로세스 및/또는 포토-에칭 프로세스를 사용하여 형성된다.
- [0079] [0083] 스테이지 16은 시드 층(710) 위에 형성된 라미네이션 층(750)을 예시한다. 라미네이션 층(750)은 포토레지스트(PR) 층일 수 있다. 라미네이션 층(750)은 캐비티들 및/또는 개구들을 포함할 수 있다. 상이한 구현들은 캐비티들을 상이하게 형성할 수 있다. 일부 구현들에서, 캐비티는 레이저 프로세스 및/또는 포토-에칭 프로세스를 사용하여 형성된다.

- [0080] [0084] 스테이지 17은 제 3 유전층(262)에 그리고/또는 그 상에 형성된 복수의 인터커넥트들(753) 및 복수의 인터커넥트들(757)을 예시한다. 스테이지 17은 또한 제 3 유전체 층(262) 위에 형성된 인터커넥트(265)를 예시한다. 일부 구현들에서, 복수의 인터커넥트들(753), 복수의 인터커넥트들(757) 및 인터커넥트(265)는 라미네이션 층(750)의 캐비티들/개구들에 형성된다. 스테이지 17은 복수의 인터커넥트들(753), 복수의 인터커넥트들(757) 및 인터커넥트(265)가 형성된 후에 라미네이션 층(750)이 제거된 것을 예시한다.
- [0081] [0085] 도 7e의 스테이지 18은 제 3 유전체 층(262) 및 인터커넥트(265) 위에 형성된 솔더 레지스트 층(264)을 예시한다.
- [0082] [0086] 스테이지 19는 솔더 레지스트 층(264)에 그리고/또는 그 상에 형성된 복수의 인터커넥트들(763) 및 복수의 인터커넥트들(767)을 예시한다. 일부 구현들에서, 복수의 인터커넥트들(703, 733, 753 및/또는 763)은 복수의 제 1 인터커넥트들(227)일 수 있다. 유사하게, 일부 구현들에서, 복수의 인터커넥트들(707, 737, 757 및/또는 767)은 복수의 제 1 인터커넥트들(247)일 수 있다.
- [0083] [0087] 스테이지 20은 복수의 제 1 인터커넥트들(225)을 통해 복수의 인터커넥트들(763)에 커플링되는 제 2 다이(224)를 예시한다. 스테이지 20은 또한, 복수의 인터커넥트들(245)을 통해 복수의 인터커넥트들(767)에 커플링되는 제 4 다이(244)를 예시한다. 일부 구현들에서, 솔더 인터커넥트들(예를 들어, 솔더 볼들)이 복수의 제 1 인터커넥트들(225)을 복수의 인터커넥트들(763)에 커플링하는 데 사용될 수 있다. 일부 구현들에서, 솔더 인터커넥트들(예를 들어, 솔더 볼들)이 복수의 인터커넥트들(245)을 복수의 인터커넥트들(767)에 커플링하는 데 사용될 수 있다.
- [0084] [0088] 도 7f의 스테이지 21은 제 2 다이(224)와 솔더 레지스트 층(264) 사이에 형성된 언더필(234)을 예시한다. 스테이지 21은 또한 제 4 다이(244)와 솔더 레지스트 층(264) 사이에 형성된 언더필(254)을 예시한다.
- [0085] [0089] 스테이지 22는 적어도 제 1 유전체 층(220)에 형성된 캐비티(209) 및 캐비티(709)를 예시한다. 일부 구현들에서, 레이저 프로세스는 캐비티(209) 및 캐비티(709)를 형성하는 데 사용된다. 일부 구현들에서, 캐비티(209)는, 레이저가 유전체 층들을 추가로 천공하는 것을 방지하기 위한 백 스톱으로서 작용하는 더미 금속 층(269)까지 제 1 유전체 층(220)에 형성된다. 일부 구현들에서, 캐비티(209)를 형성하는 것은 제 1 패키지와 제 2 패키지 사이에 플렉시블 및/또는 구부릴 수 있는(bendable) 연결을 허용하는 플렉시블 커넥터(206)(예를 들어, 2개의 패키지들 간을 전기 연결하기 위한 수단)를 생성한다. 일부 구현들에서, 플렉시블 커넥터(206)는 제 1 유전체 층(220), 제 2 유전체 층(260), 제 3 유전체 층(262), 솔더 레지스트 층(264), 인터커넥트(265) 및 더미 금속 층(269)을 포함한다.
- [0086] [0090] 스테이지 23은 도 2에서 설명된 바와 같이, 플렉시블 커넥터(206)를 통해 제 2 패키지(204)에 커플링되는 제 1 패키지(202)를 예시한다. 스테이지 23은 패키지들을 다이싱(dice)하도록 제 3 유전체 층(262) 및 솔더 레지스트 층(264)의 절단 및/또는 슬라이싱을 예시한다. 일부 구현들에서, 제 3 유전체 층(262) 및 솔더 레지스트 층(264)을 추가로 절단하기 위해 레이저 프로세스 및/또는 기계적 프로세스(예를 들어, 톱)가 사용될 수 있다.
- [0087] **패키지들 사이에 플렉시블 커넥터를 포함하는 통합 디바이스를 제조하기 위한 예시적인 방법**
- [0088] [0091] 일부 구현들에서, 임베딩된 플렉시블 커넥터를 포함하는 IC(integrated circuit) 디바이스를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 8은 임베딩된 플렉시블 커넥터를 포함하는 IC(integrated circuit) 디바이스를 제공/제조하기 위한 방법(800)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 8의 방법은 도 2 내지 도 6의 임베딩된 플렉시블 커넥터를 포함하는 IC(integrated circuit) 디바이스 및/또는 본 개시에서 설명된 다른 IC(integrated circuit) 디바이스들을 제조하는 데 사용될 수 있다. 도 8은 도 2의 IC(integrated circuit) 디바이스를 제조하는 맥락에서 설명될 것이다.
- [0089] [0092] 도 8의 흐름도는, IC(integrated circuit) 디바이스를 제공하기 위한 방법을 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과 프로세스들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.
- [0090] [0093] 방법은 (805에서) 캐리어(예를 들어, 캐리어(700)) 상에 유전체 층(예를 들어, 유전체 층(260))을 형성한다. 캐리어는 접착 층일 수 있다. 유전체 층은 폴리이미드(PI) 층을 포함할 수 있다.
- [0091] [0094] 이 방법은 (810에서) 유전체 층에 그리고/또는 그 상에 복수의 인터커넥트들을 형성한다. 복수의 인터

커넥트들은 복수의 인터커넥트들(703 및 705)일 수 있다. 일부 구현들에서, 복수의 인터커넥트들은 시드 층 형성하는 것을 포함하는 리소그래피 프로세스, 라미네이션 프로세스, 노출 프로세스, 현상 프로세스, 도금 프로세스, 스트립 프로세스 및 에칭 프로세스(예를 들어, 시드 에칭 프로세스)를 이용하여 형성될 수 있다.

[0092] [0095] 이 방법은 (815에서) 유전체 층(예를 들어, 260) 및 복수의 인터커넥트들(예를 들어, 703)로부터 캐리어(예를 들어, 700)를 디커플링한다. 일부 구현들에서, 캐리어를 디커플링하는 것은 캐리어를 분리 및/또는 제거하는 것을 포함한다.

[0093] [0096] 이 방법은 (820에서) 제 1 다이(예를 들어, 222)를 복수의 인터커넥트들(예를 들어, 703)에 커플링한다. 일부 구현들에서, 솔더 인터커넥트들이 제 1 다이를 복수의 인터커넥트들에 커플링하는 데 사용될 수 있다.

[0094] [0097] 이 방법은 (825에서) 제 1 다이(예를 들어, 제 1 다이(222))를 적어도 부분적으로 캡슐화하는 적어도 하나의 유전체 층(예를 들어, 제 1 유전체 층(220))을 형성한다. 유전체 층은 폴리이미드(PI) 층을 포함할 수 있다.

[0095] [0098] 이 방법은 (830에서) 레이저가 유전체 층을 추가로 천공하는 것을 방지하기 위한 백 스톱으로서 동작하도록 구성되는 더미 금속 층(예를 들어, 더미 금속 층(269))을 형성한다. 더미 금속 층은 플렉시블 커넥터에 형성될 수 있다.

[0096] [0099] 일부 구현들에서, 더미 금속 층을 형성하는 것은 유전체 층에 복수의 인터커넥트들을 형성하는 것, 예컨대, 인터커넥트(265)를 형성하는 것을 더 포함할 수 있다. 일부 구현들에서, 복수의 인터커넥트들은 시드 층 형성하는 것을 포함하는 리소그래피 프로세스, 라미네이션 프로세스, 노출 프로세스, 현상 프로세스, 도금 프로세스, 스트립 프로세스 및 에칭 프로세스(예를 들어, 시드 에칭 프로세스)를 이용하여 형성될 수 있다.

[0097] [0100] 이 방법은 (835에서) 유전체 층(예를 들어, 제 3 유전체 층(262)) 위에 솔더 레지스트 층(예를 들어, 솔더 레지스트 층(264))을 형성한다.

[0098] [0101] 그 후, 방법은 (840에서) 솔더 레지스트 층(예를 들어, 264)에 제 2 다이(예를 들어, 제 2 다이(224))를 커플링한다. 일부 구현들에서, 솔더 인터커넥트들은 제 2 다이를 복수의 인터커넥트들(예를 들어, 763)에 커플링하는 데 사용될 수 있다. 일부 구현들에서, 하나 또는 그 초과 다이들을 커플링하는 것은 다이를 장착하기 위해 SMT(surface mounting technology) 프로세스를 이용하는 것을 포함한다.

[0099] [0102] 이 방법은 (845에서) 제 1 패키지(예를 들어, 제 1 패키지 202)를 제 2 패키지(예를 들어, 제 2 패키지(204))에 전기적으로, 기계적으로 그리고 구조적으로 커플링하도록 구성되는 플렉시블 커넥터(206)를 형성하기 위해 유전체 층(예를 들어, 제 1 유전체 층(220))에 캐비티(예를 들어, 캐비티(209))를 형성한다.

[0100] 예시적인 전자 디바이스들

[0101] [0103] 도 9는 상술한 통합 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지 또는 PoP(package on package) 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 전화 디바이스(902), 랩톱 컴퓨터 디바이스(904), 고정 위치 단말 디바이스(906), 웨어러블 디바이스(908)는 본원에서 설명된 바와 같은 통합 디바이스(900)를 포함할 수 있다. 통합 디바이스(900)는 예를 들어, 본원에서 설명된 집적 회로들, 다이들, 통합 디바이스들, 통합 디바이스 패키지들, 집적 회로 디바이스들, 디바이스 패키지들, 집적 회로(IC) 패키지들, 패키지-온-패키지 디바이스들 중 임의의 것일 수 있다. 도 9에 예시된 디바이스들(902, 904, 906, 908)은 단지 예시적이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication system) 유닛들, 휴대용 데이터 유닛들, 예컨대, 개인용 디지털 보조기들, GPS(global positioning system) 인에이블 디바이스들, 네비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 예컨대, 미터 판독 장비, 통신 디바이스들, 스마트 폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예를 들어, 시계, 안경), IoT(Internet of things) 디바이스들, 서버들, 라우터들, 자동차들(예를 들어, 자율주행 차량들(autonomous vehicles))에 구현되는 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 리트리브하는 임의의 다른 디바이스 또는 이들의 임의의 결합을 포함하는 디바이스들의 그룹(예를 들어, 전자 디바이스들)을 포함(그러나 이에 제한되지 않음)하는 통합 디바이스(900)를 특징으로 한다.

[0102] [0104] 도 2, 도 3, 도 4, 도 5, 도 6, 도 7a 내지 도 7f, 도 8, 및/또는 도 9에 예시된 컴포넌트들, 프로세스들, 특징들 및/또는 기능들 중 하나 또는 그 초과는 단일 컴포넌트, 프로세스, 특징 또는 기능으로 재배열 및/또는 결합되거나 또는 여러 컴포넌트들, 단계들 또는 기능들로 실현될 수 있다. 추가적인 엘리먼트들, 컴포넌

트들, 프로세스들, 및/또는 기능들은 또한, 본 개시로부터 벗어나지 않으면서 부가될 수 있다. 본 개시의 도 2, 도 3, 도 4, 도 5, 도 6, 도 7a 내지 도 7f, 도 8, 및/또는 도 9 및/또는 그의 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않는다는 것이 또한 주의되어야 한다. 일부 구현들에서, 도 2, 도 3, 도 4, 도 5, 도 6, 도 7a 내지 도 7f, 도 8, 및/또는 도 9 및 그의 대응하는 설명은 통합 디바이스들을 제조, 생성, 제공 및/또는 생산하는 데 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 통합 디바이스, 다이 패키지, 집적 회로(IC), 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, PoP(package on package) 디바이스 및/또는 인터포저를 포함할 수 있다.

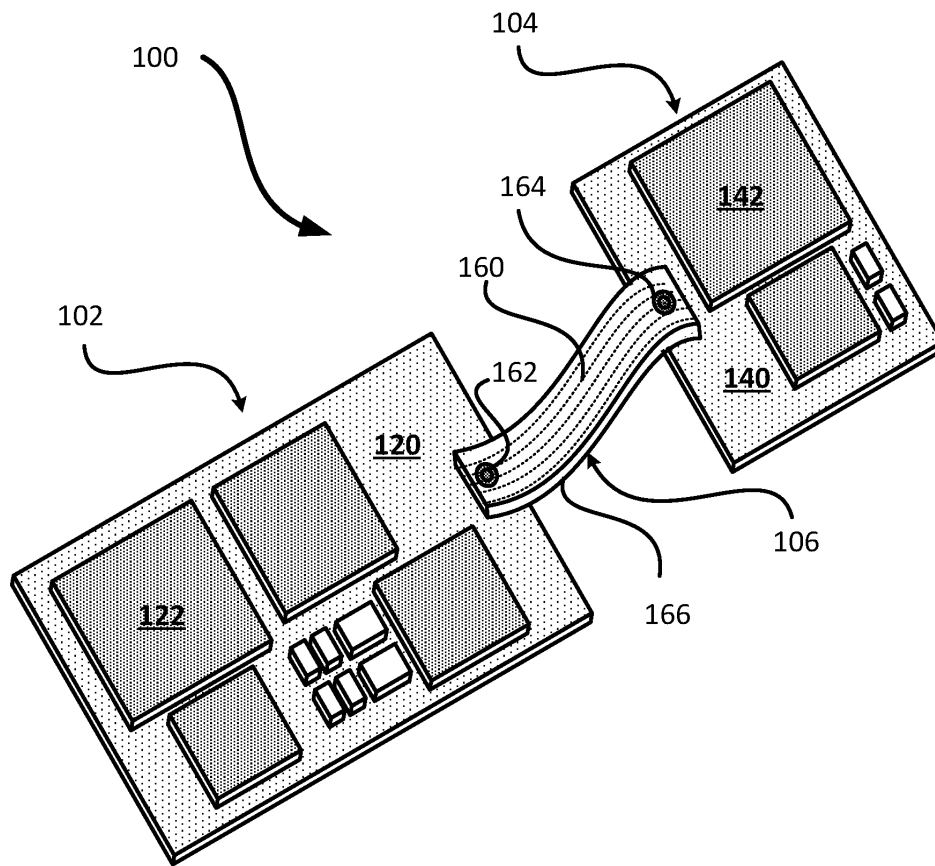
[0103] [00105] "예시적인"이란 단어는, "예, 경우 또는 예시로서 기능하는" 것을 의미하도록 본원에서 사용된다. "예시적인" 것으로서 본원에서 설명된 임의의 구현 또는 양상은 본 개시의 다른 양상들에 비해 반드시 바람직하거나 유리한 것으로서 해석될 필요는 없다. 유사하게, "양상들"이란 용어는, 본 개시의 양상들 전부가 논의된 특징, 이점, 또는 동작 모드를 포함하는 것을 요구하지 않는다. "커플링된"이란 용어는, 2개의 오브젝트들 사이의 직접적인 또는 간접적인 커플링을 지칭하도록 본원에서 사용된다. 예를 들어, 오브젝트 A가 오브젝트 B를 물리적으로 터치하고 오브젝트 B가 오브젝트 C를 터치하면, 오브젝트들 A 및 C는, 그들이 서로를 물리적으로 직접 터치하지 않더라도, 서로 커플링된 것으로 여전히 고려될 수도 있다.

[0104] [00106] 또한, 본원에 포함된 다양한 개시들은, 흐름도, 흐름 다이어그램, 구조도, 또는 블록도로서 도시된 프로세스로서 설명될 수 있다는 것이 주의된다. 흐름도가 순차적인 프로세스로서 동작들을 설명할 수 있지만, 동작들의 대부분은 병렬로 또는 동시에 수행될 수 있다. 부가적으로, 동작들의 순서는 재배열될 수도 있다. 프로세스는, 그의 동작들이 완료될 때 종결된다.

[0105] [00107] 본원에서 설명된 본 개시의 다양한 특징들은 본 개시를 벗어나지 않으면서 상이한 시스템들에서 구현될 수 있다. 본 개시의 위의 양상들은 단지 예들일 뿐이며, 본 개시를 제한하는 것으로서 해석되지 않는다는 것이 주의되어야 한다. 본 개시의 양상들의 설명은 예시적인 것이며, 청구항들의 범위를 제한하려는 것이 아니다. 따라서, 본 교시들은, 다른 유형들의 장치들에 쉽게 적용될 수 있고, 다수의 대안들, 수정들, 및 변동들이 당업자들에게 명백할 것이다.

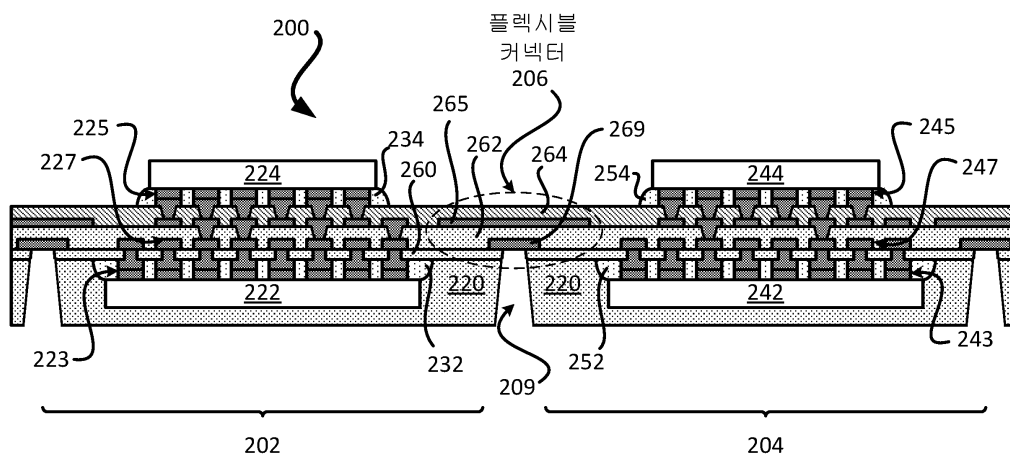
도면

도면1

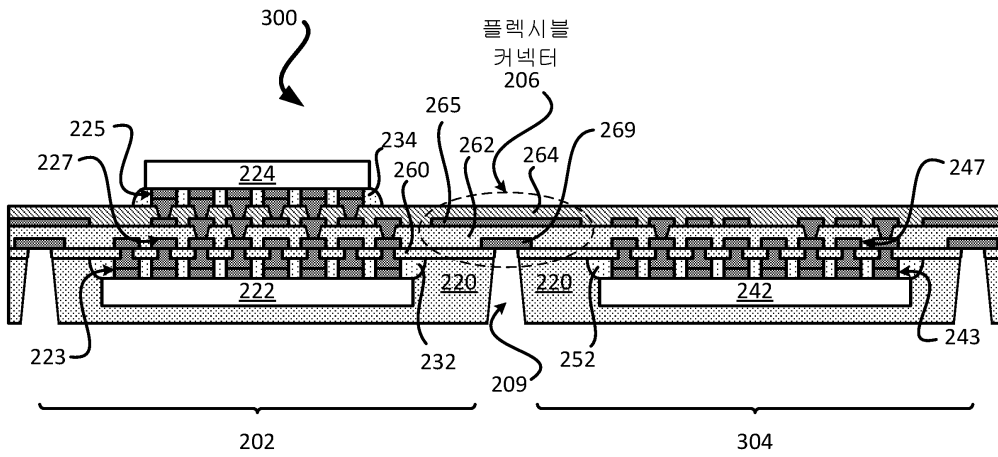


(종래 기술)

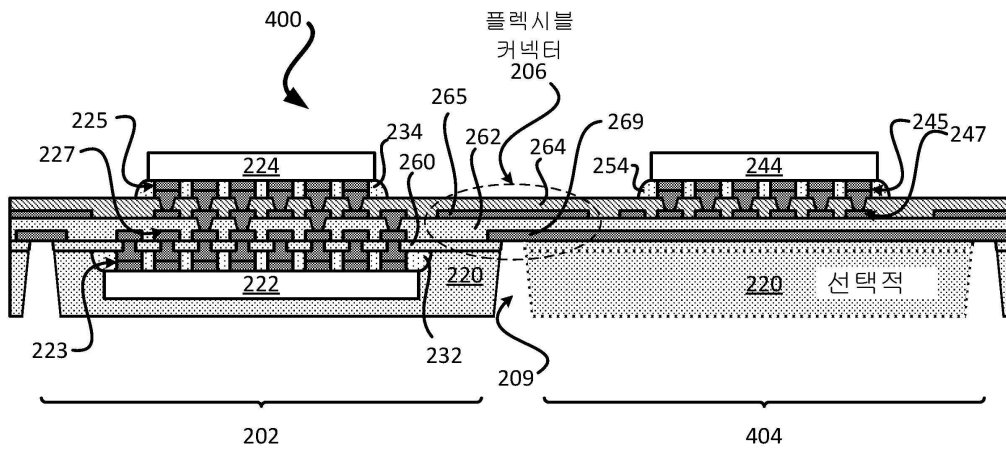
도면2



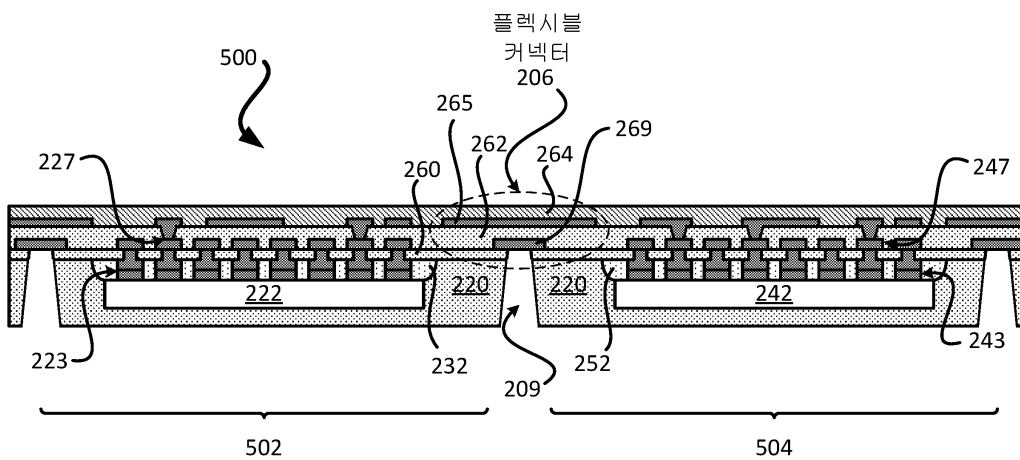
도면3



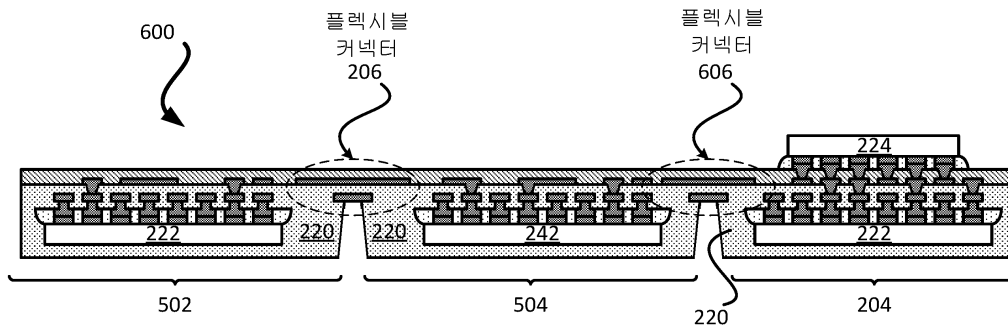
도면4



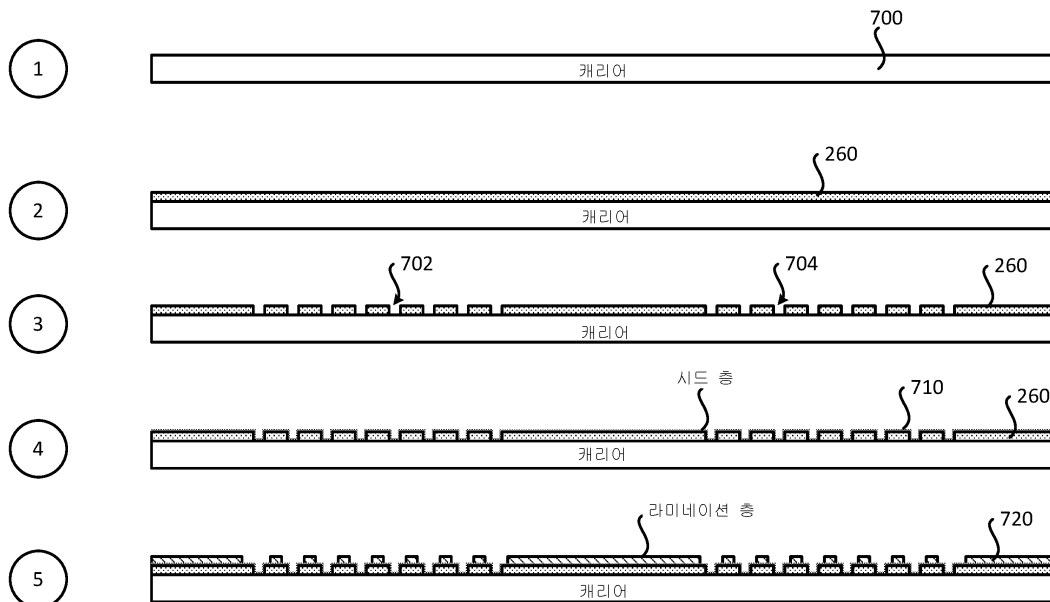
도면5



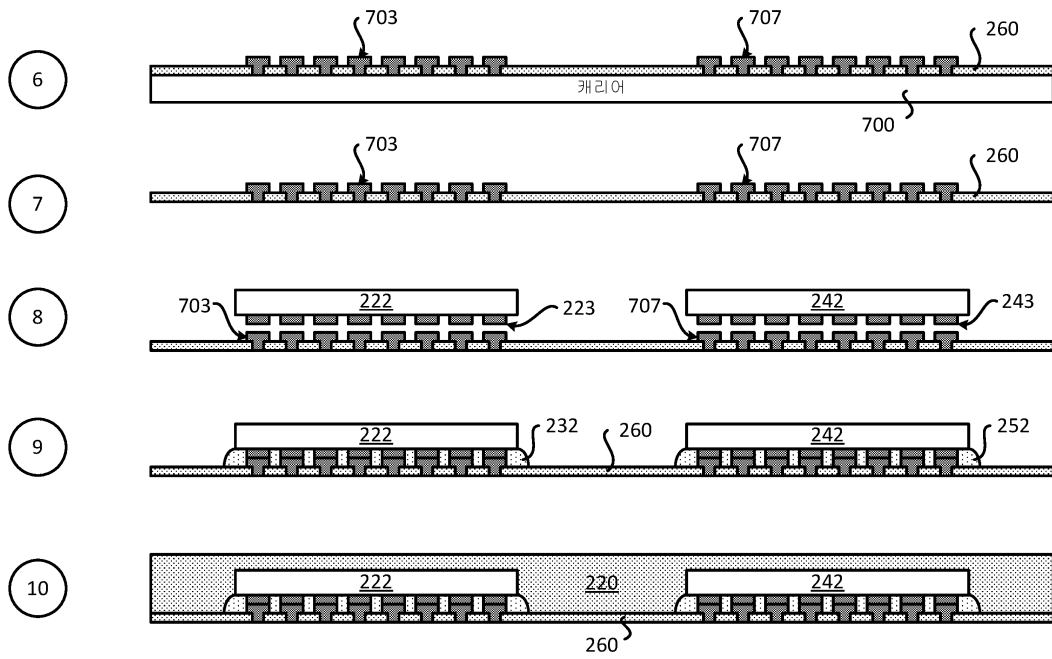
도면6



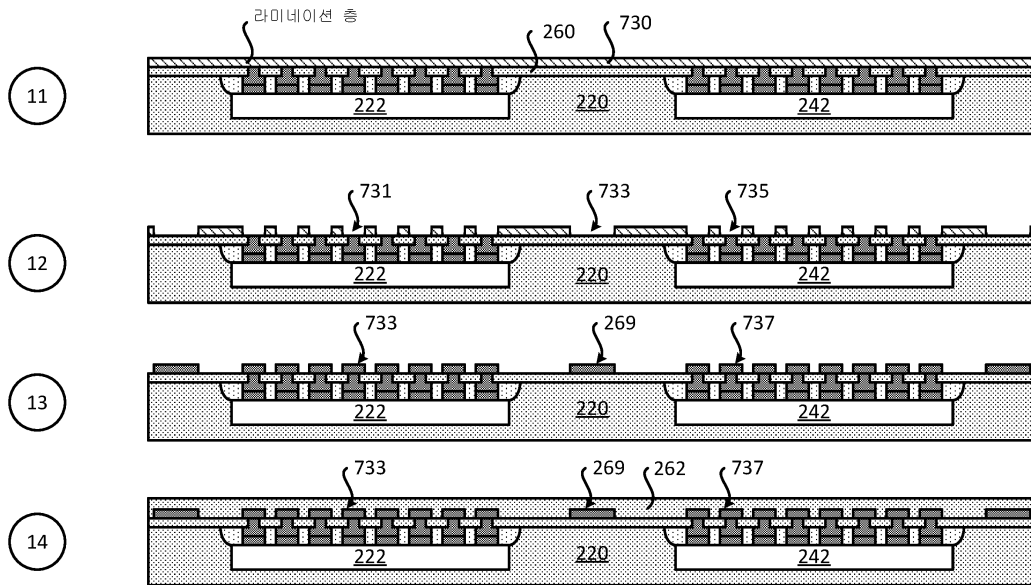
도면7a



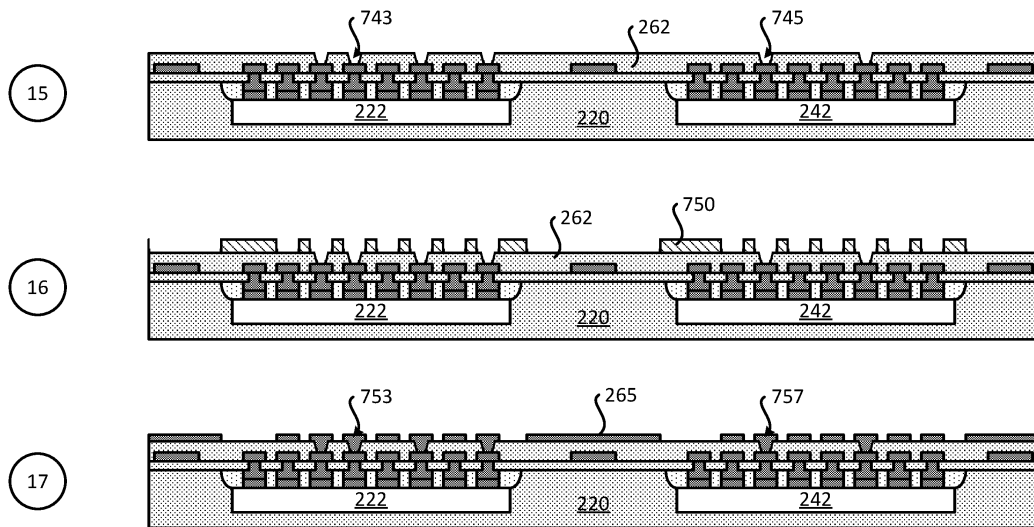
도면7b



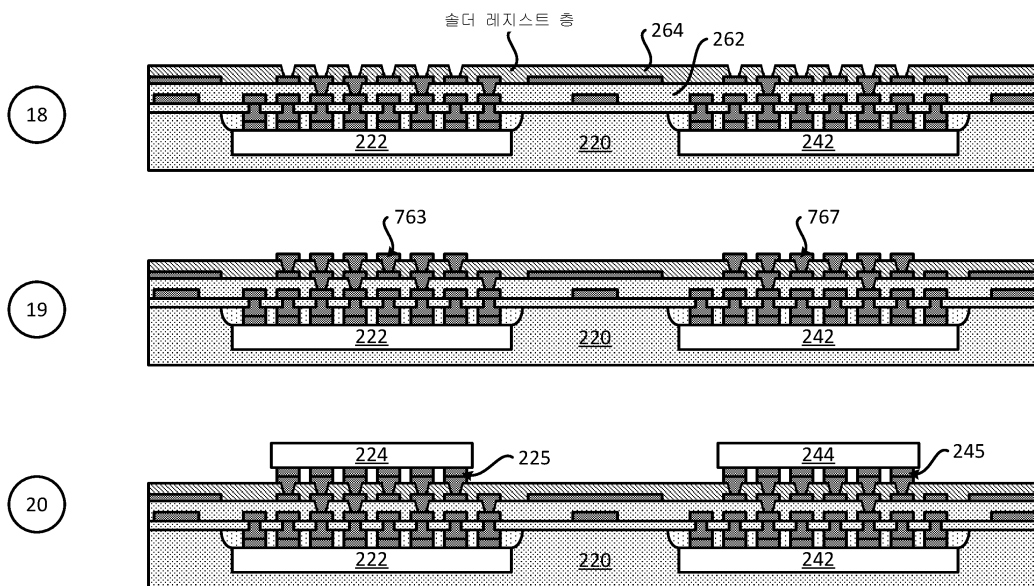
도면7c



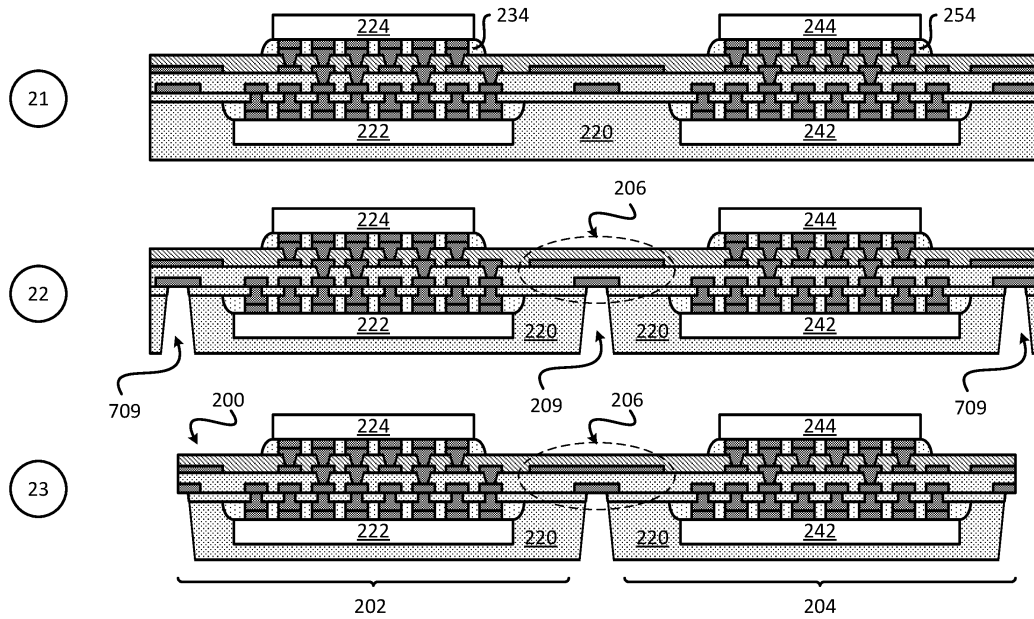
도면7d



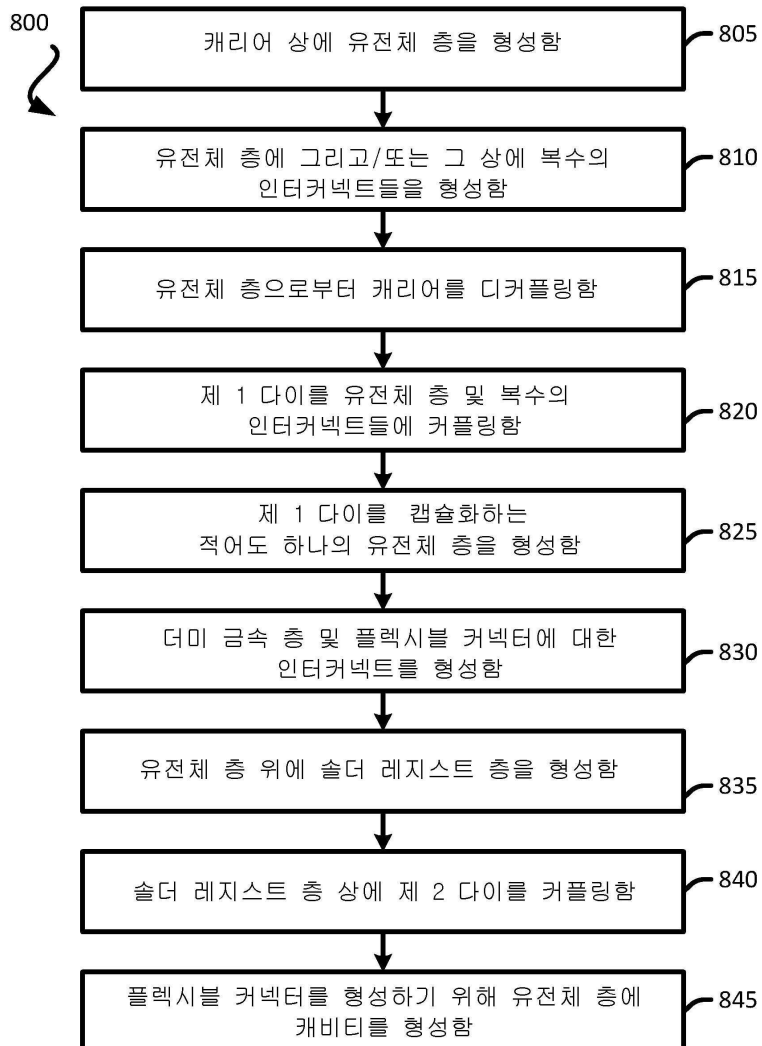
도면7e



도면7f



도면8



도면9

