

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/49

H01L 27/092



[12] 发明专利说明书

[21] ZL 专利号 96197631.4

[45] 授权公告日 2004 年 5 月 19 日

[11] 授权公告号 CN 1150627C

[22] 申请日 1996.8.8 [21] 申请号 96197631.4

[30] 优先权

[32] 1995.8.25 [33] US [31] 08/519,669

[86] 国际申请 PCT/IB1996/000929 1996.8.8

[87] 国际公布 WO97/008755 英 1997.3.6

[85] 进入国家阶段日期 1998.4.14

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 U·施瓦克 W·汉施

审查员 吴晓达

[74] 专利代理机构 中国专利代理(香港)有限公司

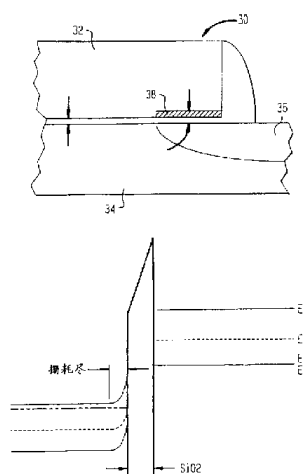
代理人 邹光新 傅康

权利要求书 2 页 说明书 4 页 附图 4 页

[54] 发明名称 一种半导体器件及其制备方法

[57] 摘要

一种 MOSFET 器件, 利用栅耗尽效应减少结区上的氧化层电场。由于 n^+ 栅 PMOS 器件和 p^+ 栅 NMOS 器件的栅耗尽效应出现在非导通态即关断态, 所以可以克服性能退化。栅的掺杂级别很关键。为了防止导通态时即开启时的栅耗尽, NMOS FET 必须使用重掺杂的 n^+ 栅。PMOS FET n^+ 栅必须为非简并掺杂, 以便有效地利用非导通的关断态中的栅耗尽。这可通过将不同剂量的相同掺杂剂类型注入到不同的栅中实现。对于 n^+ 栅 PMOS FET 器件和 p^+ 栅 NMOS FET 器件, 都可以相当好地实现 MOSFET 器件。



ISSN 1008-4274

1. 一种改进的亚微米场效应晶体管半导体器件，包括：
 - 具有上表面的半导体基体；
 - 厚度小于 10nm 的介质层，位于所述上表面上；
 - 5 掺杂的半导体材料的栅电极，位于所述介质层上，其中所述半导体基体上的表面电势对所述栅电极敏感；
- 将所述栅电极与所述半导体基体电隔离的装置，所述装置包括与
所述栅介质相邻的所述栅电极的高电阻率部分，所述高电阻率部分具
有足够的掺杂浓度和导电类型，其中在器件工作期间，形成由栅介质
10 延伸到所述栅电极的高电阻率部分的耗尽层，
 - 其中所述栅电极为 n^+ 非简并掺杂的栅电极和 p^+ 非简并掺杂的栅电极之一。
2. 一种具有互补场效应晶体管器件的半导体器件的制造方法，包括以下步骤：
 - 15 提供半导体基体 (42)；
 - 在所述半导体基体 (42) 上形成厚度小于 10nm 的介质层；
 - 在所述介质层上淀积栅多晶硅 (48) 并形成第一和第二场效应晶体管器件的栅电极；
 - 掺杂所述场效应晶体管器件的所述栅多晶硅 (48)；
 - 20 在所述掺杂的栅多晶硅 (48) 上淀积盖帽层 (50)；
 - 在所述第二场效应晶体管器件的区域上定位第一掩模 (60)；
 - 注入第一杂质 (p^+ 或 n^+) 以形成所述第一场效应晶体管器件的源区和漏区；
 - 在注入第一杂质 (p^+ 或 n^+) 后去除第一掩模 (60)；
 - 25 从所述第二场效应晶体管器件的所述掺杂的栅多晶硅 (48) 去除所述盖帽层 (50)；
 - 在所述第一场效应晶体管器件的区域上定位第二掩模 (62)；
 - 注入第二杂质 (n^+ 或 p^+) 以形成所述第二场效应晶体管器件的源区和漏区并掺杂所述第二场效应晶体管器件的所述栅多晶硅；
 - 30 在注入所述第二杂质 (n^+ 或 p^+) 后去除所述第二掩模 (62)。
3. 根据权利要求 2 的方法，还包括步骤：
 - 激活掺杂剂；以及

降低栅的电阻率。

4. 根据权利要求3的方法, 其中降低栅区电阻率的步骤包括步骤:
进行栅硅化工艺。
5. 根据权利要求2的方法, 其中注入的第一杂质为 p^+ 注入。
- 5 6. 根据权利要求2的方法, 其中注入的第二杂质为 n^+ 注入。
7. 根据权利要求2的方法, 其中盖帽层为氧化层。
8. 根据权利要求5的方法, 其中通过离子注入进行 p^+ 注入。
9. 根据权利要求6的方法, 其中通过离子注入进行 n^+ 注入。
10. 根据权利要求8的方法, 其中离子注入为硼离子注入。
- 10 11. 根据权利要求9的方法, 其中离子注入为砷离子注入。

一种半导体器件及其制备方法

技术领域

本发明涉及半导体器件，特别涉及器件可靠性提高了的金属氧化物半导体场效应晶体管。

背景技术

常见的 CMOS 电路产品仅能提供很低的备用功率。只有在过渡态时电路中才有电流流动。这一特征使得在 CMOS 的设计中极易控制功率消耗。对于 n 沟道 MOS 器件，电流载流子为电子，而对于 p 沟道 MOS 器件，载流子为空穴。在 MOS 晶体管中存在四个独立的区域或端子：源、漏、栅和衬底。在正常工作下，相对于衬底，测量出 n 沟道器件的源、漏和栅电压为正，p 沟道器件为负。由于在任何给定状态下仅有一个晶体管导通，另一个为关断，所以输出总是连接到电源的一个端子（rail）。对于静态 nMOS 设计，这可确保仅通过电源电压，而不是器件有效阻抗的比值，就可决定逻辑变化。

在半导体技术中，经常使用多晶硅作为栅电极。多晶硅很普及很大程度上是由于在自对准 MOS 工艺中，多晶硅为特别合适的材料，在所述工艺中通过相同的掩蔽步骤限定出栅电极和源/漏区。在集成电路中，多晶硅可用做电路布线以及栅电极。

在实现减小亚微米 MOSFET 的栅极氧化层厚度（ T_{ox} ）的过程中，薄介质上的电场会相应地增加是主要问题。对于 10nm 以下的栅极氧化层厚度，外加电压要由 5V 减小到 3.3V，以将电介质上的电场降低到低于 4MV/cm 的安全级别。然而，随着外加电压降低，由 n^+ 栅和 p^+ 结之间或 p^+ 栅和 n^+ 结之间功函数差引起的电场增强变得越来越重要。随着外加电压降低，1.1eV 的功函数差保持不变。利用方程 1 所示的公式可以计算出氧化层电场（ E_{ox} ），其中 V_{gate} 表示栅电压， V_{fb} 表示平带电压， T_{ox} 表示氧化层厚度。

$$E_{ox} = [(\pm V_{gate}) + (\pm V_{fb})] / T_{ox}$$

方程 1.

平带电压（ V_{fb} ）可利用方程 2 所示的公式计算出，其中 Φ_{ms} 表示功函数差， Q_{ox} 表示氧化层电荷， C_{ox} 表示氧化层电容。

$$V_{fb} = \Phi_{ms} + Q_{ox} / C_{ox}$$

方程 2.

从方程 1 中可明显看出, 根据栅极和源极的偏置, 功函数差 (Φ_{ms}) 将增大或减小栅/结区中的电场. 图 1 示出了 MOSFET10 的栅-结区域, 其中有 n^+ 栅区 12, n^- 衬底 14 以及 p^+ 结 16, 栅氧化层厚度 (T_{ox}) 为 18.

5 根据方程 1, 氧化层电场 20 受功函数差 (Φ_{ms}) 的影响.

参考图 2, 图中显示了栅极性对导通状态即, 开启状态的 n^+ PMOS 器件和 p^+ PMOS 器件的源区和漏区之间氧化层电场的影响. 图 3 为对于处于非导通状态即关断状态的 n^+ PMOS 器件和 p^+ PMOS 器件, 沿沟道的模拟氧化层电场. 由于功函数差增加, n^+ PMOS 器件电场增强约 1MV/cm. 借助利用 MINIMOS 的两维计算机模拟可得到图 2 和 3 所示的结果. 在非导通即关断状态中, 当确定归一化的氧化层厚度为 10nm 时, n^+ 栅 PMOS 的漏侧处的功函数差达到 4.6MV/cm, 氧化层电场增加. 当 T_{ox} 的工艺偏差计算为 10% 时, 会导致 5 MV/cm 的最大氧化层电场. 氧化层电场增大会增加如氧化层击穿等的器件失效和器件不稳定的危险.

15 现已提出具有相同的栅和结掺杂类型的 MOSFET, 即 p^+ 栅 PMOS 器件和 n^+ 栅 PMOS 器件, 以避免以上介绍的高氧化层电场. 参考图 2 和 3, 可以看出 p^+ 栅 PMOS 器件的氧化层电场保持低于 3.6 MV/cm. 然而, 在 CMOS 技术中实际完成这种对称的器件设计实际上使工艺复杂化. 这是因为需要双功函数栅技术. 参考 C.Y. Wong 等人发表在 IEEE 的 IEDM 技术文摘 238 (1988) 中题为“在双栅极 CMOS 工艺中掺杂 n^+ 和 p^+ 多晶硅”的文章, 可以得到有关制造双栅极 CMOS 器件的可行性信息. 在反向偏置下会发生多晶硅耗尽, 这会导致器件电流减少. 随着栅氧化层厚度 (T_{ox}) 变小, 这种影响变得越来越严重. 参考 M. Iwase 等人发表在 Ext.摘要 SSDM 271 (1990) 题为“耗尽的多晶硅栅对 MOSFET 性能的影响”的文章, 20 可以得到对于亚微米级集成的双栅极对称 CMOS 结构的有关信息, 以及由耗尽栅引起的器件性能退化的有关信息.

因此, 对于 CMOS 的单功函数栅技术, 例如仅有 n^+ 栅和仅有 p^+ 栅, 迫切需要减小与高氧化物电场有关的功函数. 一种解决办法是控制会增加栅边缘处氧化层厚度的栅极鸟嘴的形成. 然而这种解决办法会导致跨导减少, 从而造成性能降低.

30 发明内容

本发明的目的是减小结区域上的氧化层电场.

本发明为一种利用栅耗尽效应减小结区域上的氧化层电场的 MOSFET 器件。由于 n^+ 栅 PMOS 器件和 p^+ 栅 NMOS 器件的栅耗尽效应出现在非导通态即关断态，所以可以克服性能退化。栅区的掺杂级别很关键。为了防止导通时即开启态的栅耗尽，NMOS FET 必须使用重掺杂的 n^+ 栅。

- 5 PMOS FET n^+ 栅必须为非简并掺杂，以便有效地利用非导通态即关断态中的栅耗尽。这可通过将不同剂量的相同掺杂剂类型注入到不同的栅中实现。对于 n^+ 栅 PMOS 器件以及 p^+ 栅 NMOS 器件，都可以相当好地实现 MOSFET 器件。

附图说明

- 10 下面结合附图详细地介绍本发明的以上目的以及其它特点和优点，其中：
图 1 显示了 MOSFET 器件的栅 - 结区域；
图 2 显示了栅极性对氧化层电场的影响；
图 3 显示了 n^+ 和 p^+ PMOS FET 的氧化层电场；
图 4 显示了本发明的基本原理；
15 图 5 显示了本发明的能带图；
图 6 显示了栅叠层；
图 7 显示了 p^+ 注入期间帽盖层的保护作用；
图 8 显示了 n^+ 注入期间帽盖层的保护作用。

具体实施方式

- 20 虽然以常规的 n^+ 掺杂栅 PMOS FET 介绍本发明，但本发明同样适于 p^+ 栅 NMOS FET。本发明可利用掩埋的和表面沟道的器件。虽然本发明特别适于使用“单功函数” CMOS 栅技术，但同样可利用“双功函数” CMOS 栅技术。

- 25 本发明利用栅耗尽效应减小结区上的氧化层电场。由于对于 n^+ 栅 PMOS 器件和 p^+ 栅 NMOS 器件，栅耗尽效应仅出现在非导通即关断态，所以可以克服性能退化。

- 图 4 示出了本发明的基本原理。图中所示的是 MOSFET 器件 30 的栅 - 结区域，该器件具有 n^+ 栅区 32， n^- 衬底 34， p^+ 结 36，以及栅氧化层厚度 (T_{ox}) 为 40 的耗尽区 38。对于非简并掺杂的多晶硅栅，当 MOSFET
30 器件 30 处于非导通态即关断状态时，在栅区内的结上形成厚度为 W_{poly} 的耗尽区 38。耗尽区 38 内的电势降减小了氧化层电场 (E_{ox})。

参考图 4 和 5，可以看出，栅耗尽区宽度上的电势降低于氧化层上的电

场。模拟显示出当栅内的有源的载流子浓度为 10^{19}cm^{-3} 时, p^+ 区内的氧化层电场减少了 0.6MV/cm 。

当 PMOS 器件处于导通态即开启状态时, 栅区开始累积。因此, 当器件处于导通态即开启状态时, 不会发生栅耗尽效应, 因而不会有对应的性能退化。此外, 功函数差 (Φ_{ms}) 很有用, 是由于与图 2 所示的 p^+ 栅 PMOS 相比, 它有一个可减小氧化层电场的相反标记。

在本发明的实施例 CMOS FET 器件中, 栅区的掺杂级别很关键, 下面进行介绍。为了防止导通态即开启状态时的栅耗尽, NMOS FET 必须使用重掺杂的 n^+ 栅。PMOS FET n^+ 栅区必须为非简并掺杂, 以便有效地利用非导通态即关断态中的栅耗尽。这可通过将不同剂量的相同掺杂剂类型注入到不同的栅中实现。但这需要额外的掩模。

为了避免使用额外的掩模, 要修改 CMOS 制造工艺。在生长 n 阱、 p 阱、场氧化层以及栅氧化层后, 淀积栅多晶硅和帽盖氧化层。多晶硅为非简并 n 掺杂, 例如 $1\text{E}18$ 磷/ cm^3 。

参考图 6, 图中示出了 MOSFET40, 具有衬底 42, p 阱区 44 和 n 阱区 46, n 掺杂区 48, 以及限定 MOSFET 栅叠层的帽盖层 50。

参考图 7, 图中显示了适于对准的第一掩模 60。同样可看出, 帽盖层 50 保护栅多晶硅不受限定 p^+ 源/漏区 52 的 p^+ 注入源 54 注入的影响。非简并 n 掺杂的多晶硅保持为 PMOS FET。

参考图 8, 图中显示了适于对准的第二掩模 62。对于 NMOS FET, 去掉帽盖层后, 通过注入限定 n^+ 源/漏结 61 的 n^+ 注入源 58, n 掺杂的多晶硅转变为简并掺杂的 n^+ 多晶硅 49。

注入 p^+ 和 n^+ 杂质的源包括硼和砷离子注入。对于本领域的普通技术人员来说, 其它注入杂质的源已众所周知。为了形成与高阻性的栅良好的电接触, 并使栅延时最小化, 可增加导电率来电分流栅, 因此降低栅表面的栅电阻率。这可通过例如栅硅化处理 (即 Ti-SALICIDE 工艺) 或选择性的金属, 淀积 (例如 CVD 钨) 完成。

接下来完成制造工艺。其余的步骤包括内金属-介质、接触孔、合金化以及其它本领域的普通技术人员已公知的步骤。

应该理解这里介绍的实施例仅为示例性的, 本领域的技术人员可做出变形和修改, 但都不脱离本发明的精神和范围。所有这些变形和修改都包括在本发明附带的权利要求书的范围内。

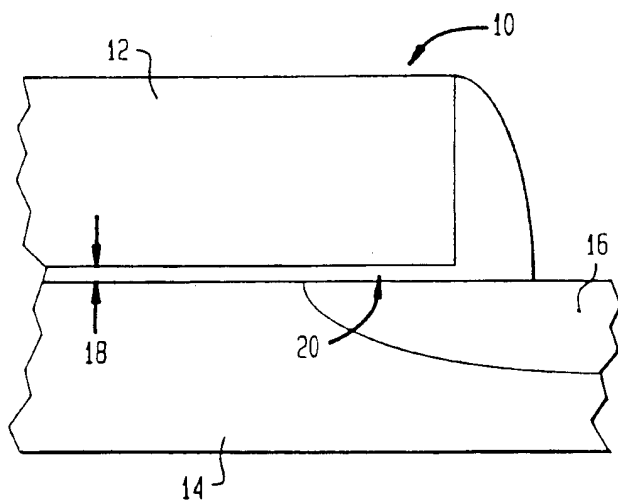


图 1

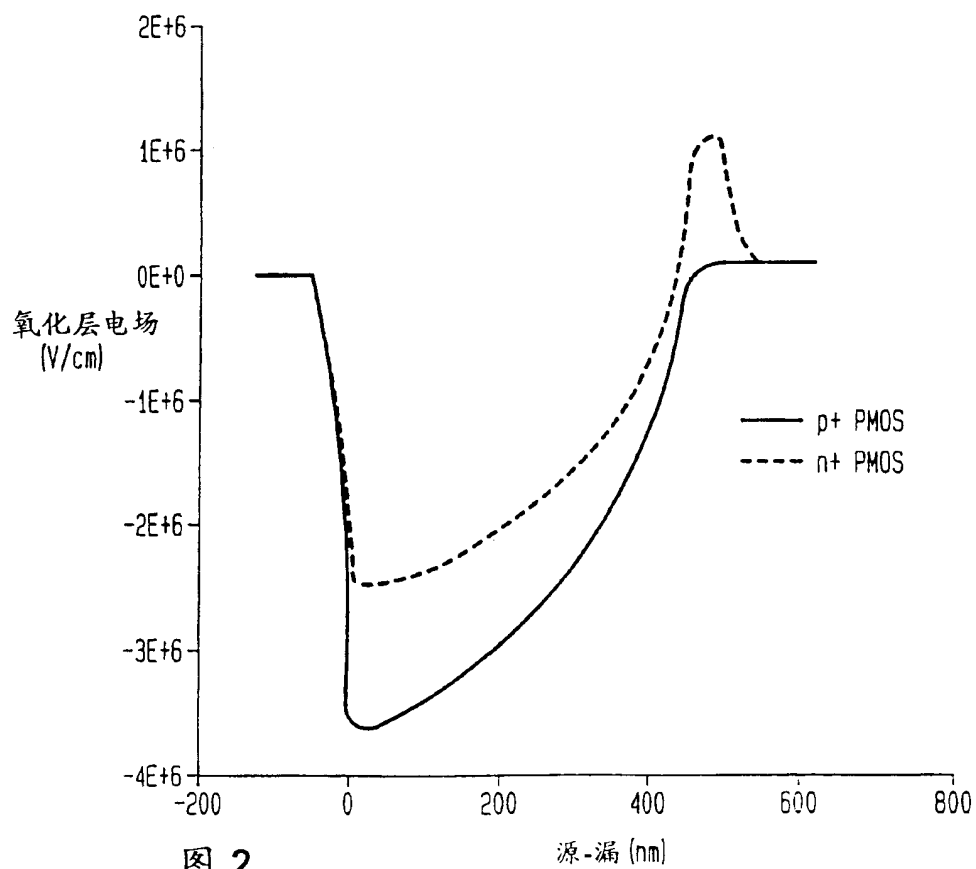
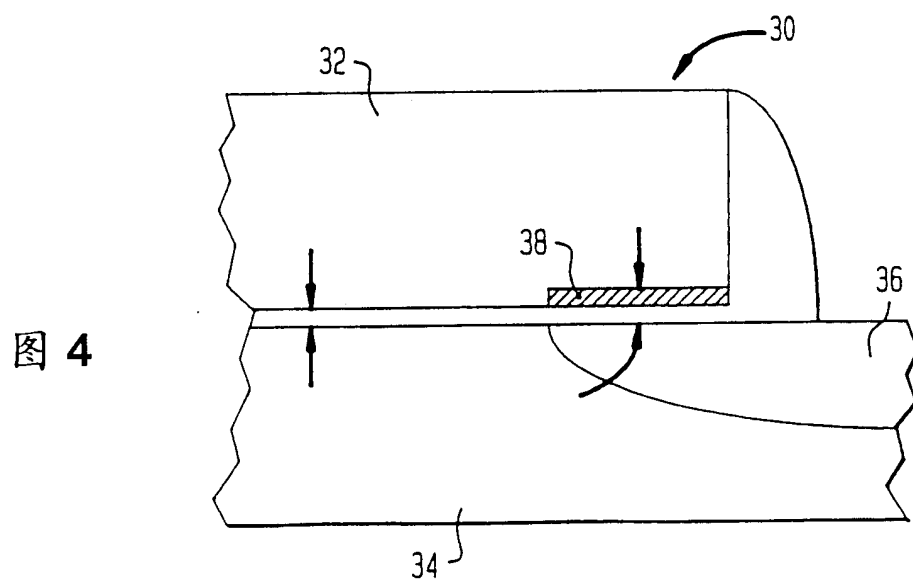
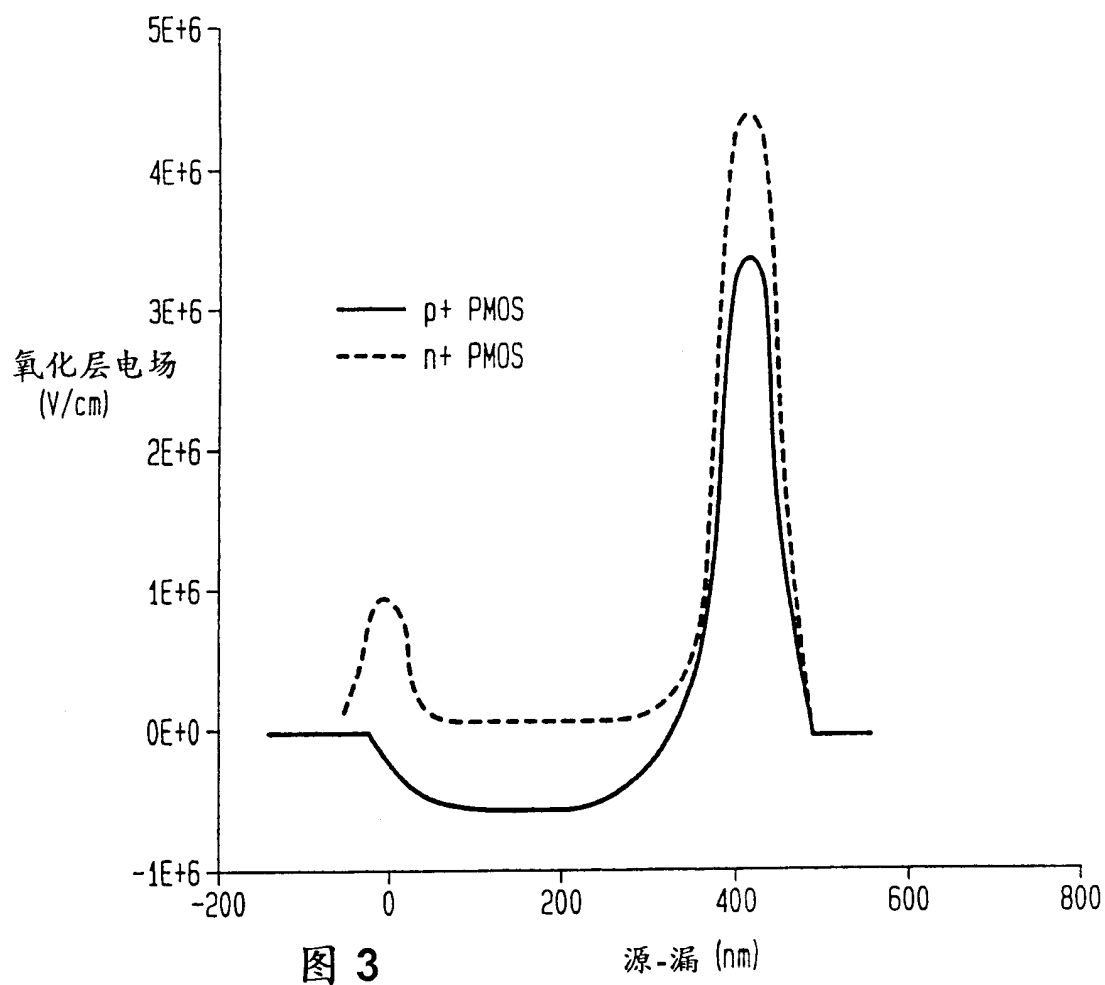


图 2



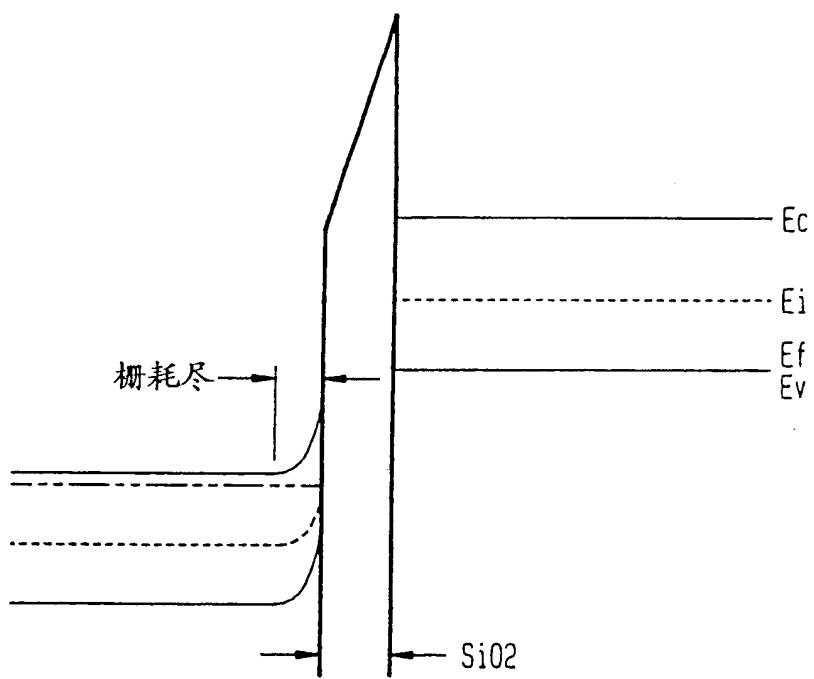


图 5

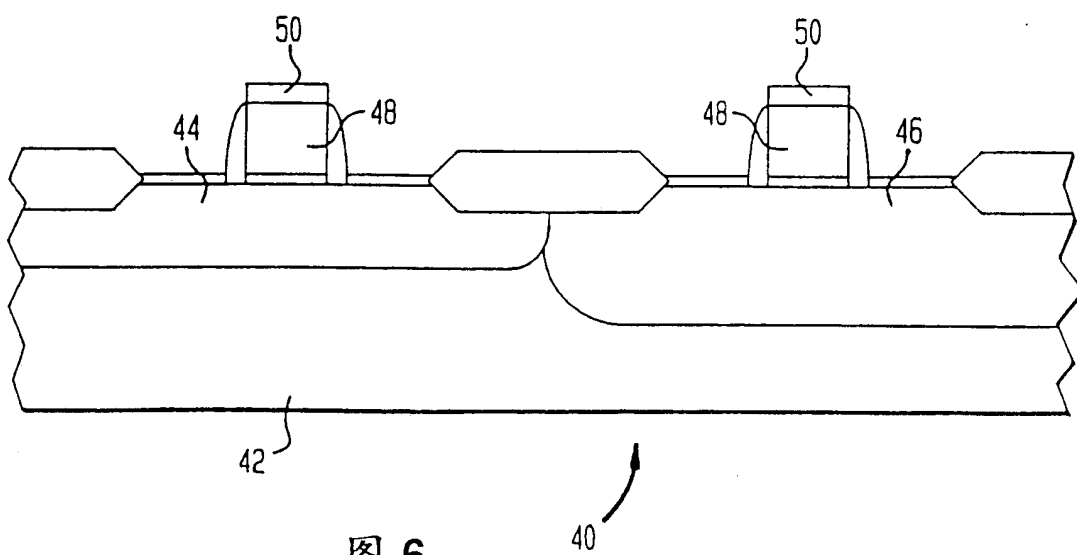


图 6

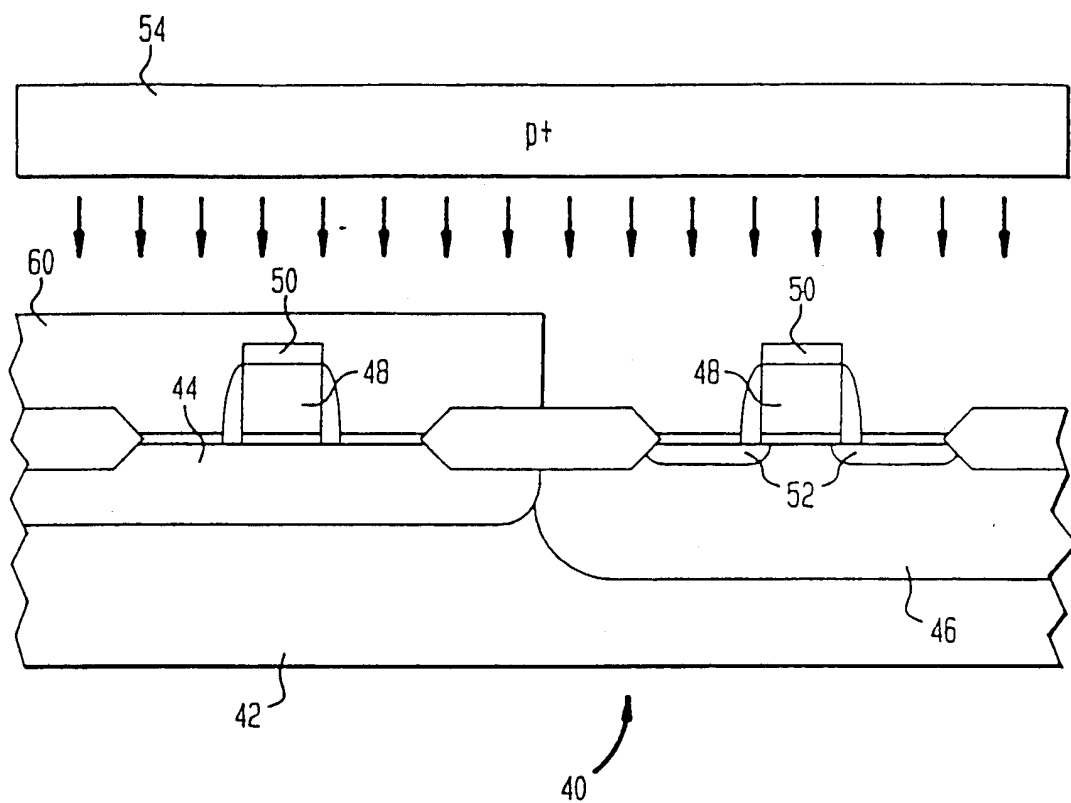


图 7

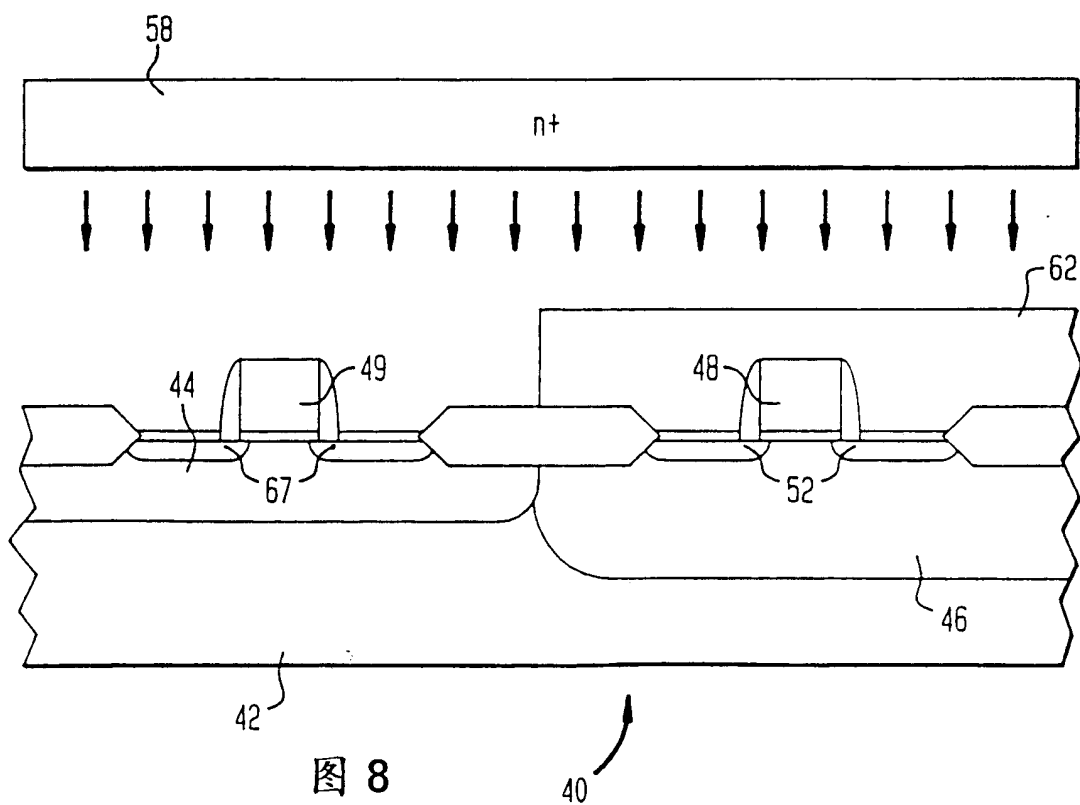


图 8