(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3787409号
(P3787409)
(45)発行日　平成18年6月21日(2006.6.21)　(24)登録日　平成18年3月31日(2006.3.31)

(51)Int.Cl.			F I		
H05K	3/46	(2006.01)	H05K	3/46	Q
H05K	1/02	(2006.01)	H05K	1/02	J

請求項の数 3　(全 11 頁)

(21)出願番号　特願平9-109249
(22)出願日　平成9年4月25日(1997.4.25)
(65)公開番号　特開平10-303564
(43)公開日　平成10年11月13日(1998.11.13)
審査請求日　平成14年7月17日(2002.7.17)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100123788
弁理士　宮崎　昭夫
(74)代理人　100120628
弁理士　岩田　慎一
(74)代理人　100127454
弁理士　緒方　雅昭
(74)代理人　100088328
弁理士　金田　暢之
(74)代理人　100106297
弁理士　伊藤　克博
(74)代理人　100106138
弁理士　石橋　政幸

最終頁に続く

(54)【発明の名称】アレイ状接続型ＩＣを搭載した多層基板

(57)【特許請求の範囲】

【請求項１】

多層基板に搭載されたアレイ状接続型ＩＣからの信号線を、該アレイ状接続型ＩＣの搭載面と、信号接続用のスルーホールにより該ＩＣ搭載面と反対側の面あるいは内層の信号線層とに引き出して、他の部品に接続するアレイ状接続型ＩＣを搭載した多層基板において、該多層基板は内層に電源層やグランド層を有しており、前記ＩＣの直下に当たる内層の電源層やグランド層を貫通する前記信号接続用のスルーホールは、前記内層の電源層やグランド層を分断しないように、一つ置きで互い違いに規則正しく分散して配置されていることを特徴とする、アレイ状接続型ＩＣを搭載した多層基板。

【請求項２】

多層基板の内層の電源層から、アレイ状接続型ＩＣの個々のあるいは特定の電源パッドに電源を供給するアレイ状接続型ＩＣを搭載した多層基板において、前記ＩＣの搭載面から前記ＩＣの搭載面と反対側の面に通じ内層とは絶縁されている第１のスルーホールを前記電源パッドの各々に接続配置し、前記ＩＣの搭載面と反対側の面に表われた前記第１のスルーホールの各々にデカップリング・コンデンサを配置し、前記内層の電源層とのみ接続される第２のスルーホールを１つ以上前記ＩＣの搭載面から前記ＩＣの搭載面と反対側の面に通じるように設け、前記ＩＣの搭載面と反対側の面に表われた前記第２のスルーホールから前記デカップリング・コンデンサの各々に電源パターンを配線していることを特徴とする、アレイ状接続型ＩＣを搭載した多層基板。

【請求項３】

前記ＩＣの直下に当たる内層のグランド層と前記第２のスルーホールとがショートしないようにするクリアランスが互いにくっつかないように、前記第２のスルーホールを配置していることを特徴とする、請求項２に記載のアレイ状接続型ＩＣを搭載した多層基板。

【発明の詳細な説明】

【０００１】

本発明は、アレイ状接続型ＩＣが搭載された多層基板に関するものであり、アレイ状接続型ＩＣを搭載した基板での前記ＩＣの誤動作を防ぐと共に、前記基板からの電磁波放射ノイズを低減するための構成に関する。

【０００２】

【従来の技術】

従来、多層基板に搭載されたアレイ状接続型ＩＣ（例えばＢＧＡ型ＩＣ）から信号線を引き出す場合、アレイ状接続パッドのうちＩＣの外周部分では、パッドの間隔と配線パターンのピッチにより引き出せる配線はそのままＩＣの外周側へ引き出し、より内側のパッドからの配線を引き出す場合は、スルーホールを用いてＩＣ搭載面と反対側の面や内層の信号線層に引き出したりしていた。

【０００３】

そこで、図５に従来の多層基板の配線方法の一例である信号線の配線状態を説明するための図を示す。同図（Ａ）はＩＣが搭載された多層基板の一面の信号線層をＩＣを透視して見た図、同図（Ｂ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の内層のグランド（ＧＮＤ）層を表した図、同図（Ｃ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の内層の電源層を表した図、同図（Ｄ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の、ＩＣが搭載された側と反対側面の信号線層を表した図である。これらの図で符号１０１はアレイ状接続型ＩＣの外形線、符号１０５はアレイ状接続型ＩＣを各層に投影した外形線を示す。

【０００４】

図５に示す従来例では、アレイ状接続型ＩＣが搭載される面に、前記ＩＣの接続電極（不図示）と対応する接続パッド１０２がアレイ状に配設されている。前記ＩＣのパッケージ外周側の接続パッド１０２から順次信号線１０３が引き出されている。そして、パッドの間隔と信号配線のピッチによって引き出しきれなくなった前記ＩＣのパッケージ中心側の接続パッド１０２にはスルーホール１０４が隣接して配置されている。これにより、スルーホール１０４は前記ＩＣのパッケージ中心側に過密する。そして、前記ＩＣのパッケージ中心側の接続パッド１０２はスルーホール１０４を介して、前記ＩＣが搭載された側と反対側面の信号線１０９に接続されている。なお、スルーホール１０４はＩＣ搭載面からこれと反対側面へと通じているが、内層の銅箔からなるＧＮＤ層及び電源層とはクリアランス１０６及び１０８を設けて絶縁されている。

【０００５】

また、従来、多層基板に搭載されたアレイ状接続型ＩＣ（例えばＢＧＡ型ＩＣ）の電源をデカップリングする場合、図６を参照して後で詳述するが、デカップリング・コンデンサを前記ＩＣの搭載面やこれと反対側の面に配置し、内層の電源層からスルーホールを介してデカップリング・コンデンサに電源を一旦供給し、そこから前記ＩＣの電源ピンに電源を供給している。

【０００６】

特に、デカップリング・コンデンサを前記ＩＣの搭載面と反対側の面に配置した場合には、内層の電源層から前記ＩＣの搭載面と反対側の面までスルーホールを介して電源をデカップリング・コンデンサに供給し、さらにデカップリング・コンデンサを経由した後、別のスルーホールを介して、前記ＩＣの搭載面に配置された電源パッドに電源を供給している。

【０００７】

図６に、従来の多層基板の配線方法の他の例である電源線の配線状態を説明するための図を示す。同図（Ａ）はＩＣが搭載された多層基板の一面の信号線層をＩＣを透視して見た

図、同図（Ｂ）は図（Ａ）のＩＣ搭載面と対応する多層基板の内層のグランド（ＧＮＤ）層を表した図、同図（Ｃ）は図（Ａ）のＩＣ搭載面と対応する多層基板の内層の電源層を表した図、同図（Ｄ）は図（Ａ）のＩＣ搭載面と対応する多層基板の、ＩＣが搭載された側と反対側面の信号線層を表した図である。これらの図で符号２０５はアレイ状接続型ＩＣの外形線、符号２０９はアレイ状接続型ＩＣを各層に投影した外形線を示す。

【０００８】

図６に示す従来例では、アレイ状接続型ＩＣが搭載される面に、信号又はグランドパッド２０２と電源パッド２０１とが前記ＩＣの接続電極（不図示）と対応してアレイ状に配設されている。各電源パッド２０１には電源パターン２０３で接続されたスルーホール２０４が隣接配置されている。このスルーホール２０４はＩＣ搭載面からこれと反対側面のデカップリング・コンデンサ２１３へと電気的に通じているが、内層の銅箔からなるＧＮＤ層及び電源層とはクリアランス２０８及び２０９を設けて絶縁されている。また同時に、各電源パッド２０１にはスルーホール２１５が隣接配置されている。このスルーホール２１５はＩＣ搭載面からこれと反対側面のデカップリング・コンデンサ２１３へと通じていて、内層の電源層とは電気的に接続されているが、内層のＧＮＤ層とはクリアランス２０８を設けて絶縁されている。

【０００９】

【発明が解決しようとする課題】

しかし、図５に示した従来例の、アレイ状接続型ＩＣを搭載した多層基板における信号線の配線方法では、アレイ状接続型ＩＣの接続パッドのグリッド間隔（配置間隔）が狭くなったり接続パッドの数が多くなったりするに従って、ＩＣの外周部分より、他の部品と接続する信号線を引き出すことが困難となるので、ＩＣ直下のパッケージ中心側において信号接続用スルーホールの数が増えることになる。このようにスルーホールが配設されると、スルーホール同士の間隔が狭くなり、内層のグランド層や電源層では、スルーホールとグランド層や電源層とがショートしないようにするためのクリアランスが互いにくっついてしまう。その結果、くっついたクリアランスによって大きな絶縁部分（銅箔欠除部分）ができ、ＩＣ直下の内層の電源層とグランド層が、ＩＣ周辺側に当たる内層の電源層やグランド層と大きく分断されてしまう。最悪の場合には、ＩＣ直下に当たる内層の電源層やグランド層が、ＩＣ周辺側に当たる内層の電源層やグランド層から細々としか接続されなくなってしまい、グランドのインピーダンスが高くなり、グランドバウンスが発生し、ＩＣの誤動作を招く場合もあった。さらにアレイ状接続型ＩＣからの信号電流と、これと対になるリターン電流によるディファレンシャルモードの電流ループが、クリアランス同士がくっついてできる大きな絶縁部分により大きくなってしまい（図５の（Ｂ）及び（Ｃ）の符号１０７で示す電流ループを参照。）、アレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズが大きくなってしまう。

【００１０】

このように、従来のようなアレイ状接続型ＩＣを搭載した多層基板における信号線の配線方法では、ＩＣの誤動作や、近年各国で厳しくなっている電磁波放射ノイズに対する規制・規格を充分満足することが困難になってきている。

【００１１】

一方、図６に示した従来例の、アレイ状接続型ＩＣを搭載した多層基板における電源線の配線方法では、デカップリング・コンデンサを充分効果的に働かせ、電源層から前記ＩＣの電源パッドに電源を供給するために、１つのデカップリング・コンデンサについて２つのスルーホールが必要であった。そのため、アレイ状接続型ＩＣのパッドのグリッド間隔（配置間隔）が狭くなったり電源パッドの数が多くなったりすると、一つのデカップリング・コンデンサのために必要であった２つのスルーホール同士の間隔が狭くなり、内層のグランド層では、スルーホールとグランド層とがショートしないようにするためのクリアランスが互いにくっついてしまう。その結果、くっついたクリアランスによって大きな絶縁部分ができ、ＩＣ直下の内層のグランド層が、ＩＣ周辺側に当たる内層のグランド層と大きく分断されてしまう。最悪の場合には、ＩＣ直下に当たる内層のグランド層が、ＩＣ

周辺側に当たる内層のグランド層から細々としか接続されなくなってしまい、グランドのインピーダンスが高くなり、グランドバウンスが発生し、ＩＣの誤動作を招く場合もあった。さらにアレイ状接続型ＩＣからの信号電流と、これと対になるリターン電流によるディファレンシャルモードの電流ループが、クリアランス同士がくっついてできる大きな絶縁部分により大きくなってしまい（図６の（Ｂ）の符号２２１で示すリターン電流の帰路を参照。）、アレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズが大きくなってしまう。

【００１２】

このような状況にならない様にするには、デカップリング・コンデンサをＩＣ搭載面に配置して、内層の電源層から電源を一つのスルーホールを介してＩＣ搭載面のデカップリング・コンデンサへ一旦供給した後、このデカップリング・コンデンサから最短で電源パッドに供給するようにすれば良い。しかし、多ピンで狭ピッチのＩＣ直下にデカップリング・コンデンサを配置させるのは困難であるため、デカップリング・コンデンサはＩＣのパッケージ外側に配置されることになり、デカップリング・コンデンサから電源パッドまでの配線の距離が長くなる。また、この配線はパッドの間隔や配線パターンのピッチの制約により細くなってしまう。その結果、デカップリング・コンデンサの効果を充分発揮できず、アレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズが大きくなってしまう。

【００１３】

いずれの場合においても、アレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズは大きくなり、近年各国でこれら電磁波放射ノイズに対しての規制が厳しくなっているなかで、これらの規格を充分満足することが非常に困難になってきている。

【００１４】

本発明の目的は、上述した従来技術の課題に鑑み、アレイ状接続型ＩＣが搭載された多層基板での前記ＩＣの誤動作を防ぐと共に、前記基板からの電磁波放射ノイズを低減することができる、アレイ状接続型ＩＣを搭載した多層基板を提供することにある。

【００１５】

【課題を解決するための手段】

上記目的を達成するために、本発明に係るアレイ状接続型ＩＣを搭載した多層基板は、多層基板に搭載されたアレイ状接続型ＩＣからの信号線を、該アレイ状接続型ＩＣの搭載面と、信号接続用のスルーホールにより該ＩＣ搭載面と反対側の面あるいは内層の信号線層に引き出して、他の部品に接続するアレイ状接続型ＩＣを搭載した多層基板において、該多層基板は内層に電源層やグランド層を有しており、前記ＩＣの直下に当たる内層の電源層やグランド層を貫通する前記信号接続用のスルーホールは、前記内層の電源層やグランド層を分断しないように、一つ置きで互い違いに規則正しく分散して配置されていることを特徴とする。

【００１７】

上記のような発明では、スルーホール周囲のクリアランスによる分断が最小限に抑えられ、従来のようにＩＣ直下で電源層やグランド層が周辺と大きく分断されることはない。

【００１８】

従って、アレイ状接続型ＩＣの直下に当たる内層の電源層やグランド層が、その周囲の電源層やグランド層と太く大面積で接続されるため、グランドのインピーダンスが低くなり、グランドバウンスが小さくなりＩＣの誤動作を防ぐことが可能となる。さらに、アレイ状接続型ＩＣからの信号電流とリターン電流によるディファレンシャルモードの電流ループも小さくなる。その結果、アレイ状接続型ＩＣを搭載した基板からの電磁波放射ノイズも低減される。

【００１９】

また、本発明に係るアレイ状接続型ＩＣを搭載した多層基板は、多層基板の内層の電源層から、アレイ状接続型ＩＣの個々のあるいは特定の電源パッドに電源を供給するに際し、前記ＩＣの搭載面から前記ＩＣの搭載面と反対側の面に通じ内層とは絶縁されている第

１のスルーホールを前記電源パッドの各々に接続配置し、前記ＩＣの搭載面と反対側の面に表われた前記第１のスルーホールの各々にデカップリング・コンデンサを配置し、前記内層の電源層とのみ接続される第２のスルーホールを１つ以上前記ＩＣの搭載面から前記ＩＣの搭載面と反対側の面に通じるように設け、前記ＩＣの搭載面と反対側の面に表われた前記第２のスルーホールから前記デカップリング・コンデンサの各々に電源パターンを配線したことを特徴とする。

【００２０】

この場合、前記ＩＣの直下に当たる内層のグランド層と前記第２のスルーホールとがショートしないようにするクリアランスが互いにくっつかないように、前記第２のスルーホールを配置することが好ましい。

【００２１】

上記のような発明では、アレイ状接続型ＩＣを搭載した多層基板において、内層の電源層から１カ所以上のスルーホールを介して電源パターンをＩＣ搭載面と反対側の面に引き出し、この引き出された電源パターンからアレイ状接続型ＩＣの個々の電源パッドあるいは特定の電源パッドに対し、デカップリング・コンデンサを経由して電源を供給した。これにより、従来例に比べ、電源供給のためのスルーホールの数を減らすことが可能となる。その結果、ＩＣの直下に当たる内層のグランド層が周辺と大きく分断されることはなく、周辺のグランド層と太く大面積で接続される。そのため、グランドのインピーダンスが低くなり、グランドバウンスが低減されＩＣの誤動作を防ぐとともに、アレイ状接続型ＩＣからの信号電流とグランドを流れるリターン電流のループも小さくなり、アレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズも低減される。

【００２２】

また、デカップリング・コンデンサの位置もアレイ状接続型ＩＣの電源パッドのほぼ直下に配置することが可能なので、電源供給パターンのインダクタンスが非常に小さくなり、デカップリング・コンデンサの効果を充分発揮させることができるので、いっそうアレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズが低減される。

【００２３】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。また、各実施形態では、４層基板にＢＧＡタイプのアレイ状接続型ＩＣを搭載した場合について説明するが、ＢＧＡ型ＩＣは実際には非常に多ピンなため、説明に使用する図面には一部分を例に挙げている。

【００２４】

（第１の実施形態）

図１は本発明の多層基板の配線方法の第１の実施形態による信号線の配線状態を説明するための図を示す。同図（Ａ）はＩＣが搭載された多層基板の一面の信号線層をＩＣを透視して見た図、同図（Ｂ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の内層のグランド（ＧＮＤ）層を表した図、同図（Ｃ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の内層の電源層を表した図、同図（Ｄ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の、ＩＣが搭載された側と反対側面の信号線層を表した図である。これらの図で符号１はアレイ状接続型ＩＣの外形線、符号５はアレイ状接続型ＩＣを各層に投影した外形線を示す。

【００２５】

本実施形態の配線方法では、図１に示すように、アレイ状接続型ＩＣが搭載される面に、前記ＩＣの接続電極（不図示）と対応する接続パッド２がグリッドアレイ状に配設されている。また、ＩＣ搭載面からこれと反対側面へと通じるスルーホール４がアレイ状の接続パッド２に対して千鳥状に、すなわち一つ置きで互い違いに接続配置される。スルーホール４が接続されていない残りの接続パッド３からは信号線３が前記ＩＣのパッケージ外周側へと順次引き出される。なお、スルーホール４は、前記ＩＣの直下に当たる内層の銅箔からなるＧＮＤ層及び電源層とはクリアランス６，８を設けて絶縁されている。

【００２６】

本実施形態の場合、接続パッド２からの信号線３の引き出しは、図５に示した従来例のようにパッドの間隔と信号配線のピッチによって引き出しきれなくなるまでは行わず、前記ＩＣのパッケージ外周側の接続パッド２においても信号線３に代わりスルーホール４が接続配置される。これにより、前記ＩＣの直下の領域全体にスルーホール４の位置が分散することになる。そのため、図１の（Ｂ）や（Ｃ）に示すように前記ＩＣの直下に当たる内層のＧＮＤ層及び電源層では、スルーホール４のクリアランス６，８は互いにくっつかない。

【００２７】

従って、ＩＣ直下の内層の電源層とグランド層が、ＩＣ周辺側に当たる内層の電源層やグランド層とは大きく分断され難くなり周辺と太く接続される。その結果、グランドのインピーダンスが低くなり、グランドバウンスが小さくなりＩＣの誤動作が起こらなくなった。さらに、グランド層や電源層を流れるリターン電流がＩＣに直線的に最短の経路７（図１の（Ｂ）及び（Ｃ）参照。）で帰ってこられる構成となり、アレイ状接続型ＩＣからの信号電流と、これと対になるリターン電流によるディファレンシャルモードの電流ループが小さくなり、アレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズが低減された。

【００２８】

なお、この第１の実施形態の配線方法は、４層基板の内層にさらに２層の信号線層を形成した６層基板についても、同様にＩＣの誤動作は起こらず、そして基板からの電磁波放射ノイズが低減された。

【００２９】

（第２の実施形態）

図２は本発明の多層基板の配線方法の第２の実施形態による信号線の配線状態を説明するための図を示す。同図（Ａ）～（Ｄ）はそれぞれ第１の実施形態と同様の配線層を示したものである。

【００３０】

この実施形態では、第１の実施形態と比して図２に示すように、スルーホール４を２つづつ組みにして接続パッド２に対して千鳥状に配置した以外は、同じ構成とした。この場合でも第１の実施形態と同様にＩＣの誤動作は起こらず、そして基板からの電磁波放射ノイズが低減された。

【００３１】

なお、この第２の実施形態の配線方法は、４層基板の内層にさらに２層の信号線層を形成した６層基板についても、同様にＩＣの誤動作は起こらず、そして基板からの電磁波放射ノイズが低減された。

【００３２】

（第３の実施形態）

図３は本発明の多層基板の配線方法の第３の実施形態による電源線の配線状態を説明するための図を示す。同図（Ａ）はＩＣが搭載された多層基板の一面の信号線層をＩＣを透視して見た図、同図（Ｂ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の内層のグランド（ＧＮＤ）層を表した図、同図（Ｃ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の内層の電源層を表した図、同図（Ｄ）は図（Ａ）のＩＣ搭載領域と対応する多層基板の、ＩＣが搭載された側と反対側面の信号線層を表した図である。これらの図で符号１５はアレイ状接続型ＩＣの外形線、符号１９はアレイ状接続型ＩＣを各層に投影した外形線を示す。

【００３３】

本実施形態の配線方法では、図３に示すように、アレイ状接続型ＩＣが搭載される面に、信号又はグランドパッド１２と電源パッド１１とが前記ＩＣの接続電極（不図示）と対応してグリッドアレイ状に配設されている。各電源パッド１１には電源パターン１３で接続されたスルーホール（第１のスルーホール）１４が隣接配置されている。これらのスルーホール１４はＩＣ搭載面からこれと反対側面に電気的に通じており、ＩＣ搭載面と反対側

の面に表われた各スルーホール１４にはデカップリング・コンデンサ２３が直接接続されている。このスルーホール１４は前記ＩＣの直下に当たる内層の銅箔からなるＧＮＤ層及び電源層とはクリアランス１８及び２２を設けて絶縁されている。

【００３４】

また、前記ＩＣの搭載面における前記ＩＣ直下の領域には別のスルーホール（第２のスルーホール）２５が一つ配置されて、ＩＣ搭載面からこれと反対側面へと通じている。このスルーホール２５は、前記ＩＣの直下に当たる内層の電源層とは電気的に接続されているが、内層のＧＮＤ層とはクリアランス１８を設けて絶縁されている。そして、ＩＣ搭載面と反対側の面に表われたスルーホール２５から各デカップリング・コンデンサ２３へと電源パターン２６が配線されている。

【００３５】

このように本実施形態の場合、スルーホール２５を介して内層の電源層から、ＩＣ搭載面と反対側面の信号線層に形成した電源パターン２６に電源を供給し、電源パターン２６からデカップリング・コンデンサ２３を経由して前記ＩＣの搭載面における前記ＩＣ直下の領域の電源パッド１１に電源を供給する方法を採っている。このようなアレイ状接続型ＩＣへの電源供給方法を採ることにより、内層のグランド層を貫通する電源供給用のスルーホールの数がほぼ半減し、ＩＣ直下の内層のグランド層が、ＩＣ周辺側に当たる内層のグランド層とは大きく分断され難くなり、かつグランド層の残銅率（グランド層を形成する銅箔の割合）が大きくなる。その結果、グランドのインピーダンスが低くなり、グランドバウンスが小さくなりＩＣの誤動作が起こらなくなった。さらに、グランド層を流れるリターン電流がＩＣに直線的に最短の経路２１（図３の（Ｂ）参照。）で帰ってこられる構成となり、アレイ状接続型ＩＣからの信号電流と、これと対になるリターン電流によるディファレンシャルモードの電流ループが小さくなり、アレイ状接続型ＩＣを搭載した多層基板からの電磁波放射ノイズが低減された。

【００３６】

なお、この第３の実施形態の配線方法は、４層基板の内層にさらに２層の信号線層を形成した６層基板についても、同様にＩＣの誤動作は起こらず、そして基板からの電磁波放射ノイズが低減された。

【００３７】

（第４の実施形態）

図４は本発明の多層基板の配線方法の第４の実施形態による電源線の配線状態を説明するための図を示す。同図（Ａ）～（Ｄ）はそれぞれ第３の実施形態と同様の配線層を示したものである。

【００３８】

この実施形態では、第３の実施形態と比して図４に示すように、ＩＣ搭載面と反対側面の信号線層に形成した電源ライン１４に電源層の電源を供給するためのスルーホール２５を２つにした以外は、同じ構成とした。この場合でも第３の実施形態と同様にＩＣの誤動作は起こらず、そして基板からの電磁波放射ノイズが低減された。

【００３９】

なお、この第４の実施形態の配線方法は、４層基板の内層にさらに２層の信号線層を形成した６層基板についても、同様にＩＣの誤動作は起こらず、そして基板からの電磁波放射ノイズが低減された。

【００４０】

【発明の効果】

以上説明したように、本発明によるアレイ状接続型ＩＣを搭載した多層基板は、ＩＣ直下の内層の電源層とグランド層を信号接続用のスルーホールの配置によって、ＩＣ周辺側に当たる内層の電源層やグランド層と大きく分断されないようにする事ができる。したがって、アレイ状接続型ＩＣ周辺のグランドインピーダンスが低くなり、グランドバウンズが低減されＩＣの誤動作を防ぐと共に、アレイ状接続型ＩＣからの出力信号とリターン電流で形成されるディファレンシャルモードの電流ループが小さくなり、基板からの電磁波

放射ノイズを低減させることができる。

【００４１】

また本発明は、アレイ状接続型ＩＣの搭載面から前記ＩＣの搭載面と反対側の面に通じて内層とは絶縁される第１のスルーホールを前記電源パッドの各々に接続配置する。そして、前記ＩＣの搭載面と反対側の面に表われた前記第１のスルーホールの各々にデカップリング・コンデンサを配置し、前記内層の電源層とのみ接続される第２のスルーホールを１つ以上前記ＩＣの搭載面から前記ＩＣの搭載面と反対側の面に通じるように設ける。さらに、前記ＩＣの搭載面と反対側の面に表われた前記第２のスルーホールから前記デカップリング・コンデンサの各々に電源パターンを配線する。これにより、従来例のように１つのデカップリング・コンデンサについて２つのスルーホールは必要でないので、電源層やグランド層を貫通するスルーホールがほぼ半減される。その結果、ＩＣ直下の内層のグランド層がＩＣ周辺側に当たる内層のグランド層と大きく分断されない。したがって、アレイ状接続型ＩＣ周辺のグランドインピーダンスが低くなり、グランドバウンスが低減されＩＣの誤動作を防ぐと共に、アレイ状接続型ＩＣからの出力信号とリターン電流で形成されるディファレンシャルモードの電流ループが小さくなり、基板からの電磁波放射ノイズを低減させることができる。

【図面の簡単な説明】

【図１】本発明の多層基板の配線方法の第１の実施形態による信号線の配線状態を説明するための図である。

【図２】本発明の多層基板の配線方法の第２の実施形態による信号線の配線状態を説明するための図である。

【図３】本発明の多層基板の配線方法の第３の実施形態による電源線の配線状態を説明するための図である。

【図４】本発明の多層基板の配線方法の第４の実施形態による電源線の配線状態を説明するための図である。

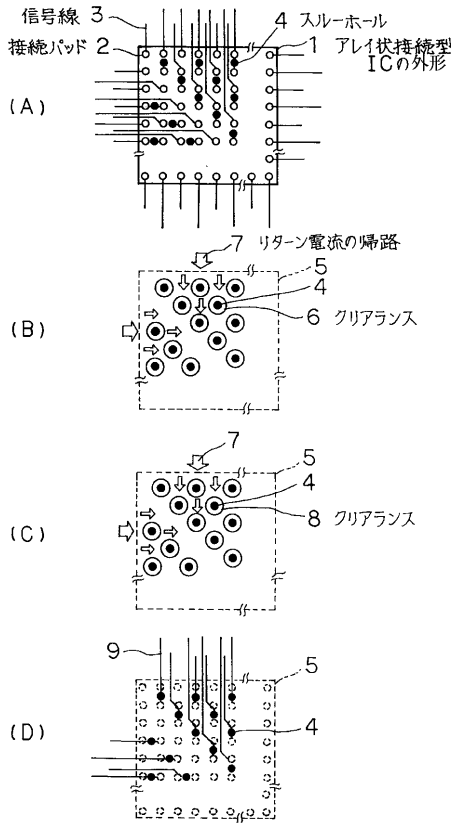
【図５】従来の多層基板の配線方法の一例である信号線の配線状態を説明するための図である。

【図６】従来の多層基板の配線方法の他の例である電源線の配線状態を説明するための図である。

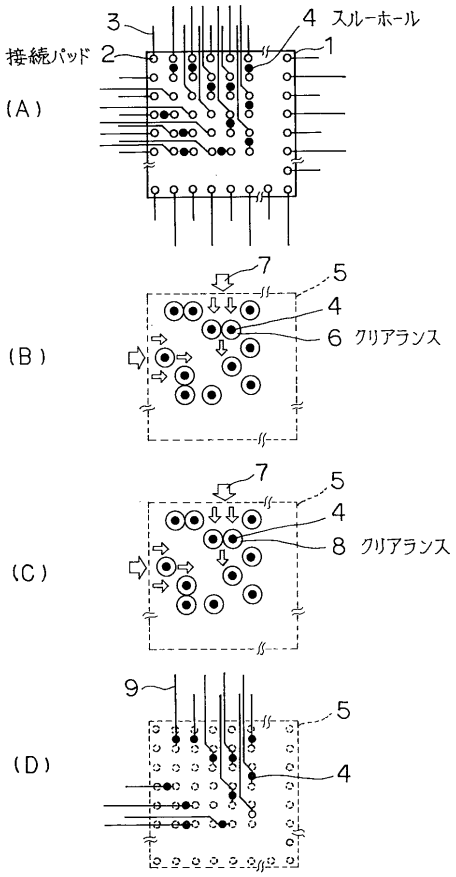
【符号の説明】

１、１５　　アレイ状接続型ＩＣの外形
２　　接続パッド
３　　信号線
４、１４、２５　　スルーホール
５、１９　　内層のグランド層や電源層に投影されたアレイ状接続型ＩＣの外形
６、１８　　内層のグランド層とスルーホールとショートしないように設けられたクリアランス
７、２１　　出力信号に対するリターン電流を模式的に示した経路
８、２２　　内層のグランド層とスルーホールとショートしないように設けられたクリアランス
９　　アレイ状接続型ＩＣの搭載面と反対側面のスルーホールより引き出された信号線
１１　　電源パッド
１２　　信号パッド又はグランドパッド
１３、２６　　電源パターン
２３　　デカップリング・コンデンサ

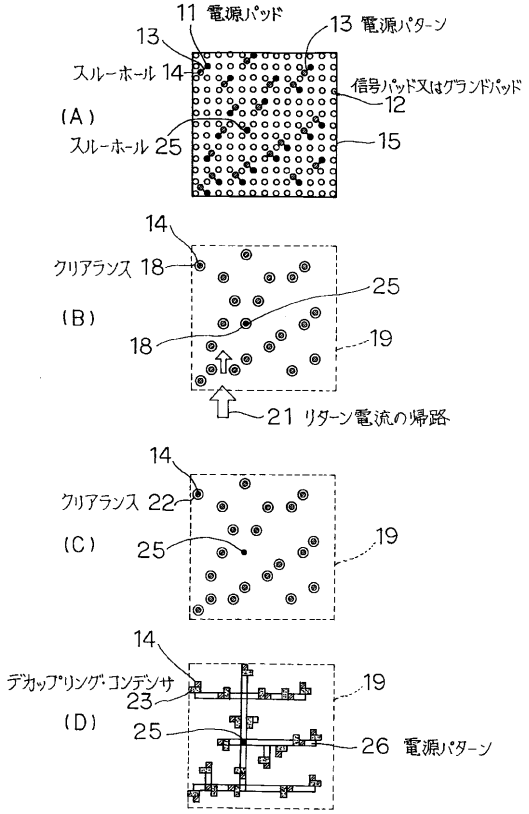
【図１】


信号線 3
4 スルーホール
接続パッド 2
1 アレイ状接続型ICの外形
(A)
7 リターン電流の帰路
5
4
(B)
6 クリアランス
7
5
4
(C)
8 クリアランス
9
5
(D)
4

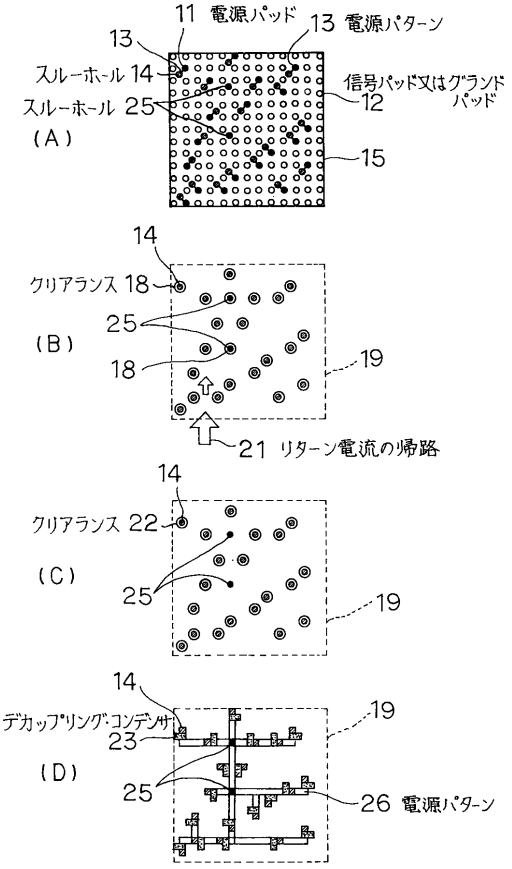
【図２】


3
4 スルーホール
接続パッド 2
1
(A)
7
5
4
(B)
6 クリアランス
7
5
4
(C)
8 クリアランス
9
5
(D)
4

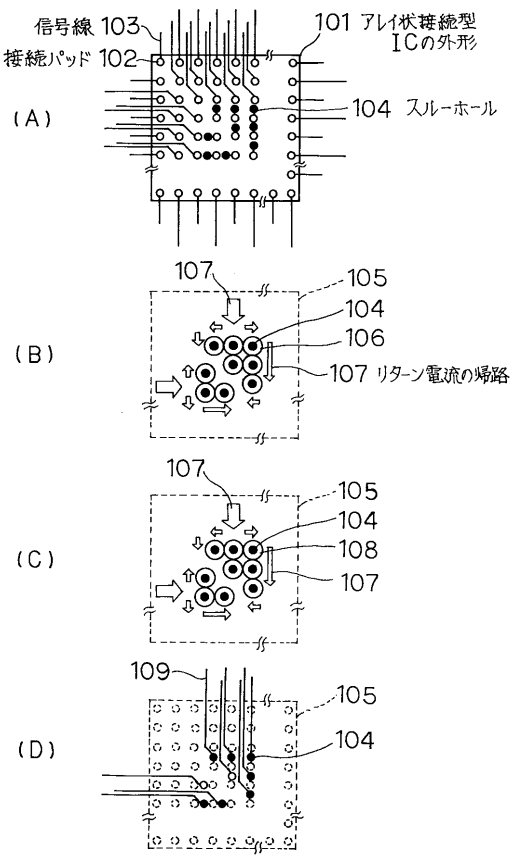
【図３】


11 電源パッド
13 電源パターン
13
スルーホール 14
信号パッド又はグランドパッド
12
(A)
スルーホール 25
15
14
クリアランス 18
25
(B)
18
19
21 リターン電流の帰路
14
クリアランス 22
(C)
25
19
14
デカップリング・コンデンサ
23
19
(D)
25
26 電源パターン

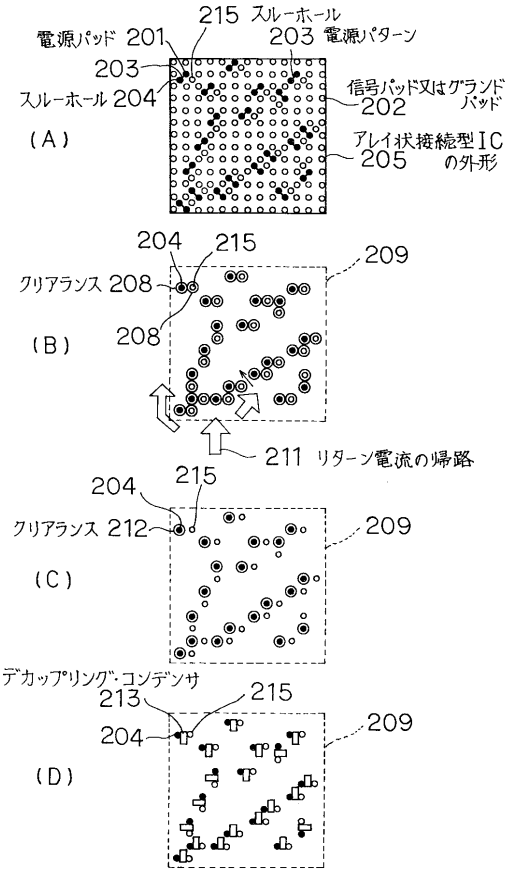
【図４】


11 電源パッド
13 電源パターン
13
スルーホール 14
信号パッド又はグランドパッド
スルーホール 25
12
(A)
15
14
クリアランス 18
25
(B)
18
19
21 リターン電流の帰路
14
クリアランス 22
(C)
25
19
14
デカップリング・コンデンサ
23
19
(D)
25
26 電源パターン

【図５】


信号線 103
接続パッド 102
101 アレイ状接続型ICの外形
104 スルーホール
(A)
107
105
104
106
107 リターン電流の帰路
(B)
107
105
104
108
107
(C)
109
105
104
(D)

【図６】


215 スルーホール
電源パッド 201
203 電源パターン
203
スルーホール 204
信号パッド又はグランドパッド
202
アレイ状接続型ICの外形
205
(A)
204
215
209
クリアランス 208
208
(B)
211 リターン電流の帰路
204
215
クリアランス 212
209
(C)
デカップリング・コンデンサ
213
215
204
209
(D)

フロントページの続き

(72)発明者　竹内　靖
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　川内野　真介

(56)参考文献　特開平０６－１５１６３９（ＪＰ，Ａ）
特開平０５－０４１４６３（ＪＰ，Ａ）
特開平０７－０５０４９８（ＪＰ，Ａ）
実開昭６２－１４２８７７（ＪＰ，Ｕ）
特開平０８－２８８６２６（ＪＰ，Ａ）
特開昭６３－３０７７９５（ＪＰ，Ａ）
特開平０６－２１６５４１（ＪＰ，Ａ）
特開平０３－１３５０９３（ＪＰ，Ａ）
特開平０７－１０６５０３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H05K 3/46
H05K 1/00- 1/02
H05K 1/11, 3/40- 3/42