

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】 第 7 部門第 2 区分
 【発行日】 平成 19 年 5 月 17 日 (2007.5.17)

【公開番号】 特開 2007-81434 (P2007-81434A)
 【公開日】 平成 19 年 3 月 29 日 (2007.3.29)
 【年通号数】 公開・登録公報 2007-012
 【出願番号】 特願 2006-337208 (P2006-337208)
 【国際特許分類】

H O 1 L 21/8247 (2006.01)
H O 1 L 29/788 (2006.01)
H O 1 L 29/792 (2006.01)
H O 1 L 27/115 (2006.01)
H O 1 L 29/786 (2006.01)
H O 1 L 21/336 (2006.01)

【F I】

H O 1 L 29/78 3 7 1
 H O 1 L 27/10 4 3 4
 H O 1 L 29/78 6 1 3 B
 H O 1 L 29/78 6 1 8 F
 H O 1 L 29/78 6 1 7 S

【手続補正書】
 【提出日】 平成 19 年 3 月 13 日 (2007.3.13)
 【手続補正 1】
 【補正対象書類名】 特許請求の範囲
 【補正対象項目名】 全文
 【補正方法】 変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

絶縁層上の活性層上に形成されるメモリセルトランジスタを具備し、
 前記メモリセルトランジスタは、
 ゲート電極に印加する電圧 V_g とそのときに流れるセル電流 I_d との関係において、前記電圧 V_g が基準電圧よりも高い正の電圧の領域と前記電圧 V_g が前記基準電圧よりも低い負の電圧の領域とを有し、前記正の電圧の領域及び前記負の電圧の領域でのオン電流は、前記電圧 V_g が前記基準電圧のときに流れるオフ電流に比べて 10^4 倍以上であり、
 前記メモリセルトランジスタのチャンネルは、
 実質的にしきい値の異なる少なくとも 2 つの領域から構成され、
 前記少なくとも 2 つの領域は、
 しきい値の高い領域としきい値の低い二つの領域から構成され、前記しきい値の高い領域は、前記しきい値の低い二つの領域により挟まれ、
 前記メモリセルトランジスタのドレイン及びソースを構成する拡散層の導電型は、
 前記メモリセルトランジスタが形成される前記活性層の導電型と同極性であることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記メモリセルトランジスタは、複数個直列接続されて N A N D ストリングを構成し、前記少なくとも 2 つの領域における最も高いしきい値と最も低いしきい値の電位差は、データ読み出し時に前記 N A N D ストリングのうち選択されたメモリセルトランジスタのゲート電極に印加される電位とそれ以外のメモリセルトランジスタのゲート電極に印加され

る電位の電位差よりも大きいことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記メモリセルトランジスタが書き込み状態である場合に、前記基準電圧は、データ読み出し時に選択された前記メモリセルトランジスタのゲート電極に印加される読み出し電圧に等しいことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

データ書き込み時には、前記正の電圧の領域内の所定電圧が前記メモリセルトランジスタのゲート電極に印加され、データ消去時には、前記負の電圧の領域内の所定電圧が前記メモリセルトランジスタのゲート電極に印加されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記メモリセルトランジスタが形成される前記活性層の不純物濃度は、 $1 \times 10^{12} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記メモリセルトランジスタは、前記メモリセルトランジスタのチャンネルとの間で電荷の授受を行う電荷蓄積層を備えることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本発明の不揮発性半導体記憶装置は、絶縁層上の活性層上に形成されるメモリセルトランジスタを具備し、前記メモリセルトランジスタは、ゲート電極に印加する電圧 V_g とそのときに流れるセル電流 I_d との関係において、前記電圧 V_g が基準電圧よりも高い正の電圧の領域と前記電圧 V_g が前記基準電圧よりも低い負の電圧の領域とを有し、前記正の電圧の領域及び前記負の電圧の領域でのオン電流は、前記電圧 V_g が前記基準電圧のときに流れるオフ電流に比べて 10^4 倍以上であり、前記メモリセルトランジスタのチャンネルは、実質的にしきい値の異なる少なくとも 2 つの領域から構成され、前記少なくとも 2 つの領域は、しきい値の高い領域としきい値の低い二つの領域から構成され、前記しきい値の高い領域は、前記しきい値の低い二つの領域により挟まれ、前記メモリセルトランジスタのドレイン及びソースを構成する拡散層の導電型は、前記メモリセルトランジスタが形成される前記活性層の導電型と同極性である。