

公告

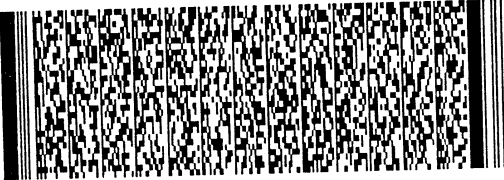
申請日期: 90.2.16	案號: 90/0355/
類別: H01L 21/786, 23/60	

(以上各欄由本局填註)

發明專利說明書

480668

一、發明名稱	中文	絕緣層上有矽之二極體及其靜電放電保護電路
	英文	
二、發明人	姓名 (中文)	1. 柯明道 2. 洪根剛 3. 唐天浩
	姓名 (英文)	1. 2. 3.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市寶山路200巷3號4樓之3 2. 彰化縣芬園鄉彰南路五段53號 3. 新竹市東山街27巷13號6樓
三、申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 300新竹科學工業園區新竹市力行二路三號
	代表人姓名 (中文)	1. 宣明智
代表人姓名 (英文)	1.	



本案已向			
國(地區)申請專利	申請日期	案號	主張優先權
		無	
有關微生物已寄存於		寄存日期	寄存號碼
		無	

五、發明說明 (1)

5-1發明領域：

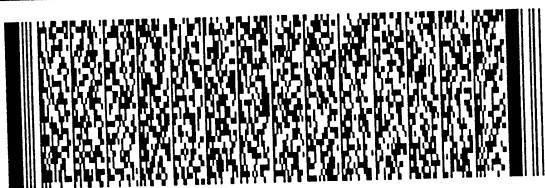
本發明係有關於一種在絕緣層上有矽之二極體結構；特別是有關於一種具靜電保護能力之絕緣層上有矽之二極體結構及其靜電放電保護電路。

5-2發明背景：

由於絕緣層上有矽 (silicon-on-insulator) 在矽塊技術上具有降低製程複雜度、閉鎖免疫性 (latch-up immunity) 及較小接合電容等優點，其在低電壓、高速技術應用上為一主流技術。然而，靜電放電為絕緣層上有矽所關心的一主要問題。

一靜電放電保護裝置之保護能力係為所能吸收的電流量所決定。一靜電放電脈衝期間，熱散逃 (thermal runaway) 及繼之之毀滅性破壞會造成此裝置之失效。在絕緣層上有矽裝置中，存在有熱傳導性為矽之 1/100 倍的一埋入氧化層 (buried oxide layer)，其會降低電路的熱能消散功能，並加速熱散逃。

第一圖係描述發表於 1996 年之 Proc. of EOS/ESD Symp. 第 291 至 301 頁的一習知絕緣層上有矽二極體的截面



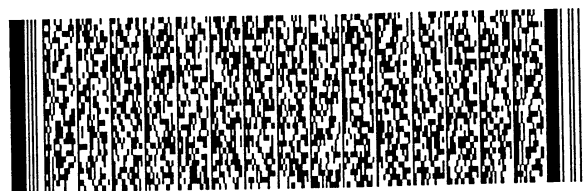
五、發明說明 (2)

示意圖，該二極體結構係由美國 IBM 公司提出，稱做 Lubistor 二極體。若位於埋入氧化層 100 上方之矽層係摻雜 N 型雜質，則此絕緣層上有矽二極體之接合處為 P+102/N 井 101。此接合二極體之二端點分別為接至 P+102 之 V1 及接至 N 井 101 之 V2。假如 V1 相對於 V2 為正電壓，此絕緣層上有矽二極體係在順向偏壓下。然而，假如 V1 相對於 V2 為負電壓，則此二極體係在反向偏壓下。若在一靜電放電事件期間，產生功率的 P+102/N 井接合面積較小，則其功率密度及熱能皆會增加。此熱能係產生在 PN 接合處此一局部區域，其主要為焦耳熱。當此絕緣層上有矽二極體之最大溫度達到其本質溫度 ($T_{intrinsic}$) 時，可能會發生二次電崩潰 (second breakdown)。為獲得更佳的靜電放電保護能力，須降低其功率密度及焦耳熱。

據此亟待發展一種在絕緣層上有矽電路上具靜電放電保護能力的低功率密度的二極體。

5-3 發明目的及概述：

本發明之主要目的係提供一種絕緣層上有矽二極體 (SOI diode)，其較一般的二極體具有更多的接合面積，藉此可獲得低密度功率及熱能，進而提高電性過壓 (EOS) / 靜電放電 (ESD) 的保護能力。



五、發明說明 (3)

本發明之另一目的係提供一種絕緣層上有矽之二極體，其較一般的二極體具有更多的接合面積，在順向偏壓下，可使用在 I/O 靜電放電保護電路及 Vdd 對 Vss 之靜電放電保護電路上。

本發明之又一目的係提供一種具較一般二極體更多接合面積之 SOI 二極體的 I/O 靜電放電保護電路，其可降低其寄生輸入電容，故可應用於無線電波頻率電路 (RF circuits) 或高頻電路 (HF circuits)。

根據以上所述之目的，本發明提供一種絕緣層上有矽之二極體及其靜電放電保護電路。此絕緣層上有矽之二極體 (SOI diode) 包括一基底、一絕緣層、二淺溝槽隔離區，及一 PN 接合二極體。此 PN 接合二極體係由具有一第一導電性之第一井及具有一第二導電性之第二井所形成。此第一導電性可為 N 型或 P 型導電性，而此第二導電性係與第一導電性電性相反。此絕緣層係形成在此基底上，而此二淺溝槽隔離區形成在此絕緣層上。PN 接合二極體係形成於此二淺溝槽隔離區之間。而具有這些絕緣層上有矽之二極體的一靜電放電保護電路包括一導電性墊 (electrically conductive pad)、一導線 (a conductor segment)、一第一電壓供應列 (a first voltage supply rail)、一第二電壓供應列 (a second voltage supply rail)。



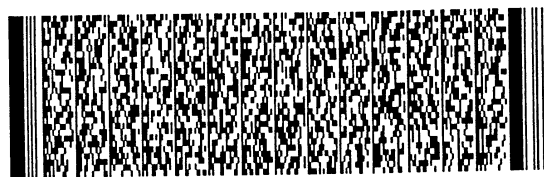
五、發明說明 (4)

一第一主要二極體、一第二主要二極體、複數個第一二極體及複數個第二二極體。所有這些靜電放電保護元件係形成於此絕緣層上。此導電性墊係經由此導線連接至一第一節點。第一主要二極體係連接於第一節點與第一電壓供應列之間，及第二主要二極體係連接於第一節點與第二電壓供應列之間。複數個第一二極體係連接於第一節點與第一電壓供應列之間，其等之方向相反於第一主要二極體之方向。複數個第二二極體係連接於第一節點與第二電壓供應列之間，其等之方向相反於第二主要二極體之方向。

本發明之目的及諸多優點藉由以下具體實施例之詳細說明，並參照所附圖式，將趨於明瞭。

5-4 具體實施例之詳細說明：

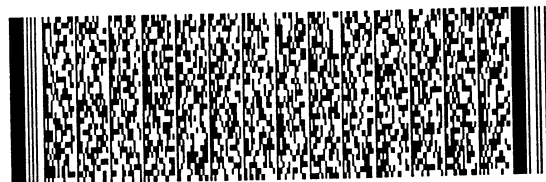
第二圖係一本發明所提出之SOI二極體結構的截面示意圖。第二圖之構造包括一基底200，例如，一P-基底或P+基底，及一絕緣層201，如一埋入二氧化矽層，形成於此基底200上。二淺溝槽隔離區202係形成於此絕緣層201上方，及一矽材P井(P well on a silicon layer)203與一矽材N井204形成於絕緣層201上方之此二淺溝槽隔離區202之間。此P井203及N井204構成一絕緣層上有矽(SOI)之構造。一第一重摻雜P+



五、發明說明 (5)

擴散區 205 係形成在 P 井 203 相鄰一淺溝槽隔離區 202 之頂角處，及一第二重摻雜 N+ 擴散區 206 係形成在 N 井 204 相鄰另一淺溝槽隔離區 202 之頂角處。一似 MOS 閘極 207 係形成於 P 井 203 及 N 井 204 上方，並且 P 井 203 及 N 井 204 之接合處係位於似 MOS 閘極 207 下方之中間區域。此似 MOS 閘極 207 包括一介電層 208、一多晶矽閘極、一介電質間隙壁 210。此多晶矽閘極係形成在介電層 208 上，其由一第三重摻雜 P+ 擴散區 209a 及一第四重摻雜 N+ 擴散區 209b 所組成。介電質間隙壁 210 係形成於此似 MOS 閘極 207 之每一側。第三重摻雜 P+ 擴散區 209a 及第四重摻雜 N+ 擴散區 209b 係以一形成於此多晶矽閘極上方之一導電層，較佳為一自行對準金屬矽化物層，導通連接。此外，第一重摻雜 P+ 擴散區 205 及第二重摻雜 N+ 擴散區 206 係分別自行對準於第三重摻雜 P+ 擴散區 209a 及第四重摻雜 N+ 擴散區 209b。

一絕緣層上有矽 (SOI) 之二極體係由 P 井 203 與 N 井 204 所形成，並且此 SOI 二極體之 PN 接合處係位於此似 MOS 閘極 207 下方中間區域。由於本發明明具 P 井 203/N 井 204 之二極體較具 P+/N 井或 N+/P 井之一般的 Lubistor 二極體 (如第一圖所示) 有更多的接合面積，本發明之此 SOI 二極體具有較低功率密度及熱能，因此其可提高靜電放電保護能力。

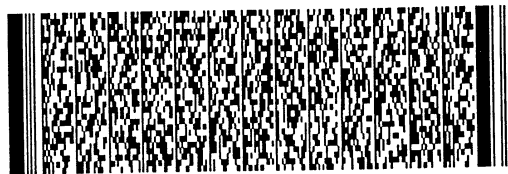


五、發明說明 (6)

第三圖為第二圖之一變化例。一第一輕摻雜P-擴散區305係形成在P井303相鄰一淺溝槽隔離區302之頂角處，及一第二輕摻雜N-擴散區306係形成在N井304相鄰另一淺溝槽隔離區302之頂角處。此似MOS多晶矽閘極307包括一第三輕摻雜P-擴散區309a及一第四輕摻雜擴散區309b。第三輕摻雜P-擴散區309a及一第四輕摻雜擴散區309b係由一形成於此多晶矽閘極307上方之一導電層，較佳為一自行對準金屬矽化物，導通連接。

一絕緣層上有矽之二極體(SOI diode)係由P井303及及N井304所形成。此二極體之PN接合處係位於似MOS多晶矽閘極307下方之中間區域。

第四圖為第三圖之一變化例。在此一變化例中，一第五重摻雜P+擴散區410係形成在介於一淺溝槽隔離區402與第一輕摻雜P-擴散區405之間的P井403之頂角處，一第六重摻雜N+擴散區411係形成在介於另一淺溝槽隔離區402與第二輕摻雜N-擴散區406之間的N井404之頂角處。此似MOS多晶矽閘極407包括一第三輕摻雜P-擴散區409a及一第四輕摻雜N-擴散區409b。第三輕摻雜P-擴散區409a及第四輕摻雜N-擴散區409b係以一形成於此多晶矽閘極407上方之一導電



五、發明說明 (7)

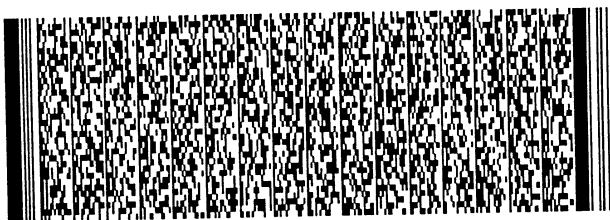
層，較佳為一自行對準金屬矽化物層，導通連接。

一絕緣層上有矽二極體係由P井403及N井404所形成，其PN接合處係位於似MOS多晶矽閘極407下方之中間區域。

第五圖為第二圖之另一變化例。其絕緣層上有矽(SOI)構造之矽厚度係完全為一第一重摻雜P+擴散區505及一第二重摻雜N+擴散區506所佔據(fully depleted)。該絕緣層上有矽之二極體係由P井503及N井504所形成，並且此二極體之PN接合處係位於似MOS多晶矽閘極507下方中間區域。

第六圖為第二圖之又一變化例。在此變化例中，沒有二極體形成在似MOS多晶矽閘極607中。然而，此似MOS多晶矽閘極607可為一輕摻雜或重摻雜的P型或N型區域。一絕緣層上有矽二極體係由P井603及N井604所形成，其PN接合處係位於MOS多晶矽閘極607下方之中間區域。

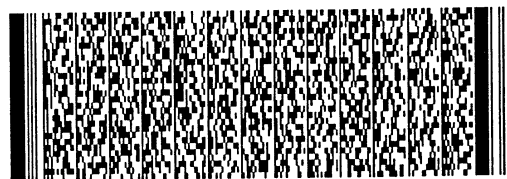
第七圖為第二圖之另一變化例。在此變化例中，絕緣層上有矽之二極體並未具閘極構造，其稱做無閘極接合二極體。此絕緣層上有矽之二極體係由P井703及N井704所形成。



五、發明說明 (8)

第八圖為包含第二圖至第七圖之SOI二極體的SOI靜電放電保護電路之一具體實施例。靜電放電保護電路800包括一導電性輸入墊801、二主要二極體D1 803、D2 804、 $-V_{dd}$ 電壓供應列805、 $-V_{ss}$ 電壓供應列806、一輸入電阻(input resistor)807、複數個串聯的第一二極體(Du1至Dun)808、複數個串聯的第二二極體(Dd1至Ddn)809。所有這些二極體皆以第二圖至第七圖具體實施例之絕緣層上有矽之二極體所形成。輸入墊801、 V_{dd} 電壓供應列805、 V_{ss} 電壓供應列806、及輸入電阻807皆相同於這些絕緣層上有矽之二極體係形成於一相同絕緣層上。

輸入墊801係經由一導線(conductor segment)直接連接至一第一節點802。主要二極體D1 803係連接於第一節點802與 V_{dd} 電壓供應列805之間、及主要二極體D2 804係連接於第一節點802與 V_{ss} 電壓供應列806之間。複數個第一二極體(Du1至Dun)808係連接於第一節點802與 V_{dd} 電壓供應列805之間，這些二極體之方向係相反於主要二極體D1 803之方向。複數個第二二極體(Dd1至Ddn)809係連接於第一節點802與 V_{ss} 電壓供應列806之間，這些二極體之方向係相反於主要二極體D2 804之方向。輸入電阻807係連接於第一節點802與欲受靜電放電保護之內部



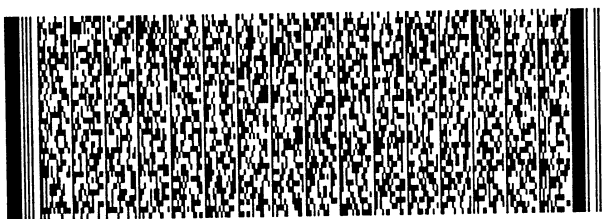
五、發明說明 (9)

電路 8 1 0 的一部份之間。然而，輸入電阻 8 0 7 亦可耦合至內部電路 8 1 0 之輸入緩衝，並且一第二節點係位於輸入電阻 8 0 7 與此輸入緩衝之間。

當一靜電放電事件係將相對於Vdd電壓供應列 8 0 5 之一正電壓施予在輸入墊 8 0 1 上時，主要二極體D1 8 0 3 係為順向偏壓，並且由於Vss電壓供應列 8 0 6 為漂浮狀態，主要二極體D2 8 0 4 未被打開。因此，靜電放電電流經由主要二極體D1 8 0 3 放電至Vdd電壓供應列 8 0 5 。

同樣地，當一靜電放電事件係將一相對於Vss電壓供應列 8 0 6 之負電壓施予在輸入墊 8 0 1 上，主要二極體D2 8 0 4 為順向偏壓，並且由於Vdd電壓供應列 8 0 5 為漂浮狀態，主要二極體D1 8 0 3 未被打開。因此，靜電放電電流係經由主要二極體D2 8 0 4 放電至Vss電壓供應列 8 0 6 。

當一靜電放電事件係將一相對於Vdd電壓供應列 8 5 之負電壓施予在輸入墊 8 0 1，主要二極體D1 8 0 3 為逆向偏壓。Vss電壓供應列 8 0 6 為漂浮狀態。該複數個第一二極體(Du1至Dun) 8 0 8 在此情形下係被順向偏壓，因此靜電放電電流即經由該複數個第一二極體 (Du1至Dun) 8 0 8 所排放。



五、發明說明 (10)

當靜電放電事件係將一相對於Vss電壓供應列806之正電壓供應至輸入墊801。主要二極體D2 804為逆向偏壓。在此靜電放電事件期間，Vdd電壓供應列805為漂浮狀態。該複數個第二二極體(Dd1至Ddn) 809在此情形下係被順向偏壓，因此靜電放電電流即經由該複數個第二二極體(Dd1至Ddn) 809所排放。第九圖為包含根據第二圖至第七圖之絕緣層上有矽之二極體之靜電放電保護電路之另一具體實施例。此一靜電放電保護電路包含一導電性輸出墊901、主要二極體D1 903及D2 904、Vdd電壓供應列905、Vss電壓供應列906、複數個串聯的第一二極體(Du1至Dun) 908、及複數個串聯的第二二極體(Dd1至Ddn) 909。所有這些二極體係由第二圖至第七圖之絕緣層上有矽之二極體所形成。輸出墊901、Vdd電壓供應列905、Vss電壓供應列906係相同於這些絕緣層上有矽之二極體係形成在一相同的絕緣層上。

輸出墊901係經由一導線直接連接至一節點902。主要二極體D1 903係連接於節點902與Vdd電壓供應列905之間，及主要二極體D2 904係連接於節點902與Vss電壓供應列906之間。複數個第一二極體(Du1至Dun) 908係連接於節點902與Vdd電壓供應列905之間，並且這些二極體之方向係相反於主要二極



五、發明說明 (11)

體D1 903之方向。複數個第二二極體(Dd1至Ddn)909係連接於節點902與Vss電壓供應列906之間，並且這些二極體之方向相反於主要二極體D2 904之方向。節點902係連接於一輸出緩衝之輸出端，此輸出緩衝係由一P通道電晶體910及一N通道電晶體911所組成。並且此輸出緩衝之輸入端係連接至一前級驅動器912。

當一靜電放電事件係將一相對於Vss電壓供應列906之一負電壓施予在一輸出墊901，主要二極體D2 904為順向偏壓，並且由於Vdd電壓供應列905為漂浮狀態，主要二極體D1 903未被打開。此靜電放電電流係經由主要二極體D2 904放電至Vss電壓供應列906。

當一靜電放電事件係將一相對於Vdd電壓供應列905之負電壓施予在輸出墊901上時，主要二極體D1 903為逆向偏壓。Vss電壓供應列906為漂浮狀態。該複數個第一二極體(Du1至Dun)908在此情形下係被順向偏壓，此靜電放電之電流即經由該複數個第一二極體(Du1至Dun)908所排放。

當一靜電放電事件係將一相對於Vss電壓供應列906之正電壓施予在輸出墊901，主要二極體D2 904

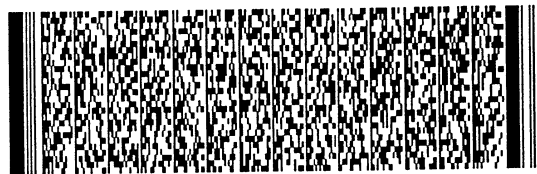
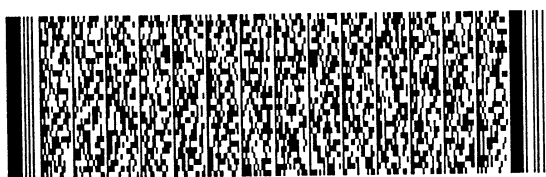


五、發明說明 (12)

為逆向偏壓。在此靜電放電期間，Vdd 電壓供應列 9 0 5 係為漂浮狀態。該複數個第二二極體(Dd1 至Ddn) 9 0 9 在此情形下係被順向偏壓，因此靜電放電之電流即經由該複數個第二二極體 (Dd1 至Ddn) 9 0 9 所排放。

當一靜電放電事件係將一相對於Vdd 電壓供應列 9 0 5 之正電壓施予在輸出墊 9 0 1，在此靜電放電情形下，該Vss 電壓供應列 9 0 6 係為漂浮狀態。在此情形下，該主要二極體D1 9 0 3 係為順向偏壓，因此靜電放電之電流即經由該主要二極體D1 9 0 3 所排放。

第十圖為包含第二圖至第七圖之絕緣層上有矽之二極體之靜電放電保護電路之又一具體實施例。此靜電放電保護電路包括一導電性輸入墊 1 0 0 1、主要二極體D1 1 0 0 3、D2 1 0 0 4、D3 1 0 0 5 及D4 1 0 0 6、一輸入電阻 1 0 1 0、一N通道電晶體 1 0 1 1、一Vdd 電壓供應列 1 0 0 7、一Vss 電壓供應列 1 0 0 8 及一靜電放電箝制電路(ESD clamp circuit) 1 0 0 9。主要二極體D1 1 0 0 3 及D2 1 0 0 4 係為串聯，主要二極體D3 1 0 0 5 及D4 1 0 0 6 係為串聯。所有這些二極體係由第二圖至第七圖之絕緣層上有矽之二極體所形成。輸入墊 1 0 0 1、輸入電阻 1 0 1 0、Vdd 電壓供應列 1 0 0 7，及Vss 電壓供應列 1 0 0 8 相同於這些絕緣層上有矽之二

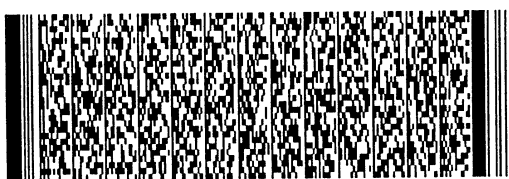


五、發明說明 (13)

極體係形成於一相同的絕緣層。

輸入墊 1 0 0 1 係經由一導線(conductor segment)直接連接至一第一節點 1 0 0 2。主要二極體 D1 1 0 0 3 及 D2 1 0 0 4 係連接於第一節點 1 0 0 2 與 Vdd 電壓供應列 1 0 0 7 之間。主要二極體 D3 1 0 0 5 及 D4 1 0 0 6 係連接於第一節點 1 0 0 2 與 Vss 電壓供應列 1 0 0 8 之間。輸入電阻 1 0 1 0 及 N 通道電晶體 1 0 1 1 係串聯於輸入墊 1 0 0 1 與 Vss 電壓供應列 1 0 0 8 之間。負載電阻 1 0 1 0、N 通道電晶體 1 0 1 1 及內部電路 1 0 1 3 係經由一第二節點 1 0 1 2 耦合。N 通道電晶體 1 0 1 1 之閘極及源極係耦合至 Vss 電壓供應列 1 0 0 8。靜電放電箝制電路 1 0 0 9 係連接於 Vdd 電壓供應列 1 0 0 7 與 Vss 電壓供應列 1 0 0 8 之間。

二主要二極體 D1 1 0 0 3 及 D2 1 0 0 4 係取代主要二極體 D1 連接於輸入墊 1 0 0 1 與 Vdd 電壓供應列 1 0 0 7 之間，以及另二主要二極體 D3 1 0 0 5 及 D4 1 0 0 6 係取代二極體 D2 連接於輸入墊 1 0 0 1 與 Vss 電壓供應列 1 0 0 8 之間。假如二極體 D1 之寄生接合電容為 C1，二極體 D2 之寄生接合電容為 C2，二極體 D3 之寄生接合電容為 C3，及二極體 D4 之寄生接合電容為 C4。第八圖因 D1 與 D2 所產生之輸入電容為 $C_{in} = C1 + C2$ ，但在此一具體實施例第十圖中，該輸入電容變為 $C_{in}' = [C1C2 / (C1 + C2)] +$

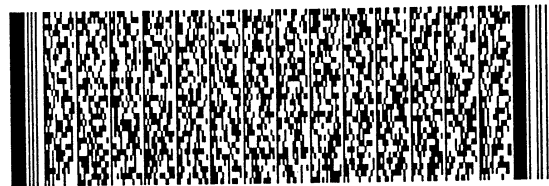


五、發明說明 (14)

$[C3C4/(C3 + C4)]$ 。假如二極體 (D1、D2、D3、D4) 完全相同，即 $C1=C2=C3=C4=C$ ，則 $C_{in}=2C$ 及 $C_{in}'=C$ 。因此，此一具體實施例之寄生輸入電容降低一半，其 RC 時間常數亦降低了。藉由降低此一輸入延遲，此一具體實施例之靜電放電保護電路可應用在無線電波頻率電路 (RF circuit) 或高頻電路 (HF circuit) 上。

第十一圖為第十圖之一變化例。Vdd 至 Vss 靜電放電箝制電路包括複數個第一絕緣層上有矽之二極體 (Dp1 至 Dpn) 1109 及一與其等並聯之一第二絕緣層上有矽之二極體 Dx 1110。此一靜電放電保護電路之所有二極體係使用第二圖至第七圖之絕緣層上有矽之二極體。

第十二圖為第十圖之一變化例。在此一靜電放電保護電路中，三個二極體 D1 1203、D2 1204、及 D3 1205 係串聯於 Vdd 電壓供應列 1209 與輸入墊 1201 之間，及三個二極體 D4 1206、D5 1207 及 D6 1208 係串聯於 Vss 電壓供應列 1210 與輸入墊 1201 之間。此一靜電放電保護電路之所有二極體係使用第二圖至第七圖之絕緣層上有矽之二極體。其輸入電容變成 $C_{in}' = [C1 \cdot C2 \cdot C3 / (C1 \cdot C2 + C2 \cdot C3 + C1 \cdot C3)] + [C4 \cdot C5 \cdot C6 / (C4 \cdot C5 + C5 \cdot C6 + C4 \cdot C6)] = 2/3C$ ，其電容進一步被降低了。



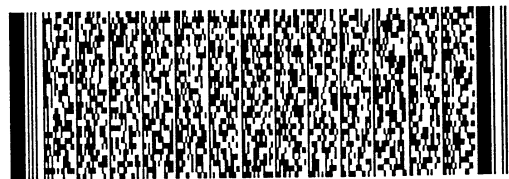
五、發明說明 (15)

第十三圖為第十二圖之一變化例。其Vdd 至Vss 靜電放電箝制電路包括複數個第一絕緣層上有矽之二極體 (Dp1 至Dpn) 1 3 1 1 及一與其等並聯的一第二絕緣層上有矽之二極體Dx 1 3 1 2。此靜電放電保護電路之所有二極體係使用第二圖至第七圖之絕緣層上有矽之二極體。

根據上述，本發明具有下列之優點：

1. 本發明提供一種具低功率密度之絕緣層上有矽之二極體，其具有較一般二極體更大的PN接合面積。
2. 本發明提供一種具提高靜電放電保護能力之絕緣層上有矽之二極體。
3. 本發明提供一種可使用於混合電壓及類比／數位電路上之絕緣層上有矽之二極體。
4. 本發明提供一種具有降低輸入電容的靜電放電保護電路，其可供做無線電波頻率電路(RF circuit)或高頻電路(HF circuit)之I/O靜電放電保護電路。

以上所述僅為本發明之較佳具體實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之



五、發明說明 (16)

申請專利範圍內。



圖式簡單說明

第一圖為一習知SOI多晶矽界定 (polysilicon-bounded) 具閘極之二極體(Lubistor)之截面示意圖；

第二圖為本發明所提出之二極體之截面示意圖，其PN接合處係位於閘極下方之中間區域；

第三圖為本發明所提出之另一型多晶矽二極體構造之截面示意圖，其PN接合處係位於閘極下方之中間區域；

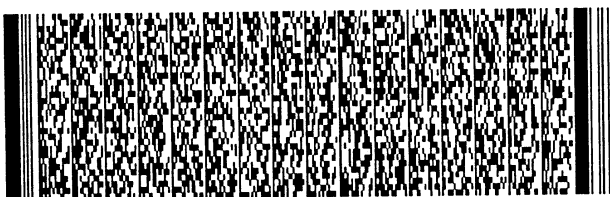
第四圖為本發明形成於一SOI晶片上具有源極/汲極植入區之一多晶矽二極體構造，其PN接合處位於閘極下方之中間區域；

第五圖為一為本發明所提出之一SOI完全占據型 (fully-depleted) 多晶矽界定之具閘極二極體；

第六圖為為本發明所提出之又另一型具閘極堆疊二極體之截面示意圖，其PN接合處位於閘極下方之中間區域；

第七圖為本發明所提出之無閘極接合二極體之截面示意圖，其PN接合處位於其中間區域；

第八圖及第九圖為根據第二圖至第七圖之具體實施例之I/O輸出入腳位之SOI靜電放電保護電路之示意圖；



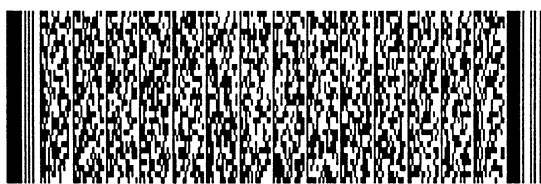
圖式簡單說明

第十圖及第十一圖為根據第二圖至第七圖之具體實施例之SOI靜電放電保護電路之示意圖；及

第十二圖及第十三圖分別為第十圖及第十一圖之變化例。

主要部分之代表符號：

1 0 0	埋入氧化層
1 0 1	N 井
1 0 2	P+ 擴散區
2 0 0	基底
2 0 1	埋入氧化層
2 0 2	淺溝槽隔離區
2 0 3	P 井
2 0 4	N 井
2 0 5	第一重摻雜P+ 擴散區
2 0 6	第二重摻雜N+ 擴散區
2 0 7	似MOS-多晶矽閘極
2 0 8	介電層
2 0 9 a	第三重摻雜P+ 擴散區
2 0 9 b	第四重摻雜N+ 擴散區
2 1 0	介電質間隙壁
3 0 2	淺溝槽隔離區



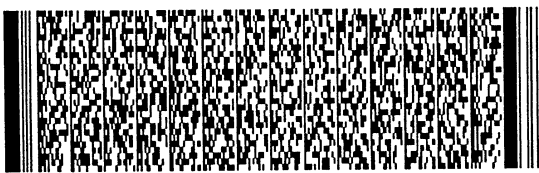
圖式簡單說明

3 0 3	P 井
3 0 4	N 井
3 0 5	第一輕摻雜P-擴散區
3 0 6	第二輕摻雜N-擴散區
3 0 7	似MOS多晶矽閘極
3 0 9 a	第三輕摻雜P-擴散區
3 0 9 b	第四輕摻雜N-擴散區
4 0 2	淺溝槽隔離區
4 0 3	P 井
4 0 4	N 井
4 0 5	第一輕摻雜P-擴散區
4 0 6	第二輕摻雜N-擴散區
4 0 7	似MOS多晶矽閘極
4 0 9 a	第三輕摻雜P-擴散區
4 0 9 b	第四輕摻雜N-擴散區
4 1 0	第五重摻雜P+擴散區
4 1 1	第六重摻雜N+擴散區
5 0 2	淺溝槽隔離區
5 0 3	P 井
5 0 4	N 井
5 0 5	第一輕摻雜P+擴散區
5 0 6	第二輕摻雜N+擴散區
5 0 7	似MOS多晶矽閘極
5 0 9 a	第三輕摻雜P+擴散區



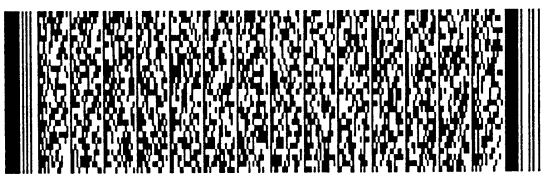
圖式簡單說明

5 0 9 b	第四輕摻雜N+擴散區
6 0 2	淺溝槽隔離區
6 0 3	P井
6 0 4	N井
6 0 7	似MOS多晶矽閘極
7 0 3	P井
7 0 4	N井
8 0 0	靜電放電保護電路
8 0 1	輸入墊
8 0 2	第一節點
8 0 3	主要二極體D1
8 0 4	主要二極體D2
8 0 5	Vdd電壓供應列
8 0 6	Vss電壓供應列
8 0 7	輸入電阻
8 0 8	複數個第一二極體
8 0 9	複數個第二二極體
8 1 0	內部電路
9 0 0	靜電放電保護電路
9 0 1	輸出墊
9 0 2	第一節點
9 0 3	主要二極體D1
9 0 4	主要二極體D2
9 0 5	Vdd電壓供應列



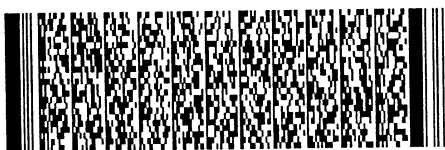
圖式簡單說明

9 0 6	Vss 電壓供應列
9 0 8	複數個第一二極體
9 0 9	複數個第二二極體
9 1 0	P 通道電晶體
9 1 1	N 通道電晶體
9 1 2	前級驅動器
1 0 0 1	輸入墊
1 0 0 2	第一節點
1 0 0 3	主要二極體D1
1 0 0 4	主要二極體D2
1 0 0 5	主要二極體D3
1 0 0 6	主要二極體D4
1 0 0 7	Vdd 電壓供應列
1 0 0 8	Vss 電壓供應列
1 0 0 9	靜電放電箝制電路
1 0 1 0	輸入電阻
1 0 1 1	N 通道電晶體
1 0 1 2	第二節點
1 0 1 3	內部電路
1 1 0 9	第一絕緣層上有矽之二極體
1 1 1 0	第二絕緣層上有矽之二極體
1 2 0 2	節點
1 2 0 3	主要二極體D1
1 2 0 4	主要二極體D2



圖式簡單說明

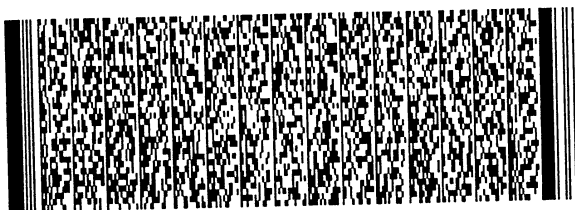
1 2 0 5	主要二極體D3
1 2 0 6	主要二極體D4
1 2 0 7	主要二極體D5
1 2 0 8	主要二極體D6
1 2 0 9	Vdd 電壓供應列
1 2 1 0	Vss 電壓供應列
1 2 1 1	靜電放電箝制電路
1 3 1 1	第一絕緣層上有矽之二極體
1 3 1 2	第二絕緣層上有矽之二極體



四、中文發明摘要 (發明之名稱：絕緣層上有矽之二極體及其靜電放電保護電路)

一種絕緣層上有矽之具閘極二極體 (gated diode) 及無閘極二極體 (non-gated diode)。此絕緣層上有矽之具閘極二極體之PN接合面係位於閘極下方之中間區域，其較一般的二極體具有更多接合面積。此絕緣層上有矽之無閘極二極體之PN接合面係位於其中間區域，亦較一般的二極體具有更多的接合面積。藉此，本發明之絕緣層上有矽之二極體具有較大的接合面積以承受電性過壓 (electrical overstress(EOS)) 及靜電放電 (electrostatic discharge)所產生的熱能，因此可具有較高的防護能力。本發明之 I/O靜電放電電路包括多個主要二極體、複數個第一二極體及複數個第二二極體，這些二極體皆使用本發明之絕緣層上有矽之二極體。當一靜電放電事件發生時，

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：絕緣層上有矽之二極體及其靜電放電保護電路)

此一靜電放電電路可有效地排放靜電放電之電流。再者，此一靜電放電電路可有效地降低其寄生之輸入電容，以致其可使用在無線電波頻率 (RF) 電路或高頻 (HF) 電路上。

英文發明摘要 (發明之名稱：)

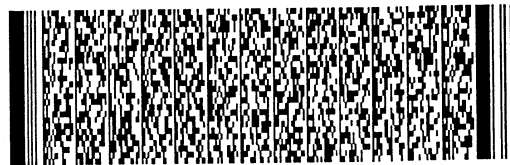
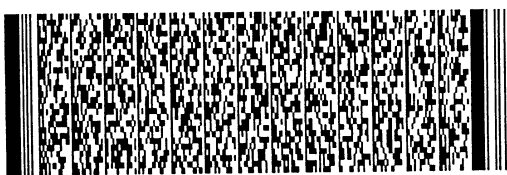


六、申請專利範圍

1. 一種絕緣層上有矽(SOI)之二極體，其至少包括：
 - 一基底；
 - 一絕緣層，係形成於該基底上；
 - 二淺溝槽隔離區，係形成於該絕緣層上；及
 - 一PN接合二極體，係由具有一第一導電性之一第一井及與之相鄰具有一第二導電性之一第二井形成，其中該第一導電性為N型及P型中任一導電型，該第二導電性與該第一導電性電性相反，且該第一井與該第二井係形成於該二淺溝槽隔離區之間之該絕緣層上，一具有該第一導電性之一第一重摻雜擴散區係形成於該第一井與一該淺溝槽隔離區相鄰之一頂角處，以及一具有該第二導電性之一第二重摻雜擴散區係形成於該第二井與另一該淺溝槽隔離區相鄰之一頂角處。

2. 如申請專利範圍第1項之絕緣層上有矽之二極體，其中上述之絕緣層係由一二氧化矽層形成。

3. 如申請專利範圍第1項之絕緣層上有矽之二極體，其中一似MOS閘極係形成於該第一井與該第二井上方，該似MOS閘極包括一介電層、一導電層及二介電質間隙壁，其中該導電層係形成於該介電層上方，而該二介電質間隙壁係分別形成於該似MOS閘極之每一側，並且該第一重摻雜擴散區及該第二重摻雜擴散區係分別自行對準於該似MOS閘極之每一側。



六、申請專利範圍

4. 如申請專利範圍第3項之絕緣層上有矽之二極體，其中上述之似MOS閘極包括一第三重摻雜擴散區及一第四重摻雜擴散區，該第三重摻雜擴散區與該第四重摻雜擴散區係互相短路導通，並且該第一重摻雜擴散區與該第二重摻雜擴散區係分別自行對準於該第三重摻雜擴散區與該第四重摻雜擴散區。

5. 如申請專利範圍第3項之絕緣層上有矽之二極體，其中上述之第一重摻雜擴散區與第二重摻雜擴散區係形成於該絕緣層上，並且分別介於一該淺溝槽隔離區與該第一井之間，以及介於另一該淺溝槽隔離區與該第二井之間。

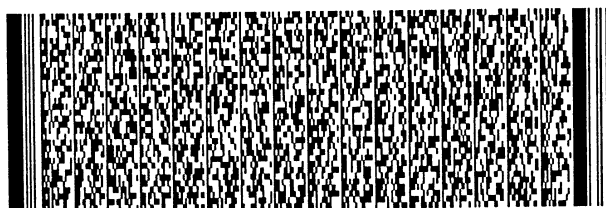
6. 一種絕緣層上有矽之二極體，其至少包括：

一基底；

一絕緣層，係形成於該基底上；

二淺溝槽隔離區，係形成於該絕緣層上；

一PN接合二極體，係由具有一第一導電性之一第一井及與之相鄰之具有一第二導電性之一第二井形成，其中該第一導電性係為P型及N型中任一導電性，該第二導電性係與該第一導電性相反，且該第一井與該第二井係形成於該二淺溝槽隔離區之間，該第一井相鄰於一該淺溝槽隔離區之一頂角處形成具有該第一導電性之一第一輕摻雜擴散區，該第二井相鄰於另一該淺溝槽隔離區之一頂角處形成具



六、申請專利範圍

有該第二導電性之一第二輕摻雜擴散區；及

一似MOS閘極，係形成於該第一井與該第二井上方，該似MOS閘極包括一介電層、一導電層及二介電質間隙壁，該導電層係形成於該介電層上方，該二介電質間隙壁係分別形成於該似MOS閘極之每一側，其中該導電層包括具有該第一導電性之一第三輕摻雜擴散區與一具有該第二導電性之一第四輕摻雜擴散區，該第三輕摻雜擴散區係與該第四輕摻雜擴散區短路導通，並且該第一輕摻雜擴散區及該第二輕摻雜擴散區係分別自行對準於該第三輕摻雜擴散區與該第四輕摻雜擴散區。

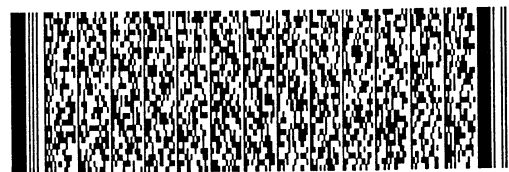
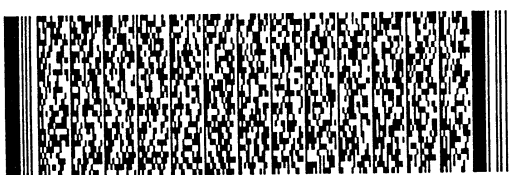
7. 如申請專利範圍第6項之絕緣層上有矽之二極體，其中上述之絕緣層係由一二氧化矽層形成。

8. 如申請專利範圍第6項之絕緣層上有矽之二極體，其中更包含具有該第一導電性之一第五重摻雜擴散區於該第一輕摻雜擴散區與一該淺渠溝槽隔離區之間之該第一井上，及具有該第二導電性之一第六重摻雜擴散區於該第二輕摻雜擴散區與另一該淺溝槽隔離區之間之該第二井上。

9. 一種I/O靜電放電保護電路，其保護一絕緣層上有矽之積體電路，該靜電放電保護電路至少包括：

一導電性墊，係形成於該絕緣層上；

一導線，係形成於該絕緣層上，該導線直接連接該導



六、申請專利範圍

電性墊於一第一節點；

一第一電壓供應列，係形成於該絕緣層上；

一第二電壓供應列，係形成於該絕緣層上；

一第一主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第一電壓供應列之間；

一第二主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第二電壓供應列之間；

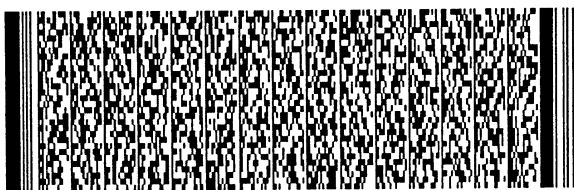
複數個第一二極體，係形成於該絕緣層上，並連接於該第一節點與該第一電壓供應列之間，該等二極體係與該第一主要二極體之方向相反；及

複數個第二二極體，係形成於該絕緣層上，並連接於該第一節點與該第二電壓供應列之間，該等二極體之方向係相反於該第二主要二極體之方向。

10. 如申請專利範圍第9項之靜電放電保護電路，其中上述之第一節點直接連接至該積體電路之一輸出緩衝。

11. 如申請專利範圍第9項之靜電放電保護電路，更包含一電阻形成於該絕緣層上，並且耦合於該第一節點與一第二節點之間，其中該第二節點係位於該積體電路之一輸入緩衝與該電阻之間。

12. 如申請專利範圍第9項之靜電放電保護電路，其中上述之所有二極體係由申請專利範圍第1至8項中任一項之該絕



六、申請專利範圍

緣層上有矽之二極體形成。

13. 一種靜電放電保護電路，其保護絕緣層上有矽之積體電路，該靜電放電保護電路至少包括：

一導電性墊，係形成於該絕緣層上；

一導線，係形成於該絕緣層上，該導線直接連接該導電性墊於一第一節點；

一第一電壓供應列，係形成於該絕緣層上；

一第二電壓供應列，係形成於該絕緣層上；

一第一主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第一電壓供應列之間；

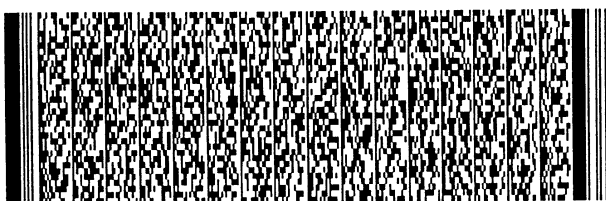
一第二主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第二電壓供應列之間；

一靜電放電箝制電路，係形成於該絕緣層上，並連接於該第一電壓供應列與該第二電壓供應列之間；

一電阻，係形成於該絕緣層上，並連接於該第一節點與一耦合於該積體電路之一部份的一第二節點之間；及

一N通道電晶體，係形成於該絕緣層上，該N通道電晶體之一閘極及一源極皆連接於該第二電壓供應列，並且該N通道電晶體之一汲極係連接於該第二節點。

14. 如申請專利範圍第13項之靜電放電保護電路，其中上述之靜電放電保護電路包括複數個串聯二極體，該等二極體之方向係相反於該第一主要二極體與該第二主要二極體



六、申請專利範圍

之方向。

15. 如申請專利範圍第13項之靜電放電保護電路，更包含一第三主要二極體及一第四主要二極體，其中該第三主要二極體係形成於該絕緣層上，並連接於該第一主要二極體與該第一電壓供應列之間，而該第四主要二極體係形成於該絕緣層上，並連接於該第二主要二極體與該第二電壓供應列之間。

16. 如申請專利範圍第15項之靜電放電保護電路，其中上述之靜電放電保護電路包含複數個串聯二極體，該等二極體之方向係相反於該第一主要二極體與該第二主要二極體之方向。

17. 如申請專利範圍第15項之靜電放電保護電路，更包含一第五主要二極體及一第六主要二極體，其中該第五主要二極體係形成於該絕緣層上，並連接於該第三主要二極體與該第一電壓供應列之間，而該第六主要二極體係形成於該絕緣層上，並連接於該第四主要二極體與該第二電壓供應列之間。

18. 如申請專利範圍第17項之靜電放電保護電路，其中上述之靜電放電箝制電路包含複數個串聯二極體，該等二極體之方向係相反於該第一主要二極體與該第二主要二極體



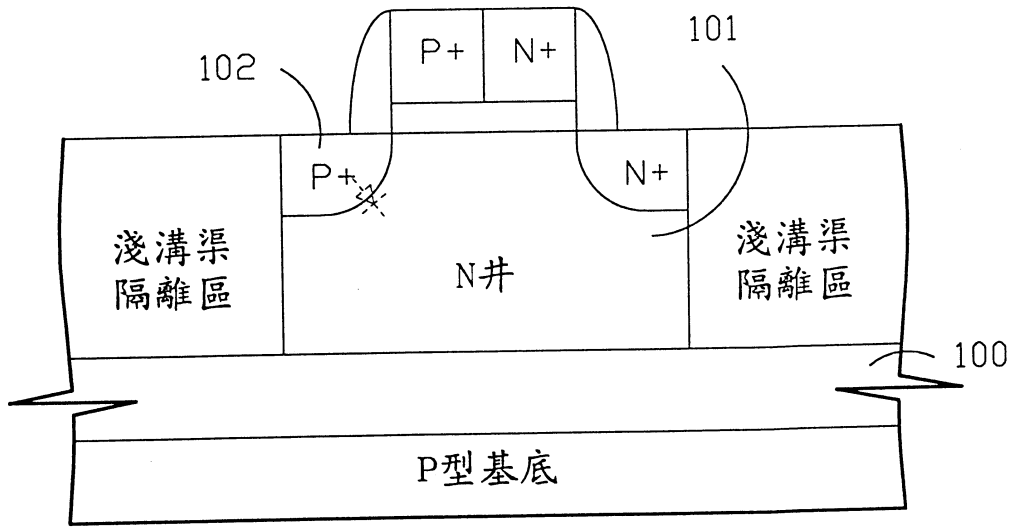
六、申請專利範圍

之方向。

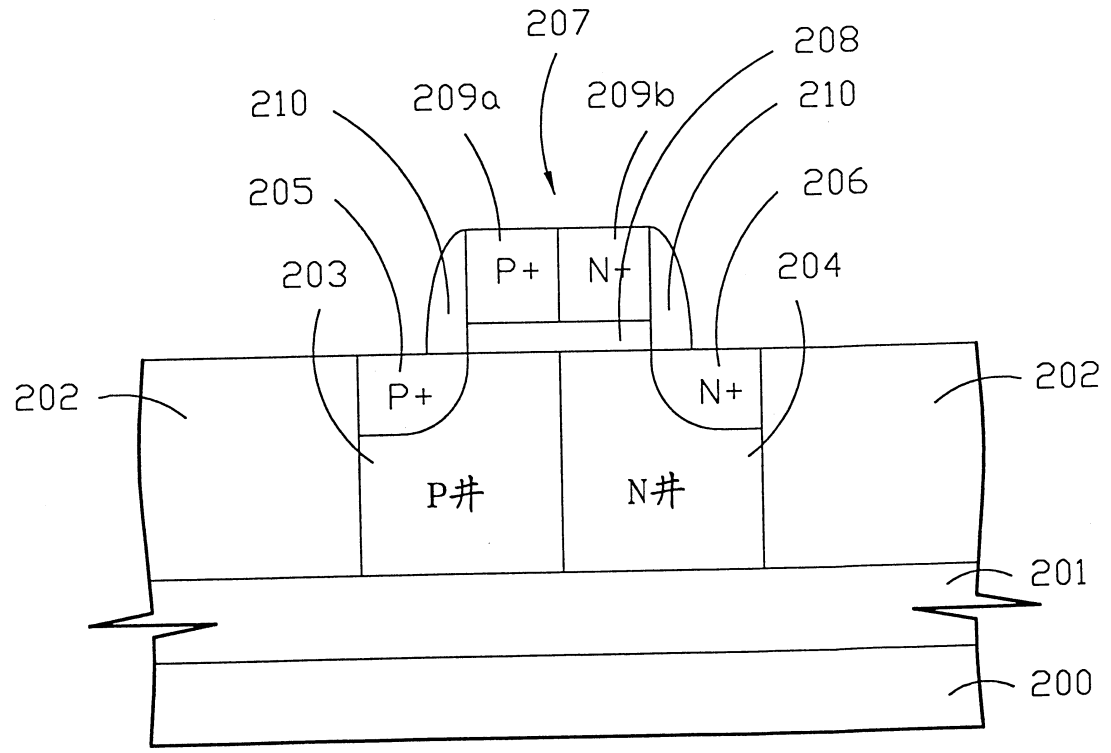
19. 如申請專利範圍第13項之靜電放電保護電路，其中上述之所有二極體係由申請專利範圍第1至8項中任一項之該絕緣層上有矽之二極體形成。



圖式

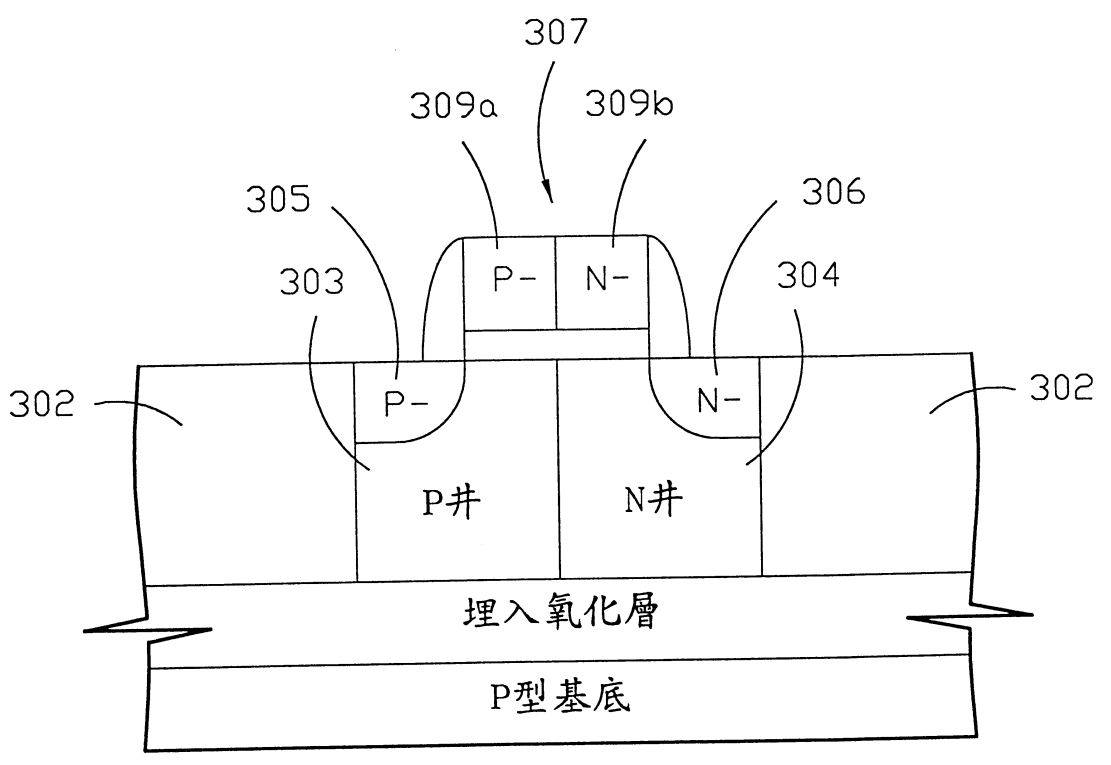


第一圖

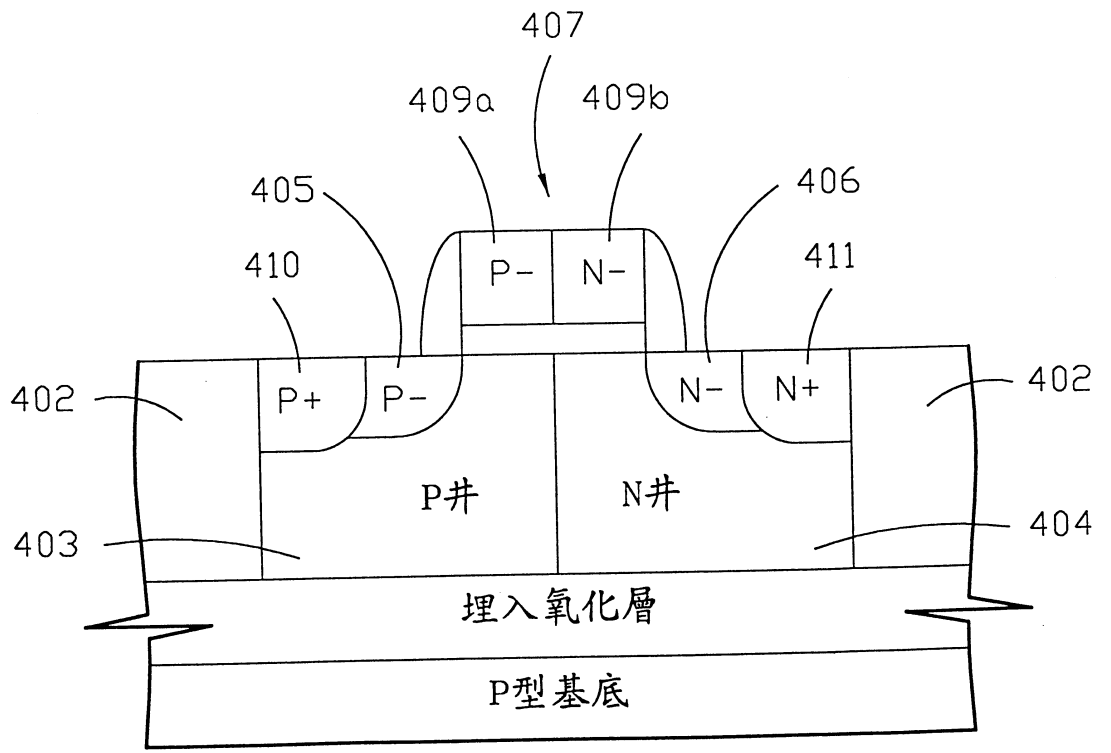


第二圖

圖式

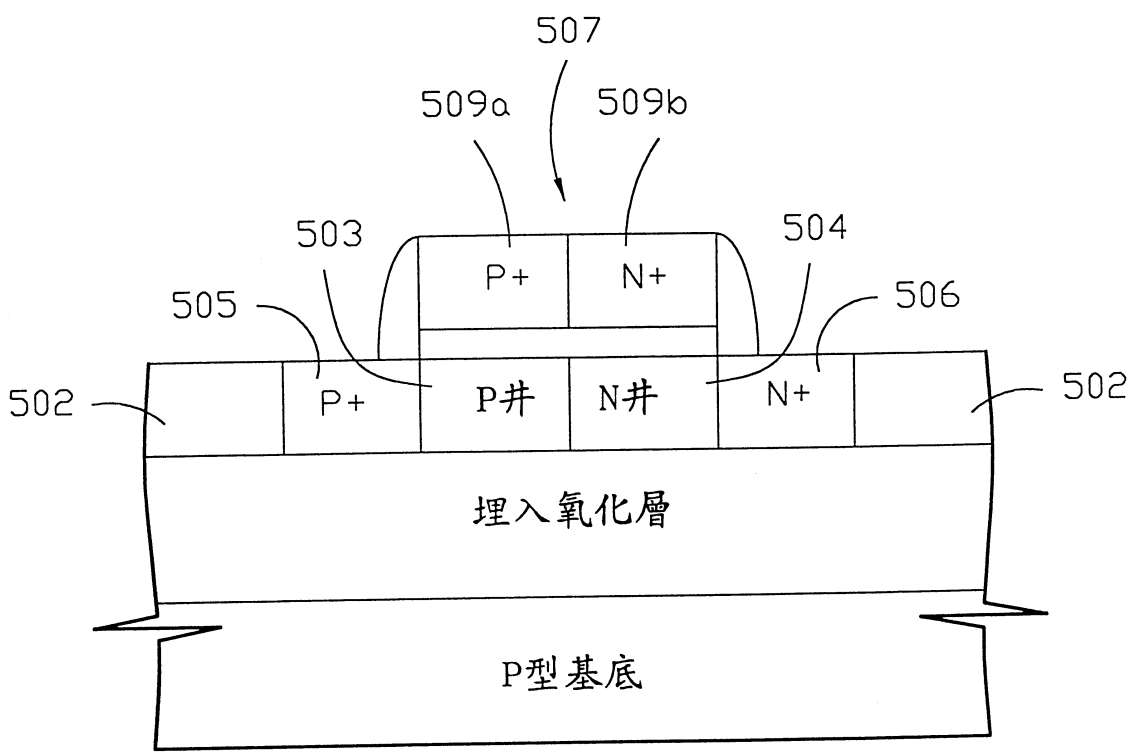


第三圖

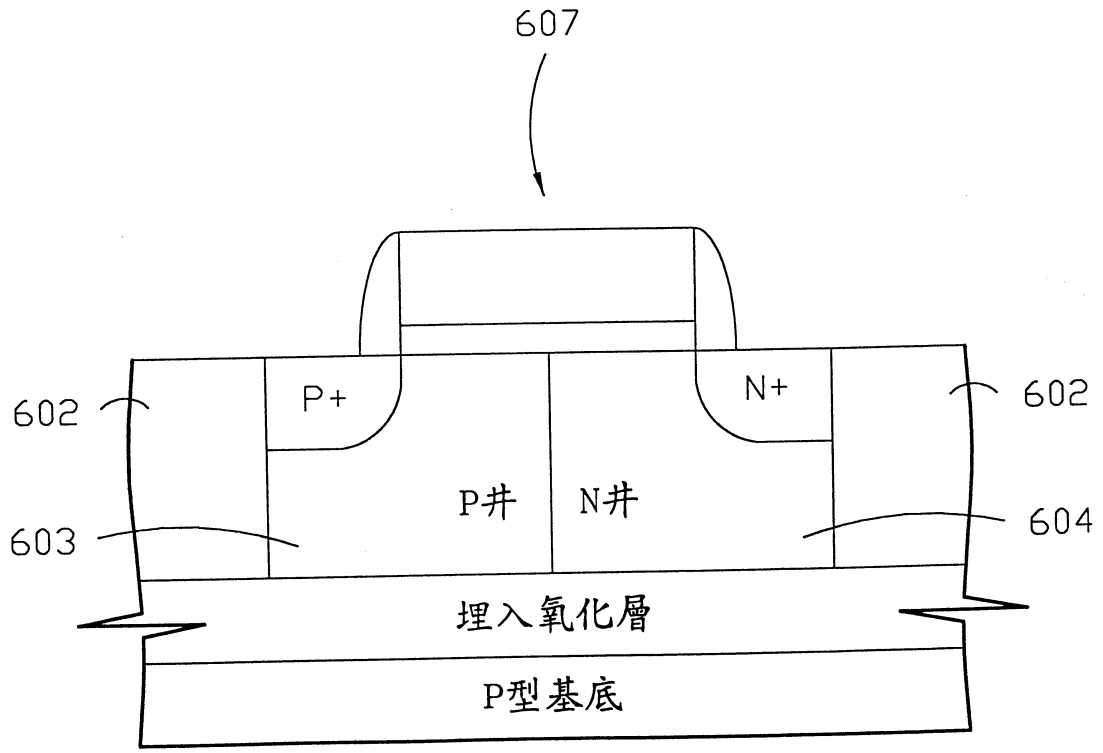


第四圖

圖式

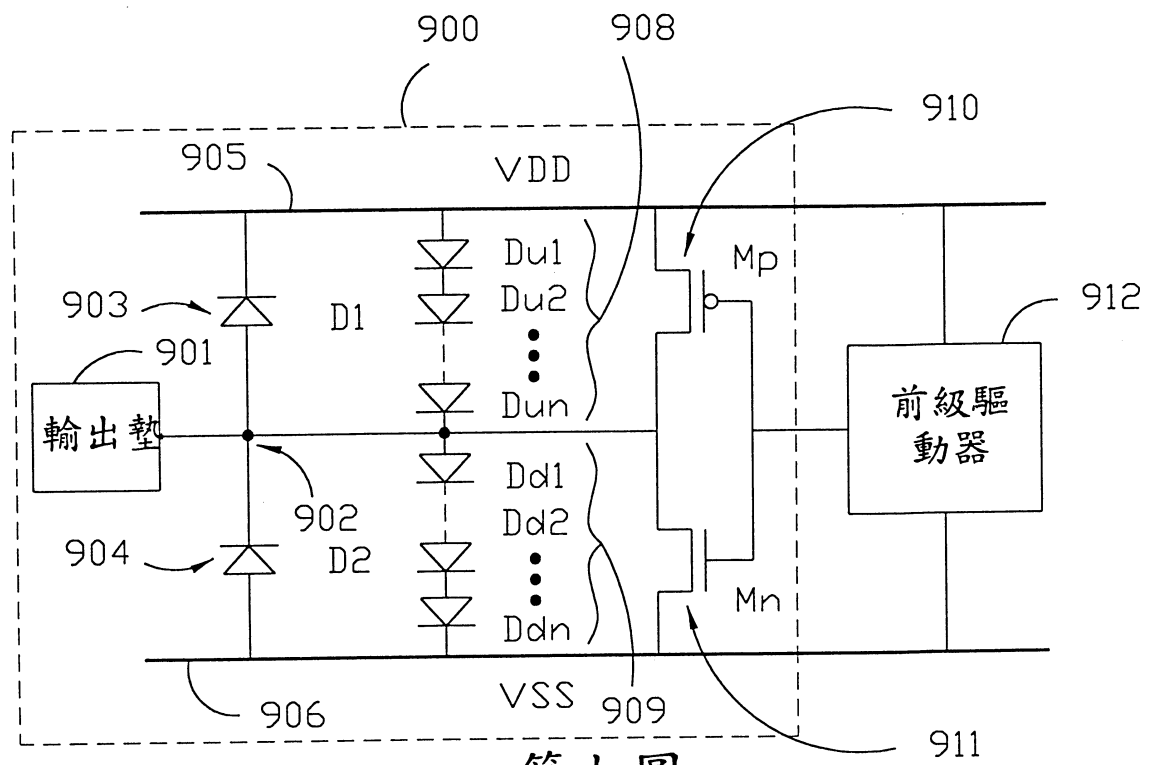


第五圖

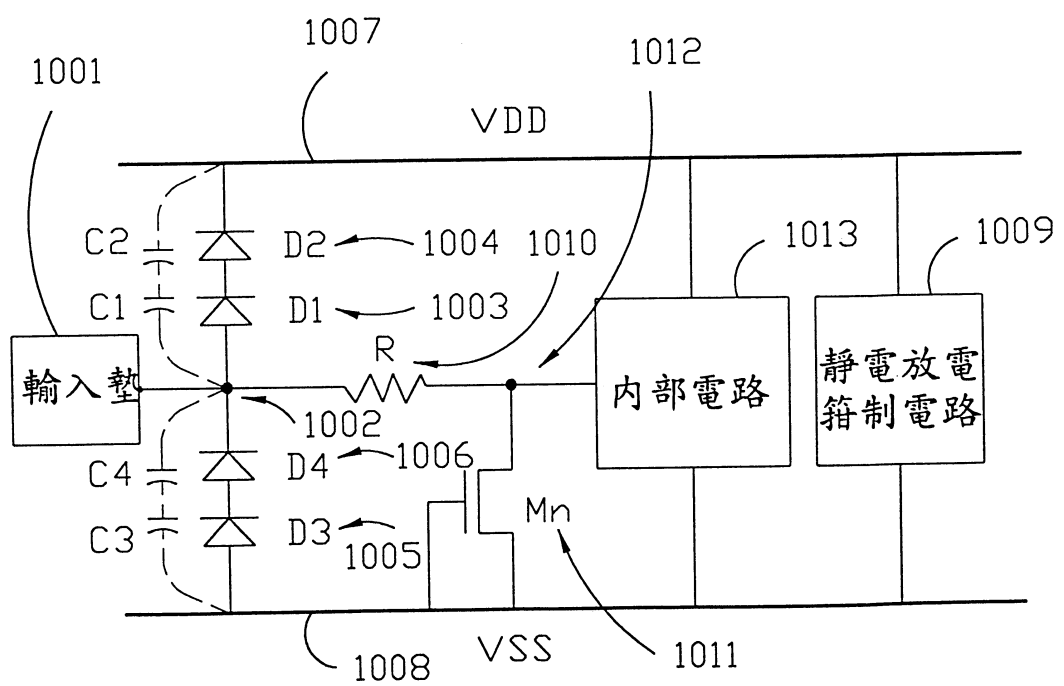


第六圖

圖式

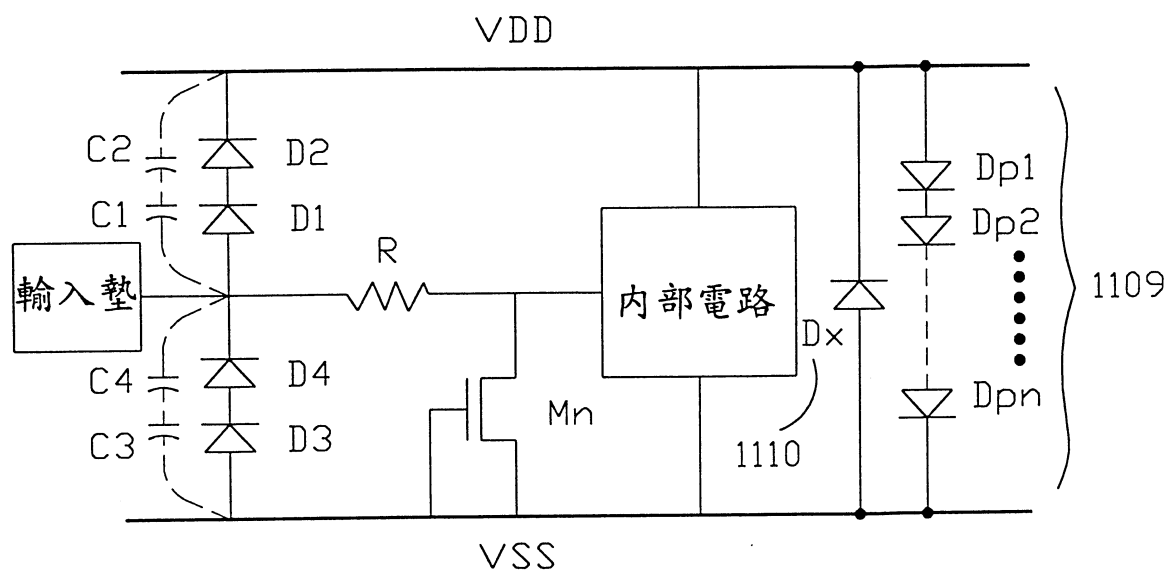


第九圖

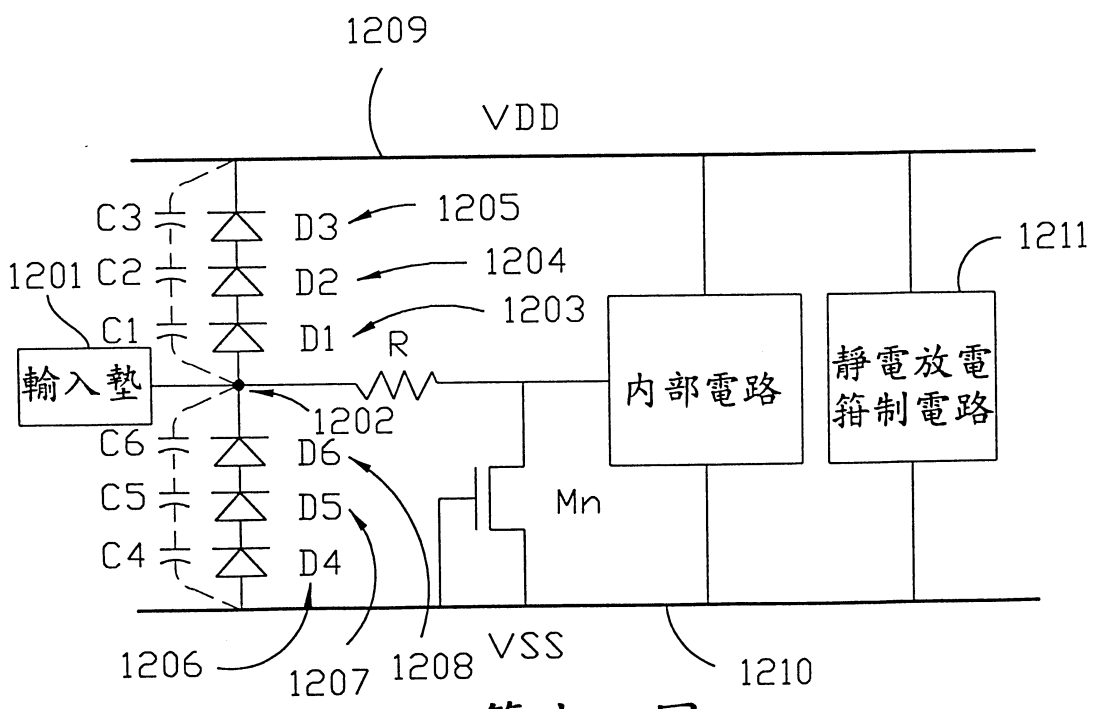


第十圖

圖式

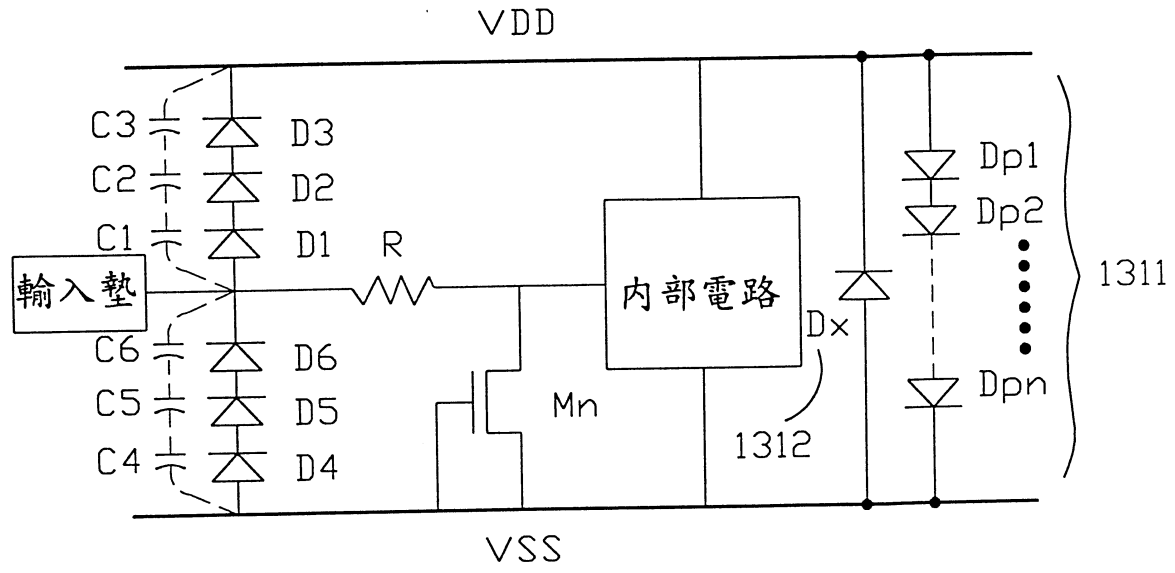


第十一圖



第十二圖

圖式



第十三圖