

(12) 发明专利申请

(10) 申请公布号 CN 103366798 A

(43) 申请公布日 2013. 10. 23

(21) 申请号 201310289419. 9

H01L 25/18(2006. 01)

(22) 申请日 2013. 07. 10

H01L 21/98(2006. 01)

(71) 申请人 格科微电子(上海)有限公司

地址 201203 上海市浦东新区盛夏路 560 弄
2 号楼 11F

(72) 发明人 赵立新 兰军强 章涛

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227

代理人 骆苏华

(51) Int. Cl.

G11C 11/4063(2006. 01)

H01L 27/108(2006. 01)

H01L 23/488(2006. 01)

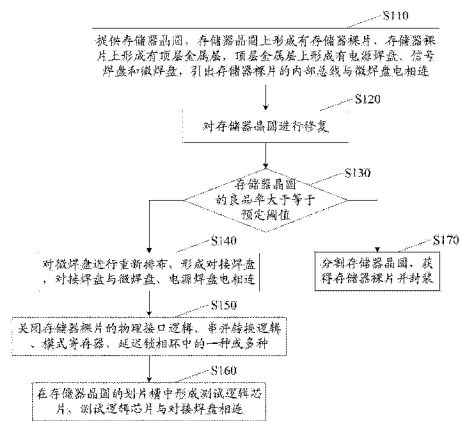
权利要求书2页 说明书10页 附图6页

(54) 发明名称

动态随机存取存储器及制造方法、半导体封装件及封装方法

(57) 摘要

本发明公开了一种动态随机存取存储器及制造方法、半导体封装件及封装方法。动态随机存取存储器制造方法包括：提供存储器晶圆，存储器晶圆上有存储器裸片，存储器裸片上有顶层金属层，顶层金属层上有电源焊盘、信号焊盘和微焊盘，引出存储器裸片的内部总线与微焊盘电相连；对存储器晶圆进行修复；若存储器晶圆的良品率大于等于预定阈值，对微焊盘进行重新排布，形成对接焊盘，对接焊盘与微焊盘、电源焊盘电相连。半导体封装方法，包括：提供有动态随机存取存储器的第一晶圆；提供有逻辑芯片的第二晶圆；第一晶圆和第二晶圆通过相适应的对接焊盘的电连接实现晶圆级封装。本发明不对 DRAM 结构做较大改动，而提高 DRAM 的数据带宽，同时保证较高的良品率。



1. 一种动态随机存取存储器制造方法,其特征在于,包括:

提供存储器晶圆,所述存储器晶圆上形成有存储器裸片,所述存储器裸片上形成有顶层金属层,所述顶层金属层上形成有电源焊盘、信号焊盘和微焊盘,引出所述存储器裸片的内部总线与所述微焊盘电相连;

对所述存储器晶圆进行修复;

修复后,若所述存储器晶圆的良品率大于等于预定阈值,则对所述微焊盘进行重新排布,形成对接焊盘,所述对接焊盘与所述微焊盘、所述电源焊盘电相连。

2. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,所述预设阈值为70%~90%。

3. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,所述存储器裸片包括多组内部总线,所述内部总线包括:数据总线和控制总线,所述内部总线与所述存储器裸片中的一组或多组存储阵列相对应。

4. 根据权利要求3所述的动态随机存取存储器制造方法,其特征在于,所述内部总线的数据宽度大于等于64比特。

5. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,所述对接焊盘的面积大于所述微焊盘的面积。

6. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,所述对接焊盘的数量大于等于所述微焊盘和所述电源焊盘的数量之和。

7. 根据权利要求6所述的动态随机存取存储器制造方法,每个微焊盘与至少一个对接焊盘相连。

8. 根据权利要求6所述的动态随机存取存储器制造方法,每个电源焊盘与至少一个对接焊盘相连。

9. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,所述对所述微焊盘进行重新排布,形成对接焊盘包括:

在所述存储器晶圆上形成至少一层金属层;

在顶层的金属层上形成对接焊盘,所述对接焊盘的数量和位置与逻辑芯片的对接焊盘的数量和位置相适应;

将所述对接焊盘与所述微焊盘、所述电源焊盘电相连。

10. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,还包括:关闭所述存储器裸片的物理接口逻辑、串并转换逻辑、模式寄存器、延迟锁相环中的一种或多种。

11. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,还包括:在所述存储器晶圆的划片槽中形成测试逻辑芯片,所述测试逻辑芯片与所述对接焊盘相连。

12. 根据权利要求1所述的动态随机存取存储器制造方法,其特征在于,还包括:

若所述存储器晶圆的良品率小于预定阈值,则分割所述存储器晶圆,获得所述存储器裸片并封装。

13. 一种动态随机存取存储器,所述动态随机存取存储器形成于存储器晶圆上,其特征在于,包括:

存储器裸片,所述存储器裸片包括多组存储阵列以及多组内部总线,所述内部总线与

一组或多组存储阵列相对应；

位于所述存储器裸片之上的电源焊盘、信号焊盘、微焊盘；

位于所述电源焊盘、微焊盘之上的对接焊盘；

其中，所述对接焊盘与所述电源焊盘、微焊盘相连，所述内部总线与所述微焊盘相连。

14. 根据权利要求 13 所述的动态随机存取存储器，其特征在于，所述存储器的良品率大于等于预定阈值。

15. 根据权利要求 14 所述的动态随机存取存储器，其特征在于，所述预定阈值为 70%～90%。

16. 根据权利要求 13 所述的动态随机存取存储器，其特征在于，所述内部总线的数据宽度大于等于 64 比特。

17. 根据权利要求 13 所述的动态随机存取存储器，其特征在于，所述对接焊盘的面积大于所述微焊盘的面积。

18. 根据权利要求 13 所述的动态随机存取存储器，其特征在于，所述对接焊盘的数量大于等于所述微焊盘和所述电源焊盘的数量之和。

19. 根据权利要求 18 所述的动态随机存取存储器，其特征在于，每个微焊盘与至少一个对接焊盘相连。

20. 根据权利要求 18 所述的动态随机存取存储器，其特征在于，每个电源焊盘与至少一个对接焊盘相连。

21. 根据权利要求 13 所述的动态随机存取存储器，其特征在于，所述对接焊盘的数量和位置与逻辑芯片的对接焊盘的数量和位置相适应。

22. 一种半导体封装方法，其特征在于，包括：

提供形成有动态随机存取存储器的第一晶圆，所述动态随机存取存储器使用如权利要求 1～11 所述的任一种动态随机存取存储器制造方法形成；

提供形成有逻辑芯片的第二晶圆，所述逻辑芯片包括对接焊盘，所述动态随机存取存储器的对接焊盘与所述逻辑芯片的对接焊盘相适应；

所述第一晶圆和第二晶圆通过相适应的对接焊盘的电连接实现晶圆级封装。

23. 根据权利要求 22 所述的半导体封装方法，其特征在于，所述第一晶圆和第二晶圆通过相适应的对接焊盘的电连接实现晶圆级封装包括：将所述第一晶圆上每个动态随机存取存储器的对接焊盘与所述第二晶圆上每个逻辑芯片对应的对接焊盘压接。

24. 根据权利要求 22 所述的半导体封装方法，其特征在于，还包括：

在所述晶圆级封装之后，分割所述第一晶圆和第二晶圆，获得半导体互连件，所述半导体互连件包括所述动态随机存取存储器和逻辑芯片；

对所述半导体互连件进行封装，获得半导体封装件。

25. 一种半导体封装件，其特征在于，包括：

如权利要求 13～21 所述任一种动态随机存取存储器；

逻辑芯片，所述逻辑芯片包括对接焊盘，所述动态随机存取存储器的对接焊盘与所述逻辑芯片的对接焊盘相适应；

所述动态随机存取存储器的对接焊盘与所述逻辑芯片的对接焊盘电相连。

动态随机存取存储器及制造方法、半导体封装件及封装方法

技术领域

[0001] 本发明涉及半导体领域,尤其涉及一种动态随机存取存储器及其制造方法、一种半导体封装件及其封装方法。

背景技术

[0002] 动态随机访问存储器 (DRAM, Dynamic Random Access Memory) 具有容量大、速度快、单元成本低等特点,因此用途极为广泛。经过长期发展,目前 DRAM 已经发展出多种产品,比如:在高性能应用中已经从第一代 DDR 进化到第 5 代的 DDR5,在低功耗场合已经从 LPDDR 进化到 LPDDR2。

[0003] 如图 1 所示,目前主流的 DRAM 一般包括存储阵列 10、控制逻辑电路 20 和接口转换逻辑电路 30。存储阵列 10 包括大量存储单元,用于存储数据,在 DRAM 中占据最大的面积。存储阵列划分为多个大小和结构相同的 bank,比如:图 1 所示的存储阵列包括 8 个 bank,每个 bank 独有或数个 bank 之间共享数据总线和控制总线,这些总线和其它 bank 的总线之间相互独立。控制逻辑电路 20 包括:存储阵列控制、行地址锁存、列地址锁存以及位选择逻辑等电路,用于控制 DRAM 工作,处理 DRAM 协议,将 DRAM 接口上的读写请求转换为对各个 bank 的访问。接口转换逻辑电路 30 用于数据串并转换,将与 bank 连接、数据宽度较宽的数据总线转换为 DRAM 接口上数据宽度较窄的数据总线。这是因为 DRAM 需要使用窄的数据总线接口以降低在 PCB 板上走线难度,提高存储系统的可靠性。但接口逻辑的会带来较高的功耗。同时也正因为 DRAM 数据总线宽度较窄,限制了 DRAM 读取速度的进一步提升。

[0004] 为了获得更宽的 DRAM 数据总线,本领域技术人员对 DRAM 的封装方法进行了改进,从最初的 TSSOP (双列扁平封装)到 BGA 封装和堆叠封装,一种现有技术是使用超宽的 DRAM 数据总线,同时采用 die-to-die 封装方法(即:逐个对 2 块裸片做压接),这样可以极大地提高 DRAM 的数据带宽,同时减低工耗。但这种现有技术和目前主流 DRAM 并不兼容,需要在 DRAM 的结构和封装上做很大的改动,因此普及这种技术存在一定困难。

[0005] 随之而来的,是另一种现有技术—Wafer-to-wafer 封装。Wafer-to-wafer 封装将两块大小一样的晶圆直接压合,两块晶圆上逻辑区域的大小和管脚排布需要完全一致,压合完成后两块晶圆上的所有逻辑区域即完成连接,切分开晶圆后,就得到连接好的单个芯片组。它同时完成两块晶圆上所有芯片的连接,不需要像 die-to-die 封装逐个对两块芯片做连接,因此成本更低。

[0006] 但 Wafer-to-wafer 封装一直存在良品率低的问题,因为 Wafer-to-wafer 封装需要两块晶圆上对应的芯片均为良品,才能保证连接后的芯片组也是良品。一旦某一块晶圆上的次品率较高,将导致压接后的芯片组良品率急剧降低。比如:用 DRAM 晶圆和 SoC 晶圆做晶圆级封装,如果 SoC 晶圆的良率为 98%,DRAM 晶圆的良率为 90%,则封装后芯片组的良率是 $0.98 \times 0.9 = 88.2\%$ 。这个良率还是可以接受的,仅牺牲了少量合格的 SoC 芯片,和 wafer-to-wafer 封装带来的成本降低相比,还是值得的。但如果 DRAM 的良率只有 60%,则

最后的良率就只有 58.8%，浪费了过多合格的 SoC 芯片，得不偿失。

[0007] 在公开号为 CN102543967A 的中国专利申请中，披露了更多相关内容。

发明内容

[0008] 本发明所要解决的技术问题是在不必对现有 DRAM 结构做较大改动的前提下，如何提高 DRAM 的数据带宽，同时保证较高的良品率。

[0009] 为了解决上述问题，根据本发明的一个方面，提供了一种动态随机存取存储器制造方法，包括：

[0010] 提供存储器晶圆，所述存储器晶圆上形成有存储器裸片，所述存储器裸片上形成有顶层金属层，所述顶层金属层上形成有电源焊盘、信号焊盘和微焊盘，引出所述存储器裸片的内部总线与所述微焊盘电相连；

[0011] 对所述存储器晶圆进行修复；

[0012] 修复后，若所述存储器晶圆的良品率大于等于预定阈值，则对所述微焊盘进行重新排布，形成对接焊盘，所述对接焊盘与所述微焊盘、所述电源焊盘电相连。

[0013] 在一个实施例中，所述预设阈值为 70% ~ 90%。

[0014] 在一个实施例中，所述存储器裸片包括多组内部总线，所述内部总线包括：数据总线和控制总线，所述内部总线与所述存储器裸片中的一组或多组存储阵列相对应。

[0015] 在一个实施例中，所述内部总线的数据宽度大于等于 64 比特。

[0016] 在一个实施例中，所述对接焊盘的面积大于所述微焊盘的面积。

[0017] 在一个实施例中，所述对接焊盘的数量大于等于所述微焊盘和所述电源焊盘的数量之和。

[0018] 在一个实施例中，每个微焊盘与至少一个对接焊盘相连。

[0019] 在一个实施例中，每个电源焊盘与至少一个对接焊盘相连。

[0020] 在一个实施例中，所述对所述微焊盘进行重新排布，形成对接焊盘包括：

[0021] 在所述存储器晶圆上形成至少一层金属层；

[0022] 在顶层的金属层上形成对接焊盘，所述对接焊盘的数量和位置与逻辑芯片的对接焊盘的数量和位置相适应；

[0023] 将所述对接焊盘与所述微焊盘、所述电源焊盘电相连。

[0024] 在一个实施例中，还包括：关闭所述存储器裸片的物理接口逻辑、串并转换逻辑、模式寄存器、延迟锁相环中的一种或多种。

[0025] 在一个实施例中，还包括：在所述存储器晶圆的划片槽中形成测试逻辑芯片，所述测试逻辑芯片与所述对接焊盘相连。

[0026] 在一个实施例中，还包括：

[0027] 若所述存储器晶圆的良品率小于预定阈值，则分割所述存储器晶圆，获得所述存储器裸片并封装。

[0028] 根据本发明的另一个方面，还提供了一种动态随机存取存储器，所述动态随机存取存储器形成于存储器晶圆上，包括：

[0029] 存储器裸片，所述存储器裸片包括多组存储阵列以及多组内部总线，所述内部总线与一组或多组存储阵列相对应；

- [0030] 位于所述存储器裸片之上的电源焊盘、信号焊盘、微焊盘；
- [0031] 位于所述电源焊盘、微焊盘之上的对接焊盘；
- [0032] 其中，所述对接焊盘与所述电源焊盘、微焊盘相连，所述内部总线与所述微焊盘相连。
- [0033] 在一个实施例中，所述存储器的良品率大于等于预定阈值。
- [0034] 在一个实施例中，所述预定阈值为 70% ~ 90%。
- [0035] 在一个实施例中，所述内部总线的数据宽度大于等于 64 比特。
- [0036] 在一个实施例中，所述对接焊盘的面积大于所述微焊盘的面积。
- [0037] 在一个实施例中，所述对接焊盘的数量大于等于所述微焊盘和所述电源焊盘的数量之和。
- [0038] 在一个实施例中，每个微焊盘与至少一个对接焊盘相连。
- [0039] 在一个实施例中，每个电源焊盘与至少一个对接焊盘相连。
- [0040] 在一个实施例中，所述对接焊盘的数量和位置与逻辑芯片的对接焊盘的数量和位置相适应。
- [0041] 根据本发明的另一个方面，还提供了一种半导体封装方法，包括：
- [0042] 提供形成有动态随机存取存储器的第一晶圆，所述动态随机存取存储器使用上述任一种动态随机存取存储器制造方法形成；
- [0043] 提供形成有逻辑芯片的第二晶圆，所述逻辑芯片包括对接焊盘，所述动态随机存取存储器的对接焊盘与所述逻辑芯片的对接焊盘相适应；
- [0044] 所述第一晶圆和第二晶圆通过相适应的对接焊盘的电连接实现晶圆级封装。
- [0045] 在一个实施例中，所述第一晶圆和第二晶圆通过相适应的对接焊盘的电连接实现晶圆级封装包括：将所述第一晶圆上每个动态随机存取存储器的对接焊盘与所述第二晶圆上每个逻辑芯片对应的对接焊盘压接。
- [0046] 在一个实施例中，还包括：
- [0047] 在所述晶圆级封装之后，分割所述第一晶圆和第二晶圆，获得半导体互连件，所述半导体互连件包括所述动态随机存取存储器和逻辑芯片；
- [0048] 对所述半导体互连件进行封装，获得半导体封装件。
- [0049] 根据本发明的另一个方面，还提供了一种半导体封装件，包括：
- [0050] 上述任一种动态随机存取存储器；
- [0051] 逻辑芯片，所述逻辑芯片包括对接焊盘，所述动态随机存取存储器的对接焊盘与所述逻辑芯片的对接焊盘相适应；
- [0052] 所述动态随机存取存储器的对接焊盘与所述逻辑芯片的对接焊盘电相连。
- [0053] 与现有技术相比，本发明的技术方案具有以下优点：
- [0054] 本发明不对目前 DRAM 的结构做大的改动，仅仅是将 DRAM 内部 bank 级的超宽总线直接引至 DRAM 芯片表面，形成微焊盘。在存储器晶圆良品率合格时，通过对微焊盘进行重新排布以利于与 SoC 芯片的对接，使得 SoC 芯片能够通过超宽总线直接从存储阵列中读写数据，从而大幅提高了数据总线宽度，同时避免了高速串并转换带来的功率消耗。
- [0055] 可选方案中，由于本发明同时保留了原有 DRAM 的接口转换逻辑和焊盘，所以在整片 DRAM 晶圆良率较低的情况下，仍可切分 DRAM 晶圆，使各存储器裸片可以继续按传统的封

装方法形成原有 DRAM 芯片,避免了合格 SoC 芯片的浪费。而且由于本发明的 DRAM 既可作为传统 DRAM 使用,亦可作为超宽总线 DRAM 使用,所以降低了从当前 DRAM 技术向新技术演进的风险和成本。

[0056] 可选方案中,当 DRAM 工作于超宽总线模式下,则还可以关闭那些以备良品率不足而改用传统封装方法才会用到的逻辑电路,以进一步降低能耗。

附图说明

[0057] 图 1 为一种现有技术的 DRAM 结构示意图;

[0058] 图 2 为本发明的动态随机存取存储器制造方法第一实施例的流程示意图;

[0059] 图 3 为本发明的动态随机存取存储器制造方法第二实施例存储器裸片的结构示意图;

[0060] 图 4 为本发明的动态随机存取存储器制造方法第二实施例形成有存储器裸片的晶圆的正视图;

[0061] 图 5a、5b 为本发明的动态随机存取存储器制造方法第二实施例重新排布前后的存储器裸片的俯视图;

[0062] 图 6 为本发明的动态随机存取存储器制造方法第二实施例的结果示意图;

[0063] 图 7 为本发明的半导体封装方法第一实施例的流程示意图;

[0064] 图 8、图 9 为图 7 所示第一实施例的各阶段结果示意图;

[0065] 图 10 为图 7 所示第一实施例的结果示意图。

具体实施方式

[0066] 在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施的限制。

[0067] 其次,本发明利用示意图进行详细描述,在详述本发明实施例时,为便于说明,所述示意图只是实例,其在此不应限制本发明保护的范围。

[0068] 在附图中,为了更清楚,元件的形状被夸大,在各处相应的数字针对相应的元件。还将理解的是,当一层被提到是位于另一层或衬底上时,它可以是直接位于另一层或衬底上或者也可以存在中间层。

[0069] 为了解决背景技术中的技术问题,本发明提供了一种动态随机存取存储器制造方法。

[0070] 图 2 为本发明的动态随机存取存储器制造方法第一实施例的流程示意图。如图 2 所示,本实施例包括以下步骤:

[0071] 执行步骤 S110,提供存储器晶圆,存储器晶圆上形成有存储器裸片,存储器裸片上形成有顶层金属层,顶层金属层上形成有电源焊盘、信号焊盘和微焊盘,引出存储器裸片的内部总线与微焊盘电相连。

[0072] 具体地,所述存储器裸片包括多组内部总线,所述内部总线包括:数据总线和控制总线。所述内部总线是与所述存储阵列相连、宽度较宽的数据总线和控制总线,其数据宽度可大于等于 64 比特。所述内部总线至少与一组存储阵列相连。为保证 DRAM 的可靠性或者

提高复用率,所述内部总线可以与多组存储阵列连接。

[0073] 本实施例对现有技术 DRAM 结构的改变在于在所述存储器裸片上形成一层或者多层金属层,在顶层的金属层中形成微焊盘,并且从所述存储器裸片的存储阵列中引出宽的内部总线与微焊盘电相连。

[0074] 具体地,本实施例仍沿用现有 DRAM 封装中的电源焊盘和信号焊盘。所述电源焊盘用于为 DRAM 供电,所述信号焊盘用于通过传统的接口控制逻辑电路实现 DRAM 读取。本实施例额外形成的微焊盘将较宽的内部总线引出至 DRAM 表面。每个微焊盘至少与一根所述内部总线相连。为保证 DRAM 的可靠性或者提高复用率,所述微焊盘也可连接多根内部总线。

[0075] 继续参考图 2,执行步骤 S120,对存储器晶圆进行修复。需要说明的是,本发明对修复晶圆的方法不作具体限定,现有技术中已有多种修复晶圆的方法,比如:激光切割(laser trimming)等,皆可应用于本发明。通过修复,可进一步提高所述存储器晶圆的良品率。

[0076] 继续参考图 2,执行步骤 S130,判断存储器晶圆的良品率是否大于等于预定阈值。具体地,若所述预设阈值较低,则最终形成的 DRAM 良品率也较低,在形成有 SoC 的晶圆良品率较高的情况下,会造成较多的浪费。若所述预设阈值较高,则使用本发明 DRAM 制造方法的要求较高,本方法的优势得以发挥的机会较少,因此,优选的预设阈值为 70%~90%。

[0077] 继续参考图 2,如果存储器晶圆的良品率大于等于预定阈值,则执行步骤 S140,对微焊盘进行重新排布,形成对接焊盘,对接焊盘与微焊盘、电源焊盘电相连。

[0078] 具体地,发明人发现:微焊盘比较小,不利于 DRAM 晶圆和 SoC 晶圆的连接。而且设计人员还要考虑形成的微焊盘与 SoC 对接焊盘位置是否吻合,会进一步加大了 DARM 芯片的设计难度。本实施例通过对微焊盘进行重新排布,在微焊盘上形成对接焊盘,可以有效改善上述问题。

[0079] 具体地,所述对微焊盘进行重新排布,形成对接焊盘包括:在所述存储器晶圆上形成一层或多层金属层;在最顶层的金属层上形成对接焊盘,所述对接焊盘的数量和位置与逻辑芯片的对接焊盘的数量和位置相适应;将所述对接焊盘与所述微焊盘、所述电源焊盘电相连。

[0080] 需要说明的是,由于本方法不再使用传统的接口转换逻辑电路实现 DRAM 读取,因此本方法后续的封装不再需要信号焊盘,所以,重新排布的对接焊盘并不需要与所述信号焊盘电相连。

[0081] 为了方便 DRAM 晶圆与 SoC 晶圆的连接,所述对接焊盘的面积大于所述微焊盘的面积。

[0082] 所述对接焊盘的数量至少等于所述微焊盘和所述电源焊盘的数量之和,为提高 DRAM 的可靠性,也可配置一定数量冗余的对接焊盘。具体地,每个微焊盘与至少一个对接焊盘相连,每个电源焊盘与至少一个对接焊盘相连。

[0083] 继续参考图 2,在步骤 S140 执行完毕后,还可选择性地执行步骤 S150,关闭存储器裸片的物理接口逻辑、串并转换逻辑、模式寄存器、延迟锁相环中的一种或多种。所述物理接口逻辑、串并转换逻辑、模式寄存器、延迟锁相环为传统的通过接口转换逻辑电路读取 DRAM 所需的元器件,当 DRAM 工作于超宽总线模式下时,可以选择性地关闭这些元器件,以进一步降低能耗。

[0084] 继续参考图 2,还可选择性地执行步骤 S160,在存储器晶圆的划片槽中形成测试逻辑芯片,测试逻辑芯片与对接焊盘相连,以便测试。

[0085] 继续参考图 2,如果存储器晶圆的良品率小于预定阈值,则执行步骤 S170,分割存储器晶圆,获得存储器裸片并封装。由于本发明同时保留了原有 DRAM 的接口转换逻辑和信号焊盘,所以在存储器晶圆的良品率较低的情况下,仍可切分 DRAM 晶圆,按照原有封装方法进行封装,形成 DRAM 芯片。

[0086] 本实施例不对目前 DRAM 的结构做较大改动,而增加了 DRAM 的数据总线宽度,使得 DRAM 既可作为超宽总线 DRAM 使用,也可在良率不够时作为传统 DRAM 使用,从而降低从当前 DRAM 技术向新技术演进的风险和成本,同时保证较理想的良品率,进一步降低制造成本。

[0087] 继续提供本发明动态随机存取存储器制造方法的第二实施例如下。

[0088] 图 3 为本实施例存储器裸片的结构示意图。如图 3 所示,本实施例的存储器裸片包括:存储阵列 10、控制逻辑电路 20、接口转换逻辑电路 30、原有总线 40 和超宽总线 40'。

[0089] 所述存储阵列 10 包括:8 个 bank (bank0 ~ bank7),用于存储数据。

[0090] 所述控制逻辑电路 20 包括:行地址锁存、存储阵列控制电路、列地址锁存、位选择逻辑电路等,用于控制所述存储阵列,实现对所述 bank 中特定存储单元的读写操作。

[0091] 所述接口转换逻辑电路 30 用于将从所述 bank 中读取出来的数据经过串并转换,从特定接口中传输出去。经过所述接口转换逻辑电路 30 的数据总线宽度将大大限缩。

[0092] 所述原有总线 40 包括:原有地址总线和原有数据总线。如图 3 所示,所述原有地址总线宽度一般在 15 比特左右,所述原有数据总线宽度一般为 4、8、16 比特。在本实施例中,所述接口逻辑转换电路串并转换前的原有数据总线宽度为 16 比特,经所述接口逻辑转换电路串并转换之后的原有数据总线宽度缩窄为了 4 比特。经串并转换后的原有数据总线将最终连接到信号焊盘(图未示)上,以满足传统 DRAM 封装的需要。

[0093] 所述超宽总线 40' 包括:超宽地址总线和超宽数据总线,用于实现本发明的超宽总线 DRAM 制造方法。如图 3 所示,所述超宽总线 40' 的宽度明显宽于所述原有总线 40。具体地,所述超宽地址总线可分为多路(比如:2、4、8 路等,本实施例中仅以 1 路示意),每一路宽度在 32 比特左右。所述超宽数据总线也可分为多路,每路宽度可为 64、128、256 比特,甚至更宽。本实施例中,所述超宽数据总线的宽度为 128 比特。所述超宽数据总线不经过所述接口转换逻辑电路 30,而是连同所述超宽地址总线一起,直接与微焊盘(图未示)连接,以实现超宽总线的 DRAM。

[0094] 若无法满足存储器晶圆的良品率的要求而只能沿用传统的 DRAM 制造方法,则本实施例 DRAM 的工作过程如下:

[0095] 首先,将需要进行读取/写入操作的存储单元地址经所述原有地址总线传输至所述存储阵列控制,所述存储阵列控制解析后形成行地址送至所述行地址锁存,同时形成列地址送至所述列地址锁存。然后,所述行地址锁存经所述原有地址总线选中所述存储阵列中某一 bank 的对应行。所述列地址锁存经所述位选择逻辑,选中所述对应行中的对应列的存储单元。对所述存储单元进行读取/写入操作。所述存储单元内的数据经较宽的原有数据总线(宽度 16 比特)传输至所述接口转换逻辑电路 30 进行串并转换,最后经较窄的原有数据总线(宽度 4 比特)传输至 DRAM 的对外接口(即:信号焊盘)。

[0096] 若满足存储器晶圆良品率的要求可使用本发明的方法实现超宽数据总线的 DRAM,

则本实施例 DRAM 的具体工作过程如下：

[0097] 首先,将需要进行读取/写入操作的存储单元的地址经所述超宽地址总线(宽度 32 比特)直接传输至所述行地址锁存和所述列地址锁存。所述行地址锁存经所述原有地址总线选中所述存储阵列中某一 bank 的对应行。所述列地址锁存经所述位选择逻辑,选中所述对应行中的对应列的存储单元。对所述存储单元进行读取/写入操作。所述存储单元内的数据直接经所述超宽数据总线(宽度 128 比特)传输至 DRAM 的对外接口(即:微焊盘)。

[0098] 图 4 为本实施例形成有存储器裸片的晶圆的正视图。如图 4 所示,在所述晶圆的半导体衬底 100 中形成有所述存储器裸片的存储阵列 10、控制逻辑电路 20 和接口转换逻辑电路 30。在所述半导体衬底 100 上交叠形成有多层金属层 200 和多层介质层 300。在所述半导体衬底 100、金属层 200 和介质层 300 之间,形成有连接孔 400,以实现器件间的电连接。在顶层的金属层 200 上形成有信号焊盘 50、电源焊盘 60 以及微焊盘 70。所述信号焊盘 50 经所述连接孔 400 与所述接口转换逻辑电路 30 电相连。所述微焊盘 70 经所述连接孔 400 与所述控制逻辑电路 20 电相连。

[0099] 需要说明的是,本领域技术人员可以理解,所述原有总线 40 和所述超宽总线 40' 形成于所述连接孔 400 中(图未示)。所述信号焊盘 50 经所述原有总线 40 与所述接口转换逻辑电路 30 电相连。所述微焊盘 70 经所述超宽总线 40' 与所述控制逻辑电路 20 电相连。

[0100] 请参考图 2,接着对所述存储器晶圆进行修复。

[0101] 本实施例中的存储器晶圆的良品率大于等于预定阈值,可以采用本发明方法制造超宽总线的 DRAM。

[0102] 请参考图 2,对所述微焊盘进行重新排布,形成对接焊盘。

[0103] 图 5a、5b 为本实施例重新排布前后的存储器裸片的俯视图。

[0104] 图 5a 为重新排布前存储器裸片的俯视图。如图 5a 所示,在所述存储器裸片表面的不同位置形成有信号焊盘 50、电源焊盘 60 和微焊盘 70。所述微焊盘 70 的数量较多但面积较小。

[0105] 图 5b 为重新排布后存储器裸片的俯视图。如图 5b 所示,重新排布后,在所述存储器裸片表面形成了对接焊盘 80,同时覆盖了所述信号焊盘 50、电源焊盘 60 和微焊盘 70。所述对接焊盘 80 的面积明显大于所述微焊盘 70。

[0106] 图 6 为本实施例的结果示意图。如图 6 所示,在形成有信号焊盘 50、电源焊盘 60 和微焊盘 70 的金属层 200 上形成有至少一层金属层 200。在顶层的金属层 200 上形成对接焊盘 80。所述对接焊盘 80 的数量和位置与逻辑芯片的对接焊盘的数量和位置相适应。将所述对接焊盘 80 与所述微焊盘 70、所述电源焊盘 60 电相连。

[0107] 需要说明的是,在本实施例中,一个微焊盘 70 只与一个对接焊盘 80 相连,一个电源焊盘 60 也只与一个对接焊盘 80 相连。但本领域技术人员可以理解,为了提高连接可靠性,可将一个微焊盘 70 或者一个电源焊盘 60 与多个对接焊盘 80 相连,这样只要保证其中有一个为有效连接,即可维持 DRAM 的正常工作。

[0108] 需要说明的是,在本实施例中详细说明了存储器晶圆的良品率大于等于预定阈值,可以制造超宽总线 DRAM 的情况。本领域技术人员可以理解,已有多种现有技术可以在存储器晶圆的良品率小于预定阈值的情况下,分割所述存储器晶圆,获得每个单独的存储器裸片,并独立封装,比如:BGA 封装、TSSOP 封装、CSP 封装、COB 封装等。本发明对此不作

具体限定,在此不再赘述。

[0109] 本领域技术人员还可以理解,已有多种现有技术可以关闭在超宽总线 DRAM 工作模式下不需要使用的元器件,比如:物理接口逻辑、串并转换逻辑、模式寄存器、延迟锁相环等。本发明对此不作具体限定,在此不再赘述。

[0110] 本实施例保留了原有 DRAM 的接口转换逻辑和焊盘,为在 DRAM 晶圆良率不太理想的情况下切分 DRAM 晶圆使用传统封装提供了可能性,使得 DRAM 既可作为传统 DRAM 使用,亦可作为超宽总线 DRAM 使用,降低了从当前 DRAM 技术向新技术演进的风险和成本。

[0111] 相应地,本发明还提供了一种动态随机存取存储器。请结合参考图 3 和图 6,所述动态随机存取存储器的一实施例包括:存储器裸片、信号焊盘 50、电源焊盘 60、微焊盘 70 和对接焊盘 80。

[0112] 具体地,所述存储器裸片包括:存储阵列 10、控制逻辑电路 20、接口转换逻辑电路 30 以及多组内部总线。

[0113] 所述内部总线包括:原有总线 40 和超宽总线 40'。所述原有总线 40 包括:原有地址总线和原有数据总线。所述超宽总线 40' 包括:超宽地址总线和超宽数据总线。所述超宽总线 40' 的数据宽度大于所述原有总线 40 的数据宽度。具体地,所述超宽总线 40' 的数据宽度大于等于 64 比特。

[0114] 所述控制逻辑电路 20 经所述原有总线 40 与所述接口转换逻辑电路 30 电相连,所述接口转换逻辑电路 30 经所述原有总线 40 与所述信号焊盘 50 电相连。所述控制逻辑电路 20 经所述超宽总线 40' 与所述微焊盘 70 电相连,经所述原有总线 40 与所述存储阵列 10、所述电源焊盘 60 电相连。

[0115] 所述信号焊盘 50、电源焊盘 60、微焊盘 70 位于所述存储器裸片上。

[0116] 所述对接焊盘 80 位于所述信号焊盘 50、电源焊盘 60、微焊盘 70 上,并且与所述电源焊盘 60、微焊盘 70 相连。

[0117] 所述对接焊盘 80 的数量大于等于所述微焊盘 70 和所述电源焊盘 60 的数量之和。每个微焊盘 70 与至少一个对接焊盘 80 相连。每个电源焊盘 60 与至少一个对接焊盘 80 相连。为了提高可靠性,所述电源焊盘 60 和微焊盘 70 可以与多个对接焊盘 80 电相连。

[0118] 为了便于与 SoC 芯片封装,所述对接焊盘 80 的面积大于所述微焊盘 70 的面积,并且所述对接焊盘 80 的数量和位置与所述 SoC 芯片的对接焊盘的数量和位置相适应。

[0119] 需要说明的是,由于本实施例的动态随机存取存储器在形成前已经过存储器晶圆良品率的测试,只有良品率满足要求的存储器晶圆才能用于形成本实施例的存储器,所以能保证本实施例动态随机存取存储器的良品率在较高的水平,比如:70%~90%。

[0120] 本发明还提供了一种半导体封装方法。图 7 为本发明的半导体封装方法第一实施例的流程示意图。如图 7 所示,本实施例包括以下步骤:

[0121] 执行步骤 S210,提供形成有动态随机存取存储器的第一晶圆。具体地,所述动态随机存取存储器为超宽总线的 DRAM,其器件表面形成有与逻辑芯片的对接焊盘相适应的对接焊盘,其内部形成有从 bank 引出的超宽数据总线。所述动态随机存取存储器的制造方法可具体参考前文所述,此处不再赘述。

[0122] 执行步骤 S220,提供形成有逻辑芯片的第二晶圆,逻辑芯片包括对接焊盘,动态随机存取存储器的对接焊盘与逻辑芯片的对接焊盘相适应。

[0123] 图 8 示出了本实施例中的第一晶圆和第二晶圆。如图 8 所示,在第一晶圆 U10 上形成有动态随机存取存储器 U11,在所述动态随机存取存储器 U11 的表面形成有对接焊盘 U12。在第二晶圆 U20 上形成有逻辑芯片 U21,在所述逻辑芯片 U21 的表面形成有对接焊盘 U22。所述动态随机存取存储器 U11 的对接焊盘 U12 的数量和位置与所述逻辑芯片 U21 的对接焊盘 U22 的数量和位置相适应。

[0124] 继续参考图 7,执行步骤 S230,所述第一晶圆和第二晶圆通过相适应的对接焊盘的电连接实现晶圆级封装。具体地,将所述第一晶圆上每个动态随机存取存储器的对接焊盘与所述第二晶圆上每个逻辑芯片对应的对接焊盘压接。

[0125] 图 9 示出了本实施例中的第一晶圆和第二晶圆电实现晶圆级封装后的结果示意图。如图 9 所示,对接焊盘 U12 和对接焊盘 U22 压接,使得动态随机存取存储器 U10 和逻辑芯片 U21 实现电相连,使得第一晶圆 U10 和第二晶圆 U20 实现晶圆级封装。

[0126] 继续参考图 7,之后可选择性地执行步骤 S240,分割第一晶圆和第二晶圆,获得包括动态随机存取存储器和逻辑芯片的半导体互连件。

[0127] 需要说明的是,本领域技术人员可以理解,已有多种现有技术可以分割第一晶圆和第二晶圆,获得半导体互连件,比如:BGA 封装、堆叠封装等。本发明对此不作具体限定,在此不再赘述。

[0128] 继续参考图 7,之后还可选择性地执行步骤 S250,对半导体互连件进行封装,获得半导体封装件。

[0129] 需要说明的是,本领域技术人员可以理解,已有多种现有技术可以对半导体互连件进行封装,获得半导体封装件,比如:BGA 封装、堆叠封装等。本发明对此不作具体限定,在此不再赘述。

[0130] 图 10 为本实施例的结果示意图。如图 10 所示,通过形成于逻辑芯片 U21 另一表面的焊盘 U32 与引脚 U31 焊接,然后进行整体塑封,形成所述半导体封装件。

[0131] 本实施例中,由于使用的是超宽总线的 DRAM,因此能明显提高所形成的半导体封装件的读取速度,同时可保证所述半导体封装件的良品率,从而进一步降低使用本发明封装方法的制造成本。

[0132] 相应地,本发明还提供了一种半导体封装件。图 10 示出了本发明的半导体封装件一实施例的结构示意图。如图 10 所示,本实施例包括:动态随机存取存储器 U11、逻辑芯片 U21、以及引脚 U31。

[0133] 所述动态随机存取存储器 U11 包括:形成于其表面的对接焊盘 U12。

[0134] 所述逻辑芯片 U21 包括:形成于其表面的对接焊盘 U22 以及形成于其另一面的焊盘 U32。

[0135] 所述对接焊盘 U12 和 U22 在数量和面积上互相适应,所述动态随机存取存储器 U11 和逻辑芯片 U21 通过各自对接焊盘 U12 和 U22 的压接实现电连接。

[0136] 所述焊盘 U32 与所述引脚 U31 焊接。所述半导体封装件可通过所述引脚 U31 装配于 PCB 板上。

[0137] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明

的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

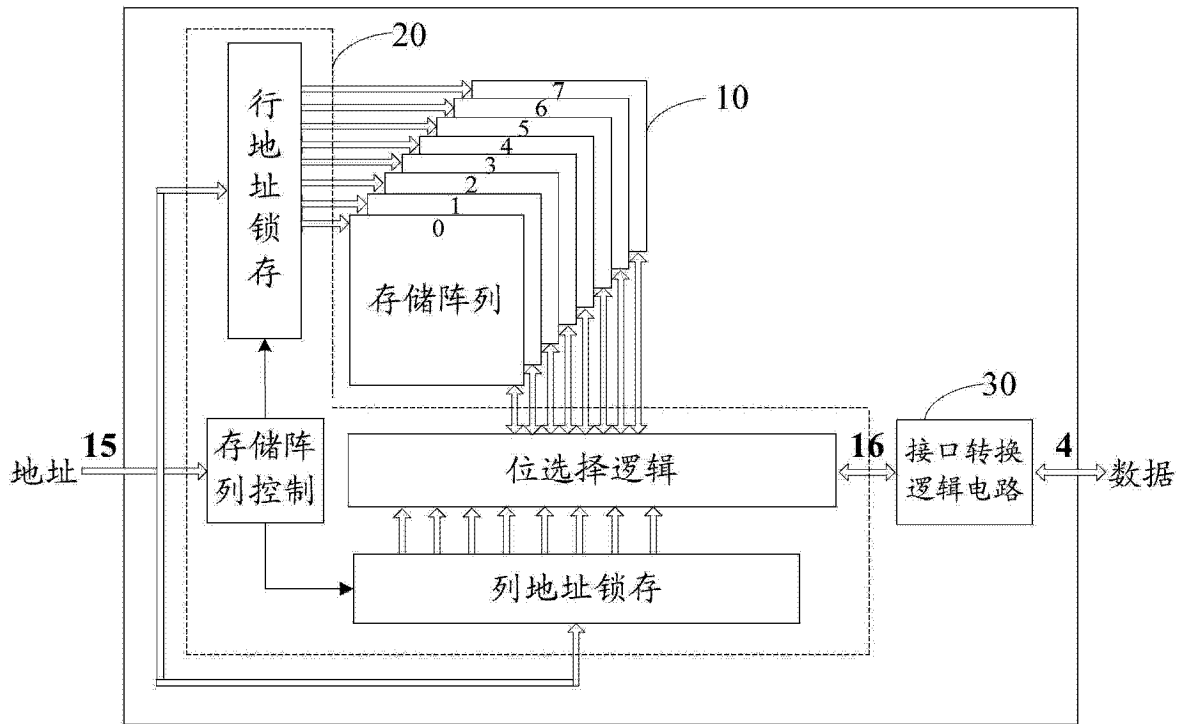


图 1

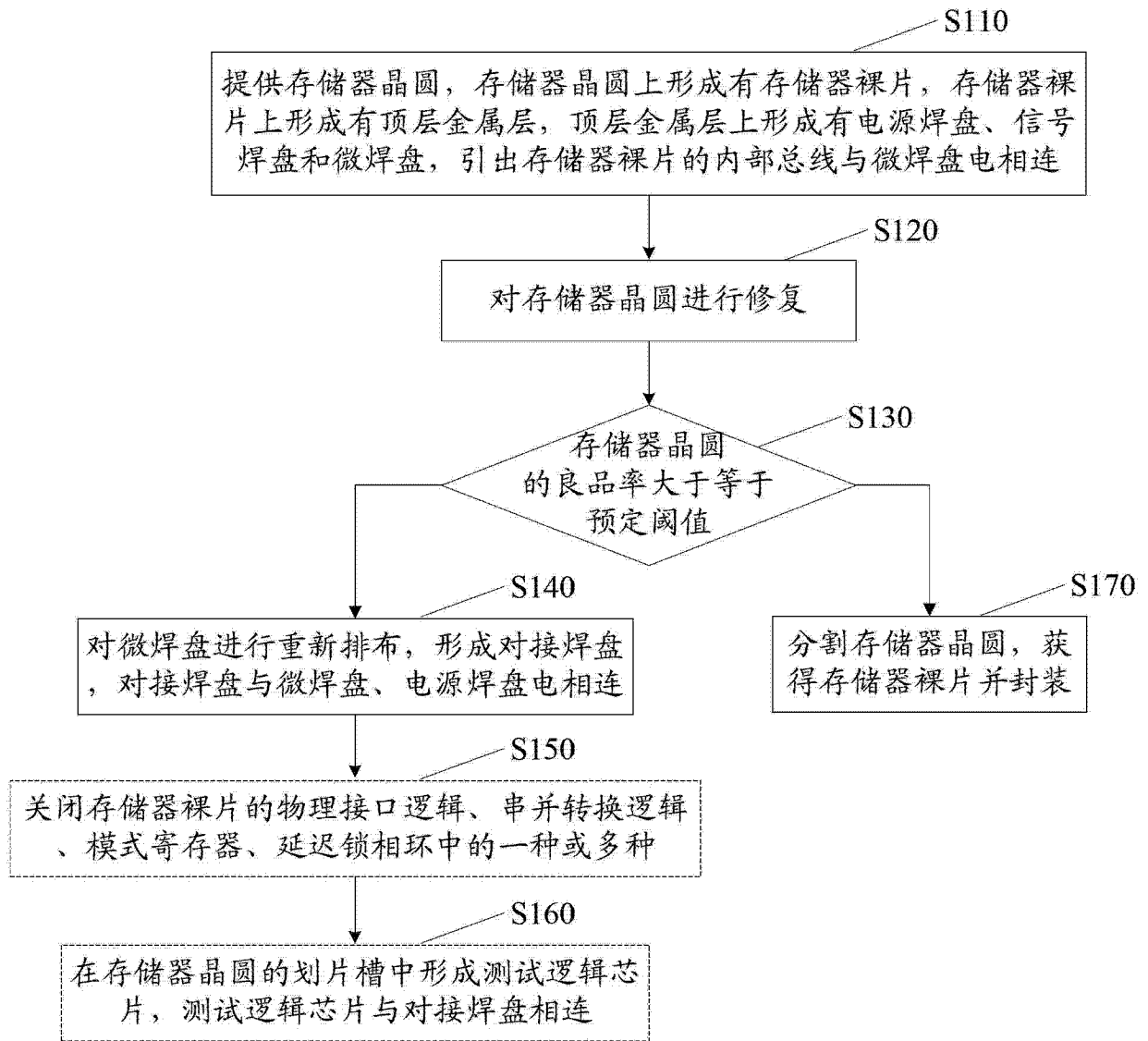


图 2

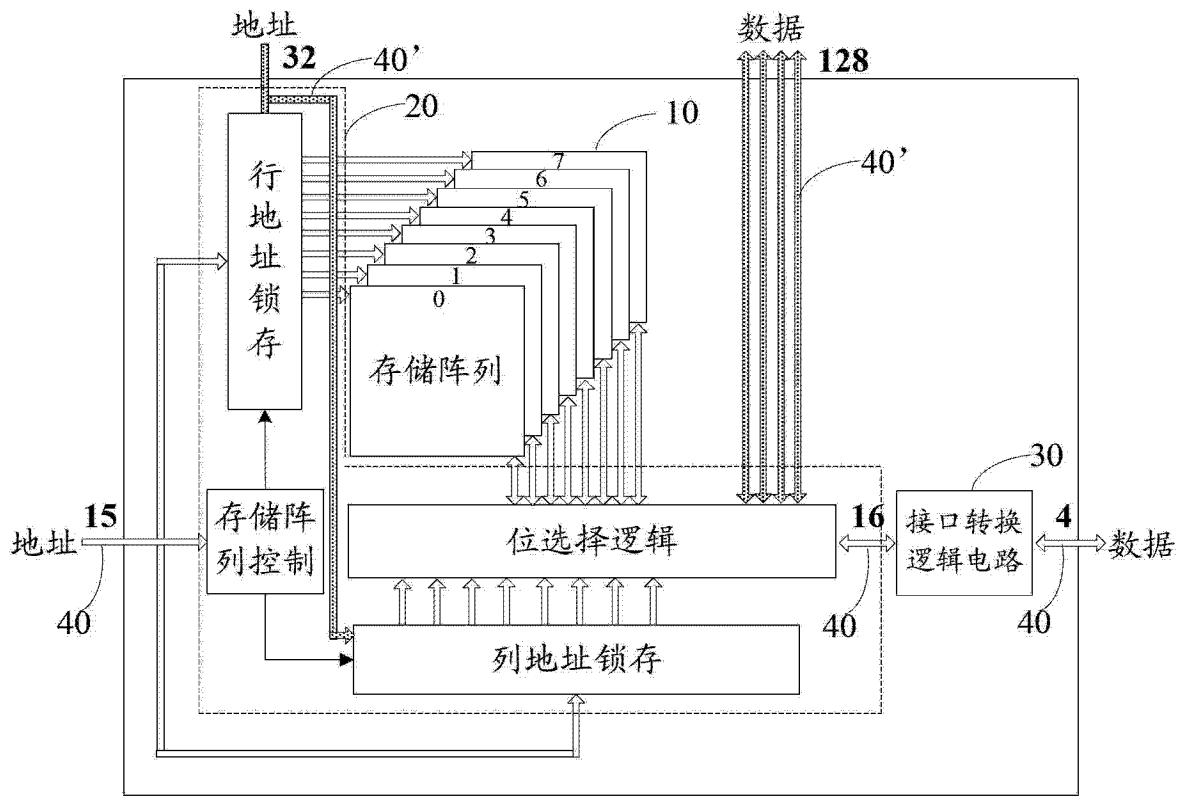


图 3

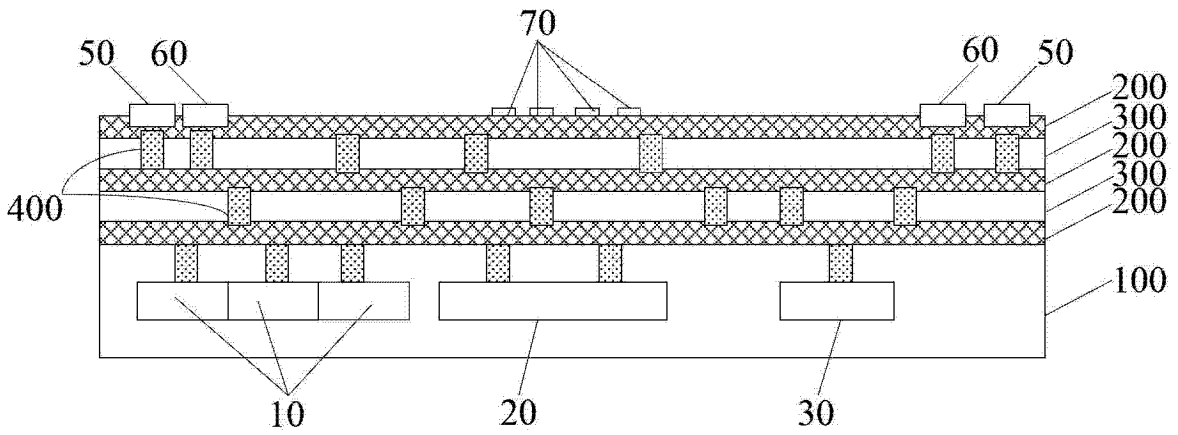


图 4

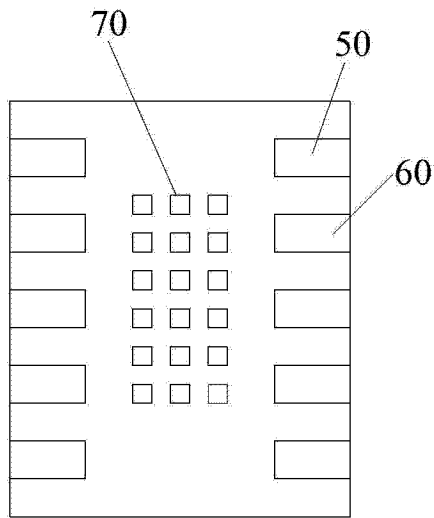


图 5a

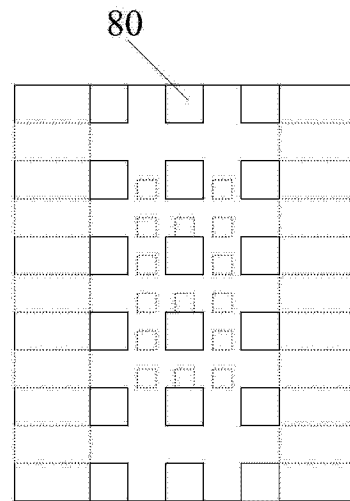


图 5b

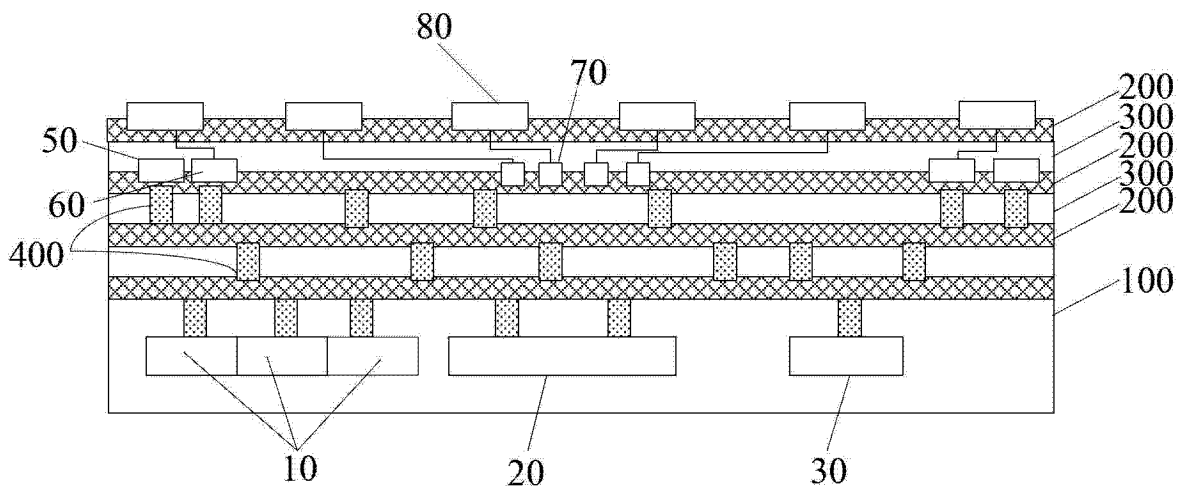


图 6

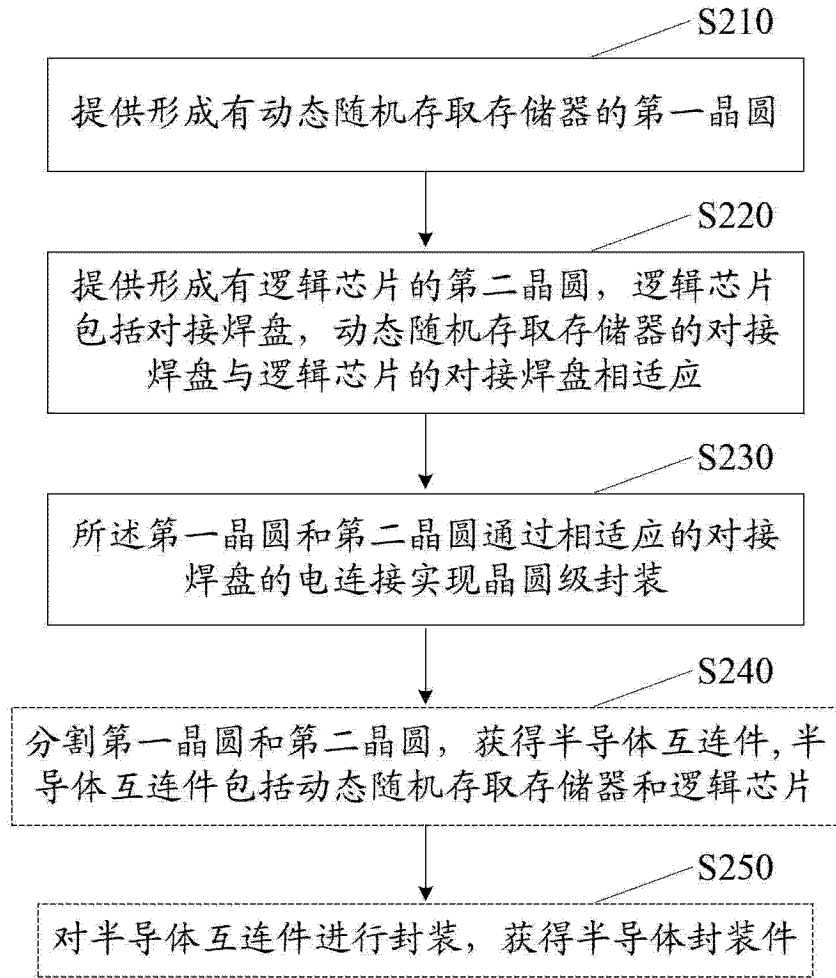


图 7

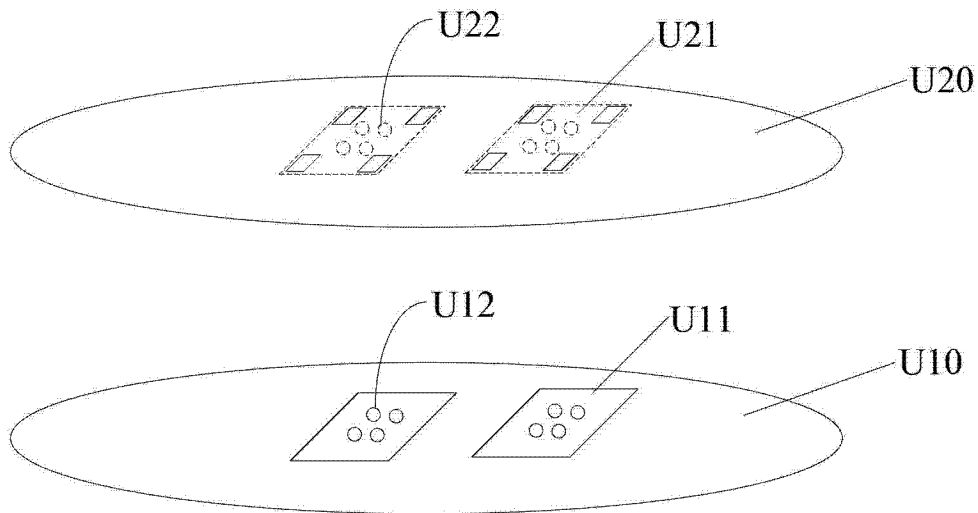


图 8

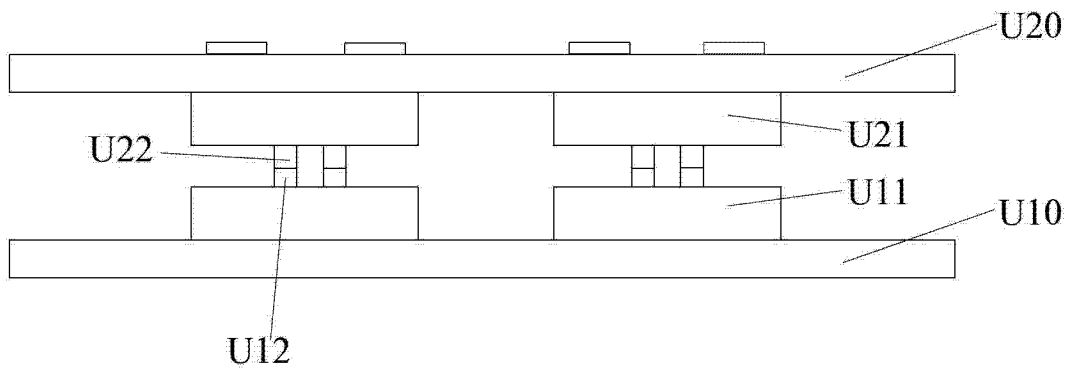


图 9

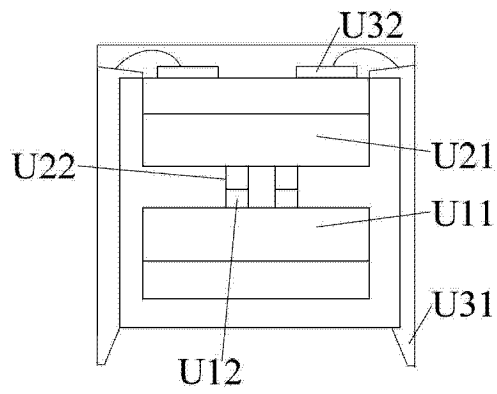


图 10