



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월26일
 (11) 등록번호 10-1777643
 (24) 등록일자 2017년09월06일

- (51) 국제특허분류(Int. Cl.)
 H01L 27/105 (2006.01) G11C 11/24 (2006.01)
 G11C 14/00 (2006.01) H01L 27/06 (2006.01)
 H01L 27/12 (2006.01) H01L 29/04 (2006.01)
 H01L 29/786 (2006.01) H03K 19/173 (2006.01)
 H03K 3/037 (2006.01)
- (52) CPC특허분류
 H01L 27/105 (2013.01)
 G11C 11/24 (2013.01)
- (21) 출원번호 10-2017-7007608(분할)
- (22) 출원일자(국제) 2010년11월16일
 심사청구일자 2017년03월20일
- (85) 번역문제출일자 2017년03월20일
- (65) 공개번호 10-2017-0034935
- (43) 공개일자 2017년03월29일
- (62) 원출원 특허 10-2012-7017932
 원출원일자(국제) 2010년11월16일
 심사청구일자 2015년11월16일
- (86) 국제출원번호 PCT/JP2010/070753
- (87) 국제공개번호 WO 2011/070905
 국제공개일자 2011년06월16일
- (30) 우선권주장
 JP-P-2009-282139 2009년12월11일 일본(JP)
- (56) 선행기술조사문헌
 US20080048744 A1
 JP2006502597 A
 US4797576 A

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 가토 기요시
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 교야마 준
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 장훈

전체 청구항 수 : 총 10 항

심사관 : 이우찬

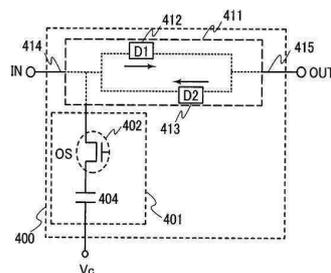
(54) 발명의 명칭 반도체 장치, 논리 회로, 및 CPU

(57) 요약

신규한 불휘발성 래치 회로 및 상기 불휘발성 래치 회로를 사용한 반도체 장치를 제공하기 위해, 불휘발성 래치 회로는 제 1 소자의 출력이 제 2 소자의 입력에 전기적으로 접속되고, 상기 제 2 소자의 출력이 상기 제 1 소자의 입력에 전기적으로 접속되는 루프 구조를 갖는 래치부; 및 상기 래치부의 데이터를 보유하도록 구성된 데이터

(뒷면에 계속)

대표도 - 도1



보유부를 포함한다. 상기 데이터 보유부에서, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터가 스위칭 소자로서 사용된다. 또한, 상기 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 접속된 용량 소자가 포함된다.

(52) CPC특허분류

- G11C 14/0054* (2013.01)
 - H01L 27/0688* (2013.01)
 - H01L 27/1207* (2013.01)
 - H01L 27/1225* (2013.01)
 - H01L 27/1255* (2013.01)
 - H01L 29/045* (2013.01)
 - H01L 29/7869* (2013.01)
 - H03K 19/173* (2013.01)
 - H03K 3/037* (2013.01)
-

명세서

청구범위

청구항 1

반도체 장치에 있어서:

제 1 소자;

제 2 소자;

상기 제 1 소자 및 상기 제 2 소자 위의 절연층; 및

트랜지스터 및 용량 소자를 포함하는 데이터 보유부를 포함하고,

상기 제 1 소자의 출력은 상기 제 2 소자의 입력에 전기적으로 접속되고, 상기 제 2 소자의 출력은 상기 제 1 소자의 입력에 전기적으로 접속되고,

상기 제 1 소자 및 상기 제 2 소자의 각각은 채널 형성 영역이 결정성 실리콘을 포함하는 트랜지스터를 포함하고,

상기 데이터 보유부의 상기 트랜지스터의 채널 형성 영역은 상기 절연층 위의 산화물 반도체층을 포함하고,

상기 데이터 보유부의 상기 트랜지스터의 소스 및 드레인 중 하나는 상기 용량 소자의 한 쌍의 전극들 중 하나에 전기적으로 접속되고,

상기 데이터 보유부의 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 1 소자의 상기 입력 및 입력 신호를 공급받는 배선에 전기적으로 접속되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

제 1 스위치 및 제 2 스위치를 더 포함하고,

상기 제 2 소자의 상기 출력은 상기 제 2 스위치를 통해 상기 제 1 소자의 상기 입력에 전기적으로 접속되고,

상기 제 1 소자의 상기 입력은 상기 제 1 스위치를 통해 상기 입력 신호를 공급받는 상기 배선에 전기적으로 접속되는, 반도체 장치.

청구항 3

반도체 장치에 있어서:

제 1 소자;

제 2 소자;

상기 제 1 소자 및 상기 제 2 소자 위의 절연층; 및

제 1 트랜지스터, 제 2 트랜지스터, 제 1 용량 소자 및 제 2 용량 소자를 포함하는 데이터 보유부를 포함하고,

상기 제 1 소자의 출력은 상기 제 2 소자의 입력에 전기적으로 접속되고, 상기 제 2 소자의 출력은 상기 제 1 소자의 입력에 전기적으로 접속되고,

상기 제 1 소자 및 상기 제 2 소자의 각각은 채널 형성 영역이 결정성 실리콘을 포함하는 트랜지스터를 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 각각의 채널 형성 영역은 상기 절연층 위의 산화물 반도체층을 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 용량 소자의 한 쌍의 전극들 중 하나에 전기적으

로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 용량 소자의 한 쌍의 전극들 중 하나에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 1 소자의 상기 입력에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 1 소자의 상기 출력에 전기적으로 접속되는, 반도체 장치.

청구항 4

제 3 항에 있어서,

제 1 스위치 및 제 2 스위치를 더 포함하고,

상기 제 2 소자의 상기 출력은 상기 제 2 스위치를 통해 상기 제 1 소자의 상기 입력에 전기적으로 접속되고,

상기 제 1 소자의 상기 입력은 상기 제 1 스위치를 통해 입력 신호를 공급받는 배선에 전기적으로 접속되는, 반도체 장치.

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 제 1 소자는 인버터이고 상기 제 2 소자는 인버터인, 반도체 장치.

청구항 6

제 1 항 또는 제 3 항에 있어서,

상기 제 1 소자는 NAND이고 상기 제 2 소자는 클록드 인버터(clocked inverter)인, 반도체 장치.

청구항 7

제 1 항 또는 제 3 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 산화물 반도체층은 c-축들이 상기 산화물 반도체층의 표면에 실질적으로 수직인 결정들을 포함하는, 반도체 장치.

청구항 9

제 1 항 또는 제 3 항에 따른 상기 반도체 장치를 포함하는 논리 회로.

청구항 10

제 9 항에 따른 상기 논리 회로를 포함하는 CPU.

발명의 설명

기술 분야

[0001] 여기에 개시된 본 발명은 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 논리 회로, 및 상기 불휘발성 논리 회로를 사용한 반도체 장치에 관한 것이다. 특히, 여기에 개시된 본 발명은 불휘발성 래치 회로, 및 상기 불휘발성 래치 회로를 사용한 반도체 장치에 관한 것이다.

배경 기술

- [0002] 불휘발성 논리가 집적되는 집적 회로가 제안되어 왔으며, 여기서 전원이 턴 오프될 때조차 데이터가 소거되지 않는 "불휘발성"의 성질이 논리 회로에 적용된다. 예를 들면, 불휘발성 논리로서 강유전체 소자를 사용한 불휘발성 래치 회로가 제안되어 왔다(특허 문서 1을 참조).
- [0003] [참조]
- [0004] [특허 문서]
- [0005] [특허 문서 1] PCT 국제 공개 번호 제2003/044953호

발명의 내용

해결하려는 과제

- [0006] 그러나, 강유전체 소자를 사용한 불휘발성 래치 회로는 재기록들의 수의 신뢰성 및 전압의 감소에 관하여 문제점들을 가진다. 또한, 강유전체 소자는 소자에 인가되는 전계에 의해 분극되고 잔류 분극에 의해 데이터를 저장한다. 그러나, 상기 잔류 분극이 작을 때, 다음의 문제들이 발생할 수 있다: 변경의 양에서의 변화의 영향이 커지고, 고-정확도 판독 회로가 요구된다.
- [0007] 상기 언급된 문제점들을 고려할 때, 본 발명의 일 실시예의 목적은 신규의 불휘발성 래치 회로 및 상기 불휘발성 래치 회로를 사용한 반도체 장치를 제공하는 것이다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 불휘발성 래치 회로는, 제 1 소자의 출력이 제 2 소자의 입력에 전기적으로 접속되고, 상기 제 2 소자의 출력이 상기 제 1 소자의 입력에 전기적으로 접속되는 루프 구조를 갖는 래치부; 및 상기 래치부의 데이터를 보유하기 위한 데이터 보유부를 포함한다. 상기 데이터 보유부에서, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터가 스위칭 소자로서 사용된다.
- [0009] 또한, 상기 데이터 보유부는 상기 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 접속되는 용량 소자를 포함한다. 상기 트랜지스터의 사용으로, 상기 래치부에 보유된 데이터는 상기 데이터 보유부의 상기 용량 소자에 기록될 수 있다. 또한, 상기 트랜지스터의 사용으로, 상기 데이터 보유부의 용량 소자에 기록된 데이터가 보유될 수 있다. 더욱이, 상기 트랜지스터의 사용으로, 상기 데이터 보유부의 용량 소자에 보유된 데이터는 상기 래치부로 판독될 수 있다.
- [0010] 달리 말하면, 본 발명의 일 실시예에 따른 불휘발성 래치 회로는 래치부 및 상기 래치부의 데이터를 보유하기 위한 데이터 보유부를 포함한다. 상기 데이터 보유부는 트랜지스터 및 용량 소자를 포함한다. 상기 트랜지스터의 채널 형성 영역은 산화물 반도체층을 포함한다. 상기 트랜지스터의 소스 전극 및 드레인 전극 중 하나는 상기 용량 소자의 전극들 중 하나에 전기적으로 접속되며, 상기 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치부에 전기적으로 접속된다.
- [0011] 상술된 불휘발성 래치 회로에서, 상기 래치부는 제 1 소자 및 제 2 소자를 포함하며, 상기 제 1 소자의 출력이 상기 제 2 소자의 입력에 전기적으로 접속되고, 상기 제 2 소자의 출력이 상기 제 1 소자의 입력에 전기적으로 접속되는 루프 구조를 갖는다. 또한, 상기 제 1 소자의 입력은 입력 신호를 공급받는 배선에 전기적으로 접속되며, 상기 제 1 소자의 출력은 출력 신호를 공급받는 배선에 전기적으로 접속된다. 예를 들면, 인버터는 상기 제 1 소자 및 상기 제 2 소자의 각각을 위해 사용될 수 있다. 대안적으로, NAND는 상기 제 1 소자를 위해 사용될 수 있으며, 클록드 인버터는 예를 들면 상기 제 2 소자를 위해 사용될 수 있다.
- [0012] 상기 언급된 불휘발성 래치 회로에서, 상기 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치부의 상기 제 1 소자의 입력에 전기적으로 접속되고, 상기 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 입력 신호를 공급받는 상기 배선에 전기적으로 접속된다.
- [0013] 상기 언급된 불휘발성 래치 회로에서, 상기 트랜지스터는 상기 데이터 보유부의 용량 소자로 상기 래치부에 보유된 데이터를 기록하는 기능을 갖는다. 또한, 상기 트랜지스터는 상기 데이터 보유부의 용량 소자에 기록된 데이터를 보유하는 기능을 갖는다. 게다가, 상기 트랜지스터는 상기 데이터 보유부의 용량 소자에 보유된 데이터를 상기 래치부에 판독하는 기능을 갖는다.
- [0014] 본 발명의 또 다른 실시예에 따른 불휘발성 래치 회로는 래치부 및 상기 래치부의 데이터를 보유하기 위한 데이

터 보유부를 포함한다. 상기 데이터 보유부는 제 1 트랜지스터, 제 2 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함한다. 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 채널 형성 영역들 각각은 산화물 반도체층을 포함한다. 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 하나는 상기 제 1 용량 소자의 전극들 중 하나에 전기적으로 접속되며, 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치부에 전기적으로 접속된다. 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나는 상기 제 2 용량 소자의 전극들 중 하나에 전기적으로 접속되며, 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치부에 전기적으로 접속된다.

- [0015] 상술된 불휘발성 래치 회로에서, 상기 래치부는 제 1 소자 및 제 2 소자를 포함하며, 상기 제 1 소자의 출력이 상기 제 2 소자의 입력에 전기적으로 접속되고, 상기 제 2 소자의 출력이 상기 제 1 소자의 입력에 전기적으로 접속되는 루프 구조를 가진다. 게다가, 상기 제 1 소자의 입력은 입력 신호를 공급받는 배선에 전기적으로 접속되며, 상기 제 1 소자의 출력은 출력 신호를 공급받는 배선에 전기적으로 접속된다. 예를 들면, 인버터는 상기 제 1 소자 및 상기 제 2 소자의 각각을 위해 사용된다. 대안적으로, 예를 들면, NAND는 상기 제 1 소자를 위해 사용될 수 있으며, 클록드 인버터는 상기 제 2 소자를 위해 사용될 수 있다.
- [0016] 상술된 불휘발성 래치 회로에서, 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치부의 상기 제 1 소자의 입력에 전기적으로 접속되며, 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 입력 신호를 공급받는 상기 배선에 전기적으로 접속된다. 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치부의 상기 제 1 소자의 출력에 전기적으로 접속되며, 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 출력 신호를 공급받는 배선에 전기적으로 접속된다.
- [0017] 상술된 불휘발성 래치 회로에서, 상기 제 1 및 제 2 트랜지스터들 각각은 상기 데이터 보유부의 제 1 및 제 2 용량 소자들로 상기 래치부에 보유된 데이터를 기록하는 기능을 갖는다. 또한, 상기 제 1 및 제 2 트랜지스터들 각각은 상기 데이터 보유부의 제 1 및 제 2 용량 소자들로 기록된 데이터를 보유하는 기능을 갖는다. 게다가, 상기 제 1 및 제 2 트랜지스터들 각각은 상기 데이터 보유부의 상기 제 1 및 제 2 용량 소자들에 보유된 데이터를 상기 래치부로 판독하는 기능을 갖는다.
- [0018] 상술된 불휘발성 래치 회로에서, 채널 형성 영역을 위한, 산화물 반도체 재료로 형성되는 산화물 반도체층을 포함하는 트랜지스터를 갖고, 예를 들면 채널 폭(W)이 $1 \times 10^4 \mu\text{m}$ 이고 채널 길이(L)가 $3 \mu\text{m}$ 인 소자의 경우에서조차 다음의 특성들을 획득할 수 있다: 오프-상태 전류는 실온에서 1×10^{-13} A 이하이고; 임계값 이하의 스윙(S 값)은 대략 0.1 V/dec이다. (게이트 절연막 : 100 nm 두께). 또한, 상술된 트랜지스터는 노멀리-오프 트랜지스터의 특성을 가진다(그 임계 전압은 n-채널 트랜지스터의 경우에 양이다).
- [0019] 그러므로, 리크 전류, 즉, 게이트 전극과 소스 전극 간의 전압이 대략 0V인 상태에서의 오프-상태 전류는 실리콘을 사용한 트랜지스터의 것보다 훨씬 더 작다. 예를 들면, 채널 폭(W)이 $1 \times 10^4 \mu\text{m}$ 인 트랜지스터에서, 채널 폭의 1 마이크로미터 당 실온에서의 리크 전류는 10 aA 이하이다(이후, 본 명세서에서, 이것은 "단위 채널 폭당 리크 전류는 실온에서 10 aA/ μm 이하이다"로서 설명된다).
- [0020] 따라서, 스위칭 소자로서 작용하는 채널 형성 영역을 위한 산화물 반도체층을 포함한 트랜지스터를 갖고, 상기 데이터 저장부의 용량 소자에 축적된 전하는 심지어 상기 래치 회로로의 전원 전압의 공급이 중단된 후조차 임의의 변경 없이 계속해서 저장될 수 있다. 달리 말하면, 상기 데이터 보유부로 기록된 데이터는 임의의 변경 없이 계속해서 보유될 수 있다.
- [0021] 예를 들면, 리프레시 시간 및 보유는 채널 형성 영역을 위한 실리콘을 사용한 트랜지스터를 포함한 DRAM의 것보다 훨씬 더 길어질 수 있으며, 실질적으로 불휘발성 메모리와 동일한 레벨에 있는 메모리 보유성들(데이터 보유성)이 실현될 수 있다. 또한, 상기 래치 회로로의 상기 전원 전압의 공급이 다시 시작된 후, 상기 데이터 보유부에 보유된 데이터는 상기 트랜지스터를 가진 상기 래치부로 판독될 수 있다. 따라서, 상기 논리 상태는 상기 전원 전압의 공급의 중단 이전의 논리 상태로 복원될 수 있다.
- [0022] 또한, 온도 특성들에서, 고온에서조차 상기 오프-상태 전류는 충분히 낮을 수 있으며 온-상태 전류는 충분히 높을 수 있다. 예를 들면, 채널 형성 영역을 위한 산화물 반도체층을 포함한 트랜지스터의 $V_G - I_D$ 특성들로서, 데이터는 오프-상태 전류들, 온-상태 전류들, 이동도들, 및 S 값들의 낮은 온도 의존성을 갖고 -25°C 내지 150°C 의 범위에서 획득된다. 더욱이, 상술된 온도 범위에 있는 상기 오프-상태 전류가 1×10^{-13} A 이하만큼 매우 낮음을

보여주는 데이터가 획득된다. 상기 이유들 중 하나는 고순도화되고 극히 낮은 캐리어 농도를 갖도록 수소 농도를 충분히 감소시킴으로써 획득되는 i-형 또는 실질적으로 i-형 산화물 반도체가 상기 산화물 반도체로서 사용된다는 것이다.

- [0023] 본 명세서에서, $1 \times 10^{11} / \text{cm}^3$ 미만인 캐리어 밀도를 가진 산화물 반도체는 "진성 또는 i-형 산화물 반도체"로 불리우며, $1 \times 10^{11} / \text{cm}^3$ 이상이지만 $1 \times 10^{12} / \text{cm}^3$ 미만인 캐리어 밀도를 가진 산화물 반도체는 "실질적으로-진성 산화물 반도체"로 불리운다는 것을 주의하자.
- [0024] 이러한 방식으로, 본 발명의 일 실시예는 넓은 동작 온도 범위를 가지며 고온에서조차 안정되게 동작하며, 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 제거되지 않는 불휘발성 래치 회로를 제공하는 것이다.
- [0025] 상술된 불휘발성 래치 회로에서, 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 또한, 상기 논리 회로들을 사용한 다양한 반도체 디바이스들이 제공될 수 있다. 예를 들면, 상기 논리 회로의 복수의 블록 회로들 중에서, 사용되지 않는 하나 또는 복수의 블록 회로들로의 전원 전압의 공급이 정지될 수 있다. 상기 불휘발성 래치 회로의 사용으로, 상기 블록 회로의 논리 상태는 심지어 상기 블록 회로의 상기 전원 전압의 공급이 정지된 후조차 계속해서 저장될 수 있다. 게다가, 상기 저장된 논리 상태는 상기 블록 회로의 상기 전원 전압의 공급이 다시 시작된 후 판독될 수 있다. 따라서, 상기 논리 상태는 상기 전원 전압의 공급의 중단 이전의 논리 상태로 복원될 수 있다.
- [0026] 상술된 불휘발성 래치 회로에서, 상기 산화물 반도체층으로서, 다음 산화물 반도체들 중 임의의 것이 사용될 수 있다: 4-원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3-원계 금속 산화물들인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 또는 Sn-Al-Zn-O계 산화물 반도체; 2-원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 또는 In-Mg-O계 산화물 반도체; 또는 1-원계 금속 산화물들인 In-O계 산화물 반도체; Sn-O계 산화물 반도체; 또는 Zn-O계 산화물 반도체. 또한, 상술된 산화물 반도체들은 SiO_2 를 포함할 수 있다.
- [0027] 본 명세서에서, 예를 들면, In-Sn-Ga-Zn-O계 산화물 반도체는 각각의 금속 원소의 조성비가 제한되지 않는 적어도 In, Sn, Ga, 및 Zn을 포함한 산화물 반도체를 의미한다는 것을 주의하자. 또한, In, Sn, Ga, 및 Zn 이외의 다른 금속 원소가 여기에 포함될 수 있다.
- [0028] 상기 산화물 반도체층으로서, $\text{InMO}_3(\text{ZnO})_m (m > 0)$ 에 의해 표현된 재료를 포함한 박막이 사용될 수 있다. 여기에서, M은 Ga, Al, Mn, 및 Co로부터 선택된 금속 원소들 중 하나 이상을 나타낸다. 예를 들면, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다.
- [0029] 상술된 불휘발성 래치 회로에서, 상기 산화물 반도체층에서의 수소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하, 및 훨씬 더 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 미만으로 설정될 수 있다. 또한, 상기 산화물 반도체층에서의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 보다 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만으로 설정될 수 있다. 이러한 i-형 산화물 반도체 또는 실질적으로 i-형 산화물 반도체를 사용한 상기 트랜지스터의 오프-상태 전류는 $1 \times 10^{-17} \text{ A}$ 이하, 바람직하게는 $1 \times 10^{-18} \text{ A}$ 로 설정될 수 있다.
- [0030] 상술된 불휘발성 래치 회로에서, 산화물 반도체를 사용한 상기 트랜지스터는 보텀-게이트형, 탑-게이트형, 보텀-컨택트형, 또는 탑-컨택트형일 수 있다. 보텀-게이트 트랜지스터는 절연 표면 위에 적어도 하나의 게이트 전극; 상기 게이트 전극 위의 게이트 절연막; 및 상기 게이트 절연막을 그 사이에 개재하고 상기 게이트 전극 위에 채널 형성 영역이 될 산화물 반도체층을 포함한다.
- [0031] 상기 탑-게이트 트랜지스터는 절연 표면 위의 채널 형성 영역이 될 적어도 하나의 산화물 반도체층; 상기 산화물 반도체층 위의 게이트 절연막; 및 상기 게이트 절연막을 사이에 개재한, 상기 산화물 반도체층 위의 게이트 전극을 포함한다. 상기 보텀-컨택트 트랜지스터는 소스 전극 및 드레인 전극 위에 채널 형성 영역이 될 산화물 반도체층을 포함한다. 상기 탑-컨택트 트랜지스터는 채널 형성 영역이 될 산화물 반도체층 위에 소스 전극 및 드레인 전극을 포함한다.
- [0032] 본 명세서에서 "위에" 또는 "아래에"와 같은 용어는 반드시 구성요소가 또 다른 구성요소 "상에 직접" 또는 "하

에 직접" 위치되는 것을 의미하는 것은 아니라는 것을 주의한다. 예를 들면, 상기 표현 "게이트 절연층 위의 게이트 전극"은 구성요소가 상기 게이트 절연층과 상기 게이트 전극 사이에 위치되는 경우를 배제하지 않는다. 게다가, "위에" 및 "아래에"와 같은 용어들은 단지 설명의 편리함을 위해 사용되며 만일 달리 특정되지 않는다면 구성요소들의 관계가 역전되는 경우를 포함할 수 있다.

- [0033] 본 명세서에서, "전극" 또는 "배선"의 용어는 구성요소들의 기능을 한정하지 않는다. 예를 들면, "전극"은 "배선"의 일부로서 사용될 수 있으며 상기 "배선"은 상기 "전극"의 일부로서 사용될 수 있다. 또한, "전극" 또는 "배선"의 용어는 예를 들면 복수의 "전극들" 및 "배선들"의 조합을 또한 의미할 수 있다.
- [0034] 상기 "소스" 및 상기 "드레인"의 기능들은 상이한 극성들의 트랜지스터들이 이용되는 경우에 또는 전류 흐름의 방향이 회로 동작에서 변하는 경우에 스위칭될 수 있다는 것을 주의한다. 그러므로, 상기 용어들 "소스" 및 "드레인"은 본 명세서에서 서로 교체될 수 있다.
- [0035] 본 명세서에서, 상기 용어 "전기적으로 접속되는"은 구성요소들이 임의의 전기 기능을 가진 대상을 통해 접속되는 경우를 포함한다는 것을 주의한다. 전기 신호들이 상기 대상을 통해 접속되는 구성요소들 간에 송신 및 수신될 수 있는 한 임의의 전기 기능을 가진 대상에 대한 특별한 제한은 없다.
- [0036] 임의의 전기 기능을 가진 대상의 예들은 전극 및 배선뿐만 아니라 트랜지스터, 레지스터, 인덕터, 용량 소자, 및 다양한 기능들을 가진 소자와 같은 스위칭 소자이다.
- [0037] 일반적으로, 상기 용어 "SOI 기판"은 그것의 절연 표면 위에 실리콘 반도체층을 가진 기판을 의미한다는 것을 주의한다. 본 명세서에서, 상기 용어 "SOI 기판"은 또한 그것의 절연 표면 위에 실리콘 이외의 재료를 사용한 반도체층을 갖는 기판을 의미한다. 즉, 상기 "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 한정되지 않는다.
- [0038] 상기 "SOI 기판"에서의 기판은 실리콘 웨이퍼와 같은 반도체 기판에 제한되지 않고 유리 기판, 석영 기판, 사파이어 기판, 또는 금속 기판과 같은 비-반도체 기판일 수 있다. 즉, "SOI 기판"은 또한 층이 반도체 재료를 사용하여 형성되는 도체 기판 및 절연체 기판을 포함한다.
- [0039] 또한, 본 명세서에서, 상기 용어 "반도체 기판"은 단지 반도체 재료를 사용하여 형성된 기판뿐만 아니라 반도체 재료를 포함한 모든 기판들도 또한 의미한다. 즉, 본 명세서에서, 상기 "SOI 기판"은 또한 상기 "반도체 기판"의 카테고리에 포함된다.

발명의 효과

- [0040] 본 발명의 일 실시예에 따르면, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프래쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다. 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 제한되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 상기 데이터 저장부의 용량 소자에 축적된 전하는 임의의 변경 없이 데이터로서 계속해서 보유될 수 있으며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 잔류 분극이 데이터로서 사용되는 경우와 비교하여 쉽게 판독될 수 있다.
- [0041] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 상기 불휘발성 래치 회로를 사용한 상기 논리 회로에서, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.

도면의 간단한 설명

- [0042] 도 1은 불휘발성 래치 회로의 구성의 일 예를 도시한 도면.
- 도 2a 및 도 2b는 불휘발성 래치 회로의 일부의 구성의 일 예를 도시한 도면.
- 도 3a 및 도 3b는 불휘발성 래치 회로의 소자들의 일 예를 도시한 단면도들.

- 도 4a 내지 도 4h는 불휘발성 래치 회로의 소자의 제작 방법의 일 예를 도시한 도면들.
- 도 5a 내지 도 5g는 불휘발성 래치 회로의 소자의 제작 방법의 일 예를 도시한 도면들.
- 도 6a 내지 도 6d는 불휘발성 래치 회로의 소자의 제작 방법의 일 예를 도시한 도면들.
- 도 7은 산화물 반도체를 사용한 트랜지스터의 단면도.
- 도 8은 도 7에서의 A-A' 섹션을 따르는 에너지 밴드도(모식도).
- 도 9a는 양의 전압($V_G > 0$)이 게이트(GE1)에 인가되는 상태를 도시하며, 도 9b는 음의 전압($V_G < 0$)이 게이트(GE1)에 인가되는 상태를 도시한 도면.
- 도 10은 진공 준위와 금속의 일함수(ϕ_M) 사이 및 상기 진공 준위 및 산화물 반도체의 전자 친화도(χ) 사이의 관계들을 도시한 도면.
- 도 11은 실리콘(Si)에서 핫 캐리어 주입을 위해 요구된 에너지를 도시한 도면.
- 도 12는 In-Ga-Zn-O계 산화물 반도체(IGZO)에서의 핫 캐리어 주입을 위해 요구된 에너지를 도시한 도면.
- 도 13은 탄화 실리콘(4H-SiC)에서의 핫 캐리어 주입을 위해 요구된 에너지를 도시한 도면.
- 도 14는 단-채널 효과에 대한 장치 시뮬레이션의 결과들을 도시한 도면.
- 도 15는 단-채널 효과에 대한 장치 시뮬레이션의 결과들을 도시한 도면.
- 도 16은 불휘발성 래치 회로의 소자들의 단면의 일 예를 도시한 도면.
- 도 17a 내지 도 17e는 불휘발성 래치 회로의 소자의 제작 방법의 일 예를 도시한 도면들.
- 도 18a 내지 도 18d는 불휘발성 래치 회로의 소자의 제작 방법의 일 예를 도시한 도면들.
- 도 19a는 불휘발성 래치 회로의 구성의 일 예를 도시하며, 도 19b는 상기 불휘발성 래치 회로의 동작의 일 예를 도시한 도면.
- 도 20a 및 도 20b는 각각 불휘발성 래치 회로의 동작의 일 예를 도시한 도면들.
- 도 21은 불휘발성 래치 회로의 구성의 일 예를 도시한 도면.
- 도 22는 불휘발성 래치 회로의 구성의 일 예를 도시한 도면.
- 도 23은 불휘발성 래치 회로의 구성의 일 예를 도시한 도면.
- 도 24a 및 도 24b는 각각 불휘발성 래치 회로의 동작의 일 예를 도시한 도면들.
- 도 25는 불휘발성 래치 회로의 동작의 일 예를 도시한 도면.
- 도 26은 불휘발성 래치 회로의 구성을 도시한 도면.
- 도 27a 내지 도 27e는 불휘발성 래치 회로의 소자의 제작 방법의 일 예를 도시한 도면들.
- 도 28a 내지 도 28e는 불휘발성 래치 회로의 소자의 제작 방법의 일 예를 도시한 도면들.
- 도 29a 내지 도 29f는 각각 불휘발성 래치 회로를 사용한 반도체 장치를 포함한 전자기기의 일 예를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0043] 이후, 본 발명의 실시예들은 도면들을 참조하여 이하에 설명된다. 그러나, 본 발명은 다음의 설명에 한정되지 않는다. 이 기술분야의 숙련자들에 의해, 모드 및 세부사항이 본 발명의 범위 및 사상으로부터 벗어나지 않으면 다양한 방식으로 변경될 수 있다는 것이 쉽게 이해될 것이다. 그러므로, 본 발명은 다음의 실시예들에서의 설명에 제한되는 것으로서 해석되어서는 안된다. 도면들을 참조하여 본 발명의 구조들을 설명할 때, 동일한 구성요소들을 나타내는 참조 부호들이 상이한 도면들에서 사용된다.
- [0044] 실시예들에서의 도면들 등에 도시된 각각의 구조의 크기, 층의 두께, 및 영역은 몇몇 경우들에서 단순함을 위해 과장된다는 것을 주의하자. 그러므로, 본 발명의 실시예들은 그러한 스케일들에 제한되지 않는다.

- [0045] 본 명세서에서 "제 1", "제 2", 및 "제 3"과 같은 서수들을 가진 용어들은 구성요소들을 식별하기 위해 사용되며, 상기 용어들은 상기 구성요소들을 숫자상으로 제한하지 않는다는 것을 주의하자.
- [0046] [실시예 1]
- [0047] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 불휘발성 래치 회로의 구성 및 동작; 상기 불휘발성 래치 회로의 소자들의 구조, 제조 방법 등이 도 1, 도 2a와 도 2b, 도 3a와 도 3b, 도 4a 내지 도 4h, 도 5a 내지 도 5g, 도 6a 내지 도 6d, 도 7, 도 8, 도 9a와 도 9b, 도 10, 도 11, 도 12, 도 13, 도 14, 및 도 15를 참조하여 설명될 것이다.
- [0048] <불휘발성 래치 회로의 구성 및 동작>
- [0049] 도 1은 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 데이터 보유부(401)를 포함한 불휘발성 래치 회로(400)의 구성을 도시한다.
- [0050] 도 1에서 상기 불휘발성 래치 회로(400)는 루프 구조를 갖는 상기 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 상기 데이터 보유부(401)를 포함한다. 루프 구조를 가진 상기 래치부(411)에서, 제 1 소자(D1)(412)의 출력은 제 2 소자(D2)(413)의 입력에 전기적으로 접속되며, 상기 제 2 소자(D2)(413)의 출력은 상기 제 1 소자(D1)(412)의 입력에 전기적으로 접속된다.
- [0051] 상기 제 1 소자(D1)(412)의 상기 입력은 상기 래치 회로의 입력 신호를 공급받는 배선(414)에 전기적으로 접속된다. 상기 제 1 소자(D1)(412)의 상기 출력은 상기 래치 회로의 출력 신호를 공급받는 배선(415)에 전기적으로 접속된다.
- [0052] 상기 제 1 소자(D1)(412)의 복수의 입력들이 존재할 때, 상기 입력들 중 하나는 상기 래치 회로의 상기 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속될 수 있다. 상기 제 2 소자(D2)(413)의 복수의 입력들이 존재할 때, 상기 입력들 중 하나는 상기 제 1 소자(D1)(412)의 상기 출력에 전기적으로 접속될 수 있다.
- [0053] 상기 제 1 소자(D1)(412)로서, 입력된 신호가 반전되고 결과적인 신호가 출력으로서 작용하는 소자가 사용될 수 있다. 예를 들면, 상기 제 1 소자(D1)(412)로서, 인버터, NAND, NOR, 클록드 인버터 등이 사용될 수 있다. 상기 제 2 소자(D2)(413)로서, 입력된 신호가 반전되고 결과적인 신호가 출력으로서 작용하는 소자가 사용될 수 있다. 예를 들면, 상기 제 2 소자(D2)(413)로서, 인버터, NAND, NOR, 클록드 인버터 등이 사용될 수 있다.
- [0054] 상기 데이터 보유부(401)에서, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터(402)가 스위칭 소자로서 사용된다. 또한, 상기 데이터 보유부(401)는 상기 트랜지스터(402)의 소스 전극 또는 드레인 전극에 전기적으로 접속되는 용량 소자(404)를 포함한다. 달리 말하면, 상기 용량 소자(404)의 전극들 중 하나는 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된다. 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 제 1 소자의 입력 또는 상기 래치 회로의 입력 신호를 공급받는 배선에 전기적으로 접속된다. 상기 용량 소자(404)의 다른 전극은 전위(V_c)를 공급받는다.
- [0055] 상기 데이터 보유부(401)로서, 도 2a 및 도 2b에 도시된 구성은 도 1에 도시된 구성 대신에 이용될 수 있다.
- [0056] 도 2a에서의 데이터 보유부(401)에서, 트랜지스터(402)는 제 1 게이트 전극 및 제 2 게이트 전극을 포함한다. 채널 형성 영역을 형성하기 위한 산화물 반도체층은 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 사이에 제공된다. 상기 제 1 게이트 전극은 제어 신호를 공급받는 배선에 전기적으로 접속된다. 상기 제 2 게이트 전극은 소정의 전위를 공급받는 배선에 전기적으로 접속된다. 예를 들면, 상기 제 2 게이트 전극은 음의 전위 또는 접지 전위(GND)를 공급받는 배선에 전기적으로 접속된다.
- [0057] 또한, 도 2a에서의 상기 데이터 보유부(401)에서, 상기 용량 소자(404)의 상기 전극들 중 하나는 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된다. 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 제 1 소자의 입력 또는 상기 래치 회로의 입력 신호를 공급받는 상기 배선에 전기적으로 접속된다. 상기 용량 소자(404)의 다른 전극은 전위(V_c)를 공급받는다.
- [0058] 도 2a에서의 상기 데이터 보유부(401)를 사용한 불휘발성 래치 회로를 갖고, 상기 트랜지스터(402)의 전기적 특성들(예로서, 임계 전압)의 조절이 용이해지는 유리한 효과가 도 1에서의 상기 불휘발성 래치 회로의 유리한 효과 외에 획득될 수 있다. 예를 들면, 상기 트랜지스터(402)의 제 2 게이트 전극이 음의 전위를 공급받을 때, 상

기 트랜지스터(402)는 쉽게 노멀리 오프될 수 있다.

- [0059] 도 2b에서의 데이터 보유부(401)에서, 상기 트랜지스터(402)는 제 1 게이트 전극 및 제 2 게이트 전극을 포함한다. 채널 형성 영역을 형성하기 위한 산화물 반도체층은 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 사이에 제공된다. 상기 제 2 게이트 전극은 상기 제 1 게이트 전극에 전기적으로 접속된다. 또한, 도 2b에서의 상기 데이터 보유부(401)에서, 상기 용량 소자(404)의 상기 전극들 중 하나는 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된다. 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 제 1 소자의 입력 또는 상기 래치 회로의 입력 신호를 공급받는 상기 배선에 전기적으로 접속된다. 상기 용량 소자(404)의 다른 전극은 전위(V_c)를 공급받는다. 도 2b에서의 상기 데이터 보유부(401)를 사용한 상기 불휘발성 래치 회로를 갖고, 상기 트랜지스터(402)에서의 전류의 양이 증가되는 유리한 효과가 도 1에서의 상기 불휘발성 래치 회로의 유리한 효과 외에 획득될 수 있다.
- [0060] 도 1, 도 2a 및 도 2b에 도시된 구성을 가진 불휘발성 래치 회로에서, 다음의 데이터의 기록, 보유, 및 판독이 수행될 수 있다. 비록 상기 설명은 도 1의 구성을 참조하여 이하에서 이루어지지만, 상술된 동작들은 다른 구성들의 경우에서 유사하게 수행될 수 있다는 것을 주의하자.
- [0061] 산화물 반도체를 사용한 상기 트랜지스터(402)는 상기 래치부(411)에 보유된 데이터를 상기 데이터 보유부(401)의 상기 용량 소자(404)에 기록하는 기능을 갖는다. 또한, 상기 트랜지스터(402)는 상기 데이터 보유부(401)의 상기 용량 소자(404)로 기록된 상기 데이터를 보유하는 기능을 갖는다. 게다가, 상기 트랜지스터(402)는 상기 데이터 보유부(401)의 상기 용량 소자(404)에 보유된 상기 데이터를 상기 래치부(411)에서 판독하는 기능을 갖는다.
- [0062] 상기 데이터 보유부(401)로의 상기 래치부(411)에 보유된 상기 데이터의 기록 동작, 상기 데이터의 보유 동작, 상기 데이터 보유부(401)로부터 상기 래치부(411)로의 상기 데이터의 판독 동작, 및 상기 데이터 보유부(401)의 상기 데이터의 재기록 동작이 설명될 것이다. 먼저, 상기 트랜지스터(402)는 상기 트랜지스터(402)가 턴 온되는 전위를 상기 트랜지스터(402)의 게이트 전극에 공급함으로써 턴 온된다. 따라서, 상기 용량 소자(404)의 전극들 중 하나는 상기 래치부에 보유된 데이터, 즉 상기 래치부에 보유되는 상기 제 1 소자(D1)(412)의 입력의 전위를 공급받는다. 그 결과, 상기 래치부에 보유되는 상기 제 1 소자(D1)(412)의 상기 입력의 전위에 대응하는 전하는 상기 용량 소자(404)의 상기 전극들 중 하나에 축적된다(이 동작은 기록에 대응한다).
- [0063] 그 후, 상기 트랜지스터(402)는 상기 트랜지스터(402)의 상기 게이트 전극의 전위가 상기 트랜지스터(402)가 턴 오프되는 전위로 설정되는 방식으로 턴 오프된다. 따라서, 상기 용량 소자(404)의 전극들 중 하나에 축적된 전하가 보유된다(유지). 또한, 상기 제 1 소자(D1)(412)의 입력의 전위가 플로팅 상태가 된 후, 상기 트랜지스터(402)는 상기 트랜지스터(402)가 턴 온되는 전위를 상기 트랜지스터(402)의 게이트 전극에 공급함으로써 턴 온된다. 따라서, 상기 전하는 상기 용량 소자(404)의 전극들 중 하나 및 상기 제 1 소자(D1)(412)의 입력에 분배된다. 그 결과, 상기 제 1 소자(D1)(412)의 상기 입력은 상기 용량 소자(404)의 상기 전극들 중 하나에 축적된 전하에 대응하는 전위를 공급받는다. 그 후, 상기 데이터는 상기 래치부에 보유된다. 그 결과, 상기 데이터는 판독될 수 있다(판독). 상기 데이터의 재기록은 상기 데이터의 기록 및 보유의 것과 유사한 방식으로 수행될 수 있다.
- [0064] 상기 트랜지스터(402)에 포함된 상기 산화물 반도체층으로서, 다음의 산화물 반도체들 중 임의의 것이 사용될 수 있다: 4-원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3-원계 금속 산화물들인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 또는 Sn-Al-Zn-O계 산화물 반도체; 2-원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 또는 In-Mg-O계 산화물 반도체; 또는 1-원계 금속 산화물들인 In-O계 산화물 반도체; Sn-O계 산화물 반도체; 또는 Zn-O계 산화물 반도체. 또한, 상술된 산화물 반도체들은 SiO_2 를 포함할 수 있다.
- [0065] 상기 산화물 반도체층으로서, $InMO_3(ZnO)_m(m>0)$ 에 의해 표현된 재료를 포함한 박막이 사용될 수 있다. 여기에서, M은 Ga, Al, Mn, 및 Co로부터 선택된 금속 원소들 중 하나 이상을 나타낸다. 예를 들면, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다.
- [0066] 상기 산화물 반도체층은 바람직하게는 수소와 같은 불순물을 충분히 제거하고 산소를 공급함으로써 고순도화되는 산화물 반도체층이다. 구체적으로는, 2차 이온 질량 분석법(secondary ion mass spectroscopy; SIMS)에 의

해 측정되는 상기 산화물 반도체층에서의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 훨씬 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 미만으로 설정될 수 있다.

[0067] 또한, 상기 산화물 반도체층에서의 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 보다 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만으로 설정될 수 있다. 수소 농도를 충분히 감소시키고 산소를 공급함으로써 고순도화되는 상기 산화물 반도체층에서, 상기 캐리어 농도는 일반적인 실리콘 웨이퍼(인 또는 붕소와 같은 적은 양의 불순물 원소들이 첨가되는 실리콘 웨이퍼)에서의 캐리어 농도(대략 $1 \times 10^{14}/\text{cm}^3$)와 비교하여 충분히 낮다(예를 들면, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만).

[0068] 이러한 방식으로, 고순도화되도록 상기 수소 농도를 충분히 감소시킴으로써 획득되고 극히 낮은 캐리어 농도를 갖는 i-형 또는 실질적으로 i-형 산화물 반도체를 사용함으로써, 매우 양호한 오프-상태 전류 특성들을 갖는 상기 트랜지스터(402)가 획득될 수 있다. 예를 들면, 채널 폭(W)이 $1 \times 10^4 \mu\text{m}$ 이고 채널 길이(L)가 $3 \mu\text{m}$ 인 소자인 경우에서조차, 드레인 전극에 인가되는 드레인 전압(V_D)이 +1V 또는 +10V이고 게이트 전극에 인가되는 게이트 전압(V_G)이 -5V 내지 -20V의 범위에 있을 때, 상기 오프-상태 전류는 실온에서 1×10^{-13} A 이하이다. 게다가, 상술된 트랜지스터는 노멀리-오프 트랜지스터의 특성들을 갖는다. 그러므로, 리크 전류, 즉 게이트 전극 및 소스 전극 간의 전압이 대략 0V인 상태에서의 오프-상태 전류는 실리콘을 사용한 트랜지스터의 것보다 훨씬 더 작다. 예를 들면, 단위 채널 폭당 상기 리크 전류는 실온에서 10 aA/ μm 이하이다.

[0069] 또한, 온도 특성들에서, 고온에서조차 오프-상태 전류가 충분히 낮을 수 있고 온-상태 전류가 충분히 높을 수 있는 트랜지스터가 획득될 수 있다. 예를 들면, 상기 트랜지스터(402)의 V_G - I_D 특성들로서, 데이터는 온-상태 전류들, 이동도들, 및 S 값들의 낮은 온도 의존성을 갖고 -25°C 내지 150°C의 범위에서 획득된다. 더욱이, 상술된 온도 범위에서의 오프-상태 전류가 1×10^{-13} A 이하(측정 한계 이하)만큼 매우 낮음을 보여주는 데이터가 획득된다. 이유티들 중 하나는 고순도화되도록 상기 수소 농도를 충분히 감소시킴으로써 획득되고 매우 낮은 캐리어 농도를 가진 i-형 또는 실질적으로 i-형 산화물 반도체가 상기 산화물 반도체로서 사용된다는 것이다.

[0070] 이러한 방식으로, 고순도화되도록 상기 수소 농도를 충분히 감소시킴으로써 획득되고 매우 낮은 캐리어 농도를 가진 i-형 또는 실질적으로 i-형 산화물 반도체를 사용한 상기 트랜지스터(402)를 스위칭 소자로서 사용함으로써, 상기 데이터 보유부(401)의 용량 소자(404)에 축적된 전하는 상기 래치 회로(400)로의 전원 전압의 공급이 중단된 후조차 매우 긴 시간 동안 계속해서 보유될 수 있다. 달리 말하면, 상기 데이터 보유부(401)에 기록된 데이터는 매우 긴 시간 동안 계속해서 보유될 수 있다.

[0071] 예를 들면, 상기 트랜지스터(402)에서, 리프레쉬 시간 및 보유는 채널 형성 영역을 위한 실리콘을 사용한 트랜지스터를 포함한 DRAM의 것보다 훨씬 더 길어질 수 있으며, 실질적으로 불휘발성 메모리와 동일한 레벨에 있는 메모리 보유성(데이터 보유성)이 실현될 수 있다. 또한, 상기 논리 상태는 상기 데이터 보유부(401)에 보유된 상기 데이터를 관독함으로써 상기 전원 전압의 공급의 정지 이전의 논리 상태로 복원될 수 있다. 이러한 방식으로, 고순도화되도록 상기 수소 농도를 충분히 감소시킴으로써 획득되고 매우 낮은 캐리어 농도를 가진 i-형 또는 실질적으로 i-형 산화물 반도체를 사용한 상기 트랜지스터(402)를 스위칭 소자로서 사용함으로써, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며, 데이터를 저장한 논리 상태가 전원이 턴 오프된 후조차 제거되지 않는 신규한 불휘발성 래치 회로가 실현될 수 있다.

[0072] <불휘발성 래치 회로의 소자들의 구조>

[0073] 상기 불휘발성 래치 회로(400)의 소자들 가운데, 산화물 반도체 이외의 재료가 산화물 반도체를 사용한 상기 트랜지스터(402) 이외의 소자들을 위한 반도체 재료로서 사용될 수 있다. 산화물 반도체 이외의 재료로서, 단결정 실리콘, 결정성 실리콘 등이 사용될 수 있다. 예를 들면, 상기 트랜지스터(402) 이외의 소자는 반도체 재료를 포함한 기판 위에 제공될 수 있다. 반도체 재료를 포함한 기판으로서, 실리콘 웨이퍼, SOI(Silicon on Insulator) 기판, 절연 표면 위의 실리콘 막 등이 사용될 수 있다. 산화물 반도체 이외의 재료의 사용으로, 고속 동작이 실현될 수 있다. 예를 들면, 상기 래치부의 상기 제 1 소자(D1)(412) 및 상기 제 2 소자(D2)(413)가 산화물 반도체 이외의 재료를 사용한 트랜지스터로 형성될 수 있다.

[0074] 도 3a 및 도 3b는 상기 불휘발성 래치 회로의 소자들의 구조의 일 예를 도시한다. 도 3a에서, 산화물 반도체 이

의외의 재료를 사용한 트랜지스터(160)가 하부에 제공되고, 산화물 반도체를 사용한 상기 트랜지스터(402)는 상부에 제공된다. 산화물 반도체 이외의 재료를 사용한 상기 트랜지스터(160)는 상기 래치부의 상기 제 1 소자(D1)(412) 및 상기 제 2 소자(D2)(413)에 포함된 트랜지스터로서 사용될 수 있다. 또한, 상기 불휘발성 래치 회로의 다른 소자들은 상기 트랜지스터(160)의 것과 유사하거나 또는 그것과 비교가능한 구조를 가질 수 있다.

[0075] 상기 불휘발성 래치 회로의 상기 용량 소자(404)와 같은 소자는 상기 트랜지스터(402) 또는 상기 트랜지스터(160)에 포함된 도전막, 반도체 막, 절연막 등을 사용하여 형성될 수 있다. 상기 트랜지스터(160) 및 상기 트랜지스터(402)는 여기에서 n-채널 트랜지스터들이며; 대안적으로 p-채널 트랜지스터가 사용될 수 있다는 것을 주의하자. 상기 트랜지스터(160)로서 p-채널 트랜지스터를 사용하는 것은 쉽다. 도 3b는 상기 트랜지스터(402) 및 상기 하부에서의 전극(또는 배선) 간의 접속 관계가 도 3a에서의 것과 상이한 예를 도시한다. 도 3a에서의 구조가 이하에서 주로 설명된다.

[0076] 상기 트랜지스터(160)는 반도체 재료를 포함한 기판(100)에 제공된 채널 형성 영역(116); 상기 채널 형성 영역(116)을 그 사이에 개재하여 형성된 불순물 영역들(114) 및 고-농도 영역들(120)(상기 불순물 영역들(114) 및 상기 고-농도 영역들(120)의 조합은 간단하게 불순물 영역들로서 불리울 수 있다); 상기 채널 형성 영역(116) 위의 게이트 절연층(108a); 상기 게이트 절연층(108a) 위의 게이트 전극(110a); 상기 불순물 영역(114)에 전기적으로 접속된 소스 또는 드레인 전극(130a); 및 상기 불순물 영역(114)에 전기적으로 접속된 소스 또는 드레인 전극(130b)을 포함한다(도 3a 참조).

[0077] 여기에서, 측벽 절연층들(118)이 상기 게이트 전극(110a)의 측들 상에 형성된다. 게다가, 평면으로부터 볼 수 있는 바와 같이, 상기 고-농도 영역들(120)은 상기 측벽 절연층들(118)과 중첩하지 않는 상기 기판(100)의 영역에 형성되며, 금속 화합물 영역들(124)은 상기 고-농도 영역들(120)과 접촉한다. 또한, 소자 분리 절연층들(106)은 상기 트랜지스터(160)를 둘러싸도록 상기 기판(100) 위에 형성되며, 층간 절연층(126) 및 층간 절연층(128)은 상기 트랜지스터(160)를 커버하도록 형성된다.

[0078] 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 상기 층간 절연층(126) 및 상기 층간 절연층(128)에 형성된 개구들을 통해 상기 금속 화합물 영역들(124)에 전기적으로 접속된다. 달리 말하면, 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 상기 금속 화합물 영역들(124)을 통해 상기 고-농도 영역들(120) 및 상기 불순물 영역들(114)에 전기적으로 접속된다.

[0079] 상기 트랜지스터(402)는 상기 층간 절연층(128) 위의 게이트 전극(136d); 상기 게이트 전극(136d) 위의 게이트 절연층(138); 상기 게이트 절연층(138) 위의 산화물 반도체층(140); 및 상기 산화물 반도체층(140) 위에 있고 상기 산화물 반도체층(140)에 전기적으로 접속되는 소스 또는 드레인 전극(142a)을 포함한다(도 3a 참조).

[0080] 보호 절연층(144)은 상기 산화물 반도체층(140)의 일부와 접촉하도록 상기 트랜지스터(402) 위에 형성된다. 층간 절연층(146)은 상기 보호 절연층(144) 위에 형성된다. 여기에서, 상기 보호 절연층(144) 및 상기 층간 절연층(146)은 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)에 도달하는 개구들을 제공한다. 전극(150d) 및 전극(150e)은 상기 개구들을 통해 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)과 접촉한다.

[0081] 상기 전극(150d) 및 상기 전극(150e)의 형성과 동시에, 전극(150a), 전극(150b), 및 전극(150c)이 상기 게이트 절연층(138), 상기 보호 절연층(144), 및 상기 층간 절연층(146)에서의 개구들을 통해 상기 전극(136a), 상기 전극(136b), 및 상기 전극(136c) 각각과 접촉하여 형성된다. 비록 보텀-게이트형 트랜지스터의 예가 상기 트랜지스터(402)로서 도시되지만, 본 발명은 이에 제한되지 않는다는 것을 주의하자. 탑-게이트형 트랜지스터가 또한 이용될 수 있다.

[0082] 여기에서, 상기 산화물 반도체층(140)은 바람직하게는 수소와 같은 불순물을 충분히 제거하고 산소를 공급함으로써 고순도화되는 산화물 반도체층이다. 구체적으로는, 2차 이온 질량 분석법(SIMS)에 의해 측정되는 상기 산화물 반도체층에서의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 훨씬 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 미만으로 설정될 수 있다.

[0083] 상기 수소 농도를 충분히 감소시키고 산소를 공급함으로써 고순도화되는 상기 산화물 반도체층(140)에서, 상기 캐리어 농도는 일반적인 실리콘 웨이퍼(인 또는 붕소와 같은 적은 양의 불순물 원소들이 첨가되는 실리콘 웨이퍼)에서의 캐리어 농도(대략 $1 \times 10^{14}/\text{cm}^3$)와 비교하여 충분히 낮다(예를 들면, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 1

$\times 10^{11}/\text{cm}^2$ 미만)는 것을 주의하자.

- [0084] 이러한 방식으로, i-형 또는 실질적으로 i-형 산화물 반도체를 사용함으로써, 매우 양호한 오프-상태 전류 특성들을 가진 상기 트랜지스터(402)가 획득될 수 있다. 예를 들면, 드레인 전압(V_D)이 +1V 또는 +10V이고 게이트 전압(V_G)이 -5V 내지 -20V의 범위에 있을 때, 상기 오프-상태 전류는 실온에서 1×10^{-13} A 이하이다. 게다가, 상술된 트랜지스터는 노멀리-오프 트랜지스터의 특성들을 갖는다. 그러므로, 리크 전류, 즉 게이트 전극 및 소스 전극 간의 전압이 대략 0V인 상태에서의 오프-상태 전류는 실리콘을 사용한 트랜지스터의 것보다 훨씬 더 작다. 예를 들면, 단위 채널 폭당 상기 리크 전류는 실온에서 10 aA/ μm 이하이다.
- [0085] 또한, 온도 특성들에서, 오프-상태 전류가 충분히 낮을 수 있고 온-상태 전류가 고온에서조차 충분히 높을 수 있는 트랜지스터가 획득될 수 있다. 예를 들면, 상기 트랜지스터(402)의 V_G - I_D 특성들로서, 데이터는 온-상태 전류들, 이동도들, 및 S 값들의 낮은 온도 의존성을 갖고 -25°C 내지 150°C의 범위에서 획득된다. 더욱이, 상술된 온도 범위에서의 오프-상태 전류가 1×10^{-13} A 이하(측정 한계 이하)만큼 매우 낮음을 보여주는 데이터가 획득된다. 이유들 중 하나는 고순도화되도록 상기 수소 농도를 충분히 감소시킴으로써 획득되고 매우 낮은 캐리어 농도를 가진 i-형 또는 실질적으로 i-형 산화물 반도체가 상기 산화물 반도체로서 사용된다는 것이다.
- [0086] 상기 수소 농도를 충분히 감소시킴으로써 고순도화되는 상기 산화물 반도체층(140)이 사용되고 상기 트랜지스터(402)의 상기 오프-상태 전류가 감소될 때, 신규한 구조를 가진 반도체 장치가 실현될 수 있다.
- [0087] 절연층(152)이 상기 층간 절연층(146) 위에 형성된다. 전극(154a), 전극(154b), 전극(154c), 및 전극(154d)은 상기 절연층(152)에 내장되도록 형성된다. 여기에서, 상기 전극(154a)은 상기 전극(150a)과 접촉하고, 상기 전극(154b)은 상기 전극(150b)과 접촉하고, 상기 전극(154c)은 상기 전극(150c) 및 상기 전극(150d)과 접촉하며 상기 전극(154d)은 상기 전극(150e)과 접촉한다.
- [0088] 즉, 상기 트랜지스터(402)의 상기 소스 또는 드레인 전극(142a)은 전극(130c), 상기 전극(136c), 상기 전극(150c), 상기 전극(154c), 및 상기 전극(150d)을 통해 또 다른 소자(예로서, 산화물 반도체 이외의 재료를 사용한 트랜지스터)에 전기적으로 접속된다(도 3a 참조). 또한, 상기 트랜지스터(402)의 상기 소스 또는 드레인 전극(142b)은 상기 전극(150e) 및 상기 전극(154d)을 통해 또 다른 소자에 전기적으로 접속된다. 접속 전극들(상기 전극(130c), 상기 전극(136c), 상기 전극(150c), 상기 전극(154c), 및 상기 전극(150d)과 같은)의 구조는 상술된 구조에 제한되지 않으며, 적절한 추가, 생략 등이 가능하다.
- [0089] 도 3b는 상기 트랜지스터(402)의 상기 소스 또는 드레인 전극(142a)의 접속 관계가 도 3a에서의 것과 상이한 경우를 도시한다. 구체적으로, 상기 소스 또는 드레인 전극(142a)은 상기 전극(130c), 상기 전극(136c), 상기 전극(150c), 상기 전극(154c), 및 상기 전극(150d)을 통해 전극(110b)에 전기적으로 접속된다. 여기에서, 상기 전극(110b)은 상기 게이트 전극(110a)의 것과 유사한 방식으로 형성된다. 상기 전극(110b)은 상기 트랜지스터의 구성요소일 수 있거나 또는 배선 등의 일부일 수 있다. 접속 전극들(상기 전극(130c), 상기 전극(136c), 상기 전극(150c), 상기 전극(154c), 및 상기 전극(150d)과 같은)의 구조는 상술된 구조에 제한되지 않으며, 적절한 추가, 생략 등이 가능하다는 것을 주의하자.
- [0090] 비록 통상적인 접속 관계들의 두 개의 예들이 상기에 제공되었지만, 여기에 개시된 본 발명의 일 실시예는 이들 예들에 제한되지 않는다. 예를 들면, 도 3a에 도시된 구조 및 도 3b에 도시된 구조는 결합될 수 있다. 더욱이, 상기 트랜지스터(150)의 상기 게이트 전극(110a) 및 상기 트랜지스터(402)의 상기 소스 또는 드레인 전극(142a)은 서로 전기적으로 접속될 수 있다.
- [0091] <불휘발성 래치 회로의 소자들의 제조 방법>
- [0092] 다음으로, 상기 불휘발성 래치 회로의 소자들의 제조 방법의 일 예가 설명될 것이다. 먼저, 상기 트랜지스터(160)의 제조 방법이 도 4a 내지 도 4h를 참조하여 이하에 설명될 것이며, 그 후 상기 트랜지스터(402)의 제조 방법이 도 5a 내지 도 5g 및 도 6a 내지 도 6d를 참조하여 이하에 설명될 것이다. 이하에 설명된 제조 방법으로, 상기 불휘발성 래치 회로의 소자들이 제조될 수 있다. 도 4a 내지 도 4h는 도 3a에서의 A1-A2에 대응하는 단면만을 도시한다는 것을 주의하자. 또한, 도 5a 내지 도 5g 및 도 6a 내지 도 6d는 도 3a에서 A1-A2 및 B1-B2에 대응하는 단면들을 도시한다.
- [0093] <하부에서의 트랜지스터의 제조 방법>

- [0094] 먼저, 반도체 재료를 포함한 상기 기판(100)이 준비된다(도 4a 참조). 실리콘, 탄화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판 등이 반도체 재료를 포함한 상기 기판(100)으로서 사용될 수 있다. 여기에서, 단결정 실리콘 기판이 반도체 재료를 포함한 상기 기판(100)으로서 사용되는 경우의 일 예가 설명된다.
- [0095] 일반적으로, 상기 용어 "SOI 기판"은 그것의 절연 표면 위에 실리콘 반도체층을 갖는 기판을 의미한다. 본 명세서에서, 상기 용어 "SOI 기판"은 또한 그것의 절연 표면 위에 실리콘 이외의 재료를 사용한 반도체 재료를 가진 기판을 의미한다. 즉, 상기 "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 제한되지 않는다. 상기 SOI 기판의 예들은 유리 기판과 같이 그것의 절연 기판 위에 반도체층을 갖는 기판을 포함한다.
- [0096] 소자 분리 절연층을 형성하기 위한 마스크로서 작용하는 보호층(102)이 상기 기판(100) 위에 형성된다(도 4a 참조). 예를 들면, 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등의 절연층이 상기 보호층(102)으로서 사용될 수 있다. 이러한 단계 전 및 후에, 상기 트랜지스터의 임계 전압을 제어하기 위해 n-형 도전성을 부여한 불순물 원소 또는 p-형 도전성을 부여한 불순물 원소가 상기 기판(100)에 부가될 수 있다는 것을 주의한다. 상기 n-형 도전성을 부여한 불순물로서, 예를 들면, 인, 비소 등이 상기 기판(100)에 포함된 상기 반도체 재료가 실리콘일 때 사용될 수 있다. 상기 p-형 도전성을 부여한 불순물로서, 예를 들면, 붕소, 알루미늄, 갈륨 등이 사용될 수 있다.
- [0097] 다음으로, 마스크로서 상술된 보호층(102)의 사용으로, 상기 보호층(102)으로 커버되지 않는 영역(노출 영역)에서의 상기 기판(100)의 부분은 에칭에 의해 제거된다. 따라서, 분리된 반도체 영역(104)이 형성된다(도 4b 참조). 상기 에칭으로서, 바람직하게는 드라이 에칭이 수행되지만, 웨트 에칭이 수행될 수 있다. 에칭 가스 및 에천트는 에칭될 층들의 재료에 의존하여 적절하게 선택될 수 있다.
- [0098] 다음으로, 절연층이 상기 반도체 영역(104)을 커버하기 위해 형성되며 상기 반도체 영역(104)과 중첩하는 상기 절연층의 영역은 선택적으로 제거되어, 상기 소자 분리 절연층들(106)이 형성되도록 한다(도 4b 참조). 상기 절연층은 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 사용하여 형성된다. 상기 절연층을 제거하기 위한 방법들은 에칭, CMP 등과 같은 연마 등을 포함하여, 이들 중 임의의 것이 적용가능하다. 상기 반도체 영역(104)이 형성된 후 또는 상기 소자 분리 절연층들(106)이 형성된 후, 상기 보호층(102)이 제거된다는 것을 주의하자.
- [0099] 다음으로, 절연층이 상기 반도체 영역(104) 위에 형성되며, 도전 재료를 포함한 층이 상기 절연층 위에 형성된다.
- [0100] 상기 절연층은 나중에 게이트 절연층으로서 작용하기 때문에, 상기 절연층은 바람직하게는 CVD 방법, 스퍼터링법 등으로 형성된 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등을 사용한 단층 구조 또는 적층 구조를 가진다. 대안적으로, 상기 절연층은 고밀도 플라즈마 처리 또는 열적 산화 처리에 의해 상기 반도체 영역(104)의 표면을 산화시키거나 또는 질화시킴으로써 형성될 수 있다. 상기 고-밀도 플라즈마 처리는 예를 들면, He, Ar, Kr, 또는 Xe와 같은 희가스 및 산소, 산화 질소, 암모니아, 질소, 또는 수소와 같은 가스의 혼합 가스를 사용하여 수행될 수 있다. 상기 절연층의 두께에 대한 특별한 제한은 없으며, 상기 절연층은 예를 들면 1nm 이상 100nm 이하의 범위에서 형성될 수 있다.
- [0101] 도전 재료를 포함한 층은 알루미늄, 구리, 티타늄, 탄탈, 또는 텅스텐과 같은 금속 재료를 사용하여 형성될 수 있다. 대안적으로, 도전 재료를 포함한 층은 도전성을 부여한 불순물 원소를 포함한 다결정 실리콘과 같은 반도체 재료를 사용하여 형성될 수 있다. 도전 재료를 포함한 상기 층의 막 형성 방법에 대한 특별한 제한은 없으며, 증착법, CVD 법, 스퍼터링법, 및 스펀 코팅법과 같은 다양한 막 형성 방법들이 이용될 수 있다. 이 실시예에서, 도전 재료를 포함한 층이 금속 재료를 사용하여 형성되는 경우의 일 예가 설명된다는 것을 주의하자.
- [0102] 그 후, 상기 절연층 및 도전 재료를 포함한 상기 층이 선택적으로 에칭되어, 상기 게이트 절연층(108a) 및 상기 게이트 전극(110a)이 형성되도록 한다(도 4c 참조).
- [0103] 다음으로, 상기 게이트 전극(110a)을 커버하는 절연층(112)이 형성된다(도 4c 참조). 그 후 상기 반도체 영역(104)에 인(P), 비소(As) 등을 첨가함으로써 얇은 접합 심도를 가진 상기 불순물 영역들(114)이 형성된다(도 4c 참조). 인 또는 비소가 n-채널 트랜지스터를 형성하기 위해 여기에 첨가되지만, 붕소(B) 또는 알루미늄(Al)과 같은 불순물 원소가 p-채널 트랜지스터를 형성하는 경우에 첨가될 수 있다는 것을 주의하자.
- [0104] 상기 불순물 영역들(114)의 형성으로, 상기 채널 형성 영역(116)은 상기 게이트 절연층(108a) 아래의 상기 반도체 영역(104)에 형성된다(도 4c 참조). 여기에서, 첨가된 상기 불순물의 농도는 적절하게 설정될 수 있으며; 상

기 농도는 바람직하게는 반도체 소자의 크기가 극히 감소될 때 증가된다. 상기 불순물 영역들(114)이 상기 절연층(112)의 형성 후에 형성되는 단계가 여기에 이용되며; 대안적으로, 상기 절연층(112)은 상기 불순물 영역들(114)의 형성 후에 형성될 수 있다.

- [0105] 다음으로, 상기 측벽 절연층들(118)이 형성된다(도 4d 참조). 상기 측벽 절연층들(118)로서, 절연층이 상기 절연층(112)을 커버하도록 형성되고 그 후 높은 이방성 에칭이 될 때, 상기 측벽 절연층들(118)은 자기-정합적으로 형성될 수 있다. 이때, 상기 게이트 전극(110a)의 상부 표면 및 상기 불순물 영역들(114)의 상부 표면들이 노출되도록 상기 절연층(112)을 부분적으로 에칭하는 것이 바람직하다.
- [0106] 그 후, 절연층이 상기 게이트 전극(110a), 상기 불순물 영역들(114), 상기 측벽 절연층들(118) 등을 커버하기 위해 형성된다. 다음으로, 인(P), 비소(As) 등이 상기 절연층이 상기 불순물 영역들(114)과 접촉하는 영역들에 첨가되어, 상기 고-농도 불순물 영역들(120)이 형성되도록 한다. 그 후, 상기 절연층이 제거되며, 금속층(122)이 상기 게이트 전극(110a), 상기 측벽 절연층들(118), 상기 고-농도 불순물 영역들(120) 등을 커버하기 위해 형성된다(도 4e 참조).
- [0107] 진공 증착법, 스퍼터링법, 또는 스핀 코팅법과 같은 다양한 막 형성 방법들이 금속층(122)을 형성하기 위해 이용될 수 있다. 상기 금속층(122)은 바람직하게는 저-저항 금속 화합물이 되도록 상기 반도체 영역(104)에 포함된 반도체 재료와 반응하는 금속 재료를 사용하여 형성된다. 이러한 금속 재료의 예들은 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 및 백금이다.
- [0108] 다음으로, 열 처리가 상기 금속층(122)이 상기 반도체 재료와 반응하도록 수행된다. 따라서, 상기 고-농도 불순물 영역들(120)과 접촉하는 상기 금속 화합물 영역들(124)이 형성된다(도 4f 참조). 상기 게이트 전극(110a)이 다결정 실리콘 등을 사용하여 형성될 때, 금속 화합물 영역이 또한 상기 금속층(122)과 접촉하는 상기 게이트 전극(110a)의 영역에 형성된다는 것을 주의하자.
- [0109] 상기 열 처리로서, 예를 들면, 플래쉬 램프로의 조사가 이용될 수 있다. 비록 또 다른 열 처리 방법이 이용될 수 있음은 말할 필요도 없지만, 매우 짧은 시간 동안 열 처리가 달성될 수 있는 방법이 바람직하게는 상기 금속 화합물의 형성시 화학적 반응의 제어가능성을 향상시키기 위해 사용된다. 상기 금속 화합물 영역들은 상기 금속 재료 및 상기 반도체 재료의 반응에 의해 형성되며 충분히 높은 도전성을 갖는다는 것을 주의하자. 상기 금속 화합물 영역들의 형성은 전기 저항을 적절히 감소시키고 소자 특성들을 향상시킬 수 있다. 상기 금속층(122)은 상기 금속 화합물 영역들(124)이 형성된 후 제거된다는 것을 주의하자.
- [0110] 그 후, 상기 층간 절연층(126) 및 상기 층간 절연층(128)이 상술된 단계들에 형성된 구성요소들을 커버하기 위해 형성된다(도 4g 참조). 상기 층간 절연층(126) 및 상기 층간 절연층(128)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다. 게다가, 상기 층간 절연층(126) 및 상기 층간 절연층(128)은 또한 폴리이미드 또는 아크릴과 같은 유기 절연 재료를 사용하여 형성될 수 있다. 상기 층간 절연층(126) 및 상기 층간 절연층(128)의 2-층 구조가 여기에서 이용되지만, 층간 절연층의 구조는 이러한 구조에 제한되지 않는다는 것을 주의하자. 상기 층간 절연층(128)의 형성 후, 상기 층간 절연층(128)의 표면은 바람직하게는 CMP, 에칭 등으로 평탄화된다.
- [0111] 그 후, 상기 금속 화합물 영역들(124)에 도달하는 개구들이 상기 층간 절연층들에 형성되며, 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)이 상기 개구들에 형성된다(도 4h 참조). 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 예를 들면, 도전층이 PVD 법, CVD 법 등으로 상기 개구들을 포함한 영역에 형성되고, 그 후 상기 도전층의 일부가 에칭, CMP 등에 의해 제거되는 방식으로 형성될 수 있다.
- [0112] 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)이 상기 도전층의 일부를 제거함으로써 형성되는 경우에, 상기 처리는 바람직하게는 상기 표면들이 평탄화되도록 수행된다는 것을 주의하자. 예를 들면, 얇은 티타늄 막 또는 얇은 질화 티타늄 막이 상기 개구들을 포함한 영역에 형성되고, 그 후 텅스텐 막이 상기 개구들에 내장되도록 형성될 때, 과잉 텅스텐, 티타늄, 질화 티타늄 등이 제거되고 상기 표면의 평탄성은 후속하는 CMP에 의해 향상될 수 있다. 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)을 포함한 상기 표면이 이러한 방식으로 평탄화될 때, 전극, 배선, 절연층, 반도체층 등이 나중 단계들에서 양호하게 형성될 수 있다.
- [0113] 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)을 위해 사용된 재료에 대한 특별한 제한은 없으며, 다양한 도전 재료들이 사용될 수 있다. 예를 들면, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄

미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 도전 재료가 사용될 수 있다. 또한, 단지 금속 화합물 영역들(124)과 접촉하는 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)만이 여기에 도시되었지만, 도 3a 및 도 3b에서의 상기 전극(130c) 등이 또한 이 단계에서 함께 형성될 수 있다.

[0114] 구체적으로, 예를 들면, 얇은 티타늄 막이 PVD 법으로 상기 개구들을 포함한 영역에 형성되고 얇은 질화 티타늄 막이 CVD 법으로 형성되며, 그 후 텅스텐 막이 상기 개구에 내장되도록 형성되는 방법을 이용하는 것이 가능하다. 여기에서, PVD 법으로 형성된 상기 티타늄 막은 상기 금속 화합물 영역들에 따라 상기 접촉 저항을 감소시키도록 상기 금속 화합물 영역들의 표면에 형성될 수 있는 산화막을 감소시키는 기능을 가진다. 상기 티타늄 막의 형성 후 형성된 상기 질화 티타늄 막은 상기 도전 재료의 확산을 방지하는 배리어 기능을 가진다. 구리 막은 티타늄, 질화 티타늄 등의 상기 배리어 막의 형성 후 도금 방법으로 형성될 수 있다. 소위 단일 다마신 방법(single damascene method)뿐만 아니라 이중 다마신 방법이 또한 이용될 수 있다는 것을 주의하자.

[0115] 전술된 단계들을 통해, 반도체 재료를 포함한 상기 기판(100)을 사용한 상기 트랜지스터(160)가 형성된다. 전극, 배선, 절연층 등은 전술된 단계들 후에 추가로 형성될 수 있다는 것을 주의하자. 상기 배선들이 층간 절연층 및 도전층을 포함한 적층 구조의 다층 구조를 가질 때, 고도로 집적된 반도체 장치가 제공될 수 있다.

[0116] <상부에서의 트랜지스터의 제조 방법>

[0117] 다음으로, 상기 층간 절연층(128) 위에 상기 트랜지스터(402)를 제조하기 위한 방법이 도 5a 내지 도 5g 및 도 6a 내지 도 6d를 참조하여 설명될 것이다. 도 5a 내지 도 5g 및 도 6a 내지 도 6d는 상기 층간 절연층(128) 위에 전극들, 상기 트랜지스터(402) 등을 제조하기 위한 단계들을 도시하며; 그러므로, 상기 트랜지스터(402) 아래에 위치한 상기 트랜지스터(160) 등은 생략된다는 것을 주의한다.

[0118] 먼저, 상기 절연층(132)은 상기 층간 절연층(128), 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 및 상기 전극(130c) 위에 형성된다(도 5a 참조). 다음으로, 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 및 상기 전극(130c)에 도달하는 개구들이 상기 절연층(132)에 형성된다. 그 후, 도전층(134)이 상기 개구들에 내장되도록 형성된다(도 5b 참조). 그 후, 상기 도전층(134)의 일부가 에칭, CMP 등에 의해 제거되어, 상기 절연층(132)이 노출되고 상기 전극(136a), 상기 전극(136b), 상기 전극(136c), 및 상기 게이트 전극(136d)이 형성되도록 한다(도 5c 참조).

[0119] 상기 절연층(132)은 PVD 법, CVD 법 등을 갖고 형성될 수 있다. 상기 절연층(132)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다.

[0120] 상기 개구들은 마스크를 사용한 에칭과 같은 방법으로 상기 절연층(132)에 형성될 수 있다. 상기 마스크는 포토 마스크를 사용한 노광과 같은 방법으로 형성될 수 있다. 웨트 에칭 또는 드라이 에칭이 상기 에칭으로서 사용될 수 있으며; 바람직하게는 드라이 에칭이 미세가공에 관하여 사용될 수 있다.

[0121] 상기 도전층(134)은 PVD 법 또는 CVD 법과 같은 막 형성 방법으로 형성될 수 있다. 상기 도전층(134)은 예를 들면, 폴리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 도전 재료, 또는 이들 재료들 중 임의의 것의 합금 또는 화합물(예로서, 질화물)을 사용하여 형성될 수 있다(도 5b 참조).

[0122] 보다 구체적으로는, 예를 들면, 얇은 티타늄 막이 PVD 법으로 상기 개구를 포함한 영역에 형성되고 얇은 질화 티타늄 막이 CVD 법으로 형성되며, 그 후 텅스텐 막이 상기 개구들에 내장되도록 형성되는 방법을 이용하는 것이 가능하다. 여기에서, PVD 법으로 형성된 상기 티타늄 막은 하부 전극들에 따라 상기 접촉 저항을 감소시키기 위해 상기 하부 전극들(여기에서는, 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 상기 전극(130c) 등)의 표면에 형성될 수 있는 산화막을 감소시키는 기능을 가진다.

[0123] 상기 티타늄 막의 형성 후 형성된 상기 질화 티타늄막은 상기 도전 재료의 확산을 방지하는 배리어 기능을 가진다. 구리막은 티타늄, 질화 티타늄 등의 상기 배리어 막의 형성 후 도금 방법으로 형성될 수 있다. 소위 단일 다마센 방법뿐만 아니라 이중 다마센 방법도 또한 이용될 수 있다는 것을 주의하자.

[0124] 상기 도전층(134)이 형성된 후, 상기 도전층(134)의 일부는 에칭, CMP 등에 의해 제거되어, 상기 절연층(132)이 노출되고 상기 전극(136a), 상기 전극(136b), 상기 전극(136c), 및 상기 게이트 전극(136d)이 형성될 수 있도록 한다(도 5c 참조). 상기 전극(136b), 상기 전극(136c), 및 상기 게이트 전극(136d), 및 상기 게이트 전극(136d)이 상기 도전층(134)의 일부를 제거함으로써 형성될 때, 상기 프로세스는 바람직하게는 상기 표면들이 평탄화되도록 수행된다는 것을 주의하자. 상기 절연층(132), 상기 전극(136a), 상기 전극(136b), 상기 전극

(136c), 및 상기 게이트 전극(136d)의 표면들이 이러한 방식으로 평탄화될 때, 전극, 배선, 절연층, 반도체층 등이 나중 단계들에서 양호하게 형성될 수 있다.

- [0125] 다음으로, 상기 게이트 절연층(138)이 상기 절연층(132), 상기 전극(136a), 상기 전극(136b), 상기 전극(136c), 및 상기 게이트 전극(136d)을 커버하기 위해 형성된다(도 5d 참조). 상기 게이트 절연층(138)은 CVD 법, 스퍼터링법 등으로 형성될 수 있다. 상기 게이트 절연층(138)은 바람직하게는 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 hafnium, 산화 탄탈 등을 사용하여 형성된다. 상기 게이트 절연층(138)은 단-층 구조 또는 적층 구조를 가질 수 있다는 것을 주의하자.
- [0126] 예를 들면, 상기 게이트 절연층(138)은 원료 가스로서 실란(SiH_4), 산소, 및 질소를 사용하는 플라즈마 CVD 법으로 산화 질화 실리콘을 사용하여 형성될 수 있다. 상기 게이트 절연층(138)의 두께에 대한 특별한 제한은 없으며; 상기 게이트 절연층(138)은 예를 들면, 10nm 이상 500nm 이하의 두께를 가질 수 있다. 적층 구조를 이용하는 경우에, 예를 들면, 상기 게이트 절연층(138)은 바람직하게는 50nm 이상 200nm 이하의 두께를 가진 제 1 게이트 절연층, 및 상기 제 1 게이트 절연층 위에 5nm 이상 300nm 이하의 두께를 가진 제 2 게이트 절연층의 적층이다.
- [0127] 수소, 물 등이 상기 게이트 절연층(138)에 포함된다면, 수소는 상기 산화물 반도체층에 들어갈 수 있거나 또는 상기 산화물 반도체층으로부터 산소를 추출할 수 있으며, 그에 의해 상기 트랜지스터의 특성들이 저하될 수 있다. 그러므로, 수소 또는 물을 가능한 한 적게 포함하도록 상기 게이트 절연층(138)을 형성하는 것이 바람직하다.
- [0128] 예를 들면, 스퍼터링법 등이 이용되는 경우에, 상기 게이트 절연층(138)은 상기 처리실(treatment chamber)에서의 수분이 제거되는 상태에서 형성되는 것이 바람직하다. 상기 처리실에서의 수분을 제거하기 위해, 바람직하게는, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프(titanium sublimation pump)와 같은 흡착형 진공 펌프가 사용된다. 대안적으로, 콜드 트랩을 갖춘 터보 펌프가 사용될 수 있다. 수소, 물 등이 크라이오펌프 등을 갖고 배기된 상기 처리실로부터 충분히 제거되기 때문에, 상기 게이트 절연층(138)에 포함된 불순물의 농도는 감소될 수 있다.
- [0129] 상기 게이트 절연층(138)이 형성될 때, 수소 또는 물과 같은 불순물이 수 ppm 이하(바람직하게는, 수 ppb 이하)의 농도로 감소되는 고-순도 가스를 사용하는 것이 바람직하다.
- [0130] 불순물을 제거함으로써 획득된 i-형 또는 실질적으로 i-형 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위 및 계면 전하에 매우 민감하며; 그러므로, 이러한 산화물 반도체가 산화물 반도체층을 위해 사용될 때, 상기 게이트 절연층을 가진 계면이 중요하다라는 것을 주의하자. 달리 말하면, 고순도화된 산화물 반도체층과 접촉하는 상기 게이트 절연층(138)은 높은 품질을 갖도록 요구된다.
- [0131] 예를 들면, 상기 게이트 절연층(138)은 바람직하게는 상기 게이트 절연층(138)이 치밀하고 높은 내전압 및 높은 품질을 가질 수 있기 때문에 마이크로파(주파수: 2.45 GHz)를 사용한 고-밀도 플라즈마 CVD 법으로 형성된다. 고순도화된 산화물 반도체층 및 고-품질 게이트 절연층이 서로 가깝게 접촉할 때, 상기 계면 준위는 감소될 수 있고 양호한 계면 특성들이 획득될 수 있다.
- [0132] 심지어 고순도화된 산화물 반도체층이 사용될 때조차, 고-품질 절연층이 상기 게이트 절연층(138)으로서 형성될 수 있는 한 스퍼터링법 또는 플라즈마 CVD 법과 같은 또 다른 방법이 이용될 수 있다는 것은 말할 필요도 없다. 게다가, 상기 산화물 반도체층을 가진 막 품질 및 계면 특성들이 상기 게이트 절연층(138)의 형성 후에 수행된 열 처리를 갖고 개선되는 절연층을 사용하는 것이 가능하다. 어느 경우든지, 양호한 계면을 형성하기 위해 상기 게이트 절연층(138)으로서 양호한 막 품질을 갖고 산화물 반도체층을 가진 계면 준위 밀도를 감소시킬 수 있는 절연층이 상기 게이트 절연층(138)으로서 형성된다.
- [0133] 다음으로, 산화물 반도체층은 상기 게이트 절연층(138) 위에 형성되며 마스크를 사용한 에칭과 같은 방법으로 처리되어, 섬-형상 산화물 반도체층(140)이 형성되도록 한다(도 5e 참조).
- [0134] 상기 산화물 반도체층으로서, 다음의 산화물 반도체들 중 임의의 것이 사용될 수 있다: 4-원계 금속 산화물인 In-Sn-Ga-Zn-0계 산화물 반도체; 3-원계 금속 산화물들인 In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체, 또는 Sn-Al-Zn-0계 산화물 반도체; 2-원계 금속 산화물인 In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, 또는 In-Mg-0계 산화물 반도체; 또는 1-원

계 금속 산화물들인 In-O계 산화물 반도체; Sn-O계 산화물 반도체; 또는 Zn-O계 산화물 반도체. 또한, 상술된 산화물 반도체들은 SiO₂를 포함할 수 있다.

- [0135] 상기 산화물 반도체층으로서, InM₁O₃(ZnO)_m(m>0)에 의해 표현된 재료를 포함한 박막이 사용될 수 있다. 여기에서, M은 Ga, Al, Mn, 및 Co로부터 선택된 금속 원소들 중 하나 이상을 나타낸다. 예를 들면, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다.
- [0136] 이 실시예에서, 상기 산화물 반도체층으로서, 비정질 산화물 반도체층이 In-Ga-Zn-O계 금속 산화물 타겟을 사용한 스퍼터링법으로 형성된다. 비정질 산화물 반도체층의 결정화가 상기 비정질 산화물 반도체층에 실리콘을 첨가함으로써 억제될 수 있기 때문에, 산화물 반도체층이, 예를 들면 2 wt% 이상 10 wt% 이하의 SiO₂를 포함한 타겟을 사용하여 형성될 수 있다는 것을 주의하자.
- [0137] 스퍼터링법으로 산화물 반도체층을 형성하기 위해 사용된 상기 금속 산화물 타겟으로서, 예를 들면, In₂O₃:Ga₂O₃:ZnO = 1:1:1 [몰 비]의 조성비를 가진 금속 산화물 타겟이 사용될 수 있다. 더욱이, In₂O₃:Ga₂O₃:ZnO = 1:1:2 [몰 비]의 조성비를 가진 금속 산화물 타겟 또는 In₂O₃:Ga₂O₃:ZnO = 1:1:4 [몰 비]의 조성비를 가진 금속 산화물 타겟이 또한 사용될 수 있다. 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상(예로서, 99.9%)이다. 치밀한 산화물 반도체층이 높은 충전율을 가진 금속 산화물 타겟을 사용함으로써 형성된다.
- [0138] 상기 산화물 반도체층이 형성되는 분위기는 바람직하게는 회가스(통상적으로 아르곤) 분위기, 산소 분위기, 또는 회가스(통상적으로 아르곤) 및 산소를 포함한 혼합 분위기이다. 구체적으로, 예를 들면, 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 수 ppm 이하(바람직하게는, 수 ppb 이하)의 농도로 제거되는 고-순도 가스 분위기를 사용하는 것이 바람직하다.
- [0139] 상기 산화물 반도체층을 형성할 때, 상기 기판은 감소된 압력하에 보유된 처리실에 보유되며 상기 기판은 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하의 온도로 가열된다. 상기 산화물 반도체층은 상기 기판이 가열되는 동안 형성되며, 따라서 상기 산화물 반도체층에 포함된 불순물의 농도가 감소될 수 있다. 게다가, 스퍼터링으로 인한 상기 반도체층의 손상은 감소된다. 그 후, 수소 및 물이 제거되는 스퍼터링 가스가 상기 처리실에서의 수분이 제거되는 동안 상기 처리실에 도입되며, 그에 의해 상기 산화물 반도체층이 타겟으로서 금속 산화물을 사용하여 형성된다.
- [0140] 흡착형 진공 펌프가 바람직하게는 상기 처리실에서의 수분을 제거하기 위해 사용된다. 예를 들면, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용될 수 있다. 배기 유닛은 콜드 트랩을 갖춘 터보 펌프일 수 있다. 크라이오펌프를 갖고 배기되는 막 형성 챔버에서, 수소 원자, 물(H₂O)과 같은 수소 원자를 포함한 화합물(및 보다 바람직하게는 또한 탄소 원자를 포함한 화합물) 등이 제거되어, 그에 의해 상기 막 형성 챔버에 형성된 상기 산화물 반도체층에 포함된 불순물의 농도가 감소될 수 있다.
- [0141] 상기 산화물 반도체층은 예를 들면 다음 조건들 하에 형성될 수 있다: 상기 기판 및 상기 타겟 간의 거리는 100 mm이고; 상기 압력은 0.6 Pa이고; 직류(DC) 전력은 0.5 kW이며; 상기 분위기는 산소이다(상기 산소의 유량 비율은 100%이다). 먼지가 감소될 수 있고 두께 분포가 감소될 수 있기 때문에 펄싱된 직류(DC) 전원을 사용하는 것이 바람직하다는 것을 주의하자. 상기 산화물 반도체층의 두께는 2 nm 이상 200 nm 이하, 바람직하게는 5 nm 이상 30 nm 이하이다. 상기 산화물 반도체층의 적절한 두께는 사용될 상기 산화물 반도체 재료에 의존하여 상이하며; 그러므로, 상기 두께는 사용될 상기 재료에 따라 결정될 수 있다는 것을 주의한다.
- [0142] 상기 산화물 반도체층이 스퍼터링법으로 형성되기 전에, 바람직하게는 플라즈마가 도입된 아르곤 가스로 생성되는 역 스퍼터링이 수행되며, 따라서 상기 게이트 절연층(138)의 표면상의 먼지가 제거된다는 것을 주의한다. 여기에서, 상기 역 스퍼터링은 이온들이 스퍼터링 타겟과 충돌하는 통상의 스퍼터링과는 대조적으로, 상기 표면이 변경되도록 이온들이 처리될 표면과 충돌하는 방법이다. 이온들이 처리될 표면과 충돌하게 하기 위한 방법의 일 예는 플라즈마가 기판 근처에 생성되도록 고-주파수 전압이 아르곤 분위기 하에서 처리될 상기 표면에 인가되는 방법이다. 질소, 헬륨, 산소 등의 분위기는 아르곤 분위기 대신에 사용될 수 있다는 것을 주의하자.
- [0143] 상기 산화물 반도체층을 위한 에칭 방법으로서, 드라이 에칭 또는 웨트 에칭이 이용될 수 있다. 드라이 에칭 및 웨트 에칭이 결합하여 사용될 수 있다는 것은 말할 필요도 없다. 상기 에칭 조건들(예로서, 에칭 가스 또는 에천트, 에칭 시간, 및 온도)이 상기 산화물 반도체층이 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여

적절하게 설정된다.

- [0144] 드라이 에칭을 위해 사용된 에칭 가스의 일 예는 염소를 포함한 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 또는 사염화탄소(CCl_4)와 같은 염소계 가스)이다. 게다가, 불소를 포함한 가스(사불화탄소(CF_4), 육불화유황(SF_6), 삼불화질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 불소계 가스), 취화 수소(HBr), 산소(O_2), 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 이들 가스들의 임의의 것 등이 사용될 수 있다.
- [0145] 상기 드라이 에칭 방법으로서, 평행 평판형 RIE(반응성 이온 에칭) 방법 또는 ICP(유도 결합 플라즈마) 에칭 방법이 사용될 수 있다. 상기 산화물 반도체층을 원하는 형상으로 에칭하기 위해, 에칭 조건들(예로서, 코일 전극에 인가된 전력의 양, 기관 축 상의 전극에 인가된 전력의 양, 및 기관 축상의 전극 온도)이 적절하게 설정된다.
- [0146] 웨트 에칭을 위해 사용된 에천트로서, 인산, 아세트산, 질산의 혼합액, 암모니아과수(암모니아, 물, 및 과산화수소 용액의 혼합액) 등이 사용될 수 있다. ITO07N(칸토 케미칼 코., 인크.(KANTO CHEMICAL CO., INC.)에 의해 제조된)과 같은 에천트가 또한 사용될 수 있다.
- [0147] 그 후, 제 1 열 처리가 바람직하게는 상기 산화물 반도체층 상에서 수행된다. 상기 산화물 반도체층은 상기 제 1 열 처리로 탈수화 또는 탈수소화될 수 있다. 상기 제 1 열 처리의 온도는 $300^{\circ}C$ 이상 $800^{\circ}C$ 이하, 바람직하게는 $400^{\circ}C$ 이상 $700^{\circ}C$ 이하, 보다 바람직하게는 $450^{\circ}C$ 이상 $700^{\circ}C$ 이하, 및 훨씬 더 바람직하게는 $550^{\circ}C$ 이상 $700^{\circ}C$ 이하이다.
- [0148] 상기 산화물 반도체층은 상기 제 1 열 처리가 $350^{\circ}C$ 이상의 온도로 수행될 때 탈수화되거나 또는 탈수소화될 수 있으며, 따라서 상기 산화물 반도체층에서의 수소 농도가 감소될 수 있다. 또한, 상기 제 1 열 처리가 $450^{\circ}C$ 이상의 온도로 수행될 때, 상기 산화물 반도체층에서의 수소 농도는 추가로 감소될 수 있다. 게다가, 상기 제 1 열 처리가 $550^{\circ}C$ 이상의 온도로 수행될 때, 상기 산화물 반도체층에서의 수소 농도는 훨씬 더 감소될 수 있다. 예를 들면, 상기 기관은 저항 발열체 등이 사용되는 전기로에 도입되며 상기 산화물 반도체층(140)은 질소 분위기 하에서 1시간 동안 $450^{\circ}C$ 로 열 처리된다. 상기 산화물 반도체층(140)은 물 또는 수소의 진입이 방지될 수 있도록 상기 열 처리 동안 공기에 노출되지 않는다.
- [0149] 상기 열 처리 장치는 상기 전기로에 한정되지 않으며 가열된 가스와 같은 매체로부터 열 도전 또는 열 복사에 의해 피처리물을 가열하기 위한 장치일 수 있다. 예를 들면, 가스 고속 열적 어닐링(GRTA) 장치 또는 램프 고속 열적 어닐링(LRTA) 장치와 같은 고속 열적 어닐링(RTA) 장치가 사용될 수 있다.
- [0150] LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출되는 광의 복사(전자파)에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고-온 가스를 사용하여 열 처리를 수행하기 위한 장치이다. 상기 가스로서, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들면, 질소 또는 아르곤과 같은 희가스가 사용된다.
- [0151] 예를 들면, 상기 제 1 열 처리로서, GRTA 처리가 다음과 같이 수행될 수 있다. 상기 기관은 $650^{\circ}C$ 내지 $700^{\circ}C$ 의 고온으로 가열되는 불활성 가스 안으로 넣어지고, 수분 동안 가열된 후, 상기 불활성 가스로부터 꺼내어진다. 상기 GRTA 처리는 짧은 시간 동안 고온 열 처리를 가능하게 한다. 게다가, 상기 GRTA 처리는 짧은 시간 동안의 열 처리이기 때문에 상기 기관의 변형점을 초과할 때조차 이용될 수 있다. 예를 들면, 유리 기관과 같이, 비교적 낮은 내열성을 갖는 기관을 포함한 SOI 기관이 사용되는 경우에, 상기 기관의 수축은 온도 상한(변형점)보다 높은 온도에서 문제가 되지만 단시간 동안 열 처리가 수행되는 경우에는 문제가 되지 않는다.
- [0152] 상기 제 1 열 처리가 수행되는 상기 불활성 가스 분위기로서, 그것의 주성분으로서 질소 또는 희가스(예로서, 헬륨, 네온, 또는 아르곤)를 포함하고, 물, 수소 등을 포함하지 않는 분위기를 이용하는 것이 바람직하다는 것을 주의하자. 예를 들면, 열 처리 장치에 도입된 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이다.
- [0153] 상기 불활성 가스 분위기는 산소를 포함한 분위기로 처리 중에 변경될 수 있다는 것을 주의하자. 예를 들면, 전기로가 상기 제 1 열 처리에서 사용되는 경우에, 분위기는 열 처리 온도가 떨어질 때 변경될 수 있다. 예를 들면, 희가스(예를 들면, 헬륨, 네온, 또는 아르곤) 또는 질소와 같은 불활성 가스의 분위기하에 (일정한 온도로) 제 1 열 처리가 수행될 수 있으며, 상기 분위기는 상기 열 처리 온도가 떨어질 때 산소를 포함한 분위기로 스위칭될 수 있다. 산소를 포함한 분위기로서, 산소 가스 또는 산소 가스와 질소 가스의 혼합 가스가 사용될 수 있

다. 또한, 산소를 포함한 분위기가 이용되는 경우에, 상기 분위기는 물, 수소 등을 포함하지 않는 것이 바람직하다. 대안적으로, 사용된 상기 산소 가스 또는 질소의 순도는 바람직하게는 6N(99.9999%) 이상, 보다 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이다. 이것은 산소 공핍에 의해 야기된 결점들이 산소를 포함한 분위기 하에서 상기 제 1 열 처리를 수행함으로써 감소될 수 있기 때문이다.

[0154] 몇몇 경우들에서, 상기 산화물 반도체층은 미결정 또는 다결정이 되도록 결정화되며, 이것은 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존한다. 예를 들면, 몇몇 경우들에서, 상기 산화물 반도체층은 90% 이상, 또는 80% 이상의 결정도를 갖는 미결정 산화물 반도체층이 된다. 또한, 몇몇 경우들에서, 상기 산화물 반도체층은 결정 성분을 포함하지 않는 비정질 산화물 반도체층일 수 있으며, 이것은 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존한다.

[0155] 더욱이, 몇몇 경우들에서, 상기 산화물 반도체층은 미결정(1nm 이상 20nm 이하, 통상적으로 2nm 이상 4nm 이하의 입경을 갖는)이 비정질 산화물 반도체(예로서, 상기 산화물 반도체층의 표면)에 혼합되는 층이 된다.

[0156] 상기 산화물 반도체층의 전기적 특성들은 비정질 반도체에 미결정들을 정렬시킴으로써 변경될 수 있다. 예를 들면, 상기 산화물 반도체층이 In-Ga-Zn-0계 금속 산화물 타겟을 사용하여 형성될 때, 상기 산화물 반도체층의 전기적 특성들은 전기적 이방성을 가진 $In_2Ga_2ZnO_7$ 의 결정립들이 배향되는 미결정 영역의 형성에 의해 변경될 수 있다.

[0157] 예를 들면, 상기 결정립들이 $In_2Ga_2ZnO_7$ 의 c-축이 상기 산화물 반도체층의 표면에 수직이도록 정렬될 때, 상기 산화물 반도체층의 표면에 평행하는 방향으로 도전성이 향상될 수 있고 상기 산화물 반도체층의 표면에 수직인 방향으로 절연 특성들이 향상될 수 있다. 더욱이, 이러한 미결정 영역은 상기 산화물 반도체층으로 물 또는 수소와 같은 불순물의 진입을 억제하는 기능을 갖는다.

[0158] 상기 미결정 영역을 포함한 상기 산화물 반도체층이 GRTA 처리에 의해 상기 산화물 반도체층의 표면을 가열함으로써 형성될 수 있다는 것을 주의하자. 또한, 상기 산화물 반도체층은 Zn의 양이 In 또는 Ga의 것보다 작은 스피터링 타겟을 사용함으로써 보다 양호한 방식으로 형성될 수 있다.

[0159] 상기 산화물 반도체층(140)을 위한 상기 제 1 열 처리는 아직 상기 섬-형상 산화물 반도체층(140)으로 처리되지 않은 상기 산화물 반도체층상에서 수행될 수 있다. 상기 경우에, 상기 제 1 열 처리 후, 상기 기판은 상기 가열 장치로부터 꺼내어지고 포토리소그래피 단계가 수행된다.

[0160] 상기 산화물 반도체층(140) 상에서의 탈수화 또는 탈수소화의 효과를 갖는 전술된 열 처리는 또한 탈수화 처리, 탈수소화 처리 등으로서 불리울 수 있다는 것을 주의하자. 상기 탈수화 처리 또는 탈수소화 처리는 예를 들면 상기 산화물 반도체층이 형성된 후, 소스 또는 드레인 전극이 상기 산화물 반도체층(140) 위에 적층된 후, 또는 보호 절연층이 상기 소스 또는 드레인 전극 위에 형성된 후 수행될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회 또는 복수 회 수행될 수 있다.

[0161] 다음으로, 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)은 상기 산화물 반도체층(140)과 접촉하도록 형성된다(도 5f 참조). 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)은 도전층이 상기 산화물 반도체층(140)을 커버하도록 형성되고 그 후 선택적으로 에칭되는 방식으로 형성될 수 있다.

[0162] 상기 도전층은 스피터링법과 같은 PVD(물리적 기상 증착)법 또는 플라즈마 CVD 법과 같은 CVD(화학적 기상 증착)법으로 형성될 수 있다. 상기 도전층을 위한 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 하나의 원소; 이들 원소들 중 임의의 것을 그것의 성분으로서 포함하는 합금 등이 사용될 수 있다. 게다가, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 재료들 중 하나 이상이 사용될 수 있다. 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 원소들 중 하나 이상과 조합된 알루미늄을 사용하는 것이 또한 가능하다.

[0163] 상기 도전층은 산화물 도전막을 사용하여 형성될 수 있다. 상기 산화물 도전막으로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-주석 인듐 합금($In_2O_3-SnO_2$, 몇몇 경우들에서 ITO로 약기되는), 산화 인듐-산화 아연 합금(In_2O_3-ZnO), 또는 실리콘 또는 산화 실리콘이 포함되는 이들 금속 산화물 재료들 중 임의의 것이 사용될 수 있다.

- [0164] 상기 경우에서, 상기 산화물 반도체층(140)을 위한 재료와 비교하여, 도전율이 높거나 또는 저항률이 낮은 재료가 바람직하게는 상기 산화물 도전막을 위해 사용된다. 상기 산화물 도전막의 도전율은 캐리어 농도에서의 증가에 의해 증가될 수 있다. 상기 산화물 도전막에서의 캐리어 농도는 상기 수소 농도에서의 증가에 의해 증가될 수 있다. 또한, 상기 산화물 도전막에서의 캐리어 농도는 산소 결핍에서의 증가에 의해 증가될 수 있다.
- [0165] 상기 도전층은 단층 구조 또는 둘 이상의 층들을 포함한 적층 구조를 가질 수 있다. 예를 들면, 상기 도전층은 실리콘을 포함한 알루미늄 막의 단-층 구조, 티타늄 막이 알루미늄 막 위에 적층되는 2-층 구조, 또는 티타늄 막, 알루미늄 막, 및 티타늄 막이 이러한 순서로 적층되는 3-층 구조를 가질 수 있다. 여기에서는, 티타늄 막, 알루미늄 막, 및 티타늄 막의 3-층 구조가 이용된다.
- [0166] 산화물 도전층은 상기 산화물 반도체층(140) 및 상기 도전층 사이에 형성될 수 있음을 주의하자. 상기 산화물 도전층 및 상기 도전층은 연속적으로 형성될 수 있다. 이러한 산화물 도전층을 제공함으로써, 상기 소스 영역 또는 상기 드레인 영역의 저항은 감소될 수 있으며, 따라서 상기 트랜지스터가 고속으로 동작할 수 있다.
- [0167] 다음으로, 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)은 상기 도전층을 선택적으로 에칭함으로써 형성된다(도 5f 참조). 자외선 광, KrF 레이저 광, 또는 ArF 레이저 광이 바람직하게는 에칭을 위해 사용된 마스크를 형성할 때 노광을 위해 사용된다.
- [0168] 상기 트랜지스터의 채널 길이(L)는 상기 소스 또는 드레인 전극(142a)의 하단부 및 상기 소스 또는 드레인 전극(142b)의 하단부 사이의 거리에 의해 결정된다. 노광이 상기 채널 길이(L)가 25nm 미만이도록 수행되는 경우에, 마스크를 형성하기 위한 노광은 파장이 수 나노미터들 내지 수십 나노미터들로 매우 짧은 초자외선들을 갖고 수행된다는 것을 주의하자. 초자외선들을 가진 노광의 해상도는 높으며 초점 심도는 크다. 이러한 이유들로, 나중에 형성될 상기 트랜지스터의 채널 길이(L)은 25nm 미만, 즉 10nm 이상 1000nm 이상의 범위에 있도록 마스크를 설계하는 것이 가능하며, 상기 회로는 보다 빠른 속도로 동작할 수 있다. 게다가, 상기 오프-상태 전류는 매우 낮으며, 이것은 전력 소비의 증가를 방지한다.
- [0169] 상기 도전층 및 상기 산화물 반도체층(140)의 재료들 및 에칭 조건들은 상기 산화물 반도체층(140)이 상기 도전층의 에칭시 제거되도록 적절하게 조정된다. 몇몇 경우들에서, 상기 산화물 반도체층(140)은 상기 에칭 단계에서 부분적으로 에칭되며, 따라서 상기 재료들 및 상기 에칭 조건들에 의존하여 홈부(오프부)를 갖는다는 것을 주의하자.
- [0170] 사용될 마스크들의 수를 감소시키고 단계들의 수를 감소시키기 위해, 에칭 단계는 복수의 강도들을 갖도록 광이 투과되는 노광 마스크인 다계조 마스크(multi-tone mask)를 사용하여 형성된 레지스트 마스크의 사용으로 수행될 수 있다. 다계조 마스크의 사용으로 형성된 레지스트 마스크는 복수의 두께들을 가지며(계단-형 형상을 가지며), 또한 애싱(ashing)에 의해 형상이 변경될 수 있고; 그러므로, 상기 레지스트 마스크는 상이한 패턴들로 처리하기 위한 복수의 에칭 단계들에서 사용될 수 있다. 즉, 적어도 둘 이상의 종류들의 상이한 패턴들에 대응하는 레지스트 마스크가 다계조 마스크를 사용함으로써 형성될 수 있다. 따라서, 노광 마스크들의 수는 감소될 수 있으며 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있고, 그에 의해 프로세스는 간략화될 수 있다.
- [0171] 플라즈마 처리가 바람직하게는 전술된 단계 후 N₂O, N₂, 또는 Ar과 같은 가스를 사용하여 수행된다는 것을 주의하자. 이러한 플라즈마 처리는 상기 산화물 반도체층의 노출된 표면에 부착된 물 등을 제거한다. 플라즈마 처리는 산소 및 아르곤의 혼합 가스를 사용하여 수행될 수 있다.
- [0172] 다음으로, 상기 보호 절연층(144)이 상기 공기로의 노출 없이 상기 산화물 반도체층(140)의 일부와 접촉하여 형성된다(도 5g 참조).
- [0173] 상기 보호 절연층(144)은, 물 및 수소와 같은 불순물들이 적절하게, 상기 보호 절연층(144)에 혼합되는 것을 방지하는, 스퍼터링법과 같은 방법으로 형성될 수 있다. 상기 보호 절연층(144)은 1nm 이상의 두께를 가진다. 상기 보호 절연층(144)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘 등을 사용하여 형성될 수 있다. 상기 보호 절연층(144)은 단층 구조 또는 적층 구조를 가질 수 있다. 상기 보호 절연층(144)을 형성할 때 기판 온도는 바람직하게는 실온 이상 300℃ 이하이다. 상기 보호 절연층(144)을 형성하기 위한 분위기는 바람직하게는 희가스(대표적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로 아르곤) 및 산소를 포함한 혼합 분위기이다.
- [0174] 수소가 상기 보호 절연층(144)에 포함된다면, 상기 수소는 상기 산화물 반도체층에 들어갈 수 있거나 또는 상기 산화물 반도체층에서 산소를 추출하여, 그에 의해 상기 백 채널 측 상의 상기 산화물 반도체층의 저항이 감소될

수 있으며 기생 채널이 형성될 수 있다. 그러므로, 상기 산화물 절연층(144)이 수소를 가능한 한 적게 포함하도록 상기 보호 절연층(144)을 형성할 때 수소를 사용하지 않는 것이 중요하다.

- [0175] 게다가, 상기 보호 절연층(144)은 수소, 수산기를 포함한 화합물, 또는 수분이 상기 산화물 반도체층(140) 및 상기 보호 절연층(144)에 포함되지 않도록, 바람직하게는 상기 처리실에서의 물이 제거되는 동안 형성된다.
- [0176] 흡착형 진공 펌프가 바람직하게는 상기 처리실에서의 수분을 제거하기 위해 사용된다. 예를 들면, 바람직하게는, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 유닛은 콜드 트랩을 갖춘 터보 펌프일 수 있다. 상기 크라이오펌프로 배기되는 막 형성 챔버에서, 예를 들면, 수소 원자 및 물(H₂O)과 같은 수소 원자를 포함한 화합물이 제거되며; 따라서 상기 막 형성 챔버에 형성된 상기 보호 절연층(144)에 포함된 불순물의 농도는 감소될 수 있다.
- [0177] 상기 보호 절연층(144)을 형성할 때 사용된 스퍼터링 가스로서, 수소, 물, 수산기를 포함한 화합물, 또는 수소 화합물과 같은 불순물이 1 ppm 이하(바람직하게는, 1 ppb 이하)의 농도로 제거되는 고-순도 가스를 사용하는 것이 바람직하다.
- [0178] 다음으로, 제 2 열 처리가 바람직하게는 불활성 가스 분위기 또는 산소 가스 분위기(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하로) 하에 수행된다. 예를 들면, 상기 제 2 열 처리는 질소 분위기 하에서 1시간 동안 250℃로 수행된다. 상기 제 2 열 처리는 상기 트랜지스터의 전기적 특성에서의 변화를 감소시킬 수 있다.
- [0179] 더욱이, 열 처리는 공기에서 1시간 이상 30시간 이하 동안 100℃ 이상 200℃ 이하로 수행될 수 있다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있으며; 대안적으로, 상기 가열 온도에서의 다음의 변화가 복수 회 반복적으로 수행될 수 있다: 상기 가열 온도는 실온에서 100℃ 이상 200℃ 이하의 온도로 증가되며 그 후 실온으로 감소된다. 이러한 열 처리는 상기 보호 절연층이 형성되기 전에 감소된 압력 하에서 수행될 수 있다. 상기 열 처리 시간은 상기 감소된 압력 하에서 단축될 수 있다. 이러한 열 처리는 상기 제 2 열 처리 대신에 수행될 수 있거나 또는 상기 제 2 열 처리 전 또는 후에 수행될 수 있다.
- [0180] 다음으로, 상기 층간 절연층(146)이 상기 보호 절연층(144) 위에 형성된다(도 6a 참조). 상기 층간 절연층(146)은 PVD 법, CVD 법 등을 갖고 형성될 수 있다. 상기 층간 절연층(146)은 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다. 상기 층간 절연층(146)의 형성 후, 상기 층간 절연층(146)의 표면은 바람직하게는 CMP 또는 에칭과 같은 방법으로 평탄화된다.
- [0181] 다음으로, 상기 전극(136a), 상기 전극(136b), 상기 전극(136c), 상기 소스 또는 드레인 전극(142a), 및 상기 소스 또는 드레인 전극(142b)에 도달하는 개구들이 상기 층간 절연층(146), 상기 보호 절연층(144), 및 상기 게이트 절연층(138)에 형성된다. 그 후, 도전층(148)이 상기 개구들에 내장되도록 형성된다(도 6b 참조). 상기 개구들은 마스크를 사용한 에칭과 같은 방법으로 형성될 수 있다. 상기 마스크는 포토마스크를 사용한 노광과 같은 방법으로 형성될 수 있다.
- [0182] 웨트 에칭 또는 드라이 에칭이 상기 에칭으로서 사용될 수 있으며; 드라이 에칭은 바람직하게는 미세가공에 관하여 사용될 수 있다. 상기 도전층(148)은 PVD 법 또는 CVD 법과 같은 막 형성 방법으로 형성될 수 있다. 상기 도전층(148)은 예를 들면, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 도전 재료 또는 이들 재료들 중 임의의 것의 합금 또는 화합물(예로서, 질화물)을 사용하여 형성될 수 있다.
- [0183] 구체적으로, 예를 들면, 얇은 티타늄 막이 PVD 법으로 상기 개구들을 포함한 영역에 형성되고 얇은 질화 티타늄 막이 CVD 법으로 형성되며, 그 후 텅스텐 막이 상기 개구들에 내장되도록 형성되는 방법을 이용하는 것이 가능하다. 여기에서, PVD 법으로 형성된 상기 티타늄 막은 하부 전극들(여기에서, 상기 전극(136a), 상기 전극(136b), 상기 전극(136c), 상기 소스 또는 드레인 전극(142a), 및 상기 소스 또는 드레인 전극(142b))과의 접촉 저항을 저감시키기 위해 상기 층간 절연층(146)과의 계면에서 산화막을 감소시키는 기능을 갖는다. 상기 티타늄 막의 형성 후 형성된 상기 질화 티타늄 막은 상기 도전 재료의 확산을 방지하는 배리어 기능을 갖는다. 구리막은 티타늄, 질화 티타늄 등의 상기 배리어 막의 형성 후 도금 방법으로 형성될 수 있다.
- [0184] 상기 도전층(148)이 형성된 후, 상기 도전층(148)의 일부가 에칭 또는 CMP와 같은 방법으로 제거되어, 상기 층간 절연층(146)이 노출되고 상기 전극(150a), 상기 전극(150b), 상기 전극(150c), 상기 전극(150d), 및 상기

전극(150e)이 형성된다(도 6c 참조). 상기 전극(150a), 상기 전극(150b), 상기 전극(150c), 상기 전극(150d), 및 상기 전극(150e)이 상기 도전층(148)의 일부를 제거함으로써 형성될 때, 상기 프로세스는 바람직하게는 상기 표면들을 평탄화하도록 수행된다는 것을 주의하자. 상기 층간 절연층(146), 상기 전극(150a), 상기 전극(150b), 상기 전극(150c), 상기 전극(150d), 및 상기 전극(150e)의 표면들이 이러한 방식으로 평탄화될 때, 전극, 배선, 절연층, 반도체층 등이 나중 단계들에서 양호하게 형성될 수 있다.

[0185] 그 후, 상기 절연층(152)이 추가로 형성되며, 상기 전극(150a), 상기 전극(150b), 상기 전극(150c), 상기 전극(150d), 및 상기 전극(150e)에 도달하는 개구들이 상기 절연층(152)에 형성된다. 도전층이 상기 개구들에 내장 되도록 형성된 후, 상기 도전층의 일부가 에칭 또는 CMP와 같은 방법으로 제거된다. 따라서, 상기 절연층(152)은 노출되고 상기 전극(154a), 상기 전극(154b), 상기 전극(154c), 및 상기 전극(154d)이 형성된다(도 6d 참조). 이러한 단계는 상기 전극(150a) 등을 형성하는 단계와 유사하며; 그러므로, 상세한 설명은 생략된다.

[0186] 상기 트랜지스터(402)가 전술된 방법으로 형성되는 경우에, 상기 산화물 반도체층에서의 수소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하이고, 상기 트랜지스터(402)의 오프-상태 전류는 실온에서 $1 \times 10^{-13} \text{ A}$ 이하이다. 상기 산화물 반도체층에서의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만이다. 우수한 특성들을 가진 상기 트랜지스터(402)는 상술된 바와 같이 수소 농도를 충분히 저감시키고 산소를 공급함으로써 고순도화되는 상기 산화물 반도체층(140)의 적용에 의해 획득될 수 있다. 게다가, 상기 불휘발성 래치 회로는 하부에 산화물 반도체 이외의 재료를 사용하여 형성된 상기 트랜지스터(160) 및 상부에 산화물 반도체를 사용하여 형성된 상기 트랜지스터(402)를 포함하기 때문에, 양쪽 트랜지스터들 모두의 특성들을 갖는 우수한 불휘발성 래치 회로 및 상기 불휘발성 래치 회로를 사용한 반도체 장치를 제조하는 것이 가능하다.

[0187] 수소, 물 등이 상기 산화물 반도체층에 들어갈 가능성이 없기 때문에 산소는 상기 수소 농도가 감소된 직후 상기 산화물 반도체층(140)에 공급되고 따라서 매우 양호한 특성들을 갖는 산화물 반도체층이 실현될 수 있는 것이 가능하다는 것을 주의하자. 상기 수소 농도를 감소시키기 위한 처리 및 산소를 공급하기 위한 처리는 양호한 특성들을 갖는 산화물 반도체층이 실현될 수 있는 한 연속적으로 수행될 필요가 없다는 것은 말할 필요도 없다. 예를 들면, 또 다른 처리가 상기 수소 농도를 감소시키기 위한 처리 및 산소를 공급하기 위한 처리 사이에서 수행될 수 있다. 대안적으로, 상기 처리 양쪽 모두는 동시에 수행될 수 있다.

[0188] 탄화 실리콘(예로서, 4H-SiC)은 산화물 반도체에 비교될 수 있는 반도체 재료로서 주어진다(이를 주의하자). 산화물 반도체 및 4H-SiC는 몇몇 공통점들을 가진다. 캐리어 밀도가 그것들 중 하나이다. 페르미-디랙 분포(Fermi-Dirac distribution)에 따르면, 산화물 반도체에서 소수 캐리어들의 밀도는 대략 $1 \times 10^{-7} / \text{cm}^3$ 가 되는 것으로 추정된다. 상기 소수 캐리어 밀도의 값은 4H-SiC에서의 것, 즉 $6.7 \times 10^{-11} / \text{cm}^3$ 와 유사하게 매우 작다. 산화물 반도체의 소수 캐리어 밀도는 실리콘의 진성 캐리어 밀도(대략 $1.4 \times 10^{10} / \text{cm}^3$)에 비교할 때, 산화물 반도체의 상기 소수 캐리어 밀도가 상당히 낮다는 것이 잘 이해될 수 있다.

[0189] 또한, 산화물 반도체의 에너지 밴드갭은 3.0 eV 내지 3.5 eV이고, 4H-SiC의 에너지 밴드갭은 3.26eV이다. 따라서, 산화물 반도체 및 탄화 실리콘은 그것들 모두가 와이드-갭 반도체들이라는 점에서 유사하다.

[0190] 다른 한편으로, 산화물 반도체 및 탄화 실리콘 사이에 주요 차이, 즉 프로세스 온도가 존재한다. 1500°C 내지 2000°C에서의 열 처리는 일반적으로 탄화 실리콘을 사용한 반도체 프로세스에서 요구되기 때문에, 탄화 실리콘 및 탄화 실리콘 이외의 반도체 재료를 사용하여 형성된 반도체 소자의 적층을 형성하는 것은 어렵다. 이것은 반도체 기판, 상기 반도체 소자 등이 이러한 고온들에서 손상되기 때문이다. 한편, 산화물 반도체는 300°C 내지 500°C(유리 전위 온도 이하, 최대 약 700°C)의 온도에서의 열 처리를 갖고 형성될 수 있으며; 그러므로, 산화물 반도체 이외의 반도체 재료를 사용하여 집적 회로를 형성하고 그 후 산화물 반도체를 포함한 반도체 소자를 형성하는 것이 가능하다.

[0191] 또한, 탄화 실리콘과 대비하여, 산화물 반도체는 유리 기판과 같은 낮은 내열성 기판이 사용될 수 있기 때문에 유리하다. 게다가, 산화물 반도체는 고온에서 열 처리될 필요가 없으며, 따라서 에너지 비용은 탄화 실리콘과 비교하여 충분히 감소될 수 있으며, 이것은 또 다른 이점이다.

[0192] 상태 밀도(DOS)와 같은 산화물 반도체의 특성들에 대한 많은 연구들이 행해져왔지만, 그것들은 그것들 스스로 국소화된 준위들을 충분히 감소시키는 사상을 포함하지 않는다. 여기에 개시된 본 발명의 일 실시예에 따르면, 고순도화된 산화물 반도체는 상기 국소화된 준위들에 영향을 미칠 수 있는 물 또는 수소를 제거함으로써 형성된

다. 이것은 상기 국소화된 준위들 스스로 충분히 감소된다는 사상에 기초한다. 이러한 고순도화된 산화물 반도체는 매우 우수한 산업 제품들의 제조를 가능하게 한다.

[0193] 또한, 산소 공핍에 의해 생성되는 금속의 미결합수(dangling bond)에 산소를 공급하고 상기 산소 공핍으로 인한 상기 국소화된 상태들을 감소시킴으로써 보다 고순도화된 (i-형) 산화물 반도체를 형성하는 것이 또한 가능하다. 예를 들면, 과잉 산소를 포함한 산화막은 채널 형성 영역과 밀접하게 형성되고 그 후 산소가 상기 산화막으로부터 상기 채널 형성 영역에 공급되어, 산소 공핍으로 인한 상기 국소화된 상태들을 감소시킬 수 있도록 한다.

[0194] 산화물 반도체의 결함은 과잉 수소로 인한 도전 밴드 하에 0.1 eV 내지 0.2 eV의 준위, 산소 부족으로 인한 깊은 준위 등에 기인한다고 말할 수 있다. 이러한 결함의 제거를 위해 수소의 철저한 제거 및 산소의 충분한 공급이 기술적 사상으로서 올바를 것이다.

[0195] 산화물 반도체는 일반적으로 n-형 반도체로서 고려되지만; 여기에 개시된 본 발명의 일 실시예에 따르면, i-형 반도체가 불순물, 특히 물 및 수소를 제거함으로써 실현된다. 이러한 점에서, 여기에 개시된 본 발명의 일 실시예는 그것이 불순물이 첨가된 실리콘과 같은 i-형 반도체와 상이하기 때문에 신규의 기술적 사상을 포함한다고 말할 수 있다.

[0196] 상기 비휘발성 래치 회로(400)의 소자들 중에서, 산화물 반도체 이외의 재료가 산화물 반도체를 사용한 상기 트랜지스터(402) 이외의 상기 소자들을 위한 반도체 재료로서 사용되는 예가 상술되었다. 그러나, 여기에 개시된 본 발명은 이에 한정되지 않는다. 상기 비휘발성 래치 회로(400)의 소자들 중에서, 산화물 반도체는 또한 상기 트랜지스터(402) 이외의 소자들에 대한 반도체 재료로서 사용될 수 있다.

[0197] <산화물 반도체를 사용한 트랜지스터의 전기적 도전 기구>

[0198] 산화물 반도체를 사용한 트랜지스터의 전기적 도전 기구가 도 7, 도 8, 도 9a와 도 9b, 및 도 10을 참조하여 여기에서 설명될 것이다. 다음 설명은 용이한 이해를 위한 이상적 상황에 대한 가정에 기초하며 반드시 실제 상황을 반영하는 것은 아니라는 것을 주의하자. 또한 다음 설명은 단지 고려사항이며 본 발명의 유효성에 영향을 미치지 않는다는 것을 주의하자.

[0199] 도 7은 산화물 반도체를 사용한 트랜지스터(박막 트랜지스터)의 단면도이다. 산화물 반도체층(OS)은 게이트 절연층(GI)을 사이에 개재하여 게이트 전극(GE1) 위에 제공되며, 소스 전극(S) 및 게이트 전극(D)은 상기 산화물 반도체층 위에 제공된다. 절연층은 상기 소스 전극(S) 및 상기 드레인 전극(D)을 커버하도록 제공된다.

[0200] 도 8은 도 7에서 단면 A-A'의 에너지 밴드도(모식도)이다. 도 8에서, 검은 원(●) 및 흰색 원(○)은 전자 및 홀을 나타내며 각각 전하들(-q, +q)을 가진다. 상기 드레인 전극에 인가된 양의 전위($V_D > 0$)를 갖고, 접선은 어떤 전압도 상기 게이트 전극($V_G = 0$)에 인가되지 않는 경우를 도시하며 실선은 양의 전압이 상기 게이트 전극($V_G > 0$)에 인가되는 경우를 도시한다. 어떤 전압도 상기 게이트 전극에 인가되지 않는 경우에, 캐리어들(전자들)은 높은 포텐셜 장벽으로 인해 전극으로부터 상기 산화물 반도체 층에 주입되지 않으며, 따라서 전류는 흐르지 않고, 이는 오프 상태를 의미한다. 다른 한편으로, 양의 전압이 상기 게이트 전극에 인가될 때, 포텐셜 장벽이 저하되며, 따라서 전류가 흐르고, 이것은 온 상태를 의미한다.

[0201] 도 9a 및 도 9b는 도 7에서의 B-B'를 따르는 에너지 밴드도들(모식도들)이다. 도 9a는 양의 전압($V_G > 0$)이 상기 게이트 전극(GE1)에 인가되고 캐리어들(전극들)이 상기 소스 전극 및 상기 드레인 전극 사이에 흐르는 상태를 도시한다. 도 9b는 음의 전압($V_G < 0$)이 상기 게이트 전극(GE1)에 인가되고 소수 캐리어들이 흐르지 않는 오프 상태를 도시한다.

[0202] 도 10은 진공 준위 및 금속의 일함수(ϕ) 사이 및 상기 진공 준위 및 산화물 반도체의 전자 친화도(χ) 사이의 관계들을 도시한다. 상온에서, 상기 금속에서의 전자들은 축퇴되고 상기 페르미 준위는 상기 도전 대역에 위치된다. 다른 한편으로, 종래의 산화물 반도체는 n-형이며, 상기 페르미 준위(E_F)는 상기 밴드 갭의 중앙에서 진성 페르미 준위(E_i)로부터 멀리 떨어져 있고 상기 도전 대역 가까이에 위치된다. 수소의 일부는 산화물 반도체에서 도너(donor)이고 산화물 반도체가 n-형 산화물 반도체가 되게 하는 하나의 요인임이 알려져 있다는 것을 주의한다.

[0203] 다른 한편으로, 여기에 개시된 본 발명의 일 실시예에 따른 산화물 반도체는 다음의 방식으로 획득되는 진성(i-형)이거나 또는 실질적으로 진성인 산화물 반도체이다: 상기 산화물 반도체의 주성분 이외의 원소(즉, 불순물

원소)가 가능한 한 많이 그 안에 포함되는 것을 방지하도록 상기 산화물 반도체를 정제하고 산화물 반도체로부터 n-형 산화물 반도체를 위한 인자인 수소, 즉, 특징은 정제된 i-형(진성) 반도체 또는 그것에 가까운 반도체는 불순물 원소를 부가함으로써가 아닌 수소 및 물과 같은 불순물을 가능한 한 많이 제거함으로써 획득된다는 것이다. 따라서, 상기 페르미 준위(E_f)는 상기 진성 페르미 준위(E_i)와 비교가능할 수 있다.

- [0204] 산화물 반도체의 밴드 갭(E_g)은 3.15 eV이며, 그 전자 친화도(χ)는 4.3eV라고 말할 수 있다. 상기 소스 전극 및 상기 드레인 전극에 포함된 티타늄(Ti)의 일함수는 산화물 반도체의 전자 친화도(χ)와 실질적으로 동일하다. 이 경우에, 전자에 대한 쇼트키 장벽(Schottky barrier)은 금속 및 산화물 반도체 간의 계면에 형성되지 않는다.
- [0205] 이때, 도 9a에 도시된 바와 같이, 상기 전자는 상기 게이트 절연층 및 상기 고순도화된 산화물 반도체 간의 계면의 부근에서 이동한다(에너지에 관하여 상기 산화물 반도체가 안정되는 최저부).
- [0206] 또한, 도 9b에 도시된 바와 같이, 음의 전위가 상기 게이트 전극(GE1)에 공급될 때, 전류의 값은 소수 캐리어들인 홀들이 실제로 제로이기 때문에 제로에 매우 가깝다.
- [0207] 이러한 방식으로, 진성(i-형) 또는 실질적으로 진성 산화물 반도체가 그것의 주성분 이외의 원소(즉, 불순물 원소)가 가능한 한 적게 포함되도록 고순도화됨으로써 획득된다. 따라서, 상기 산화물 반도체 및 상기 게이트 절연층 간의 계면의 특성들이 중요해진다. 이러한 이유로, 상기 게이트 절연층은 상기 산화물 반도체와 양호한 계면을 형성할 수 있도록 요구한다. 구체적으로는, 예를 들면, 다음의 절연층을 사용하는 것이 바람직하다: VHF 대역 내지 마이크로파 대역의 범위에 있는 전원 주파수로 생성된 고-밀도 플라즈마를 사용한 CVD 법으로 형성된 절연층, 또는 스퍼터링법으로 형성된 절연층.
- [0208] 상기 산화물 반도체가 고순도화되고 상기 산화물 반도체와 상기 게이트 절연층 간의 상기 계면이 양호해질 때, 상기 트랜지스터가 $1 \times 10^4 \mu\text{m}$ 의 채널 폭(W)을 갖고 $3 \mu\text{m}$ 의 채널 길이(L)를 가지는 경우에, 10^{-13} A 이하의 오프-상태 전류 및 0.1 V/dec의 임계값 아래의 스윙(S 값)을 실현하는 것이 가능하다. (게이트 절연층 : 100 nm 두께).
- [0209] 상기 산화물 반도체가 그것의 주성분 이외의 원소(즉, 불순물 원소)를 가능한 한 적게 포함하도록 상술된 바와 같이 고순도화될 때, 상기 트랜지스터는 양호한 방식으로 동작할 수 있다.
- [0210] <핫 캐리어 열화에 대한 산화물 반도체를 사용한 트랜지스터의 내성>
- [0211] 다음으로, 핫 캐리어 열화에 대한 산화물 반도체를 사용한 트랜지스터의 내성이 도 11, 도 12, 및 도 13을 참조하여 설명될 것이다. 다음 설명은 용이한 이해를 위한 이상적 상황에 대해 가정에 기초하며 반드시 실제 상황을 반영하는 것은 아니라는 것을 주의하자. 또한 다음 설명은 단지 고려사항임을 주의하자.
- [0212] 핫 캐리어 열화의 주 요인들은 채널 핫 전자 주입(CHE 주입) 및 드레인 애벌란시 핫 캐리어 주입(DACH 주입)이다. 단지 전자들이 간략함을 위해 이하에서 고려된다는 것을 주의하자.
- [0213] CHE 주입은 반도체층에서의 게이트 절연층의 장벽보다 높은 에너지를 얻는 전자들이 상기 게이트 절연층 등으로 주입되는 현상을 나타낸다. 전자들은 낮은 전기장에 의해 가속화됨으로써 에너지를 얻는다.
- [0214] DAHC 주입은 높은 전기장에 의해 가속화된 전자들의 충돌에 의해 생성된 전자들이 게이트 절연층 등에 주입되는 현상을 나타낸다. DAHC 주입과 CHE 주입 간의 차이는 그것들이 충돌 이온화법에 의해 야기된 애벌란시 항복을 수반하는지 여부이다. DAHC 주입은 반도체의 밴드갭보다 높은 운동 에너지(kinetic energy)를 갖는 전자들을 요구한다는 것을 주의하자.
- [0215] 도 11은 실리콘(Si)의 밴드 구조로부터 추정되는 각각의 핫 캐리어 주입을 위해 요구된 에너지를 도시하며, 도 12는 In-Ga-Zn-0계 산화물 반도체(IGZO)의 밴드 구조로부터 추정되는 각각의 핫 캐리어 주입을 위해 요구된 에너지를 도시한다. 도 11 및 도 12의 각각의 좌측은 CHE 주입을 도시하며, 도 11 및 도 12의 각각의 우측은 DAHC 주입을 도시한다.
- [0216] 실리콘에 관하여, DAHC 주입에 의해 야기된 열화는 CHE 주입에 의해 야기된 것보다 더 심각하다. 이것은 충돌 없이 가속화된 캐리어들(예로서, 전자들)이 실리콘에 매우 적은 반면, 실리콘은 좁은 밴드갭을 가지며 애벌란시 항복이 그 안에서 쉽게 발생한다는 사실로부터 기인한다. 상기 애벌란시 항복은 상기 게이트 절연층의 장벽을 넘을 수 있는 전자들(즉, 상기 게이트 절연층으로 주입된 전자들)의 수를 급격히 증가시키며, 이것은 열화를 야

기한다.

- [0217] In-Ga-Zn-O계 산화물 반도체에 관하여, CHE 주입을 위해 요구된 에너지는 실리콘의 경우에서의 것과 매우 상이하지 않으며, CHE 주입의 확률은 여전히 낮다. 다른 한편으로, In-Ga-Zn-O계 산화물 반도체의 상기 밴드갭은 실리콘의 것보다 더 넓기 때문에, DAHC 주입을 위해 요구된 에너지는 증가되며 따라서 애벌란시 항복이 발생할 가능성이 적다. 달리 말하면, CHE 주입 및 DAHC 주입 모두의 확률은 낮으며, 핫 캐리어 열화는 실리콘을 사용한 경우와 비교하여 발생할 가능성이 적다.
- [0218] 한편, In-Ga-Zn-O계 산화물 반도체의 밴드갭은 높은 내전압을 갖는 재료로서 관심을 끄는 탄화 실리콘(SiC)의 것과 비교가능하다. 도 13은 4H-SiC에 관한 각각의 핫 캐리어 주입을 위해 요구된 에너지를 도시한다. CHE 주입에 관하여, In-Ga-Zn-O계 산화물 반도체는 약간 더 높은 임계값을 가지며 이점을 가진다고 말할 수 있다.
- [0219] 상술된 바와 같이, In-Ga-Zn-O계 산화물 반도체는 핫 캐리어 열화에 대한 훨씬 더 높은 내성 및 실리콘보다 더 높은 소스-드레인 파괴에 대한 내성을 가진다는 것을 알 수 있다. 이것은 또한 탄화 실리콘의 것과 비교가능한 내전압이 획득될 수 있다고 말할 수 있다.
- [0220] <산화물 반도체를 사용한 트랜지스터에서의 단-채널 효과>
- [0221] 다음으로, 산화물 반도체를 사용한 트랜지스터에서의 단-채널 효과가 도 14 및 도 15를 참조하여 설명될 것이다. 다음 설명은 용이한 이해를 위한 이상적 상황의 가정에 기초하며 반드시 실제 상황을 반영하는 것이 아니라는 것을 주의하자. 또한 다음 설명은 단지 고려사항임을 주의하자.
- [0222] 상기 단채널 효과는 트랜지스터의 미세화(채널 길이(L)에서의 감소)를 갖고 명백해지는 전기적 특성들의 열화를 나타낸다. 상기 단채널 효과는 소스상의 드레인의 효과로부터 기인한다. 상기 단채널 효과의 특정 예들은 임계 전압에서의 감소, 임계값 이하의 스윙(S 값)에서의 증가, 리크 전류에서의 증가 등이다.
- [0223] 여기에서, 단채널 효과를 억제할 수 있는 구조가 디바이스 시뮬레이션에 의해 검사된다. 구체적으로, 각각 상이한 캐리어 농도 및 상이한 산화물 반도체층의 두께를 가진 4 종류들의 모델들이 준비되며, 채널 길이(L)와 임계 전압(V_{th}) 간의 관계가 확인된다. 상기 모델들로서, 보텀-게이트형 트랜지스터들이 이용되며, 각각에서 산화물 반도체는 $1.7 \times 10^{-8} / \text{cm}^3$ 또는 $1.0 \times 10^{15} / \text{cm}^3$ 의 캐리어 농도 및 $1 \mu\text{m}$ 또는 30 nm 의 두께를 가진 산화물 반도체층을 가진다. In-Ga-Zn-O계 산화물 반도체는 상기 산화물 반도체층을 위해 사용되며 100 nm 의 두께를 가진 산화 질화 실리콘막이 게이트 절연층으로서 사용된다는 것을 주의하자. 상기 산화물 반도체에서, 상기 밴드갭은 3.15 eV 이며, 전자 친화도는 4.3 eV 이고, 상대적 유전율(permittivity)은 15이며, 전자 이동도는 $10 \text{ cm}^2/\text{Vs}$ 임이 가정된다. 상기 산화 질화 실리콘 막의 상대적 유전율은 4.0인 것으로 가정된다. 실바코 인크(Silvaco Inc.)에 의해 제조된 디바이스 시뮬레이션 소프트웨어 "아틀라스(ATLAS)"를 사용하여 계산이 수행된다.
- [0224] 탑-게이트형 트랜지스터 및 보텀-게이트형 트랜지스터 간의 계산 결과들에 큰 차이가 없음을 주의하자. 도 14 및 도 15는 계산 결과들을 도시한다. 도 14는 상기 캐리어 농도가 $1.7 \times 10^{-8} / \text{cm}^3$ 인 경우를 도시하며, 도 15는 상기 캐리어 농도가 $1.0 \times 10^{15} / \text{cm}^3$ 인 경우를 도시한다. 도 14 및 도 15는 각각 채널 길이(L)가 $10 \mu\text{m}$ 인 트랜지스터가 기준으로 사용되고 채널 길이들(L)이 $10 \mu\text{m}$ 에서 $1 \mu\text{m}$ 로 변화할 때 임계 전압(V_{th})에서 변화량(ΔV_{th})을 도시한다. 도 14에 도시된 바와 같이, 상기 산화물 반도체에서 캐리어 농도는 $1.7 \times 10^{-8} / \text{cm}^3$ 이며 상기 산화물 반도체층의 두께가 $1 \mu\text{m}$ 인 경우에, 임계 전압에서의 변화량(ΔV_{th})은 -3.6 V 이다. 게다가, 도 14에 도시된 바와 같이, 상기 산화물 반도체에서의 캐리어 농도가 $1.7 \times 10^{-8} / \text{cm}^3$ 이고, 상기 산화물 반도체층의 두께가 30 nm 인 경우에, 임계 전압에서의 변화량(ΔV_{th})은 -0.2 V 이다. 또한, 도 15에 도시된 바와 같이, 상기 산화물 반도체에서의 캐리어 농도가 $1.0 \times 10^{15} / \text{cm}^3$ 이고 상기 산화물 반도체층의 두께가 $1 \mu\text{m}$ 인 경우에, 임계 전압에서의 변화량(ΔV_{th})은 -3.6 V 이다. 게다가, 도 15에 도시된 바와 같이, 상기 산화물 반도체에서의 캐리어 농도가 $1.0 \times 10^{15} / \text{cm}^3$ 이고 상기 산화물 반도체층의 두께가 30 nm 인 경우에, 임계 전압에서의 변화량(ΔV_{th})은 -0.2 V 이다. 상기 결과들은 단-채널 효과가 산화물 반도체층의 두께에서의 감소에 의해 산화물 반도체를 사용한 트랜지스터에서 억제될 수 있다는 것을 보여준다. 예를 들면, 심지어 산화물 반도체층이 충분히 높은 캐리어 농도를 가질 때조차, 상기 채널 길이(L)가 대략 $1 \mu\text{m}$ 인 경우에, 단-채널 효과는 상기 산화물 반도체층의 두께가 대략 30 nm 로 설정될 때 충분히 억제될 수 있다는 것이 이해될 수 있다.

- [0225] 이 실시예에 따른 상기 불휘발성 래치 회로에 대한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용하는 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며, 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로 또는 리프레쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.
- [0226] 데이터 기록이 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동일하며; 따라서, 상기 데이터 기록은 저 전압으로 수행될 수 있다. 또한, 전위가 상기 데이터 보유부에 직접 공급되며; 그러므로 데이터로서 저장되는 전하의 양에서의 변화가 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.
- [0227] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 전력 소비는 사용되지 않는 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 논리 상태는 전원이 턴 오프될 때조차 저장되기 때문에, 시스템은, 고속 및 저전력으로, 상기 전원이 턴 온될 때 시작될 수 있거나 또는 상기 전원이 턴 오프될 때 종료될 수 있다.
- [0228] 이 실시예에 설명된 구조들, 방법들 등은 다른 실시예들에 설명된 상기 구조들, 방법들 등 중 임의의 것과 적절하게 결합될 수 있다.
- [0229] [실시예 2]
- [0230] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 불휘발성 래치 회로의 소자들의 구조, 제조 방법 등의 또 다른 예가 도 16, 도 17a 내지 도 17e, 및 도 18a 내지 도 18d를 참조하여 기술될 것이다. 이 실시예에서, 상기 불휘발성 래치 회로의 구성은 도 1에서의 것과 유사하다.
- [0231] 도 16은 불휘발성 래치 회로의 소자들의 구조들의 일 예를 도시한 단면도이다. 도 16은 상기 불휘발성 래치 회로의 소자들 가운데, 상기 상부에 산화물 반도체를 사용하여 형성된 트랜지스터(402)의 구조가 도 3a 및 도 3b에서의 것과 상이한 예를 도시한다. 달리 말하면, 도 16은 탑-게이트형 트랜지스터가 상기 상부에 산화물 반도체를 사용하여 형성된 상기 트랜지스터(402)에 적용되는 일 예이다. 다른 소자들의 구조들(상기 하부에서의 상기 트랜지스터의 구조 등)은 도 3a 및 도 3b에서의 것과 유사하다.
- [0232] <불휘발성 래치 회로의 소자들의 구조>
- [0233] 도 16에서, 산화물 반도체 이외의 재료를 사용한 상기 트랜지스터(160)는 하부에 제공되며, 산화물 반도체를 사용한 상기 트랜지스터(402)는 상부에 제공된다. 산화물 반도체 이외의 재료를 사용한 상기 트랜지스터(160)는 상기 래치부의 상기 제 1 소자(D1)(412) 및 상기 제 2 소자(D2)(413)에 포함된 트랜지스터로서 사용될 수 있다. 산화물 반도체 이외의 재료의 사용으로, 고속 동작이 실현될 수 있다. 또한 상기 불휘발성 래치 회로의 다른 소자들은 상기 트랜지스터(160)의 것과 유사하거나 또는 거에 비교가능한 구조를 가질 수 있다.
- [0234] 상기 불휘발성 래치 회로의 용량 소자(404)와 같은 소자는 상기 트랜지스터(402), 또는 상기 트랜지스터(160)에 포함된 도전막, 반도체 막, 절연막 등을 사용하여 형성될 수 있다. 상기 트랜지스터(160) 및 상기 트랜지스터(402)는 여기에서 n-채널 트랜지스터들이며; 대안적으로, p-채널 트랜지스터가 사용될 수 있다는 것을 주의하자. 상기 트랜지스터(160)로서 p-채널 트랜지스터를 사용하는 것이 쉽다.
- [0235] 상기 트랜지스터(160)는 반도체 재료를 포함한 상기 기관(100)에 제공된 채널 형성 영역(116); 상기 채널 형성 영역(116)을 사이에 개재하여 형성된 불순물 영역들(114) 및 고농도 영역들(120)(상기 불순물 영역들(114) 및 상기 고농도 영역들(120)의 조합은 간단하게 불순물 영역들로서 불리울 수 있다); 상기 채널 형성 영역(116) 위의 게이트 절연층(108a); 상기 게이트 절연층(108a) 위의 상기 게이트 전극(110a); 상기 불순물 영역(114)에 전기적으로 접속된 상기 소스 또는 드레인 전극(130a); 및 상기 불순물 영역(114)에 전기적으로 접속된 상기 소스 또는 드레인 전극(130b)을 포함한다.
- [0236] 여기에서, 상기 측벽 절연층들(118)은 상기 게이트 전극(110a)의 측면들 상에 형성된다. 게다가, 평면으로부터 보여지는 바와 같이, 상기 고-농도 영역들(120)은 상기 측벽 절연층들(118)과 중첩하지 않는 상기 기관(100)의 영역에 형성되며, 상기 금속 화합물 영역들(124)은 상기 고농도 영역들(120)과 접촉한다. 또한, 상기 소자 분리 절연층들(106)은 상기 트랜지스터(160)를 둘러싸도록 상기 기관(100) 위에 형성되며, 상기 층간 절연층(126) 및 상기 층간 절연층(128)은 상기 트랜지스터(160)를 커버하도록 형성된다.
- [0237] 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 상기 층간 절연층(126) 및 상기 층간 절연층(128)에 형성된 개구들을 통해 상기 금속 화합물 영역들(124)에 전기적으로 접속된다. 달리 말하면,

상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 상기 금속 화합물 영역들(124)을 통해 상기 고농도 영역들(120) 및 상기 불순물 영역들(114)에 전기적으로 접속된다.

- [0238] 상기 트랜지스터(402)는 절연층(168) 위에 제공된 산화물 반도체층(140), 상기 산화물 반도체층(140) 위에 제공되고 상기 산화물 반도체층(140)에 전기적으로 접속된 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b), 상기 산화물 반도체층(140), 상기 소스 또는 드레인 전극(142a), 상기 소스 또는 드레인 전극(142b)을 커버하도록 제공된 게이트 절연층(166), 및 상기 게이트 절연층(166) 위의 상기 산화물 반도체층(140)과 중첩하는 영역에 제공된 게이트 전극(178)을 포함한다(도 16 참조).
- [0239] 여기에서, 상기 산화물 반도체층(140)은 바람직하게는 수소와 같은 불순물을 충분히 제거하고 산소를 공급함으로써 고순도화되는 산화물 반도체층이다. 구체적으로는, 2차 이온 질량 분석법(SIMS)에 의해 측정되는, 상기 산화물 반도체층(140)에서의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 및 훨씬 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 미만으로 설정될 수 있다.
- [0240] 상기 수소 농도를 충분히 감소시키고 산소를 공급함으로써 고순도화되는 상기 산화물 반도체층(140)에서, 상기 캐리어 농도는 일반적인 실리콘 웨이퍼(인 또는 붕소와 같은 작은 양의 불순물 원소들이 첨가되는 실리콘 웨이퍼)에서의 캐리어 농도(대략 $1 \times 10^{14}/\text{cm}^3$)에 비교하여 충분히 낮다는 것을 주의한다(예를 들면, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만).
- [0241] 이러한 방식으로, i-형 또는 실질적으로 i-형 산화물 반도체를 사용함으로써, 매우 양호한 오프-상태 전류 특성들을 가진 상기 트랜지스터(402)가 획득될 수 있다. 예를 들면, 드레인 전압(V_D)이 +1V 또는 +10V이고 게이트 전압(V_G)이 -5V에서 -20V 사이일 때, 상기 오프-상태 전류는 실온에서 1×10^{-13} A 이하이다. 게다가, 전술된 트랜지스터는 노멀리-오프 트랜지스터의 특성들을 가진다. 그러므로, 리크 전류, 즉 게이트 전극 및 소스 전극 사이의 전압이 대략 0V인 상태에서의 오프-상태 전류는 실리콘을 사용한 트랜지스터의 것보다 훨씬 더 작다. 예를 들면, 단위 채널 폭당 리크 상기 리크 전류는 실온에서 10 aA/ μm 이하이다.
- [0242] 또한, 온도 특성들에서, 상기 오프-상태 전류는 충분히 낮을 수 있으며 상기 온-상태 전류는 고온에서조차 충분히 높을 수 있다. 예를 들면, 상기 트랜지스터(402)의 V_G - I_D 특성들로서, 데이터가 오프-상태 전류들, 온-상태 전류들, 이동도들, 및 S 값들에 대한 낮은 온도 의존성을 갖고 -25°C 내지 150°C의 범위에서 획득된다. 더욱이, 전술된 온도 범위에서의 상기 오프-상태 전류가 1×10^{-13} A 이하만큼 매우 낮음을 도시하는 데이터가 획득된다. 이유들 중 하나는 고순도화되도록 상기 수소 농도를 충분히 감소시킴으로써 획득되고 매우 낮은 캐리어 농도를 가진 i-형 또는 실질적으로 i-형 산화물 반도체가 상기 산화물 반도체로서 사용된다는 것이다.
- [0243] 상기 수소 농도를 충분히 감소시킴으로써 고순도화되는 상기 산화물 반도체층(140)이 사용되고 상기 트랜지스터(402)의 상기 오프-상태 전류가 감소될 때, 신규의 구조를 가진 반도체 장치가 실현될 수 있다.
- [0244] 또한, 상기 트랜지스터(402) 위에, 중간 절연층(170) 및 중간 절연층(172)이 제공된다. 여기에서, 상기 게이트 절연층(166), 상기 중간 절연층(170), 및 상기 중간 절연층(172)이 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)에 도달하는 개구들을 제공받는다. 전극(154d) 및 전극(154e)은 상기 개구들을 통해 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)과 접촉한다. 상기 전극(154d) 및 상기 전극(154e)의 형성과 동시에, 상기 게이트 절연층(166), 상기 중간 절연층(170), 및 상기 중간 절연층(172)의 개구들을 통해, 전극(154a), 전극(154b), 및 전극(154c)이 각각 상기 전극(136a), 상기 전극(136b), 및 상기 전극(136c)과 접촉하여 형성된다.
- [0245] 절연층(156)은 상기 중간 절연층(172) 위에 형성된다. 전극(158a), 전극(158b), 전극(158c), 및 전극(158d)은 상기 절연층(156)에 내장되도록 형성된다. 여기에서, 상기 전극(158a)은 상기 전극(154a)과 접촉하고, 상기 전극(158b)은 상기 전극(154b)과 접촉하고, 상기 전극(158c)은 상기 전극(154c) 및 상기 전극(154d)과 접촉하며, 상기 전극(158d)은 상기 전극(154e)과 접촉한다.
- [0246] 즉, 상기 트랜지스터(402)의 상기 소스 또는 드레인 전극(142a)은 상기 전극(130c), 상기 전극(136c), 상기 전극(154c), 상기 전극(158c), 및 상기 전극(154d)을 통해 또 다른 소자(예를 들면, 산화물 반도체 이외의 재료를 사용한 상기 트랜지스터)에 전기적으로 접속된다(도 16 참조). 또한, 상기 트랜지스터(402)의 상기 소스 또는 드레인 전극(142b)은 상기 전극(154c) 및 상기 전극(158d)을 통해 또 다른 소자에 전기적으로 접속된다. 접속

전극들(상기 전극(130c), 상기 전극(136c), 상기 전극(154c), 상기 전극(158c), 및 상기 전극(154d)과 같은)의 구조는 전술된 구조에 한정되지 않으며, 적절한 첨가, 생략 등이 가능하다는 것을 주의하자.

- [0247] <불휘발성 래치 회로의 소자들의 제작 방법>
- [0248] 다음으로, 상기 불휘발성 래치 회로의 상기 소자들의 제작 방법의 일 예가 설명될 것이다. 이하에 설명된 제작 방법으로, 상기 불휘발성 래치 회로의 소자들이 제작될 수 있다. 상기 트랜지스터(160)의 제작 방법은 도 4a 내지 도 4h에서의 것과 유사하며; 그러므로, 그 설명은 생략된다는 것을 주의한다. 상기 트랜지스터(402)의 제작 방법은 도 17a 내지 도 17e 및 도 18a 내지 도 18d를 참조하여 설명될 것이다.
- [0249] <상부에서의 트랜지스터의 제작 방법>
- [0250] 다음으로, 상기 층간 절연층(128) 위에 상기 트랜지스터(402)를 제작하기 위한 단계들이 도 17a 내지 도 17e 및 도 18a 내지 도 18d를 참조하여 설명될 것이다. 도 17a 내지 도 17e 및 도 18a 내지 도 18d는 상기 층간 절연층(128) 위에 전극들, 상기 트랜지스터(402) 등을 제작하기 위한 단계들을 도시하며; 그러므로 상기 트랜지스터(402) 아래에 위치한 상기 트랜지스터(160) 등은 생략된다는 것을 주의한다.
- [0251] 먼저, 상기 절연층(132)은 상기 층간 절연층(128), 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 및 상기 전극(130c) 위에 형성된다. 다음으로, 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 및 상기 전극(130c)에 도달하는 개구들이 상기 절연층(132)에 형성된다. 그 후, 도전층은 상기 개구들에 내장되도록 형성된다. 그 후, 상기 도전층의 일부는 에칭, CMP 등에 의해 제거되며, 따라서 상기 절연층(132)이 노출되고 상기 전극(136a), 상기 전극(136b), 및 상기 전극(136c)이 형성되도록 한다(도 17a 참조).
- [0252] 상기 절연층(132)은 PVD 법, CVD 법 등으로 형성될 수 있다. 상기 절연층(132)은 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다.
- [0253] 상기 개구들은 마스크를 사용한 에칭과 같은 방법으로 상기 절연층(132)에 형성될 수 있다. 상기 마스크는 포토 마스크를 사용한 노광과 같은 방법으로 형성될 수 있다. 웨트 에칭 또는 드라이 에칭이 상기 에칭으로서 사용될 수 있으며; 드라이 에칭이 바람직하게는 미세가공에 관하여 사용된다.
- [0254] 상기 도전층은 PVD 법 또는 CVD 법과 같은 막 형성 방법으로 형성될 수 있다. 상기 도전층은 예를 들면, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 또는 이들 재료들 중 임의의 것의 합금 또는 화합물(예로서, 질화물)과 같은 도전 재료를 사용하여 형성될 수 있다.
- [0255] 보다 구체적으로는, 예를 들면, 얇은 티타늄 막이 PVD 법으로 상기 개구들을 포함한 영역에 형성되고 얇은 질화 티타늄 막이 CVD 법으로 형성된 후, 텅스텐 막이 상기 개구들에 내장되도록 형성되는 방법을 이용하는 것이 가능하다. 여기에서, PVD 법으로 형성된 상기 티타늄 막이 하부 전극들과의 접촉 저항을 저감시키기 위해 상기 하부 전극들(여기에서, 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 상기 전극(130c) 등)의 표면에 형성될 수 있는 산화막을 감소시키는 기능을 가진다.
- [0256] 상기 티타늄 막의 형성 후 형성된 상기 질화 티타늄 막은 상기 도전 재료의 확산을 방지하는 장벽 기능을 가진다. 구리막은 티타늄, 질화 티타늄 등의 상기 장벽 막의 형성 후 도금 방법으로 형성될 수 있다. 소위 단일 다마신 방법뿐만 아니라 이중 다마신 방법이 또한 이용될 수 있다는 것을 주의하자.
- [0257] 상기 전극(136a), 상기 전극(136b), 및 상기 전극(136c)이 형성될 때, 상기 프로세스는 바람직하게는 상기 표면들이 평탄화되도록 CMP 등에 의해 수행된다. 상기 절연층(132), 상기 전극(136a), 상기 전극(136b), 및 상기 전극(136c)의 표면들이 이러한 방식으로 평탄화될 때, 전극, 배선, 절연층, 반도체층 등이 나중 단계들에서 양호하게 형성될 수 있다.
- [0258] 다음으로, 상기 절연층(168)이 상기 절연층(132), 상기 전극(136a), 상기 전극(136b), 및 상기 전극(136c)을 커버하기 위해 형성된다. 다음으로, 산화물 반도체층이 상기 절연층(168) 위에 형성되며 마스크를 사용한 에칭과 같은 방법으로 처리되며, 따라서 상기 섬-형상 산화물 반도체층(140)이 형성된다(도 17b 참조).
- [0259] 상기 절연층(168)은 하지(base)로서 기능하며 CVD 법, 스퍼터링법 등으로 형성될 수 있다. 상기 절연층(168)은 바람직하게는 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 사용하여 형성된다. 상기 절연층(168)은 단층 구조 또는 적층 구조를 가질 수 있다는 것을 주의한다.

다. 상기 절연층(168)의 두께에 대한 특별한 제한은 없으며; 상기 절연층(168)은 예를 들면 10nm 이상 500nm 이하의 범위에서 형성될 수 있다. 여기에서, 상기 절연층(168)은 필수적인 구성요소는 아니며, 그러므로 상기 절연층(168)이 제공되지 않는 구조가 또한 가능하다.

- [0260] 수소, 물 등이 상기 절연층(168)에 포함된다면, 수소는 상기 산화물 반도체층에 들어갈 수 있거나 또는 상기 산화물 반도체층으로부터 산소를 추출할 수 있으며, 그에 의해 상기 트랜지스터의 특성들이 저하될 수 있다. 그러므로, 수소 또는 물을 가능한 한 적게 포함하도록 상기 절연층(168)을 형성하는 것이 바람직하다.
- [0261] 예를 들면, 스퍼터링법 등이 이용되는 경우에, 상기 절연층(168)은 상기 처리실에서의 수분이 제거되는 상태에서 형성되는 것이 바람직하다. 상기 처리실에서의 수분을 제거하기 위해, 바람직하게는, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프와 같은 흡착형 진공 펌프가 사용된다. 대안적으로, 콜드 트랩을 갖춘 터보펌프가 사용될 수 있다. 수소, 물 등이 크라이오펌프 등을 갖고 배기된 상기 처리실로부터 충분히 제거되기 때문에, 상기 절연층(168)에 포함된 불순물의 농도는 감소될 수 있다.
- [0262] 상기 절연층(168)이 형성될 때, 수소 또는 물과 같은 불순물이 수 ppm 이하(바람직하게는, 10 ppb 이하)의 농도로 감소되는 고-순도 가스를 사용하는 것이 바람직하다.
- [0263] 상기 산화물 반도체층으로서, 다음 산화물 반도체들 중 임의의 것이 사용될 수 있다: 4-원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3-원계 금속 산화물들인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 또는 Sn-Al-Zn-O계 산화물 반도체; 2-원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 또는 In-Mg-O계 산화물 반도체; 또는 1-원계 금속 산화물들인 In-O계 산화물 반도체; Sn-O계 산화물 반도체; 또는 Zn-O계 산화물 반도체. 또한, 상술된 산화물 반도체들은 SiO₂를 포함할 수 있다.
- [0264] 상기 산화물 반도체층으로서, InMO₃(ZnO)_m(m>0)에 의해 표현된 재료를 포함한 박막이 사용될 수 있다. 여기에서, M은 Ga, Al, Mn, 및 Co로부터 선택된 금속 원소들 중 하나 이상을 나타낸다. 예를 들면, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다.
- [0265] 이 실시예에서, 상기 산화물 반도체층으로서, 비정질 산화물 반도체층이 In-Ga-Zn-O계 금속 산화물 타겟을 사용한 스퍼터링법으로 형성된다. 비정질 산화물 반도체층의 결정화가 상기 비정질 산화물 반도체층에 실리콘을 첨가함으로써 억제될 수 있기 때문에, 산화물 반도체층이, 예를 들면 2 wt% 이상 10 wt% 이하의 SiO₂를 포함한 타겟을 사용하여 형성될 수 있다는 것을 주의하자.
- [0266] 스퍼터링법으로 산화물 반도체층을 형성하기 위해 사용된 상기 금속 산화물 타겟으로서, 예를 들면, In₂O₃:Ga₂O₃:ZnO = 1:1:1 [몰 비]의 조성비를 가진 금속 산화물 타겟이 사용될 수 있다. 더욱이, In₂O₃:Ga₂O₃:ZnO = 1:1:2 [몰 비]의 조성비를 가진 금속 산화물 타겟 또는 In₂O₃:Ga₂O₃:ZnO = 1:1:4 [몰 비]의 조성비를 가진 금속 산화물 타겟이 또한 사용될 수 있다. 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상(예로서, 99.9%)이다. 치밀한 산화물 반도체층이 높은 충전율을 가진 금속 산화물 타겟을 사용함으로써 형성된다.
- [0267] 상기 산화물 반도체층이 형성되는 분위기는 바람직하게는 희가스(대표적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로 아르곤) 및 산소를 포함한 혼합 분위기이다. 구체적으로, 예를 들면, 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 수 ppm 이하(바람직하게는, 수 ppb 이하)의 농도로 제거되는 고-순도 가스 분위기를 사용하는 것이 바람직하다.
- [0268] 상기 산화물 반도체층을 형성할 때, 상기 기판은 감소된 압력 하에 보유된 처리실에 보유되며 상기 기판은 100 °C 이상 600 °C 이하, 바람직하게는 200 °C 이상 400 °C 이하의 온도로 가열된다. 그 후, 상기 처리실에서의 수분이 제거는 동안 수소 및 물이 제거된 스퍼터링 가스가 상기 처리실에 도입되며, 그에 의해 상기 산화물 반도체층은 타겟으로서 상기 금속 산화물을 사용하여 형성된다. 상기 산화물 반도체층은 상기 기판이 가열되는 동안 형성되며, 따라서 상기 산화물 반도체층에 포함된 불순물의 농도가 감소될 수 있다. 게다가, 스퍼터링으로 인한 상기 반도체층의 손상은 감소된다.
- [0269] 흡착형 진공 펌프가 바람직하게는 상기 처리실에서의 수분을 제거하기 위해 사용된다. 예를 들면, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용될 수 있다. 대안적으로, 콜드 트랩을 갖춘 터

보 펌프가 사용될 수 있다. 수소, 물 등은 크라이오펌프를 갖고 배기되는 상기 처리실로부터 제거되기 때문에, 상기 산화물 반도체층에서의 불순물의 농도는 감소될 수 있다.

- [0270] 상기 산화물 반도체층은 예를 들면 다음 조건들 하에 형성될 수 있다: 상기 기관 및 상기 타겟 간의 거리는 100 mm이고; 상기 압력은 0.6 Pa이고; 직류(DC) 전원은 0.5 kW이며; 상기 분위기는 산소이다(상기 산소의 유량 비율은 100%이다). 먼지가 감소될 수 있고 두께 분포가 감소될 수 있기 때문에 필수된 직류(DC) 전원을 사용하는 것이 바람직하다는 것을 주의하자. 상기 산화물 반도체층의 두께는 2 nm 이상 200 nm 이하, 바람직하게는 5 nm 이상 30 nm 이하이다. 상기 산화물 반도체층의 적절한 두께는 사용될 상기 산화물 반도체 재료, 반도체 장치의 용도 등에 의존하여 상이하하며; 그러므로, 상기 두께는 사용될 상기 재료, 상기 용도 등에 따라 결정될 수 있다는 것을 주의한다.
- [0271] 상기 산화물 반도체층이 스퍼터링법으로 형성되기 전에, 바람직하게는 아르곤 가스가 주입되어 플라즈마가 생성되는 역 스퍼터링이 수행되며, 따라서 상기 절연층(168)의 표면상의 먼지가 제거된다는 것을 주의하자. 여기에서, 상기 역 스퍼터링은, 이온들이 스퍼터링 타겟과 충돌하는 통상적인 스퍼터링과 반대로, 상기 표면이 변경되도록 이온들이 처리될 표면과 충돌하는 방법이다. 이온들이 처리될 표면과 충돌하게 하기 위한 방법의 일 예는 플라즈마가 기관 근처에 생성되도록 고-주파수 전압이 아르곤 분위기 하에서 처리될 상기 표면에 인가되는 방법이다. 질소, 헬륨, 산소 등의 분위기는 아르곤 대기 대신에 사용될 수 있다는 것을 주의하자.
- [0272] 상기 산화물 반도체층을 위한 에칭 방법으로서, 드라이 에칭 또는 웨트 에칭이 이용될 수 있다. 드라이 에칭 및 웨트 에칭이 결합하여 사용될 수 있다는 것은 말할 필요도 없다. 상기 에칭 조건들(예로서, 에칭 가스 또는 에천트, 에칭 시간, 및 온도)은 상기 산화물 반도체층이 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적절하게 설정된다.
- [0273] 상기 드라이 에칭 방법으로서, 평행 평판형 RIE(반응성 이온 에칭)법 또는 ICP(유도 결합 플라즈마) 에칭법이 사용될 수 있다. 또한 이러한 경우에, 에칭 조건들(예로서, 코일 전극에 인가된 전력의 양, 기관 측 상의 전극에 인가된 전력의 양, 및 기관 측상의 전극 온도를)을 적절하게 설정하는 것이 필요하다.
- [0274] 드라이 에칭을 위해 사용된 에칭 가스의 일 예는 염소 등을 포함한 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 또는 사염화탄소(CCl_4)와 같은 염소계 가스)이다. 게다가, 불소를 포함한 가스(사불화탄소(CF_4), 육불화유황(SF_6), 삼불화질소(NF_3), 또는 트리플로루메탄(CHF_3)과 같은 불소계 가스), 취화 수소(HBr), 산소(O_2), 이들 가스들에 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 임의의 것 등이 사용될 수 있다.
- [0275] 웨트 에칭을 위해 사용된 에천트로서, 인산, 아세트산, 질산의 혼합액, 암모니아과수(암모니아, 물, 및 과산화수소 용액의 혼합액) 등이 사용될 수 있다. IT007N(칸토 케미칼 코., 인크.에 의해 제조된)과 같은 에천트가 또한 사용될 수 있다.
- [0276] 그 후, 제 1 열 처리가 바람직하게는 상기 산화물 반도체층 상에서 수행된다. 상기 산화물 반도체층에 포함된 물(수산기를 포함), 수소 등은 상기 제 1 열 처리를 통해 제거될 수 있다. 상기 제 1 열 처리의 온도는 300°C 이상 800°C 이하, 바람직하게는 400°C 이상 700°C 이하, 보다 바람직하게는 450°C 이상 700°C 이하, 및 훨씬 더 바람직하게는 550°C 이상 700°C 이하이다.
- [0277] 상기 산화물 반도체층은 상기 제 1 열 처리가 350°C 이상의 온도에서 수행될 때 탈수화 또는 탈수소화될 수 있으며, 그러므로 상기 산화물 반도체층에서의 수소 농도가 감소될 수 있다. 또한, 상기 제 1 열 처리가 450°C 이상의 온도에서 수행될 때, 상기 산화물 반도체층에서의 수소 농도가 추가로 감소될 수 있다. 게다가, 상기 제 1 열 처리가 550°C 이상의 온도에서 수행될 때, 상기 산화물 반도체층에서의 수소 농도는 훨씬 더 감소될 수 있다. 예를 들면, 상기 기관은 저항 발열체 등이 사용되는 전기로에 도입되며 상기 산화물 반도체층(140)은 질소 분위기 하에서 450°C로 1시간 동안 열 처리를 행한다. 상기 산화물 반도체층(140)은 물 및 수소의 진입이 방지될 수 있도록 상기 열 처리 동안 공기에 노출되지 않는다.
- [0278] 상기 열 처리 장치는 상기 전기로에 한정되지 않으며, 가열된 가스와 같은 매체로부터 열 도전 또는 열 복사에 의해 피처리물을 가열하기 위한 장치일 수 있다. 예를 들면, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 고속 열적 어닐링(RTA) 장치가 사용될 수 있다.
- [0279] LRTA 장치는 할로젠 램프, 메탈 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출되는 광의 복사(전자파)에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하여 열 처리를 수행하기 위한 장치이다. 상기 가스로서, 열 처리에 의해 피처리물과

반응하지 않는 불활성 가스, 예를 들면, 질소 또는 아르곤과 같은 희가스가 사용된다.

- [0280] 예를 들면, 상기 제 1 열 처리로서, GRTA 처리가 다음과 같이 수행될 수 있다. 상기 기판은 650℃ 내지 700℃의 고온으로 가열되는 불활성 가스 안으로 넣어지고, 수 분 동안 가열된 후, 상기 불활성 가스로부터 꺼내어진다. 상기 GRTA 처리는 짧은 시간 동안 고온 열 처리를 가능하게 한다. 게다가, 상기 GRTA 처리는 짧은 시간 동안의 열 처리이기 때문에 상기 기판의 온도 상한을 초과할 때조차 이용될 수 있다. 예를 들면, 유리 기판과 같이, 비교적 낮은 내열성을 갖는 기판을 포함한 SOI 기판이 사용되는 경우에, 상기 기판의 수축은 온도 상한(변형점)보다 높은 온도에서 문제가 되지만 단시간 동안 열 처리가 수행되는 경우에는 문제가 되지 않는다.
- [0281] 상기 제 1 열 처리가 수행되는 상기 불활성 가스 분위기로써, 그것의 주성분으로서 질소 또는 희가스(예로서, 헬륨, 네온, 또는 아르곤)를 포함하고, 물, 수소 등을 포함하지 않는 분위기를 이용하는 것이 바람직하다는 것을 주의하자. 예를 들면, 열 처리 장치에 도입된 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이다.
- [0282] 상기 불활성 가스 분위기는 산소를 포함한 분위기로 처리 중에 변경될 수 있다는 것을 주의하자. 예를 들면, 진기료가 상기 제 1 열 처리에서 사용되는 경우에, 분위기는 열 처리 온도가 떨어질 때 변경될 수 있다. 예를 들면, 희가스(예를 들면, 헬륨, 네온, 또는 아르곤)와 같은 불활성 가스 또는 질소의 분위기하에 (일정한 온도로) 수행될 수 있으며, 상기 분위기는 상기 열 처리 온도가 떨어질 때 산소를 포함한 분위기로 스위칭될 수 있다. 산소를 포함한 분위기로써, 산소 가스 또는 산소 가스와 질소 가스의 혼합 가스가 사용될 수 있다.
- [0283] 또한 산소를 포함한 분위기가 이용되는 경우에, 상기 분위기는 물, 수소 등을 포함하지 않는 것이 바람직하다. 대안적으로, 사용된 상기 산소 가스 또는 질소의 순도는 바람직하게는 6N(99.9999%) 이상, 보다 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이다. 이것은 산소 결핍에 의해 야기된 결점들이 산소를 포함한 분위기 하에서 상기 제 1 열 처리를 수행함으로써 감소될 수 있기 때문이다.
- [0284] 몇몇 경우들에서, 상기 산화물 반도체층은 미결정 또는 다결정이 되도록 결정화되며, 이것은 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존한다. 예를 들면, 몇몇 경우들에서, 상기 산화물 반도체층은 90% 이상, 또는 80% 이상의 결정도를 갖는 미결정 산화물 반도체층이 된다. 또한, 몇몇 경우들에서, 상기 산화물 반도체층은 결정 성분을 포함하지 않는 비정질 산화물 반도체층일 수 있으며, 이것은 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존한다.
- [0285] 더욱이, 몇몇 경우들에서, 상기 산화물 반도체층은 미결정(1nm 이상 20nm 이하, 대표적으로 2nm 이상 4nm 이하의 입경을 갖는)이 비정질 산화물 반도체(예로서, 상기 산화물 반도체층의 표면)에 혼합되는 층이 된다. 상기 산화물 반도체층의 전기적 특성들은 전술된 방식으로 비정질 반도체에 미결정들을 배열함으로써 변경될 수 있다.
- [0286] 예를 들면, 상기 산화물 반도체층이 In-Ga-Zn-O계 금속 산화물 타겟을 사용하여 형성될 때, 상기 산화물 반도체층의 전기적 특성들은 전기적 이방성을 가진 $In_2Ga_2ZnO_7$ 의 결정립들이 배향되는 미결정 영역의 형성에 의해 변경될 수 있다. 상기 미결정 영역은 바람직하게는 상기 결정립들이 예를 들면 상기 $In_2Ga_2ZnO_7$ 의 c-축이 상기 산화물 반도체층의 표면에 수직이도록 배향되는 영역이다.
- [0287] 결정립들이 이러한 방식으로 배향되는 영역을 형성함으로써, 상기 산화물 반도체층의 표면에 평행인 방향에서의 도전성이 향상될 수 있으며 상기 산화물 반도체층의 표면에 수직인 방향에서의 절연 특성들이 향상될 수 있다. 더욱이, 이러한 미결정 영역은 상기 산화물 반도체층으로 물 또는 수소와 같은 불순물의 진입을 억제하는 기능을 갖는다.
- [0288] 상기 미결정 영역을 포함한 상기 산화물 반도체층은 GRTA 처리에 의해 상기 산화물 반도체층의 표면을 가열함으로써 형성될 수 있다는 것을 주의하자. 또한, 상기 산화물 반도체층은 Zn의 양이 In 또는 Ga의 것보다 더 작은 스퍼터링 타겟을 사용함으로써 보다 바람직한 방식으로 형성될 수 있다.
- [0289] 상기 산화물 반도체층(140)을 위한 제 1 열 처리는 상기 섬-형상 산화물 반도체층(140)으로 아직 처리되지 않은 상기 산화물 반도체층상에서 수행될 수 있다. 상기 경우에, 상기 제 1 열 처리 후, 상기 기판은 상기 가열 장치로부터 꺼내어지며 포토리소그래피 단계가 수행된다.
- [0290] 전술된 상기 제 1 열 처리는 또한 탈수화 처리, 탈수소화 처리 등으로서 불리울 수 있다는 것을 주의하자. 상기

탈수화 처리 또는 탈수소화 처리가 예를 들면, 상기 산화물 반도체층이 형성된 후, 소스 또는 드레인 전극이 상기 산화물 반도체층(140) 위에 적층된 후, 또는 게이트 절연층이 상기 소스 또는 드레인 전극 층 위에 형성된 후 수행될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회 또는 복수 회 수행될 수 있다.

- [0291] 다음으로, 도전층(142)이 상기 산화물 반도체층(140)과 접촉하도록 형성되고, 절연층(164)이 상기 도전층(142) 위에 형성된다(도 17c 참조). 상기 절연층(164)은 반드시 형성되는 것은 아님을 주의하자.
- [0292] 상기 도전층(142)은 스퍼터링법과 같은 PVD 법 또는 플라즈마 CVD 법과 같은 CVD 법으로 형성될 수 있다. 상기 도전층(142)을 위한 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 하나의 원소; 이들 원소들 중 임의의 것을 그것의 성분으로서 포함하는 합금 등이 사용될 수 있다. 게다가, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 재료들 중 하나 이상이 사용될 수 있다. 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 원소들 중 하나 이상과 결합된 알루미늄을 사용하는 것이 또한 가능하다.
- [0293] 상기 도전층은 도전성 금속 산화물을 사용하여 형성될 수 있다. 상기 도전성 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, 몇몇 경우들에서 ITO로 약칭됨), 산화 인듐-산화 아연 합금(In_2O_3-ZnO), 또는 실리콘 또는 산화 실리콘이 포함되는 이들 금속 산화물 재료들 중 임의의 것이 사용될 수 있다.
- [0294] 상기 도전층(142)은 단층 구조 또는 둘 이상의 층들을 포함한 적층 구조를 가질 수 있다. 예를 들면, 상기 도전층(142)은 실리콘을 포함한 알루미늄 막의 단-층 구조, 티타늄 막이 알루미늄 막 위에 적층되는 2-층 구조, 또는 티타늄 막, 알루미늄 막, 및 티타늄 막이 이러한 순서로 적층되는 3-층 구조를 가질 수 있다. 여기에서는, 티타늄 막, 알루미늄 막, 및 티타늄 막의 3-층 구조가 이용된다.
- [0295] 산화물 도전층은 상기 산화물 반도체층(140) 및 상기 도전층(142) 사이에 형성될 수 있음을 주의하자. 상기 산화물 도전층 및 상기 도전층(142)은 연속적으로 형성될 수 있다. 이러한 산화물 도전층을 제공함으로써, 상기 소스 영역 또는 상기 드레인 영역의 저항은 감소될 수 있으며, 따라서 상기 트랜지스터가 고속으로 동작할 수 있다.
- [0296] 상기 절연층(164)은 CVD 법, 스퍼터링법 등으로 형성될 수 있다. 상기 절연층(164)은 바람직하게는 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 사용하여 형성된다. 상기 절연층(164)은 단층 구조 또는 적층 구조를 가질 수 있다는 것을 주의한다. 상기 절연층(164)의 두께에 대한 특별한 제한은 없으며; 상기 절연층(164)은 예를 들면 10nm 이상 500nm 이하의 범위에서 형성될 수 있다.
- [0297] 다음으로, 상기 소스 또는 드레인 전극(142a), 상기 소스 또는 드레인 전극(142b), 절연층(164a), 및 절연층(164b)이 상기 도전층(142) 및 상기 절연층(164)을 선택적으로 에칭함으로써 형성된다(도 17d 참조).
- [0298] 자외선 광, KrF 레이저 광, 또는 ArF 레이저 광이 바람직하게는 에칭을 위해 사용된 마스크를 형성할 때 노광을 위해 사용된다. 특히, 상기 채널 길이(L)가 25nm 미만이라도 노광이 수행되는 경우에, 마스크를 형성하기 위한 노광은 바람직하게는 파장이 수 나노미터들 내지 수십 나노미터들로 매우 짧은 초자외선들로 수행된다. 초자외선들을 가진 노광의 해상도는 높고 초점 심도는 크다. 이러한 이유들로, 나중에 형성될 상기 트랜지스터의 상기 채널 길이(L)는 25 nm 미만, 즉 10nm 이상 1000nm 이하의 범위에 있도록 마스크를 설계하는 것이 가능하다. 이러한 방법으로 채널 길이에서의 감소에 의해, 동작 속도는 향상될 수 있다. 또한, 산화물 반도체를 사용한 상기 트랜지스터의 상기 오프-상태 전류는 작으며; 따라서, 미세화로 인한 전력 소비에서의 증가가 억제될 수 있다.
- [0299] 상기 도전층(142) 및 상기 산화물 반도체층(140)의 재료들 및 에칭 조건들은 상기 산화물 반도체층(140)이 상기 도전층(142)의 에칭시 제거되지 않도록 적절하게 조정된다. 몇몇 경우들에서, 상기 산화물 반도체층(140)은 에칭 단계에서 부분적으로 에칭되며 따라서 상기 재료들 및 상기 에칭 조건들에 의존하여 흠부(오목부)를 갖는다는 것을 주의하자.
- [0300] 사용될 마스크들의 수를 감소시키고 단계들의 수를 감소시키기 위해, 에칭 단계는 복수의 강도들을 갖도록 광이 투과되는 노광 마스크인 다계조 마스크를 사용하여 형성된 레지스트 마스크의 사용으로 수행될 수 있다. 다계조 마스크의 사용으로 형성된 레지스트 마스크는 복수의 두께들을 가지며(계단형 형상을 가지며) 또한 애싱에 의해 형상이 변경될 수 있고; 그러므로, 상기 레지스트 마스크는 상이한 패턴들로 처리하기 위한 복수의 에칭 단계들에서 사용될 수 있다. 즉, 적어도 2 개의 종류들의 상이한 패턴들에 대응하는 레지스트 마스크가 다계조 마스크

를 사용함으로써 형성될 수 있다. 따라서, 노광 마스크들의 수는 감소될 수 있으며, 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있어서, 그에 의해 공정은 간략화될 수 있다.

- [0301] 다음으로, 상기 게이트 절연층(166)은 공기로의 노출 없이 상기 산화물 반도체층(140)의 일부와 접촉하여 형성된다(도 17e 참조). 상기 게이트 절연층(166)은 CVD 법, 스퍼터링법 등으로 형성될 수 있다. 상기 게이트 절연층(166)은 바람직하게는 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 사용하여 형성된다. 상기 게이트 절연층(166)은 단층 구조 또는 적층 구조를 가질 수 있음을 주의하자. 상기 게이트 절연층(166)의 두께에 대한 특별한 제한은 없으며; 상기 게이트 절연층(166)은 예를 들면 10nm 이상 500nm 이하의 범위에서 형성될 수 있다.
- [0302] 불순물을 제거함으로써 획득된 i-형 또는 실질적으로 i-형 산화물 반도체(정제된 산화물 반도체)는 계면 준위들 또는 계면 전하들에 매우 민감하며; 그러므로, 상기 게이트 절연층(166)은 높은 품질을 가질 필요가 있다는 것을 주의하자.
- [0303] 예를 들면, 상기 게이트 절연층(166)은 바람직하게는 상기 게이트 절연층(166)이 치밀하고 높은 내전압 및 높은 품질을 가질 수 있기 때문에 마이크로파(주파수: 2.45 GHz)를 사용한 고-밀도 플라즈마 CVD 법으로 형성된다. 고순도화된 산화물 반도체층 및 고-품질 게이트 절연층이 서로 가깝게 접촉할 때, 상기 계면 준위는 감소될 수 있고 양호한 계면 특성들이 획득될 수 있다.
- [0304] 고-품질 절연층이 상기 게이트 절연층(166)으로서 형성될 수 있는 한 스퍼터링법 또는 플라즈마 CVD 법과 같은 또 다른 방법이 이용될 수 있다는 것은 말할 필요도 없다. 게다가, 상기 게이트 절연층(166)의 형성 후 수행된 열 처리에 의해 막 품질 및 계면 특성들이 향상되는 절연층을 사용하는 것이 가능하다. 어느 경우든지, 상기 게이트 절연층(166)으로서 양호한 막 품질을 가지며 양호한 계면을 형성하기 위해 산화물 반도체층과의 계면 준위 밀도를 감소시킬 수 있는 절연층이 상기 게이트 절연층(166)으로서 형성된다.
- [0305] 따라서 게이트 절연층과의 계면의 특성들을 향상시키고 불순물, 특히 수소, 물 등을 산화물 반도체로부터 제거함으로써, 임계 전압(V_{th})이 게이트 바이어스-온도 스트레스 시험(BT 시험, 예로서, 12시간 동안 85°C 및 2×10^6 V/cm에서)에 따라 변화하지 않는 안정된 트랜지스터를 획득하는 것이 가능하다.
- [0306] 그 후, 제 2 열 처리가 불활성 가스 분위기 또는 산소 분위기 하에서 수행된다. 상기 열 처리는 200°C 이상 400°C 이하, 바람직하게는 250°C 이상 350°C 이하의 온도로 수행된다. 예를 들면, 상기 제 2 열 처리는 질소 분위기 하에서 250°C로 1시간 동안 수행될 수 있다. 상기 제 2 열 처리는 상기 트랜지스터의 전기적 특성들에서의 변화를 감소시킬 수 있다. 비록 상기 제 2 열 처리는 상기 게이트 절연층(166)이 형성된 후 이 실시예에서 수행되지만, 그것이 상기 제 1 열 처리 후에 수행되는 한 상기 제 2 열 처리의 타이밍에 대한 특별한 제한은 없다는 것을 주의하자.
- [0307] 다음으로, 상기 게이트 전극(178)은 상기 산화물 반도체층(140)과 중첩하는 영역에서 상기 게이트 절연층(166) 위에 형성된다(도 18a 참조). 상기 게이트 전극(178)은 상기 게이트 절연층(166) 위에 도전층을 형성하고 그 후 상기 도전층을 선택적으로 패터닝함으로써 형성될 수 있다.
- [0308] 상기 도전층은 스퍼터링법과 같은 PVD 법 또는 플라즈마 CVD 법과 같은 CVD 법으로 형성될 수 있다. 상기 도전층을 위한 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 하나의 원소; 이들 원소들 중 임의의 것을 그것의 성분으로서 포함하는 합금 등이 사용될 수 있다. 게다가, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 재료들 중 하나 이상이 사용될 수 있다. 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 원소들 중 하나 이상과 결합된 알루미늄을 사용하는 것이 또한 가능하다.
- [0309] 상기 도전층은 산화물 도전막을 사용하여 형성될 수 있다. 상기 산화물 도전막으로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, 몇몇 경우들에서 ITO로 약기됨), 산화 인듐-산화 아연 합금(In_2O_3-ZnO), 또는 실리콘 또는 산화 실리콘이 포함되는 이들 금속 산화물 재료들 중 임의의 것이 사용될 수 있다.
- [0310] 상기 도전층은 단층 구조 또는 둘 이상의 층들을 포함한 적층 구조를 가질 수 있다. 예를 들면, 상기 도전층은 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층되는 2-층 구조, 또는 티타늄막, 알루미늄막, 및 티타늄막이 이러한 순서로 적층되는 3-층 구조를 가질 수 있다. 여기에서, 상기 도전층은 티타늄

을 포함한 재료를 사용하여 형성되고 그 후 상기 게이트 전극(178)으로 처리된다.

- [0311] 다음으로, 상기 층간 절연층(170) 및 상기 층간 절연층(172)이 상기 게이트 절연층(166) 및 상기 게이트 전극(178) 위에 형성된다(도 18b 참조). 상기 층간 절연층(170) 및 상기 층간 절연층(172)은 PVD 법, CVD 법 등으로 형성될 수 있다. 상기 층간 절연층(170) 및 상기 층간 절연층(172)은 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다. 비록 상기 층간 절연층(170) 및 상기 층간 절연층(172)의 적층 구조가 이 실시예에서 사용되지만, 여기에 개시된 본 발명의 일 실시예는 이에 한정되지 않는다는 것을 주의하자. 단층 구조 또는 3개 이상의 층들을 포함한 적층 구조가 또한 사용될 수 있다.
- [0312] 상기 층간 절연층(172)은 바람직하게는 평탄화된 표면을 갖도록 형성된다는 것을 주의하자. 이것은 전극, 배선 등이 양호하게는 상기 층간 절연층(172)이 평탄화된 표면을 갖도록 형성될 때 상기 층간 절연층(172) 위에 형성될 수 있기 때문이다.
- [0313] 다음으로, 상기 전극(136a), 상기 전극(136b), 상기 전극(136c), 상기 소스 또는 드레인 전극(142a), 및 상기 소스 또는 드레인 전극(142b)에 도달하는 개구들이 상기 게이트 절연층(166), 상기 층간 절연층(170), 및 상기 층간 절연층(172)에 형성된다. 그 후, 도전층은 상기 개구들에 내장되도록 형성된다. 그 후, 상기 도전층의 일부가 에칭 또는 CMP와 같은 방법으로 제거되며, 따라서 상기 층간 절연층(172)은 노출되고 상기 전극(154a), 상기 전극(154b), 상기 전극(154c), 상기 전극(154d), 및 상기 전극(154e)이 형성된다(도 18c 참조).
- [0314] 상기 개구들은 마스크를 사용한 에칭과 같은 방법으로 형성될 수 있다. 상기 마스크는 포토마스크를 사용한 노광과 같은 방법으로 형성될 수 있다. 웨트 에칭 또는 드라이 에칭이 상기 에칭으로서 사용될 수 있으며; 드라이 에칭은 바람직하게는 미세가공에 관하여 사용된다.
- [0315] 상기 도전층은 PVD 법 또는 CVD 법과 같은 막 형성 방법으로 형성될 수 있다. 상기 도전층은 예를 들면, 폴리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스퀴뮴과 같은 도전 재료 또는 이들 재료들 중 임의의 것의 합금 또는 화합물(예로서, 질화물)을 사용하여 형성될 수 있다.
- [0316] 구체적으로, 예를 들면, 상기 개구들을 포함한 영역에 얇은 티타늄 막이 PVD 법에 의해 형성되고 얇은 질화 티타늄 막이 CVD 법에 의해 형성되며, 그 후 텅스텐 막이 상기 개구들에 내장되도록 형성되는 방법을 이용하는 것이 가능하다. 여기에서, PVD 법에 의해 형성된 상기 티타늄 막은 하부 전극들(여기에서, 상기 전극(136a), 상기 전극(136b), 상기 전극(136c), 상기 소스 또는 드레인 전극(142a), 및 상기 소스 또는 드레인 전극(142b) 등)과의 접촉 저항을 저감시키기 위해 상기 하부 전극들의 표면에 형성될 수 있는 산화막을 감소시키는 기능을 갖는다. 상기 티타늄 막의 형성 후 형성된 상기 질화 티타늄 막은 상기 도전 재료의 확산을 방지하는 배리어 기능을 갖는다. 티타늄, 질화 티타늄 등의 상기 배리어 막의 형성 후, 구리막이 도금 방법에 의해 형성될 수 있다. 소위 단일 다마신 방법뿐만 아니라 이중 다마신 방법이 또한 이용될 수 있다는 것을 주의하자.
- [0317] 상기 도전층의 일부가 제거될 때, 상기 처리는 바람직하게는 상기 층간 절연층(172)의 노출된 표면; 상기 전극(154a), 상기 전극(154b), 상기 전극(154c), 상기 전극(154d), 및 상기 전극(154e)의 표면들 등이 평탄화되도록 수행된다. 상기 표면들은 이러한 방식으로 평탄화되며, 그에 의해 전극, 배선 등이 나중 단계에서 양호하게 형성될 수 있다.
- [0318] 그 후, 상기 절연층(156)이 추가로 형성되며, 상기 전극(154a), 상기 전극(154b), 상기 전극(154c), 상기 전극(154d), 및 상기 전극(154e)에 도달하는 개구들이 상기 절연층(156)에 형성된다. 도전층이 상기 개구들에 내장되도록 형성된 후, 상기 도전층의 일부가 에칭 또는 CMP와 같은 방법에 의해 제거된다. 따라서, 상기 절연층(156)은 노출되고 상기 전극(158a), 상기 전극(158b), 상기 전극(158c), 및 상기 전극(158d)이 형성된다(도 18d 참조). 이러한 단계는 상기 전극(154a) 등을 형성하는 단계와 유사하며; 그러므로, 상세한 설명은 생략된다.
- [0319] 상기 트랜지스터(402)가 전술된 방법에 의해 형성되는 경우에, 상기 산화물 반도체층(140)의 수소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하이며 상기 트랜지스터(402)의 상기 오프-상태 전류는 $1 \times 10^{-13} \text{ A}$ 이하이다. 우수한 특성들을 가진 상기 트랜지스터(402)는 상술된 바와 같이 상기 수소 농도를 충분히 감소시키고 산소를 공급함으로써 고순도화되는 상기 산화물 반도체층(140)의 적용에 의해 획득될 수 있다.
- [0320] 수소, 물 등이 상기 산화물 반도체층에 들어갈 가능성이 없기 때문에 산소는 상기 수소 농도가 감소된 직후 상기 산화물 반도체층(140)에 공급되고 따라서 매우 양호한 특성들을 갖는 산화물 반도체층이 실현될 수 있는 것

이 가능하다는 것을 주의하자. 상기 수소 농도를 감소시키기 위한 처리 및 산소를 공급하기 위한 처리는 양호한 특성들을 갖는 산화물 반도체층이 실현될 수 있는 한 연속적으로 수행될 필요가 없다는 것은 말할 필요도 없다. 예를 들면, 또 다른 처리가 상기 수소 농도를 감소시키기 위한 처리 및 산소를 공급하기 위한 처리 사이에서 수행될 수 있다. 대안적으로, 상기 처리 양쪽 모두는 동시에 수행될 수 있다.

[0321] 상기 불휘발성 래치 회로는 상기 하부에 산화물 반도체 이외의 재료를 사용하여 형성된 상기 트랜지스터(160) 및 상기 상부에 산화물 반도체를 사용하여 형성된 상기 트랜지스터(402)를 포함하기 때문에, 양쪽 트랜지스터들 모두의 특성들을 가진 우수한 불휘발성 래치 회로, 및 상기 불휘발성 래치 회로를 사용한 반도체 장치를 제조하는 것이 가능하다.

[0322] 상태 밀도(DOS)와 같은 산화물 반도체의 특성들에 대한 많은 연구들이 행해져왔지만, 그것들은 그것들 스스로 국소화된 준위들을 충분히 감소시키는 사상을 포함하지 않는다. 여기에 개시된 본 발명의 일 실시예에 따르면, 고순도화된 산화물 반도체는 상기 국소화된 준위들에 영향을 미칠 수 있는 물 또는 수소를 제거함으로써 형성된다. 이것은 상기 국소화된 준위들 스스로 충분히 감소된다는 사상에 기초한다. 이러한 고순도화된 산화물 반도체는 매우 우수한 산업 제품들의 제조를 가능하게 한다.

[0323] 수소, 물 등이 제거될 때, 산소가 또한 몇몇 경우들에서 제거된다는 것을 주의하자. 그러므로, 산소 공핍으로부터 기인한 국소화된 준위들이 감소되도록 산소 공핍에 의해 생성되는 금속의 미결합수들에 산소를 공급함으로써 보다 고순도화된(i-형) 산화물 반도체를 획득하는 것이 가능하다. 예를 들면, 산소 공핍으로부터 기인한 국소화된 준위들은 다음의 방식으로 감소될 수 있다: 과잉 산소를 가진 산화막이 채널 형성 영역과 가깝게 접촉하여 형성되며; 200°C 내지 400°C, 통상적으로 대략 250°C에서의 열 처리가 산소가 상기 산화막으로부터 산화물 반도체에 공급되도록 수행된다. 불활성 가스는 상기 제 2 열 처리 동안 산소를 포함한 가스로 스위칭될 수 있다. 또한, 전술된 분위기가 스위칭될 수 있으며; 상기 산화물 반도체층은 또한 상기 제 2 열 처리 후 연속하여, 산소 분위기 또는 수소 또는 물을 충분히 제거되는 분위기에서 온도 하강 공정을 겪음으로써 산소를 공급받을 수 있다.

[0324] 산화물 반도체의 결함은 과잉 수소로 인한 도전 밴드 하에 0.1 eV 내지 0.2 eV의 준위, 산소 부족으로 인한 깊은 준위 등에 기인한다고 말할 수 있다. 이러한 결함의 제거를 위해 수소의 철저한 제거 및 산소의 충분한 공급이 기술적 사상으로서는 올바른 것이다.

[0325] 산화물 반도체는 일반적으로 n-형 반도체로서 고려되지만; 여기에 개시된 본 발명의 일 실시예에 따르면, i-형 반도체는 물 및 수소와 같은 불순물을 제거하고 산화물 반도체의 성분인 산소를 공급함으로써 실현된다. 이러한 점에서, 여기에 개시된 본 발명의 일 실시예는 그것이 불순물에 첨가된 실리콘과 같은 i-형 반도체와 상이하기 때문에 신규의 기술적 사상을 포함한다고 말할 수 있다.

[0326] 본 발명의 일 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프레쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다. 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.

[0327] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 전력 소비는 사용되지 않는 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.

[0328] 이 실시예에 설명된 구조들, 방법들 등은 다른 실시예들에 설명된 상기 구조들, 방법들 등 중 임의의 것과 적절하게 결합될 수 있다.

[0329] [실시예 3]

[0330] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 상기 불휘발성 래치 회로의 구성 및 동작이 도 19a 및 도 19b를 참조하여 설명될 것이다.

- [0331] 도 19a는 상기 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 상기 데이터 보유부(401)를 포함한 상기 불휘발성 래치 회로(400)의 구성을 도시한다. 도 19b는 상기 불휘발성 래치 회로(400)의 타이밍 차트의 일 예를 도시한다.
- [0332] 도 19a는 도 1에서의 상기 래치부(411)의 구성이 구체적으로 도시되는 일 예이다. 도 19a는 도 1에서의 상기 래치부(411)의 상기 구성의 일 예이며, 여기서 인버터(412)는 상기 제 1 소자를 위해 사용되며 인버터(413)는 상기 제 2 소자를 위해 사용된다. 상기 트랜지스터(420)의 구조는 실시예 1 또는 실시예 2에서의 것과 유사할 수 있다.
- [0333] 상기 래치부(411)는 상기 인버터(412) 및 상기 인버터(413)를 포함한다. 상기 래치부(411)는 상기 인버터(412)의 출력이 상기 인버터(413)의 입력에 전기적으로 접속되고, 상기 인버터(413)의 출력이 상기 인버터(412)의 입력에 전기적으로 접속되는 루프 구조를 갖는다. 또한, 상기 래치부(411)는 스위치(431) 및 스위치(432)를 포함하고, 상기 인버터(413)의 상기 출력은 상기 스위치(432)를 통해 상기 인버터(412)의 상기 입력에 전기적으로 접속된다.
- [0334] 상기 인버터(412)의 상기 입력은 상기 스위치(431)를 통해 상기 래치 회로의 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 인버터(412)의 출력은 상기 래치 회로의 출력 신호를 공급받는 상기 배선(415)에 전기적으로 접속된다. 상기 인버터(412)의 입력에 접속되는 노드는 노드 P로서 불리운다. 상기 노드 P는 상기 래치 회로의 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속된다. 게다가, 상기 노드 P는 또한 상기 인버터(413)의 출력에 전기적으로 접속된다. 상기 노드 P의 전위는 상기 인버터(412)의 입력의 것과 동일하다는 것을 주의하자.
- [0335] 상기 데이터 보유부(401)에서, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 상기 트랜지스터(402)는 스위칭 소자로서 사용된다. 또한, 상기 데이터 보유부(401)는 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속되는 상기 용량 소자(404)를 포함한다. 상기 용량 소자(404)의 상기 전극들 중 하나는 상기 트랜지스터(402)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된다. 상기 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치부에서 상기 인버터(412)의 입력(상기 노드 P)에 전기적으로 접속된다.
- [0336] 또한, 상기 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 스위치(431)를 통해 상기 래치 회로의 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 용량 소자(404)의 다른 전극은 전위(V_c)를 공급받는다. 상기 트랜지스터(402) 및 상기 용량 소자(404)가 서로 전기적으로 접속되는 노드는 노드 S로서 불리운다.
- [0337] 산화물 반도체를 사용한 상기 트랜지스터(402)는 상기 데이터 보유부(401)의 상기 용량 소자(404)로 상기 래치부(411)에 보유된 데이터를 기록하는 기능을 갖는다. 또한, 상기 트랜지스터(402)는 상기 데이터 보유부(401)의 상기 용량 소자(404)에 기록된 상기 데이터를 보유하는 기능을 갖는다. 게다가, 상기 트랜지스터(402)는 상기 데이터 보유부(401)의 상기 용량 소자(404)에 보유된 상기 데이터를 상기 래치부(411)로 판독하는 기능을 갖는다.
- [0338] 상기 배선(414)은 이전 단계의 회로로부터 입력 신호(IN)의 전위를 공급받는다. 후속 단계의 회로는 출력 신호(OUT)로서 상기 배선(415)의 전위를 공급받는다. 상기 스위치(431)는 클록 신호(ϕ_1)의 전위를 공급받는다. 상기 클록 신호(ϕ_1)가 고-레벨 전위를 공급받을 때, 상기 스위치(431)는 턴 온된다. 상기 스위치(432)는 클록 신호(ϕ_2)의 전위를 공급받는다. 상기 클록 신호(ϕ_2)가 고-레벨 전위를 공급받을 때, 상기 스위치(432)는 턴 온된다. 상기 트랜지스터(402)의 게이트는 제어 신호(ϕ_{LS})의 전위를 공급받는다. 상기 제어 신호(ϕ_{LS})가 고-레벨 전위를 공급받을 때, 상기 트랜지스터(402)는 턴 온된다. 통상적인 동작 기간에서, 상기 클록 신호(ϕ_2)는 상기 클록 신호(ϕ_1)의 반전 신호이다. 여기에서, 상기 트랜지스터들 및 상기 스위치들이 상기 제어 신호들 및 상기 클록 신호들의 전위들이 고 레벨들에 있을 때 턴 온되는 일 예가 도시된다.
- [0339] 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 각각은 고-레벨 전원 전압(VDD) 및 저-레벨 전원 전압(VSS)을 공급받는다.
- [0340] 다음으로, 도 19b는 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간) 및 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)에서의 상기 입력 신호(IN), 상기 출력 신호(OUT), 상기 제어 신호(ϕ_{LS}), 상기 클록 신호(ϕ_1), 및 상기 클록 신호(ϕ_2)의 전위들의 타이밍 차트의 일 예를 도시한다. 또한,

도 19b는 상기 데이터 보유부(401)의 상기 노드 S, 상기 래치부(411)의 상기 노드 P, 및 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 상기 전원 전압(VDD-L)의 전위들을 도시한다. 상기 노드 S는 상기 용량 소자(404)의 전극들 중 하나의 전위를 표시한다. 상기 용량 소자(404)의 다른 전극은 소정의 전위(V_C), 예를 들면, 접지 전위를 공급받는다는 것을 주의한다.

[0341] 도 19b에서, 기간(a), 기간(b), 기간(d), 및 기간(e)은 각각 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)이며, 기간(c)은 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)이다. 상기 기간(a) 및 상기 기간(e)의 각각에서, 상기 불휘발성 래치 회로(400)는 통상적인 동작 기간에 있으며, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)는 각각 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 기간(b)은 상기 비-동작 기간 이전의 준비 기간이다. 상기 기간(b)은 또한 하락 기간으로서 불리운다. 상기 기간(d)은 상기 비-동작 기간 및 상기 전력의 공급 후 통상적인 동작 기간의 재시작 사이의 준비 기간이다. 상기 기간(d)은 또한 상승 기간으로서 불리운다.

[0342] 상기 통상적인 동작 기간(기간(a))에서 상기 클록 신호(ϕ_1)가 고-레벨 전위를 공급받으며 상기 클록 신호(ϕ_2)가 저-레벨 전위를 공급받을 때, 상기 스위치(432)는 턴 오프되고 인버터 루프는 절단되며, 상기 스위치(431)는 턴 온되며, 상기 입력 신호의 전위는 상기 인버터(412)에 입력된다. 상기 입력 신호의 전위는 상기 인버터(412)에 의해 반전되고 출력 신호(OUT)로서 후속 단계의 회로에 공급된다. 상기 클록 신호(ϕ_1)가 고-레벨 전위를 공급받을 때 상기 입력 신호의 전위가 고 레벨에 있다면, 저-레벨 전위를 가진 출력 신호가 획득될 수 있다. 상기 클록 신호(ϕ_1)가 고-레벨 전위를 공급받을 때 상기 입력 신호의 전위가 저 레벨이라면, 고-레벨 전위를 가진 출력 신호가 획득될 수 있다. 상기 클록 신호(ϕ_1)가 고-레벨 전위를 공급받을 때 상기 입력 신호의 전위가 저 레벨에 있다면, 고-레벨 전위를 가진 출력 신호가 획득될 수 있다.

[0343] 상기 클록 신호(ϕ_1)가 저-레벨 전위를 공급받고 상기 클록 신호(ϕ_2)가 고-레벨 전위를 공급받을 때, 상기 스위치(431)는 턴 오프되고, 상기 스위치(432)는 턴 온되며 인버터 루프가 형성되고, 상기 출력 신호(OUT)의 전위는 보유된다(데이터는 래치된다, 즉, 상기 래치 회로의 논리 상태는 보유된다).

[0344] 상기 통상적인 동작 기간에서, 상기 제어 신호(ϕ_{LS})는 상기 트랜지스터(402)가 턴 오프되는 전위를 공급받으며 상기 트랜지스터(402)가 턴 온되는 전위를 공급받지 않는다. 상기 노드 S는 보유되고 있는 전하에 대응하는 전위를 가진다. 여기에서, 상기 노드 S의 전위는 한정되지 않은 값으로 설정된다.

[0345] 다음으로, 상기 제어 신호(ϕ_{LS})가 상기 비-동작 기간 이전에 상기 준비 기간(기간(b))에서 상기 트랜지스터(402)가 턴 온되는 전위를 공급받을 때, 상기 트랜지스터(402)는 턴 온되며 상기 노드 S는 상기 래치부에서의 상기 인버터(412)의 입력(상기 노드 P)의 전위를 공급받는다(이러한 동작은 기록에 대응한다). 상기 래치부(412)에서의 상기 인버터(412)의 입력(상기 노드 P)의 전위가 고 레벨로 설정될 때, 상기 노드 S의 전위는 고 레벨이다. 상기 전위에 대응하는 전하는 상기 노드 S에 축적된다.

[0346] 그 후, 상기 트랜지스터(402)는 상기 트랜지스터(402)가 턴 오프되는 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드 S는 플로팅 상태가 된다. 그 결과, 상기 노드 S에 축적된 상기 전하는 임의의 변경 없이 보유된다(유지).

[0347] 상기 기간(b)에서, 상기 클록 신호(ϕ_2) 및 상기 클록 신호(ϕ_1)는 상기 기간(a)의 종료시 전위를 보유하는 것이 충분하다는 것을 주의하자. 대안적으로, 상기 기간(a)의 종료시 데이터는 상기 클록 신호(ϕ_2)의 전위를 고 레벨로 및 상기 클록 신호(ϕ_1)의 전위를 저 레벨로 고정시킴으로써 래치될 수 있다.

[0348] 다음으로, 상기 비-동작 기간(기간(c))에서, 전력의 공급은 정지되고 상기 전원 전압(VDD-L)의 전위는 저하된다. 상기 클록 신호(ϕ_1), 상기 클록 신호(ϕ_2), 상기 입력 신호(IN), 및 상기 출력 신호(OUT)의 전위들은 VDD 및 VSS 사이의 임의의 값들을 취할 수 있다. 이 시간 동안, 상기 제어 신호(ϕ_{LS})의 전위는 상기 트랜지스터(402)가 턴 오프되도록 저 레벨로 보유된다. 예를 들면, 상기 전위는 접지 전위에서 보유된다. 상기 비-동작 기간(기간(c))에서, 상기 노드 S에 축적된 상기 전하는 상기 트랜지스터(402)를 턴 오프함으로써 보유된다(유지).

[0349] 다음으로, 상기 비-동작 기간 및 통상적인 동작 기간의 재시작 사이의 상기 준비 기간(기간(d))에서, 전원이 공급되며, 상기 클록 신호(ϕ_2) 및 상기 클록 신호(ϕ_1)의 전위들은 각각 저 레벨로 고정된다. 비록 상기 노드(P) 및 상기 출력 신호(OUT)의 전위들은 여기에서, 전력의 공급 이전인 상기 노드(P)의 전위, 상기 출력 신호(OUT)의 전위 등에 의존하지만, 상기 노드(P)는 저-레벨 전위를 가지며 상기 출력 신호(OUT)는 고-레벨 전위를

가진다는 것이 고려된다.

- [0350] 그 후, 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받을 때, 상기 트랜지스터(402)는 턴 온되며 상기 노드(S)에 보유된 상기 전위는 상기 래치부(411)에 공급된다. 구체적으로, 상기 전하는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배되며, 상기 인버터(412)의 입력(상기 노드(P))은 상기 노드(S)에 축적된 전하에 대응하는 전위를 공급받는다. 여기에서, 상기 노드(S)에 축적된 상기 전하는 상기 래치부(411)에 분배되고, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상승되며, 상기 노드(S)의 전위는 다소 저하된다. 그 결과, 상기 인버터의 입력(상기 노드(P)) 및 상기 노드(S) 각각은 실질적으로 고-레벨 전위를 갖는다.
- [0351] 그 후, 상기 래치부에서의 상기 노드(P)의 전위는 상기 인버터(412)에 의해 반전되며 상기 출력 신호(OUT)로서 후속 단계의 회로에 공급된다. 상기 노드(S)에 보유된 전위 및 상기 래치부의 상기 노드(P)에 공급된 전위가 고-레벨들에 있으며, 저-레벨 전위를 가진 출력 신호가 획득될 수 있는 예가 여기에 도시된다. 따라서, 상기 래치 회로의 논리 상태는 상기 비-동작 기간 이전의 논리 상태로 회복될 수 있다.
- [0352] 그 후, 상기 트랜지스터(402)는 상기 트랜지스터(402)가 턴 오프되는 상기 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드(S)는 플로팅 상태가 된다. 그 결과, 상기 노드(S)에 축적된 상기 전하는 임의의 변경 없이 보유된다(유지). 상기 노드(S)에 축적된 전하는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 다음으로 공급받는 타이밍에 재기록될 수 있다. 그러므로, 상기 노드(S)에 축적된 상기 전하는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 상기 전위를 다음으로 공급받는 타이밍까지 임의의 변경 없이 보유된다.
- [0353] 또한, 상기 기간(d)에서, 상기 클록 신호(ϕ_2)가 고-레벨로 설정되는 기간은 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받은 후 제공될 수 있다. 상기 클록 신호(ϕ_2)가 고-레벨 전위를 공급받을 때, 상기 스위치(432)는 턴 온되며, 인버터 루프가 형성된다. 상기 인버터 루프가 형성될 때, 상기 출력 신호(OUT) 및 상기 노드(P)는 각각 고-레벨 전위 또는 저-레벨 전위를 공급받으며, 상기 전위들이 보유된다(데이터는 래치된다).
- [0354] 상술된 바와 같이, 상기 데이터는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 상기 전하를 분배함으로써 상기 래치부로 판독된다. 고-레벨 전위에 대응하는 상기 전위가 상기 노드(S)에 축적되는 경우에, 상기 전하가 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배된 후, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상기 트랜지스터(402)가 턴 온되기 전에 상기 인버터(412)의 입력(상기 노드(P))의 전위에 의존하지 않고 상기 인버터(412)의 임계값(상기 인버터의 출력이 반전되는 입력 전위)보다 높게 설정된다.
- [0355] 저-레벨 전위에 대응하는 상기 전하가 상기 노드(S)에 축적되는 경우에, 상기 전하가 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배된 후, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상기 트랜지스터(402)가 턴 온되기 전에 상기 인버터(412)의 입력(상기 노드(P))의 전위에 의존하지 않고 상기 인버터(412)의 임계값(상기 인버터의 출력이 반전되는 입력 전위)보다 낮게 설정된다.
- [0356] 상기를 달성하기 위해, 상기 노드(S)의 용량치는 예를 들면 상기 노드(P)의 용량치보다 더 큰 것이 바람직하다. 달리 말하면, 상기 노드(S)가 전기적으로 접속되는 상기 용량 소자(404)의 용량치가 상기 노드(P)가 전기적으로 접속되는 상기 인버터(412)의 입력 용량치(상기 입력 용량치는 상기 인버터의 트랜지스터의 게이트 용량치에 대응한다)보다 더 큰 것이 바람직하다. 또한, 상기 기간(d)에서, 상기 전위(V_C)가 VDD와 VSS 사이의 값으로 설정되는 기간을 제공하는 것이 효율적이다. 따라서, 상기 판독 동작은 보다 안정되게 수행될 수 있다.
- [0357] 이러한 방식으로, 상기 노드(P)가 저-레벨 전위를 갖고 상기 출력 신호(OUT)가 고-레벨 전위를 갖는 경우에 대한 제한 없이, 데이터는 상기 노드(P)가 고-레벨 전위를 갖고 상기 출력 신호(OUT)가 저-레벨 전위를 갖는 경우에서 또한 상기 래치부로 판독될 수 있다. 또한, 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S)에 축적되는 경우에 대한 제한 없이, 데이터는 저-레벨 전위에 대응하는 상기 전하가 축적되는 경우에서조차 상기 래치부로 판독될 수 있다.
- [0358] 다음으로, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)는 각각 통상의 동작 상태(상기 기간(e))가 되도록 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 통상적인 동작 기간(기간(e))의 시작에서, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)의 동작들은 이전의 통상적인 동작 기간(기간(a))의 종료와 동일한 전위들(동

일한 상태)로부터 시작될 수 있거나 또는 상기 기간(a)의 종료시 상기 전위의 반전된 전위(이러한 반전된 전위는 또한 상기 기간(a)의 후속 상태로서 불리운다)로부터 시작될 수 있다.

[0359] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프레쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다. 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.

[0360] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.

[0361] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.

[0362] [실시예 4]

[0363] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 상기 불휘발성 래치 회로의 동작의 또 다른 예가 도 20a를 참조하여 설명될 것이다. 상기 불휘발성 래치 회로의 구성은 도 19a에서의 것과 동일하며, 타이밍 차트는 이 예에서 도 19b에서의 것과 상이하다.

[0364] 도 20a는 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)에서 및 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)에서 입력 신호(IN), 출력 신호(OUT), 제어 신호(ϕ_{LS}), 클록 신호(ϕ_1), 및 클록 신호(ϕ_2)의 전위들의 타이밍 차트의 일 예를 도시한다. 또한, 도 20a는 상기 데이터 보유부(401)의 상기 노드(S), 상기 래치부(411)의 상기 노드(P), 및 상기 전원 전압(VDD-L)의 전위들을 도시한다. 상기 노드(S)는 상기 용량 소자(404)의 전극들 중 하나의 전위를 나타낸다. 상기 용량 소자(404)의 다른 전극은 전위(V_C)를 공급받는다 것을 주의하자.

[0365] 도 20a에서, 기간(a), 기간(b), 기간(d), 및 기간(e)은 각각 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)이며, 기간(c)은 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)이다. 상기 기간(a) 및 상기 기간(e)의 각각에서, 상기 불휘발성 래치 회로(400)는 통상적인 동작 기간에 있으며, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)는 각각 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 기간(b)은 상기 비-동작 기간 이전의 준비 기간이다. 상기 기간(b)은 또한 하락 기간으로서 불리운다. 상기 기간(d)은 상기 비-동작 기간 및 상기 전력의 공급 후 통상적인 동작 기간의 재시작 사이의 준비 기간이다. 상기 기간(d)은 또한 상승 기간으로서 불리운다.

[0366] 도 20a에서, 상기 기간(a), 상기 기간(b), 및 상기 기간(c)의 동작들은 도 19b에서의 것과 유사하다. 다음으로, 상기 비-동작 기간과 전력의 공급 후 통상의 동작 기간의 재시작 사이의 준비 기간(기간(d))에서, 상기 클록 신호(ϕ_2) 및 상기 클록 신호(ϕ_1)의 전위들은 각각 저 레벨로 고정된다. 상기 노드(P) 및 상기 출력 신호(OUT)의 전위들은 여기에서, 상기 전력 공급의 이전인 상기 노드(P)의 전위, 상기 출력 신호(OUT)의 전위 등에 의존하지만, 상기 노드(P)는 저-레벨 전위를 가지며 상기 출력 신호(OUT)는 고-레벨 전위를 가진다는 것이 고려된다.

[0367] 그 후, 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받을 때, 상기 트랜지스터(402)는 턴 온되며 상기 노드(S)에 보유된 상기 전위는 상기 래치부(411)에 공급된다. 구체적으로, 상기 전하는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배되며, 상기 인버터(412)의 입력(상기 노드(P))은 상기 노드(S)에 축적된 전하에 대응하는 전위를 공급받는다. 여기에서, 상기 노드(S)에 축적된 상기 전하는 상기 래치부(411)에 분배되고, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상승되며, 상기 노드(S)의 전위는 다소 저하된다.

[0368] 그 결과, 상기 인버터(412)의 입력(상기 노드(P)) 및 상기 노드(S) 각각은 실질적으로 고-레벨 전위를 갖는다. 그 후, 상기 래치부에서의 상기 노드(P)의 전위는 상기 인버터(412)에 의해 반전되며 상기 출력 신호(OUT)로서 후속 단계의 회로에 공급된다. 상기 노드(S)에 보유된 전위 및 상기 래치부의 상기 노드(P)에 공급된 전위가 고

레벨들에 있으며, 저-레벨 전위를 가진 출력 신호가 획득될 수 있는 예가 여기에 도시된다. 따라서, 상기 래치 회로의 논리 상태는 상기 비-동작 기간 이전의 논리 상태로 회복될 수 있다.

- [0369] 다음으로, 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받는 동안 상기 클록 신호(ϕ_2)는 고-레벨 전위를 공급받는다. 상기 클록 신호(ϕ_2)가 고-레벨 전위를 공급받을 때, 상기 스위치(432)는 턴 온되며, 인버터 루프가 형성된다. 상기 인버터 루프가 형성될 때, 상기 출력 신호(OUT) 및 상기 노드(P)는 각각 고-레벨 전위 또는 저-레벨 전위를 공급받으며, 상기 전위들은 보유된다(데이터는 래치된다).
- [0370] 특히, 상기 전하는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배되기 때문에, 상기 인버터(412)의 입력(상기 노드(P))의 입력의 전위가 고-레벨 전위 또는 저-레벨 전위로부터 다소 쉬프트될 때조차, 고-레벨 전위 또는 저-레벨 전위는 다시 공급된다. 그 후, 상기 노드(P)의 전위는 상기 노드(S)에 공급된다. 따라서, 상기 노드(S)의 전위가 고-레벨 전위 또는 저-레벨 전위로부터 다소 쉬프트될 때조차, 고-레벨 전위 또는 저-레벨 전위는 다시 공급된다. 그 결과, 상기 노드(S)의 전위는 상기 변경 전의 상기 전위로 회복될 수 있다(이러한 동작은 또한 재기록으로서 불리운다).
- [0371] 그 후, 상기 트랜지스터(420)는 상기 트랜지스터(402)가 턴 오프되는 상기 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드(S)는 플로팅 상태가 된다. 그 결과, 상기 노드(S)에 축적된 상기 전하는 임의의 변경 없이 보유된다(유지). 상기 노드(S)에 축적된 전하는 다음으로 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받는 타이밍에 재기록될 수 있다. 그러므로, 상기 노드(S)에 축적된 상기 전하는 다음으로 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 상기 전위를 공급받는 타이밍까지 임의의 변경 없이 보유된다.
- [0372] 상술된 바와 같이, 상기 데이터는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 상기 전하를 분배함으로써 상기 래치부로 관측된다. 고-레벨 전위에 대응하는 상기 전위가 상기 노드(S)에 축적되는 경우에, 상기 전하가 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배된 후, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상기 트랜지스터(402)가 턴 온되기 전에 상기 인버터(412)의 입력(상기 노드(P))의 전위에 의존하지 않고 상기 인버터(412)의 임계값(상기 인버터의 출력이 반전되는 입력 전위)보다 높게 설정된다.
- [0373] 저-레벨 전위에 대응하는 상기 전하가 상기 노드(S)에 축적되는 경우에, 상기 전하가 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배된 후, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상기 트랜지스터(402)가 턴 온되기 전에 상기 인버터(412)의 입력(상기 노드(P))의 전위에 의존하지 않고 상기 인버터(412)의 임계값(상기 인버터의 출력이 반전되는 입력 전위)보다 낮게 설정된다.
- [0374] 상기를 달성하기 위해, 상기 노드(S)의 용량치는 예를 들면 상기 노드(P)의 용량치보다 더 큰 것이 바람직하다. 달리 말하면, 상기 노드(S)가 전기적으로 접속되는 상기 용량 소자(404)의 용량치가 상기 노드(P)가 전기적으로 접속되는 상기 인버터(412)의 입력 용량치(상기 입력 용량치는 상기 인버터의 트랜지스터의 게이트 용량치에 대응한다)보다 더 큰 것이 바람직하다. 또한, 상기 기간(d)에서, 상기 전위(V_C)가 VDD와 VSS 사이의 값으로 설정되는 기간을 제공하는 것이 효율적이다. 따라서, 상기 관측 동작은 보다 안정되게 수행될 수 있다.
- [0375] 이러한 방식으로, 상기 노드(P)가 저-레벨 전위를 갖고 상기 출력 신호(OUT)가 고-레벨 전위를 갖는 경우에 대한 제한 없이, 데이터는 상기 노드(P)가 고-레벨 전위를 갖고 상기 출력 신호(OUT)가 저-레벨 전위를 갖는 경우에서 또한 상기 래치부로 관측될 수 있다. 또한, 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S)에 축적되는 경우에 대한 제한 없이, 데이터는 저-레벨 전위에 대응하는 상기 전하가 축적되는 경우에서조차 상기 래치부로 관측될 수 있다.
- [0376] 다음으로, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)는 각각 통상의 동작 상태(상기 기간(e))가 되도록 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 통상적인 동작 기간(기간(e))의 시작에서, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)의 동작들은 이전의 통상적인 동작 기간(기간(a))의 종료와 동일한 전위들(동일한 상태)로부터 시작될 수 있거나 또는 상기 기간(a)의 종료시 상기 전위의 반전된 전위(이러한 반전된 전위는 또한 상기 기간(a)의 후속 상태로서 불리운다)로부터 시작될 수 있다.
- [0377] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는

불휘발성 래치 회로, 또는 리프레쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.

- [0378] 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.
- [0379] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 상기 불휘발성 래치 회로를 사용한 상기 논리 회로에서, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.
- [0380] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.
- [0381] [실시예 5]
- [0382] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 상기 불휘발성 래치 회로의 동작의 또 다른 예가 도 20b를 참조하여 설명될 것이다. 상기 불휘발성 래치 회로의 구성은 도 19a에서의 것과 동일하며, 상기 타이밍 차트는 이 예에서 도 19b 및 도 20a에서의 것과 상이하다.
- [0383] 도 20a는 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)에서 및 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)에서 입력 신호(IN), 출력 신호(OUT), 제어 신호(ϕ_{LS}), 클록 신호(ϕ_1), 및 클록 신호(ϕ_2)의 전위들의 타이밍 차트의 일 예를 도시한다. 또한, 도 20a는 상기 데이터 보유부(401)의 상기 노드(S), 상기 래치부(411)의 상기 노드(P), 및 상기 전원 전압(VDD-L)의 전위들을 도시한다. 상기 노드(S)는 상기 용량 소자(404)의 전극들 중 하나의 전위를 나타낸다.
- [0384] 도 20b에서, 기간(a), 기간(b), 기간(d), 및 기간(e)은 각각 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)이며, 기간(c)은 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)이다. 상기 기간(a) 및 상기 기간(e)의 각각에서, 상기 불휘발성 래치 회로(400)는 통상적인 동작 기간에 있으며, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)는 각각 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 기간(b)은 상기 비-동작 기간 이전의 준비 기간이다. 상기 기간(b)은 또한 하락 기간으로서 불리운다. 상기 기간(d)은 상기 비-동작 기간 및 상기 전력의 공급 후 통상적인 동작 기간의 재시작 사이의 준비 기간이다. 상기 기간(d)은 또한 상승 기간으로서 불리운다.
- [0385] 도 20b에서, 상기 기간(a), 상기 기간(b), 및 상기 기간(c)의 동작들은 도 19b에서의 것과 유사하다. 다음으로, 상기 비-동작 기간 및 전력의 공급 후 통상의 동작 기간의 재시작 사이의 준비 기간(기간(d))에서, 상기 클록 신호(ϕ_2) 및 상기 클록 신호(ϕ_1)의 전위들은 각각 저 레벨로 고정된다. 상기 노드(P) 및 상기 출력 신호(OUT)의 전위들은 여기에서, 상기 전력 공급의 이전인 상기 노드(P)의 전위, 상기 출력 신호(OUT)의 전위 등에 의존하지만, 상기 노드(P)는 저-레벨 전위를 가지며 상기 출력 신호(OUT)는 고-레벨 전위를 가진다는 것이 고려된다.
- [0386] 그 후, 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받을 때, 상기 트랜지스터(402)는 턴 온되며 상기 노드(S)에 보유된 상기 전위는 상기 래치부(411)에 공급된다. 구체적으로, 상기 전하는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배된다. 그 후, 상기 용량 소자의 다른 전극의 전위(V_C)는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받는 타이밍에 소정의 전위를 공급받는다. 상기 전위(V_C)는 저-레벨 전위와 고-레벨 전위 사이의 전위가 되도록 저-레벨 전위로부터 상승된다.
- [0387] 따라서, 상기 인버터(412)의 입력(상기 노드(P))은 상기 용량 소자의 다른 전극의 전위(V_C)의 증가가 상기 인버터(412)의 입력(상기 노드(P)) 및 상기 노드(S)로의 상기 전하의 분배에 의해 결정되는 상기 전위에 추가되는 전위를 공급받는다. 여기에서, 상기 노드(S)에 축적된 상기 전하는 상기 래치부(411)에 분배되고, 상기 전위(V_C)는 소정의 전위를 공급받고, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상승되며, 상기 노드(S)의 전위는 다소 저하된다. 그 결과, 상기 인버터(412)의 입력(상기 노드(P)) 및 상기 노드(S) 각각은 실질적으로 고-레벨 전위를 갖는다.
- [0388] 그 후, 상기 래치부에서의 상기 노드(P)의 전위는 상기 인버터(412)에 의해 반전되며 상기 출력 신호(OUT)로서

후속 단계의 회로에 공급된다. 따라서, 상기 래치 회로의 논리 상태는 상기 비-동작 기간 이전의 논리 상태로 회복될 수 있다. 그 후, 상기 용량 소자의 다른 전극의 상기 전위(V_C)는 저-레벨 전위로 회복된다.

[0389] 다음으로, 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받는 동안 상기 클록 신호(ϕ_2)는 고-레벨 전위를 공급받는다. 상기 클록 신호(ϕ_2)가 고-레벨 전위를 공급받을 때, 상기 스위치(432)는 턴 온되며, 인버터 루프가 형성된다. 상기 인버터 루프가 형성될 때, 상기 출력 신호(OUT) 및 상기 노드(P)는 각각 고-레벨 전위 또는 저-레벨 전위를 공급받으며, 상기 전위들이 보유된다(데이터는 래치된다).

[0390] 특히, 상기 전하는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배되기 때문에, 상기 인버터(412)의 입력(상기 노드(P))의 입력의 전위가 고-레벨 전위 또는 저-레벨 전위로부터 다소 쉬프트될 때조차, 고-레벨 전위 또는 저-레벨 전위는 다시 공급된다. 그 후, 상기 노드(P)의 전위는 상기 노드(S)에 공급된다. 따라서, 상기 노드(S)의 전위가 고-레벨 전위 또는 저-레벨 전위로부터 다소 쉬프트될 때조차, 고-레벨 전위 또는 저-레벨 전위는 다시 공급된다. 그 결과, 상기 노드(S)의 전위는 상기 변경 전의 상기 전위로 회복될 수 있다(이러한 동작은 또한 재기록으로서 불리운다).

[0391] 그 후, 상기 트랜지스터(420)는 상기 트랜지스터(402)가 턴 오프되는 상기 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드(S)는 플로팅 상태가 된다. 그 결과, 상기 노드(S)에 축적된 상기 전하는 임의의 변경 없이 보유된다(유지). 상기 노드(S)에 축적된 전하는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 다음으로 공급받는 타이밍에 재기록될 수 있다. 그러므로, 상기 노드(S)에 축적된 상기 전하는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 상기 전위를 다음으로 공급받는 타이밍까지 임의의 변경 없이 보유된다.

[0392] 상술된 바와 같이, 상기 데이터는 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 상기 전하를 분배하고 상기 전위(V_C)를 제어함으로써 상기 래치부로 관독된다. 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S)에 축적되는 경우에, 상기 전하가 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배된 후, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상기 트랜지스터(402)가 턴 온되기 전에 상기 인버터(412)의 입력(상기 노드(P))의 전위에 의존하지 않고 상기 인버터(412)의 임계값(상기 인버터의 출력이 반전되는 입력 전위)보다 높게 설정된다.

[0393] 저-레벨 전위에 대응하는 상기 전하가 상기 노드(S)에 축적되는 경우에, 상기 전하가 상기 노드(S) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배된 후, 상기 인버터(412)의 입력(상기 노드(P))의 전위는 상기 트랜지스터(402)가 턴 온되기 전에 상기 인버터(412)의 입력(상기 노드(P))의 전위에 의존하지 않고 상기 인버터(412)의 임계값(상기 인버터의 출력이 반전되는 입력 전위)보다 낮게 설정된다.

[0394] 상기를 달성하기 위해, 상기 노드(S)의 용량치는 예를 들면 상기 노드(P)의 용량치보다 더 큰 것이 바람직하다. 달리 말하면, 상기 노드(S)가 전기적으로 접속되는 상기 용량 소자(404)의 용량치가 상기 노드(P)가 전기적으로 접속되는 상기 인버터(412)의 입력 용량치(상기 입력 용량치는 상기 인버터의 트랜지스터의 게이트 용량치에 대응한다)보다 더 큰 것이 바람직하다. 또한, 상기 기간(d)에서, 상기 전위(V_C)가 VDD와 VSS 사이의 값으로 설정되는 기간을 제공하는 것이 효율적이다. 따라서, 상기 관독 동작은 보다 안정되게 수행될 수 있다.

[0395] 이러한 방식으로, 상기 노드(P)가 저-레벨 전위를 갖고 상기 출력 신호(OUT)가 고-레벨 전위를 갖는 경우에 대한 제한 없이, 데이터는 상기 노드(P)가 고-레벨 전위를 갖고 상기 출력 신호(OUT)가 저-레벨 전위를 갖는 경우에서 또한 상기 래치부로 관독될 수 있다. 또한, 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S)에 축적되는 경우에 대한 제한 없이, 데이터는 저-레벨 전위에 대응하는 상기 전하가 축적되는 경우에서조차 상기 래치부로 관독될 수 있다.

[0396] 특히, 이 실시예에서 설명된 바와 같이, 상기 용량 소자의 다른 전극의 전위(V_C)는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받는 타이밍에 소정의 전위를 공급받으며, 따라서 상기 관독 동작은 보다 안정되게 수행될 수 있다.

[0397] 예를 들면, 상기 용량 소자(404)의 용량치가 작은 경우 또는 전력의 공급이 장시간 동안 정지되는 경우에, 상기 전하 분배 후의 상기 인버터(412)의 입력(상기 노드(P))의 전위 및 상기 인버터(412)의 임계값(상기 인버터의 출력이 반전되는 입력 전위)의 관계를 보유하는 것은 어려우며; 그러므로 관독의 안정성이 저하될 수 있는 가능성이 있다.

- [0398] 이러한 경우들에서조차, 전술된 전위 관계는 보유될 수 있으며 그 전위차는 소정의 전위를 상기 용량 소자의 다른 전극의 전위(V_C)에 공급함으로써 가능한 한 크게 보유될 수 있다. 그 결과, 안정된 판독이 수행될 수 있다. 달리 말하면, 상기 판독 동작은 보다 작은 용량치를 갖는 용량 소자의 경우에서조차 수행될 수 있으며, 따라서 소형화가 가능하다. 또한, 데이터 보유 기간은 길게 될 수 있다.
- [0399] 상기 용량 소자의 다른 전극의 전위(V_C)가 저-레벨 전위가 되도록 회복되는 타이밍은 상기 클록 신호(ϕ_2)가 고-레벨 전위를 공급받은 후일 수 있다는 것을 주의하자. 상기 용량 소자의 다른 전극의 전위는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 오프되는 전위를 공급받기 전의 저-레벨 전위로 회복될 수 있다.
- [0400] 다음으로, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)는 각각 통상의 동작 상태(상기 기간(e))가 되도록 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 통상적인 동작 기간(기간(e))의 시작에서, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)의 동작들은 이전의 통상적인 동작 기간(기간(a))의 종료와 동일한 전위들(동일한 상태)로부터 시작될 수 있거나 또는 상기 기간(a)의 종료시 상기 전위의 반전된 전위(이러한 반전된 전위는 또한 상기 기간(a)의 후속 상태로서 불리온다)로부터 시작될 수 있다.
- [0401] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프레쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.
- [0402] 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다. 또한, 상기 데이터 보유부의 상기 용량 소자의 용량치는 감소될 수 있으며 상기 용량 소자는 크기가 감소될 수 있어서 그에 따라 소형화가 가능하다.
- [0403] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 상기 불휘발성 래치 회로를 사용한 상기 논리 회로에서, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.
- [0404] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.
- [0405] [실시예 6]
- [0406] 이 실시예에서, 각각 여기에 개시된 본 발명의 일 실시예인 복수의 상기 불휘발성 래치 회로들을 포함한 논리 회로의 구성이 도 21을 참조하여 설명될 것이다.
- [0407] 도 21은 각각 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 데이터 보유부(401)를 포함한 두 개의 불휘발성 래치 회로들(400)을 포함한 논리 회로의 구성을 도시한다. 이러한 논리 회로는 D-FF로서 불리우며 CPU 또는 다양한 논리 회로들에서의 레지스터로서 사용된다.
- [0408] 상기 데이터 보유부(401)의 구성은 도 1과 유사하다. 상기 래치부(411)의 구성은 도 1의 상기 래치부(411)의 구성에서 NAND가 상기 제 1 소자를 위해 사용되며 클록드 인버터가 상기 제 2 소자를 위해 사용되는 일 예이다.
- [0409] 상기 래치부(411)는 NAND(412) 및 클록드 인버터(413)를 포함한다. 상기 래치부(411)는 상기 NAND(412)의 출력이 상기 클록드 인버터(413)의 입력에 전기적으로 접속되며, 상기 클록드 인버터(413)의 출력이 상기 NAND(412)의 입력에 전기적으로 접속되는 루프 구조를 갖는다. 또한, 상기 래치부(411)는 아날로그 스위치(431)를 포함한다.
- [0410] 상기 NAND(412)의 입력들 중 하나는 상기 아날로그 스위치(431)를 통해 상기 래치 회로(400)의 입력 신호를 공급받는 배선(414)에 전기적으로 접속된다. 상기 NAND(412)의 출력은 상기 래치 회로(400)의 출력 신호를 공급받는 배선(415)에 전기적으로 접속된다. 상기 NAND(412)의 다른 입력은 신호(RSTB)를 공급받는 배선에 전기적으로 접속된다. 상기 아날로그 스위치(431)는 클록 신호 및 상기 클록 신호의 반전 신호를 공급받는다. 상기 클록드 인버터(413)는 클록 신호 및 상기 클록 신호의 반전 신호를 공급받는다.

- [0411] 도 21에서의 상기 논리 회로는 상기 기술된 불휘발성 래치 회로들(400)로서 불휘발성 래치 회로(400a) 및 불휘발성 래치 회로(400b)를 포함한다. 상기 불휘발성 래치 회로(400a)는 이전 단계의 회로로부터 입력 신호의 전위를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 불휘발성 래치 회로(400a)의 출력 신호의 전위를 공급받는 상기 배선(415)은 상기 불휘발성 래치 회로(400b)의 입력 신호의 전위를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 불휘발성 래치 회로(400b)는 후속 단계의 회로로서 상기 불휘발성 래치 회로의 출력 신호의 전위를 공급하는 상기 배선(415)에 전기적으로 접속된다.
- [0412] 상기 불휘발성 래치 회로(400a)에서, 아날로그 스위치(431)는 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 1$)의 반전 신호($\phi 1b$)를 공급받으며, 상기 클록드 인버터(413)는 클록 신호($\phi 2$) 및 상기 클록 신호($\phi 2$)의 반전 신호($\phi 2b$)를 공급받는다. 상기 불휘발성 래치 회로(400b)에서, 아날로그 스위치는 클록 신호($\phi 2$) 및 상기 클록 신호($\phi 2$)의 반전 신호($\phi 2b$)를 공급받으며, 클록드 인버터(413)는 상기 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 1$)의 반전 신호($\phi 1b$)를 공급받는다.
- [0413] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프래쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.
- [0414] 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.
- [0415] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.
- [0416] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.
- [0417] [실시예 7]
- [0418] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 상기 불휘발성 래치 회로의 구성의 또 다른 예가 도 22를 참조하여 설명될 것이다. 도 22는 이 예에서 도 1과 상이하다. 도 22는 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 데이터 보유부(401)를 포함한 불휘발성 래치 회로(400)의 구성을 도시한다.
- [0419] 도 22에서 상기 불휘발성 래치 회로는 루프 구조를 갖는 상기 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 상기 데이터 보유부(401)를 포함한다. 루프 구조를 갖는 상기 래치부(411)에서, 제 1 소자(D1)(412)의 출력은 제 2 소자(D2)(413)의 입력에 전기적으로 접속되며, 상기 제 2 소자(D2)(413)의 출력은 상기 제 1 소자(D1)(412)의 입력에 전기적으로 접속된다.
- [0420] 상기 제 1 소자(D1)(412)의 상기 입력은 상기 래치 회로의 입력 신호를 공급받는 배선(414)에 전기적으로 접속된다. 상기 제 1 소자(D1)(412)의 상기 출력은 상기 래치 회로의 출력 신호를 공급받는 배선(415)에 전기적으로 접속된다.
- [0421] 상기 제 1 소자(D1)(412)의 복수의 입력들이 존재할 때, 상기 입력들 중 하나는 상기 래치 회로의 상기 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속될 수 있다. 상기 제 2 소자(D2)(413)의 복수의 입력들이 존재할 때, 상기 입력들 중 하나는 상기 제 1 소자(D1)(412)의 상기 출력에 전기적으로 접속될 수 있다.
- [0422] 상기 제 1 소자(D1)(412)로서, 입력된 신호가 반전되고 결과적인 신호가 출력으로서 작용하는 소자가 사용될 수 있다. 예를 들면, 상기 제 1 소자(D1)(412)로서, 인버터, NAND, NOR, 클록드 인버터 등이 사용될 수 있다. 상기 제 2 소자(D2)(413)로서, 입력된 신호가 반전되고 결과적인 신호가 출력으로서 작용하는 소자가 사용될 수 있다. 예를 들면, 상기 제 2 소자(D2)(413)로서, 인버터, NAND, NOR, 클록드 인버터 등이 사용될 수 있다.
- [0423] 상기 데이터 보유부(401)에서, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터(402a) 및 트랜지스터(402b)가 각각 스위칭 소자로서 사용된다. 또한, 상기 데이터 보유부(401)는 상기 트랜지스터(402a)의 소스 전극 또는 드레인 전극에 전기적으로 접속되는 용량 소자(404a) 및 상기 트랜지스터

(402b)의 소스 전극 또는 드레인 전극에 전기적으로 접속되는 용량 소자(404b)를 포함한다.

- [0424] 상기 용량 소자(404a)의 전극들 중 하나는 상기 트랜지스터(402a)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속되며, 상기 용량 소자(404b)의 전극들 중 하나는 상기 트랜지스터(402b)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된다. 상기 트랜지스터(402a)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 제 1 소자(D1)의 입력 또는 상기 래치 회로의 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 트랜지스터(402b)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 제 1 소자(D1)(412)의 상기 출력 또는 상기 래치 회로의 상기 출력 신호를 공급받는 상기 배선(415)에 전기적으로 접속된다. 상기 용량 소자(404a)의 다른 전극 및 상기 용량 소자(404b)의 다른 전극은 각각 전위(V_c)를 공급받는다.
- [0425] 산화물 반도체를 사용한 상기 트랜지스터(402a) 및 상기 트랜지스터(402b) 각각은 상기 데이터 보유부(401)의 상기 용량 소자(404a) 및 상기 용량 소자(404b)로 상기 래치부(411)에 보유된 데이터를 기록하는 기능을 갖는다. 또한, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b) 각각은 상기 데이터 보유부(401)의 상기 용량 소자(404a) 및 상기 용량 소자(404b)로 기록된 상기 데이터를 보유하는 기능을 갖는다. 게다가, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b) 각각은 상기 데이터 보유부(401)의 상기 용량 소자(404a) 및 상기 용량 소자(404b)에 보유된 상기 데이터를 상기 래치부(411)에서 판독하는 기능을 갖는다.
- [0426] 상기 데이터 보유부(401)로의 상기 래치부(411)에 보유된 상기 데이터의 기록 동작, 상기 데이터의 보유 동작, 상기 데이터 보유부(401)로부터 상기 래치부(411)로의 상기 데이터의 판독 동작, 및 상기 데이터의 재기록 동작이 설명될 것이다. 먼저, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 전위를 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)의 각각의 게이트 전극에 공급함으로써 턴 온된다.
- [0427] 따라서, 상기 용량 소자(404a)의 전극들 중 하나는 상기 래치부에 보유된 데이터, 즉 상기 래치부에 보유되는 상기 제 1 소자(D1)(412)의 상기 입력의 전위를 공급받으며, 상기 용량 소자(404b)의 상기 전극들 중 하나는 상기 래치부에 보유되는 상기 제 1 소자(D1)(412)의 상기 출력의 전위를 공급받는다. 그 결과, 상기 제 1 소자(D1)(412)의 상기 입력의 상기 전위에 대응하는 전하는 상기 용량 소자(404a)의 전극들 중 하나에 축적되며, 상기 제 1 소자(D1)(412)의 상기 출력의 전위에 대응하는 전하는 상기 용량 소자(404b)의 전극들 중 하나에 축적된다(이러한 동작은 기록에 대응한다).
- [0428] 그 후, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)의 각각의 상기 게이트 전극의 전위가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)의 각각이 턴 오프되는 전위로 설정되는 방식으로 턴 오프된다. 따라서, 상기 커패시터(404a) 및 상기 커패시터(404b)의 전극들 중 하나에 축적된 상기 전하가 보유된다(유지).
- [0429] 또한, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)의 각각이 턴 온되는 전위를 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)의 각각의 상기 게이트 전극에 공급함으로써 턴 온된다. 따라서, 전하는 상기 용량 소자(404a)의 전극들 중 하나 및 상기 제 1 소자(D1)(412)의 상기 입력에, 그리고 상기 용량 소자(404b)의 상기 전극들 중 하나 및 상기 제 1 소자(D1)(412)의 상기 출력에 분배된다. 그 결과, 상기 제 1 소자(D1)(412)의 상기 입력 및 상기 출력은 각각 상기 용량 소자(404b)의 전극들 중 하나에 축적된 상기 전하에 대응하는 상기 전위를 공급받는다. 그 결과, 상기 데이터는 판독될 수 있다(판독). 상기 데이터의 재기록은 상기 데이터의 기록 및 보유의 것과 유사한 방식으로 수행될 수 있다.
- [0430] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프레쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.
- [0431] 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.
- [0432] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되

기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.

[0433] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.

[0434] [실시예 8]

[0435] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 상기 불휘발성 래치 회로의 구성 및 동작이 도 23 및 도 24a와 도 24b를 참조하여 설명될 것이다.

[0436] 도 23은 상기 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 상기 데이터 보유부(401)를 포함한 상기 불휘발성 래치 회로(400)의 구성을 도시한다. 도 24a 및 도 24b는 각각 상기 불휘발성 래치 회로(400)의 타이밍 차트의 일 예를 도시한다.

[0437] 도 23은 도 22에서의 상기 래치부(411)의 상기 구성이 구체적으로 도시되는 일 예이다. 도 23은 인버터(412)가 제 1 소자를 위해 사용되고 인버터(413)가 제 2 소자를 위해 사용되는, 도 22에서의 상기 래치부(411)의 상기 구성의 일 예이다. 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)의 각각의 구조는 실시예 1 또는 실시예 2에서의 것과 유사할 수 있다.

[0438] 상기 래치부(411)는 상기 인버터(412) 및 상기 인버터(413)를 포함한다. 상기 래치부(411)는 상기 인버터(412)의 출력이 상기 인버터(413)의 입력에 전기적으로 접속되며, 상기 인버터(413)의 출력이 상기 인버터(412)의 입력에 전기적으로 접속되는 루프 구조를 가진다. 또한, 상기 래치부(411)는 스위치(431) 및 스위치(432)를 포함하며, 상기 인버터(413)의 상기 출력은 상기 스위치(432)를 통해 상기 인버터(412)의 상기 입력에 전기적으로 접속된다.

[0439] 상기 인버터(412)의 상기 입력은 상기 스위치(431)를 통해 상기 래치 회로의 상기 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 인버터(412)의 상기 출력은 상기 래치 회로의 상기 출력 신호를 공급받는 상기 배선(415)에 전기적으로 접속된다. 상기 인버터(412)의 상기 입력에 접속되는 노드는 노드(P)로서 불리운다. 상기 노드(P)는 상기 래치 회로의 상기 입력 신호를 공급받는 상기 배선(414)에 전기적으로 접속된다. 게다가, 상기 노드(P)는 또한 상기 인버터(413)의 상기 출력에 전기적으로 접속된다. 상기 노드(P)의 상기 전위는 상기 인버터(412)의 상기 입력의 것과 동일하다는 것을 주의하자.

[0440] 상기 데이터 보유부(401)에서, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 각각 스위칭 소자로서 사용된다. 또한, 상기 데이터 보유부(401)는 상기 트랜지스터(402a)의 상기 소스 전극 또는 상기 드레인 전극에 전기적으로 접속되는 상기 용량 소자(404a) 및 상기 트랜지스터(402b)의 상기 소스 전극 또는 상기 드레인 전극에 전기적으로 접속되는 상기 용량 소자(404b)를 포함한다.

[0441] 상기 용량 소자(404a)의 전극들 중 하나는 상기 트랜지스터(402a)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속되며, 상기 용량 소자(404b)의 전극들 중 하나는 상기 트랜지스터(402b)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된다. 상기 트랜지스터(402a)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치 회로의 상기 입력 신호를 공급받는 상기 배선(414) 및 상기 래치부에서의 상기 인버터(412)의 상기 입력(상기 노드(P))에 전기적으로 접속된다.

[0442] 상기 트랜지스터(402b)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 래치 회로의 상기 출력 신호를 공급받는 상기 배선(415) 및 상기 래치부에서의 상기 인버터(412)의 상기 출력에 전기적으로 접속된다. 상기 용량 소자(404a)의 다른 전극 및 상기 용량 소자(404b)의 다른 전극은 각각 전위(V_C)를 공급받는다. 상기 트랜지스터(402a) 및 상기 용량 소자(404a)가 서로 전기적으로 접속되는 노드는 노드(S1)로서 불리우며, 상기 트랜지스터(402b) 및 상기 용량 소자(404b)가 서로 전기적으로 접속되는 노드는 노드(S2)로서 불리운다.

[0443] 산화물 반도체를 사용한 상기 트랜지스터(402a) 및 상기 트랜지스터(402b) 각각은 상기 데이터 보유부(401)의 상기 용량 소자(404a) 및 상기 용량 소자(404b)로 상기 래치부(411)에 보유된 데이터를 기록하는 기능을 갖는다. 또한, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b) 각각은 상기 데이터 보유부(401)의 상기 용량 소자(404a) 및 상기 용량 소자(404b)로 기록된 상기 데이터를 보유하는 기능을 갖는다. 게다가, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b) 각각은 상기 데이터 보유부(401)의 상기 용량 소자(404a) 및 상기 용량 소자(404b)에 보유된 상기 데이터를 상기 래치부(411)에 판독하는 기능을 갖는다.

- [0444] 상기 배선(414)은 이전 단계의 회로로부터 입력 신호(IN)의 전위를 공급받는다. 후속 단계의 회로는 출력 신호(OUT)로서 상기 배선(415)의 상기 전위를 공급받는다. 상기 스위치(431)는 클럭 신호($\phi 1$)의 전위를 공급받는다. 상기 클럭 신호($\phi 1$)가 고-레벨 전위를 공급받을 때, 상기 스위치(431)는 턴 온된다. 상기 스위치(432)는 클럭 신호($\phi 2$)의 전위를 공급받는다. 상기 클럭 신호($\phi 2$)가 고-레벨 전위를 공급받을 때, 상기 스위치(432)는 턴 온된다. 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)의 각각의 게이트는 제어 신호(ϕ_{LS})의 전위를 공급받는다.
- [0445] 상기 제어 신호(ϕ_{LS})가 고-레벨 전위를 공급받을 때, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 턴 온된다. 통상적인 동작 기간에서, 상기 클럭 신호($\phi 2$)는 상기 클럭 신호($\phi 1$)의 반전 신호이다. 여기에서, 상기 제어 신호들 및 상기 클럭 신호들의 전위들이 고 레벨들에 있을 때 상기 트랜지스터들 및 상기 스위치들이 턴 온되는 일 예가 도시된다.
- [0446] 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 각각은 고-레벨 전원 전압(VDD) 및 저-레벨 전원 전압(VSS)을 공급받는다.
- [0447] 다음으로, 도 24a 및 도 24b 각각은 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)에서 및 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)에서 입력 신호(IN), 출력 신호(OUT), 제어 신호(ϕ_{LS}), 클럭 신호($\phi 1$), 및 클럭 신호($\phi 2$)의 전위들의 타이밍 차트의 일 예를 도시한다. 또한, 도 24a 및 도 24b는 상기 데이터 보유부(401)의 상기 노드(S1) 및 상기 노드(S2), 상기 래치부(411)의 상기 노드(P), 및 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 전원 전압(VDD-L)의 전위들을 도시한다.
- [0448] 상기 노드(S1)는 상기 용량 소자(404a)의 상기 전극들 중 하나의 전위를 나타낸다. 상기 노드(S2)는 상기 용량 소자(404b)의 상기 전극들 중 하나의 전위를 나타낸다. 상기 용량 소자(404a)의 다른 전극 및 상기 용량 소자(404b)의 다른 전극은 각각 소정의 전위(V_c), 예를 들면 접지 전위를 공급받는다는 것을 주의하자.
- [0449] 먼저, 도 24a가 설명된다. 도 24a에서, 기간(a), 기간(b), 기간(d), 및 기간(e)은 각각 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)이며, 기간(c)은 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)이다. 상기 기간(a) 및 상기 기간(e)의 각각에서, 상기 불휘발성 래치 회로(400)는 통상적인 동작 기간에 있으며, 상기 클럭 신호($\phi 1$) 및 상기 클럭 신호($\phi 2$)는 각각 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 기간(b)은 상기 비-동작 기간 이전의 준비 기간이다. 상기 기간(b)은 또한 하락 기간으로서 불리운다. 상기 기간(d)은 상기 비-동작 기간 및 상기 전력의 공급 후 통상적인 동작 기간의 재시작 사이의 준비 기간이다. 상기 기간(d)은 또한 상승 기간으로서 불리운다.
- [0450] 상기 통상적인 동작 기간(기간(a))에서 상기 클럭 신호($\phi 1$)가 고레벨 전위를 공급받으며 상기 클럭 신호($\phi 2$)가 저레벨 전위를 공급받을 때, 상기 스위치(432)는 턴 오프되고 인버터 루프는 절단되며, 상기 스위치(431)는 턴 온되며, 상기 입력 신호의 전위는 상기 인버터(412)에 입력된다. 상기 입력 신호의 전위는 상기 인버터(412)에 의해 반전되고 출력 신호(OUT)로서 후속 단계의 회로에 공급된다. 상기 클럭 신호($\phi 1$)가 고 레벨 전위를 공급받을 때 상기 입력 신호의 전위가 고 레벨에 있다면, 저 레벨 전위를 가진 출력 신호가 획득될 수 있다. 상기 클럭 신호($\phi 1$)가 고 레벨 전위를 공급받을 때 상기 입력 신호의 전위가 저 레벨이라면, 고 레벨 전위를 가진 출력 신호가 획득될 수 있다. 상기 클럭 신호($\phi 1$)가 고 레벨 전위를 공급받을 때 상기 입력 신호의 전위가 저 레벨에 있다면, 고-레벨 전위를 가진 출력 신호가 획득될 수 있다.
- [0451] 상기 클럭 신호($\phi 1$)가 저-레벨 전위를 공급받고 상기 클럭 신호($\phi 2$)가 고-레벨 전위를 공급받을 때, 상기 스위치(431)는 턴 오프되고, 상기 스위치(432)는 턴 온되며 인버터 루프가 형성되고, 상기 출력 신호(OUT)의 전위는 보유된다(데이터는 래치된다, 즉, 상기 래치 회로의 논리 상태는 보유된다).
- [0452] 상기 통상적인 동작 기간에서, 상기 제어 신호(ϕ_{LS})는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 오프되는 전위를 공급받으며 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 전위를 공급받지 않는다. 상기 노드(S1) 및 상기 노드(S2) 각각은 보유되고 있는 전하에 대응하는 전위를 가진다. 여기에서, 상기 노드(S1) 및 상기 노드(S2)의 전위는 각각 한정되지 않은 값으로 설정된다.
- [0453] 다음으로, 상기 클럭 신호(ϕ_{LS})가, 상기 비-동작 기간 이전의 상기 준비 기간(기간(b))에서 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 공급받을 때, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 턴 온된다. 따라서, 상기 용량 소자(404a)의 상기 전극들 중 하나(상기 노드(S1))는 상기 래치

부에서의 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위를 공급받으며, 상기 용량 소자(404b)의 상기 전극들 중 하나(상기 노드(S2))는 상기 래치부에서의 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위를 공급받는다.

[0454] 그 결과, 상기 래치부에서의 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위에 대응하는 상기 전하는 상기 용량 소자(404a)에 축적되며, 상기 래치부에서의 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위에 대응하는 상기 전하는 상기 용량 소자(404b)에 축적된다(이러한 동작은 기록에 대응한다). 예를 들면, 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 공급받는 타이밍에서, 상기 래치부에서의 상기 인버터(412)의 상기 입력(상기 노드(P))의 상기 전위가 고 레벨에 있다면 상기 노드(S1)의 전위는 고 레벨로 설정된다. 또한, 상기 래치부에서의 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위가 저 레벨에 있다면 상기 노드(S2)의 전위는 저 레벨로 설정된다.

[0455] 그 후, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 오프되는 상기 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드(S1) 및 상기 노드(S2) 각각은 플로팅 상태가 된다. 그 결과, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들이 임의의 변경 없이 보유된다(유지).

[0456] 상기 기간(b)에서, 상기 클록 신호(ϕ_2) 및 상기 클록 신호(ϕ_1)는 상기 기간(a)의 종료시 전위를 보유하는 것이 충분하다는 것을 주의하자. 대안적으로, 상기 기간(a)의 종료시 데이터는 상기 클록 신호(ϕ_2)의 전위를 고 레벨로 및 상기 클록 신호(ϕ_1)의 전위를 저 레벨로 고정시킴으로써 래치될 수 있다.

[0457] 다음으로, 상기 비-동작 기간(기간(c))에서, 전력의 공급은 정지되고 래치부(411)의 인버터(412) 및 인버터(413)의 상기 전원 전압(VDD-L)의 전위들은 저하된다. 상기 클록 신호(ϕ_1), 상기 클록 신호(ϕ_2), 상기 입력 신호(IN), 상기 출력 신호(OUT), 및 노드(P)의 전위들은 VDD 및 VSS 사이의 임의의 값들을 취할 수 있다. 이 시간 동안, 상기 제어 신호(ϕ_{LS})의 전위는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 오프되도록 저 레벨로 보유된다. 예를 들면, 상기 전위는 접지 전위에서 보유된다. 상기 비-동작 기간(기간(c))에서, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)를 턴 오프함으로써 보유된다(유지).

[0458] 다음으로, 비-동작 기간 및 통상적인 동작 기간의 재시작 사이에 있는 상기 준비 기간(기간(d))이 시작한다. 도 24a는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 공급받는 타이밍에서 상기 노드(P) 및 상기 출력 신호(OUT)의 전위들이 저 레벨들에 있는 경우의 일 예를 도시한다.

[0459] 상기 기간(d)에서, 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 전력의 공급 이전에, 상기 클록 신호(ϕ_2)의 전위는 고 레벨로 고정되며 상기 클록 신호(ϕ_1)의 전위는 저 레벨로 고정된다. 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 이 상태에서 공급받을 때, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 턴 온되며, 상기 래치부(411)는 상기 노드(S1) 및 상기 노드(S2)에 보유된 상기 전위들을 공급받는다.

[0460] 구체적으로, 상기 전하는 상기 노드(S1) 및 상기 인버터(412)의 상기 입력(상기 입력은 상기 노드(P)에 대응한다)에 분배되며, 상기 인버터(412)의 상기 입력(상기 노드(P))은 상기 노드(S1)에 축적된 상기 전하에 대응하는 상기 전위를 공급받는다. 여기에서, 상기 인버터(412)의 상기 입력(상기 노드(P))의 상기 전위는 상승되며, 상기 노드(S1)의 상기 전위는 다소 저하된다.

[0461] 또한, 상기 전하는 상기 노드(S2) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))에 분배되며, 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))은 상기 노드(S2)에 축적된 상기 전하에 대응하는 상기 전위를 공급받는다. 여기에서, 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위 및 상기 노드(S2)의 상기 전위 둘 모두는 여전히 저 레벨들에 있다.

[0462] 전력이 이 상태에서 상기 인버터(412) 및 상기 인버터(413)에 공급될 때, 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차만큼, 상기 래치부에서, 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위는 고 레벨로 설정되고 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위는 저 레벨로 설정된다.

- [0463] 따라서, 상기 데이터 보유부의 상기 데이터는 상기 래치부로 판독되며, 상기 래치 회로의 논리 상태는 상기 비-동작 기간의 상태 이전의 논리 상태로 회복될 수 있다. 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차가 전원이 공급되기 전의 방식으로 생성될 때, 상기 래치 회로는 자동 증폭기로서 사용될 수 있다. 그 결과, 도 19b와 비교하여 보다 안정된 판독이 수행될 수 있다.
- [0464] 전원이 공급되고 상기 인버터 루프가 형성될 때, 상기 노드(P) 및 상기 출력 신호(OUT)는 각각 고-레벨 전위 또는 저-레벨 전위를 공급받으며 상기 전위들은 보유된다(데이터는 래치된다). 그 후, 상기 노드(P)의 전위 및 상기 출력 신호(OUT)의 전위는 각각 상기 노드(S1) 및 상기 노드(S2)에 공급된다. 따라서, 상기 노드(S1) 및 상기 노드(S2)는 다시 고-레벨 전위 또는 저-레벨 전위를 공급받는다. 그 결과, 상기 노드(S1) 및 상기 노드(S2)의 전위들은 상기 변경 이전의 상기 전위들로 회복될 수 있다(이러한 동작은 또한 재기록으로서 불리운다).
- [0465] 그 후, 상기 트랜지스터(402a) 및 상기 트래지스터(402b)는 상기 트랜지스터(402a) 및 상기 트래지스터(402b)가 턴 오프되는 상기 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드(S1) 및 상기 노드(S2)는 플로팅 상태가 된다. 그 결과, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 임의의 변경 없이 보유된다(유지). 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트래지스터(402b)가 턴 온되는 전위를 다음으로 공급받는 타이밍에 재기록될 수 있다. 그러므로, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트래지스터(402b)가 턴 온되는 상기 전위를 다음으로 공급받는 타이밍까지 임의의 변경 없이 보유된다.
- [0466] 상술된 바와 같이, 상기 데이터는 상기 전하가 상기 노드(S1) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배되고 상기 전하가 상기 노드(S2) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))에 분배되는 방식으로 상기 래치부로 판독된다. 고-레벨 전위에 대응하는 상기 전하는 상기 노드(S1)에 축적되며 저-레벨 전위에 대응하는 상기 전하가 상기 노드(S2)에 축적되는 경우에, 상기 전하 분배 후, 상기 인버터(412)의 상기 입력(상기 노드(P))의 상기 전위는, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되기 전에 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위들에 의존하지 않고 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위보다 높게 설정된다.
- [0467] 저-레벨 전위에 대응하는 상기 전하가 상기 노드(S1)에 축적되고 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S2)에 축적되는 경우에, 상기 전하 분배 후, 상기 인버터(412)의 상기 입력(상기 노드(P))의 상기 전위는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되기 전에 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위들에 의존하지 않고 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 상기 전위들보다 낮게 설정된다. 또한, 상기 전하 분배 후, 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위 및 상기 인버터(412)의 상기 출력(상기 출력 신호를 공급받는 상기 배선(415))의 전위는 둘 모두 너무 많이 저하되지 않도록 설정된다. 예를 들면, 상기 전위들 모두는 상기 인버터에 포함된 상기 트랜지스터의 임계 전압보다 낮지 않도록 설정된다.
- [0468] 상기를 달성하기 위해, 상기 노드(S1)의 용량치는 예를 들면 상기 노드(P)의 용량치보다 더 큰 것이 바람직하다. 달리 말하면, 상기 노드(S1)가 전기적으로 접속되는 상기 용량 소자(404a)의 용량치가 상기 노드(P)가 전기적으로 접속되는 상기 인버터(412)의 입력 용량치(상기 입력 용량치는 상기 인버터의 트랜지스터의 게이트 용량치에 대응한다)보다 더 큰 것이 바람직하다. 또한, 상기 기간(d)에서, 상기 전위(V_c)가 VDD 및 VSS 사이의 값으로 설정되는 기간을 제공하는 것이 효율적이다. 따라서, 상기 판독 동작은 보다 안정되게 수행될 수 있다.
- [0469] 이러한 방식으로, 상기 노드(P)가 저-레벨 전위를 갖고 상기 출력 신호(OUT)가 고-레벨 전위를 갖는 경우에 대한 제한 없이, 데이터는 상기 노드(P)가 고-레벨 전위를 갖고 상기 출력 신호(OUT)가 저-레벨 전위를 갖는 경우에서 또한 상기 래치부로 판독될 수 있다. 또한, 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S1)에 축적되는 경우에 대한 제한 없이, 데이터는 저-레벨 전위에 대응하는 상기 전하가 축적되는 경우에서조차 상기 래치부로 판독될 수 있다.
- [0470] 다음으로, 상기 클록 신호(ϕ_1) 및 상기 클록 신호(ϕ_2)는 각각 통상의 동작 상태(상기 기간(e))가 되도록 고-레벨 전위 또는 저-레벨 전위를 교대로 공급받는다. 상기 통상적인 동작 기간(기간(e))의 시작에서, 상기 클록

신호($\phi 1$) 및 상기 클록 신호($\phi 2$)의 동작들은 이전의 통상적인 동작 기간(기간(a))의 종료와 동일한 전위들(동일한 상태)로부터 시작할 수 있거나 또는 상기 기간(a)의 종료시 상기 전위의 반전된 전위(이러한 반전된 전위는 또한 상기 기간(a)의 후속 상태로서 불리온다)로부터 시작될 수 있다.

- [0471] 다음으로, 도 24b가 설명된다. 도 24b에서, 상기 기간(a), 상기 기간(b), 및 상기 기간(c)의 동작들은 도 24a에서의 것과 유사하다.
- [0472] 다음으로, 비-동작 기간 및 통상적인 동작 기간의 재시작 사이에 있는 상기 준비 기간(기간(d))이 시작한다. 도 24b는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 공급받는 타이밍에서 상기 노드(P) 및 상기 출력 신호(OUT)의 전위들이 고 레벨들에 있는 경우의 일 예를 도시한다.
- [0473] 상기 기간(d)에서, 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 전력의 공급 이전에, 상기 클록 신호($\phi 2$)의 전위는 고 레벨로 고정되며 상기 클록 신호($\phi 1$)의 전위는 저 레벨로 고정된다. 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 이 상태에서 공급받을 때, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 턴 온되며, 상기 래치부(411)는 상기 노드(S1) 및 상기 노드(S2)에 보유된 상기 전위들을 공급받는다.
- [0474] 구체적으로, 상기 전하는 상기 노드(S1) 및 상기 인버터(412)의 상기 입력(상기 노드(P))에 분배되며, 상기 인버터(412)의 상기 입력(상기 노드(P))은 상기 노드(S1)에 축적된 상기 전하에 대응하는 상기 전위를 공급받는다. 여기에서, 상기 인버터(412)의 상기 입력(상기 노드(P))의 상기 전위 및 상기 노드(S1)의 상기 전위 둘 모두는 여전히 고 레벨들에 있다.
- [0475] 또한, 상기 전하는 상기 노드(S2) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))에 분배되며, 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))은 상기 노드(S2)에 축적된 상기 전하에 대응하는 상기 전위를 공급받는다. 여기에서, 상기 인버터(412)의 상기 출력(상기 출력 신호(OUT))의 상기 전위는 저하되며, 상기 노드(S2)의 전위는 다소 상승된다.
- [0476] 전력이 이 상태에서 상기 인버터(412) 및 상기 인버터(413)에 공급될 때, 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차만큼, 상기 래치부에서, 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위는 고 레벨로 설정되고 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위는 저 레벨로 설정된다.
- [0477] 따라서, 상기 데이터 보유부의 상기 데이터는 상기 래치부로 판독되며, 상기 래치 회로의 논리 상태는 상기 비-동작 기간의 시작 이전의 논리 상태로 회복될 수 있다. 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차가 전원이 공급되기 전의 방식으로 생성될 때, 상기 래치 회로는 차동 증폭기로서 사용될 수 있다. 그 결과, 도 19b와 비교하여 보다 안정된 판독이 수행될 수 있다.
- [0478] 전원이 공급되고 상기 인버터 루프가 형성될 때, 상기 노드(P) 및 상기 출력 신호(OUT)는 각각 고-레벨 전위 또는 저-레벨 전위를 공급받으며 상기 전위들은 보유된다(데이터는 래치된다). 그 후, 상기 노드(P)의 전위 및 상기 출력 신호(OUT)의 전위는 각각 상기 노드(S1) 및 상기 노드(S2)에 공급된다. 따라서, 상기 노드(S1) 및 상기 노드(S2)는 다시 고-레벨 전위 또는 저-레벨 전위를 공급받는다. 그 결과, 상기 노드(S1) 및 상기 노드(S2)의 전위들은 상기 변경 이전의 상기 전위들로 회복될 수 있다(이러한 동작은 또한 재기록으로서 불리온다).
- [0479] 그 후, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 오프되는 상기 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드(S1) 및 상기 노드(S2) 각각은 플로팅 상태가 된다. 그 결과, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 임의의 변경 없이 보유된다(유지). 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 전위를 다음으로 공급받는 타이밍에 재기록될 수 있다. 그러므로, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 다음으로 공급받는 타이밍까지 임의의 변경 없이 보유된다.
- [0480] 다음으로, 상기 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 2$)는 각각 통상의 동작 상태(상기 기간(e))가 되도록 고-레벨 전위 또는 저-레벨 전위를 교대로 공급받는다. 상기 통상적인 동작 기간(기간(e))의 시작에서, 상기 클록

신호($\phi 1$) 및 상기 클록 신호($\phi 2$)의 동작들은 이전의 통상적인 동작 기간(기간(a))의 종료와 동일한 전위들(동일한 상태)로부터 시작할 수 있거나 또는 상기 기간(a)의 종료시 상기 전위의 반전된 전위(이러한 반전된 전위는 또한 상기 기간(a)의 후속 상태로서 불리운다)로부터 시작될 수 있다.

- [0481] 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차가 전원이 공급되기 전에 생성되는 예가 여기에 도시되지만, 이 실시예(도 23)에 설명된 구성을 갖는 상기 불휘발성 래치 회로는 또한 도 19b에서의 것과 유사한 타이밍 차트의 사용으로 동작될 수 있다는 것을 주의하자.
- [0482] 상기 기간(d)에서, 상기 전위(V_c)가 VDD 및 VSS 사이의 값으로 설정되는 기간을 제공하는 것이 효율적이라는 것을 주의하자. 따라서, 상기 관독 동작은 보다 안정되게 수행될 수 있다.
- [0483] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프래쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.
- [0484] 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 관독될 수 있다. 게다가, 래치 회로가 차동 증폭기로서 사용되는 경우 더 안정한 관독이 수행될 수 있다.
- [0485] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 상기 불휘발성 래치 회로를 사용한 상기 논리 회로에서, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.
- [0486] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.
- [0487] [실시예 9]
- [0488] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예인 상기 불휘발성 래치 회로의 동작의 또 다른 예가 도 25를 참조하여 설명될 것이다. 상기 불휘발성 래치 회로의 구성은 도 23에서의 것과 동일하며, 상기 타이밍 차트는 이 예에서 도 24a 및 도 24b에서의 것과 상이하다.
- [0489] 다음으로, 도 25는 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)에서 및 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)에서 입력 신호(IN), 출력 신호(OUT), 제어 신호(ϕ_{LS}), 클록 신호($\phi 1$), 및 클록 신호($\phi 2$)의 전위들의 타이밍 차트의 일 예를 도시한다. 또한, 도 25는 상기 데이터 보유부(401)의 상기 노드(S1) 및 상기 노드(S2), 상기 래치부(411)의 상기 노드(P), 및 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 상기 전원 전압(VDD-L)의 전위들, 및 상기 용량 소자(404a) 및 상기 용량 소자(404b)의 각각의 다른 전극의 전위(V_c)를 도시한다. 상기 노드(S1)는 상기 용량 소자(404a)의 전극들 중 하나의 전위를 나타낸다. 상기 노드(S2)는 상기 용량 소자(404b)의 상기 전극들 중 하나의 전위를 나타낸다.
- [0490] 도 25에서, 기간(a), 기간(b), 기간(d), 및 기간(e)은 각각 상기 불휘발성 래치 회로(400)가 동작 상태에 있는 기간(동작 기간)이며, 기간(c)은 상기 불휘발성 래치 회로(400)가 정지 상태에 있는 기간(비-동작 기간)이다. 상기 기간(a) 및 상기 기간(e)의 각각에서, 상기 불휘발성 래치 회로(400)는 통상적인 동작 기간에 있으며, 상기 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 2$)는 각각 고-레벨 전위 또는 저-레벨 전위를 번갈아 공급받는다. 상기 기간(b)은 상기 비-동작 기간 이전의 준비 기간이다. 상기 기간(b)은 또한 하락 기간으로서 불리운다. 상기 기간(d)은 상기 비-동작 기간 및 상기 전력의 공급 후 통상적인 동작 기간의 재시작 사이의 준비 기간이다. 상기 기간(d)은 또한 상승 기간으로서 불리운다.
- [0491] 도 25에서, 상기 기간(a) 및 상기 기간(b)의 동작들은 도 24a 및 도 24b에서의 것과 유사하다. 다음으로, 상기 비-동작 기간(기간(c))에서, 전력의 공급은 정지되며 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)의 상기 전원 전압(VDD-L)의 전위들은 저하된다. 상기 클록 신호($\phi 1$), 상기 클록 신호($\phi 2$), 및 상기 입력 신호(IN)의 전위들은 VDD 및 VSS 간의 임의의 값들을 취할 수 있다. 이러한 시간 동안, 상기 제어 신호(ϕ_L

s)의 전위는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 오프되도록 저 레벨로 보유된다. 예를 들면, 상기 전위는 접지 전위에서 보유된다.

- [0492] 상기 비-동작 기간(기간(c))에서, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)를 턴 오프함으로써 보유된다(유지). 또한, 상기 출력 신호(OUT)의 전위는 저 레벨로 보유된다. 게다가, 상기 노드(P)의 전위는 점차 저해된다.
- [0493] 다음으로, 상기 비-동작 기간 및 통상의 동작 기간의 재시작 사이에 있는 상기 준비 기간(기간(d))이 시작된다. 상기 기간(d)에서, 상기 래치부(411)의 상기 인버터(412) 및 상기 인버터(413)로의 전력의 공급 이전에, 상기 클록 신호(ϕ_2)의 전위는 고 레벨로 고정되며 상기 클록 신호(ϕ_1)의 상기 전위는 저 레벨로 고정된다. 상기 제어 신호(ϕ_{LS})가 이 상태에서 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 공급받을 때, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 턴 온되며, 상기 래치부(411)는 상기 노드(S1) 및 상기 노드(S2)에 보유된 상기 전위들을 공급받는다.
- [0494] 구체적으로, 상기 전하는 상기 노드(S1) 및 상기 인버터(412)의 상기 입력(상기 노드(P))에 분배된다. 그 후, 상기 용량 소자(404a)의 다른 전극의 전위(V_C)는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402)가 턴 온되는 전위를 공급받는 타이밍에서 소정의 전위를 공급받는다. 상기 전위(V_C)는 저-레벨 전위 및 고-레벨 전위 사이의 전위가 되도록 저-레벨 전위로부터 상승된다. 따라서, 상기 인버터(412)의 상기 입력(상기 노드(P))은 상기 용량 소자(404a)의 다른 전극의 상기 전위(V_C)의 증가가 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 노드(S1)로의 상기 전하의 분배에 의해 결정되는 상기 전위에 부가되는 전위를 공급받는다. 여기에서, 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위는 상승되며, 상기 노드(S1)의 전위는 다소 저해된다.
- [0495] 또한, 상기 전하는 상기 노드(S2) 및 상기 인버터(412)의 상기 출력(또한 상기 출력 신호를 공급받은 상기 배선(415))에 분배된다. 그 후, 상기 용량 소자(404b)의 다른 전극의 전위(V_C)는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402b)가 턴 온되는 전위를 공급받는 타이밍에서 소정의 전위를 공급받는다. 상기 전위(V_C)는 저-레벨 전위 및 고-레벨 전위 사이의 전위가 되도록 저-레벨 전위로부터 상승된다.
- [0496] 따라서, 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))은 상기 용량 소자(404b)의 다른 전극의 전위(V_C)의 증가가 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415)) 및 상기 노드(S2)로의 전하의 분배에 의해 결정되는 상기 전위에 부가되는 전위를 공급받는다. 여기에서, 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위 및 상기 노드(S2)의 전위는 상기 용량 소자(404b)의 다른 전극의 상기 전위(V_C)의 증가만큼 다소 상승된다.
- [0497] 전력이 이 상태에서 상기 인버터(412) 및 상기 인버터(413)에 공급될 때, 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차만큼, 상기 래치부에서, 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위는 고 레벨로 설정되고 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위는 저 레벨로 설정된다.
- [0498] 따라서, 상기 데이터 보유부의 상기 데이터는 상기 래치부로 판독되며, 상기 래치 회로의 논리 상태는 상기 비-동작 기간의 상태 이전의 논리 상태로 회복될 수 있다. 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차가 전원이 공급되기 전의 방식으로 생성될 때, 상기 래치 회로는 차동 증폭기로서 사용될 수 있다. 그 결과, 도 19b와 비교하여 보다 안정된 판독이 수행될 수 있다.
- [0499] 전원이 공급되고 상기 인버터 루프가 형성될 때, 상기 노드(P) 및 상기 출력 신호(OUT)는 각각 고-레벨 전위 또는 저-레벨 전위를 공급받으며 상기 전위들은 보유된다(데이터는 래치된다). 그 후, 상기 노드(P)의 전위 및 상기 출력 신호(OUT)의 전위는 각각 상기 노드(S1) 및 상기 노드(S2)에 공급된다. 따라서, 상기 노드(S1) 및 상기 노드(S2)는 다시 고-레벨 전위 또는 저-레벨 전위를 공급받는다. 그 결과, 상기 노드(S1) 및 상기 노드(S2)의 전위들은 상기 변경 이전의 상기 전위들로 회복될 수 있다(이러한 동작은 또한 재기록으로서 불리운다).
- [0500] 그 후, 상기 용량 소자들의 다른 전극들의 상기 전위(V_C)는 저-레벨 전위가 되도록 회복된다.
- [0501] 그 후, 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 오프되는 전위를 상기 제어 신호(ϕ_{LS})에 공급함으로써 턴 오프되며, 상기 노드(S1) 및 상기 노드(S2)는 플로

팅 상태가 된다. 그 결과, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 임의의 변경 없이 보유된다(유지).

[0502] 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 다음으로 공급받는 타이밍에서 재기록될 수 있다. 그러므로, 상기 노드(S1) 및 상기 노드(S2)에 축적된 상기 전하들은 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 상기 전위를 다음으로 공급받는 타이밍까지 임의의 변경 없이 보유된다.

[0503] 상술된 바와 같이, 상기 데이터는 상기 전하가 상기 노드(S1) 및 상기 인버터(412)의 입력(상기 노드(P))에 분배되고 상기 전하가 상기 노드(S2) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))에 분배되는 방식으로 상기 래치부로 관독된다. 고-레벨 전위에 대응하는 상기 전하는 상기 노드(S1)에 축적되며 저-레벨 전위에 대응하는 상기 전하가 상기 노드(S2)에 축적되는 경우에, 상기 전하 분배 후, 상기 인버터(412)의 상기 입력(상기 노드(P))의 상기 전위는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되기 전에 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위들에 의존하지 않고 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위보다 높게 설정된다.

[0504] 저-레벨 전위에 대응하는 상기 전하가 상기 노드(S1)에 축적되고 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S2)에 축적되는 경우에, 상기 전하 분배 후, 상기 인버터(412)의 상기 입력(상기 노드(P))의 상기 전위는 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되기 전에 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위들에 의존하지 않고 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 상기 전위들보다 낮게 설정된다. 또한, 상기 전하 분배 후, 상기 인버터(412)의 상기 입력(상기 노드(P))의 전위 및 상기 인버터(412)의 상기 출력(상기 출력 신호를 공급받는 상기 배선(415))의 전위는 둘 모두 너무 많이 저하되지 않도록 설정된다. 예를 들면, 상기 전위들 모두는 상기 인버터에 포함된 상기 트랜지스터의 임계 전압보다 낮지 않도록 설정된다.

[0505] 상기를 달성하기 위해, 상기 노드(S1)의 용량치는 예를 들면 상기 노드(P)의 용량치보다 더 큰 것이 바람직하다. 달리 말하면, 상기 노드(S1)가 전기적으로 접속되는 상기 용량 소자(404a)의 용량치가 상기 노드(P)가 전기적으로 접속되는 상기 인버터(412)의 입력 용량치(상기 입력 용량치는 상기 인버터의 트랜지스터의 게이트 용량치에 대응한다)보다 더 큰 것이 바람직하다. 또한, 상기 기간(d)에서, 상기 전위(V_C)가 VDD 및 VSS 사이의 값으로 설정되는 기간을 제공하는 것이 효율적이다. 따라서, 상기 관독 동작은 보다 안정되게 수행될 수 있다.

[0506] 이러한 방식으로, 상기 노드(P)가 저-레벨 전위를 갖고 상기 출력 신호(OUT)가 고-레벨 전위를 갖는 경우에 대한 제한 없이, 데이터는 상기 노드(P)가 고-레벨 전위를 갖고 상기 출력 신호(OUT)가 저-레벨 전위를 갖는 경우에서 또한 상기 래치부로 관독될 수 있다. 또한, 고-레벨 전위에 대응하는 상기 전하가 상기 노드(S1)에 축적되는 경우에 대한 제한 없이, 데이터는 저-레벨 전위에 대응하는 상기 전하가 축적되는 경우에서조차 상기 래치부로 관독될 수 있다.

[0507] 특히, 이 실시예에서 설명된 바와 같이, 상기 용량 소자의 다른 전극의 전위(V_C)는 상기 제어 신호(ϕ_{LS})가 상기 트랜지스터(402a) 및 상기 트랜지스터(402b)가 턴 온되는 전위를 공급받는 타이밍에 소정의 전위를 공급받으며, 따라서 상기 관독 동작은 보다 안정되게 수행될 수 있다.

[0508] 예를 들면, 상기 용량 소자(404a) 및 상기 용량 소자(404b)의 용량치가 작은 경우 또는 전력의 공급이 장시간 동안 정지되는 경우에, 상기 전하 분배 후의 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415)) 간의 전위차를 보유하는 것은 어려우며, 상기 전하 분배 후의 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위들은 낮아진다. 그러므로, 관독의 안정성이 저하될 수 있는 가능성이 있다.

[0509] 이러한 경우들에서조차, 상기 전하 분배 후, 상기 인버터(412)의 상기 입력(상기 노드(P)) 및 상기 인버터(412)의 상기 출력(또는 상기 출력 신호를 공급받는 상기 배선(415))의 전위들은 소정의 전위를 상기 용량 소자(404a) 및 상기 용량 소자(404b)의 각각의 다른 전극의 상기 전위(V_C)에 공급함으로써 적절한 전위들로 제어될 수 있다. 그 결과, 안정된 관독이 수행될 수 있다. 달리 말하면, 상기 관독 동작은 보다 작은 용량치를 가진 용

량 소자의 경우에서조차 수행될 수 있으며, 그에 따라 소형화가 가능하다. 또한, 데이터 보유 기간이 보다 길어질 수 있다.

- [0510] 다음으로, 상기 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 2$)는 각각 통상의 동작 상태(상기 기간(e))가 되도록 고-레벨 전위 또는 저-레벨 전위를 교대로 공급받는다. 상기 통상적인 동작 기간(기간(e))의 시작에서, 상기 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 2$)의 동작들은 이전의 통상적인 동작 기간(기간(a))의 종료와 동일한 전위들(동일한 상태)로부터 시작할 수 있거나 또는 상기 기간(a)의 종료시 상기 전위의 반전된 전위(이러한 반전된 전위는 또한 상기 기간(a)의 후속 상태로서 불리운다)로부터 시작될 수 있다.
- [0511] 상기 인버터(412)의 상기 입력 및 상기 출력 간의 전위차 및 상기 인버터(413)의 상기 입력 및 상기 출력 간의 전위차가 전원이 공급되기 전에 생성되는 예가 여기에 도시되지만, 이 실시예(도 23)에 설명된 구성을 갖는 상기 불휘발성 래치 회로는 또한 도 19b에서의 것과 유사한 타이밍 차트의 사용으로 동작될 수 있다는 것을 주의하자.
- [0512] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프래쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.
- [0513] 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.
- [0514] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 상기 불휘발성 래치 회로를 사용한 상기 논리 회로에서, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.
- [0515] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.
- [0516] [실시예 10]
- [0517] 이 실시예에서, 각각 여기에 개시된 본 발명의 일 실시예인 복수의 상기 불휘발성 래치 회로들을 포함한 논리 회로의 구성의 또 다른 예가 도 26을 참조하여 설명될 것이다.
- [0518] 도 26은 각각 래치부(411) 및 상기 래치부의 데이터를 보유하기 위한 데이터 보유부(401)를 포함한 두 개의 불휘발성 래치 회로들(400)을 포함한 논리 회로의 구성을 도시한다. 이러한 논리 회로는 D-FF로서 불리우며 CPU 또는 다양한 논리 회로들에서의 레지스터로서 사용된다.
- [0519] 상기 데이터 보유부(401)의 구성은 도 22에서의 것과 유사하다. 상기 래치부(411)의 구성은 도 22의 상기 래치부(411)의 구성에서 NAND가 상기 제 1 소자를 위해 사용되고 클록드 인버터가 상기 제 2 소자를 위해 사용되는 일 예이다.
- [0520] 상기 래치부(411)는 NAND(412) 및 클록드 인버터(413)를 포함한다. 상기 래치부(411)는 상기 NAND(412)의 출력이 상기 클록드 인버터(413)의 입력에 전기적으로 접속되며, 상기 클록드 인버터(413)의 출력이 상기 NAND(412)의 입력에 전기적으로 접속되는 루프 구조를 가진다. 또한, 상기 래치부(411)는 아날로그 스위치(431)를 포함한다.
- [0521] 상기 NAND(412)의 입력들 중 하나는 상기 아날로그 스위치(431)를 통해 상기 래치 회로(400)의 입력 신호를 공급받는 배선(414)에 전기적으로 접속된다. 상기 NAND(412)의 상기 출력은 상기 래치 회로(400)의 출력 신호를 공급받는 배선(415)에 전기적으로 접속된다. 상기 NAND(412)의 다른 입력은 신호(RSTB)를 공급받는 배선에 전기적으로 접속된다. 상기 아날로그 스위치(431)는 클록 신호 및 상기 클록 신호의 반전 신호를 공급받는다. 상기 클록드 인버터(413)는 클록 신호 및 상기 클록 신호의 반전 신호를 공급받는다.
- [0522] 도 26에서의 상기 논리 회로는 상기 전술된 불휘발성 래치 회로들(400)로서 불휘발성 래치 회로(400a) 및 불휘발성 래치 회로(400b)를 포함한다. 상기 불휘발성 래치 회로(400a)는 이전 단계의 회로로부터 입력 신호의 전위를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 불휘발성 래치 회로(400a)의 출력 신호의 전위를 공

급받는 상기 배선(415)은 상기 불휘발성 래치 회로(400b)의 입력 신호의 전위를 공급받는 상기 배선(414)에 전기적으로 접속된다. 상기 불휘발성 래치 회로(400b)는 후속 단계의 회로로 상기 불휘발성 래치 회로(400b)의 출력 신호의 전위를 공급하는 상기 배선(415)에 전기적으로 접속된다.

[0523] 상기 불휘발성 래치 회로(400a)에서, 아날로그 스위치(431)는 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 1$)의 반전 신호($\phi 1b$)를 공급받으며, 상기 클록드 인버터(413)는 클록 신호($\phi 2$) 및 상기 클록 신호($\phi 2$)의 반전 신호($\phi 2b$)를 공급받는다. 상기 불휘발성 래치 회로(400b)에서, 아날로그 스위치(431)는 클록 신호($\phi 2$) 및 상기 클록 신호의 반전 신호($\phi 2b$)를 공급받으며, 클록드 인버터(413)는 상기 클록 신호($\phi 1$) 및 상기 클록 신호($\phi 1$)의 반전 신호($\phi 1b$)를 공급받는다.

[0524] 이 실시예에 따른 상기 불휘발성 래치 회로를 위한, 데이터 보유부의 스위칭 소자로서 작용하는, 채널 형성 영역을 형성하기 위한 반도체 재료로서 산화물 반도체를 사용한 트랜지스터의 사용으로, 넓은 동작 온도 범위를 갖고 고온에서조차 안정되게 동작하며 데이터를 저장하는 논리 상태가 전원이 턴 오프된 후조차 소거되지 않는 불휘발성 래치 회로, 또는 리프래쉬 기간이 충분히 긴 데이터 보유부를 갖춘 래치 회로가 실현될 수 있다.

[0525] 데이터 기록은 상기 트랜지스터의 스위칭에 의해 수행되기 때문에, 재기록들의 수는 실질적으로 한정되지 않는다. 또한, 상기 기록 전압은 상기 트랜지스터의 임계 전압과 거의 동등하며; 따라서, 상기 데이터 기록은 낮은 전압으로 수행될 수 있다. 또한, 전위는 상기 데이터 보유부에 직접 공급되며; 그러므로, 데이터로서 저장되는 전하의 양에서의 변화는 작게 억제될 수 있고 데이터는 쉽게 판독될 수 있다.

[0526] 다양한 논리 회로들이 상기 불휘발성 래치 회로를 사용함으로써 제공될 수 있다. 예를 들면, 전력 소비는 사용되지 않은 블록의 전원을 턴 오프함으로써 감소될 수 있다. 또한, 전원이 턴 오프될 때조차 논리 상태가 저장되기 때문에, 시스템은 고속 및 저 전력으로, 전원이 턴 온될 때 시작될 수 있거나 또는 전원이 턴 오프될 때 종료될 수 있다.

[0527] 이 실시예는 다른 실시예들 중 임의의 것과 자유롭게 결합될 수 있다.

[0528] [실시예 11]

[0529] 다음으로, 상기 실시예들(실시예 1 또는 실시예 2와 같은)에서 상기 트랜지스터(420)로서 사용될 수 있는 산화물 반도체를 사용한 트랜지스터의 제조 방법의 또 다른 예가 도 27a 내지 도 27e를 참조하여 설명될 것이다. 이 실시예에서, 고순도화되는 산화물 반도체(특히, 비정질 구조를 가진)가 사용되는 경우에 대한 설명이 상세히 이루어진다. 비록, 탑-게이트형 트랜지스터가 다음 설명에서의 일 예로서 사용되지만, 상기 트랜지스터의 구조는 이에 한정되지 않는다.

[0530] 먼저, 절연층(202)은 하층 기판(200) 위에 형성된다. 그 후, 산화물 반도체층(206)은 상기 절연층(202) 위에 형성된다(도 27a 참조).

[0531] 여기에서, 상기 하층 기판(200)은 상기 실시예들에서 도시된, 상기 하부 등에서 상기 트랜지스터(160)를 포함한 상기 기판에 대응한다. 상기 실시예들은 상기 하층 기판(200)의 세부사항들을 위해 참조될 수 있다. 상기 하층 기판(200)의 표면은 바람직하게는 가능한 편평하다는 것을 주의하자. 이를 달성하기 위해, 상기 표면은 5nm 이하, 바람직하게는, 1nm 이하의 고저 높이(peak-to-valley height), 또는 2nm 이하, 바람직하게는 0.4nm 이하의 제곱 평균 제곱근 거칠기(root-mean-square roughness; RMS)를 갖도록 화학적 기계적 연마(CMP) 방법 등을 겪게 될 수 있다.

[0532] 상기 절연층(202)은 하층으로서 작용하며 상기 실시예들에서 도시된 상기 절연층(168), 상기 보호 절연층(144) 등의 것과 유사한 방식으로 형성될 수 있다. 상기 실시예들은 상기 절연층(202)의 세부사항들을 위해 참조될 수 있다. 수소 또는 물을 가능한 적게 포함하도록 상기 절연층(202)을 형성하는 것이 바람직하다는 것을 주의하자.

[0533] 상기 산화물 반도체층(206)으로서, 다음의 산화물 반도체들 중 임의의 것이 사용될 수 있다: 4-원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3-원계 금속 산화물들인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 또는 Sn-Al-Zn-O계 산화물 반도체; 2-원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 또는 In-Mg-O계 산화물 반도체; 또는 1-원계 금속 산화물들인 In-O계 산화물 반도체, Sn-O계 산화물 반도체; 또는 Zn-O계 산화물 반도체.

[0534] 특히, In-Ga-Zn-O계 산화물 반도체 재료는 전계가 없을 때 충분히 높은 저항을 가지며 따라서 충분히 낮은 오프-상태 전류가 획득될 수 있다. 또한, 높은 전계 이동도를 가지므로, 상기 In-Ga-Zn-O계 산화물 반도체 재료는

반도체 장치를 위해 적절하다.

- [0535] 상기 In-Ga-Zn-O계 산화물 반도체 재료의 통상적인 예는 $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 으로 표현된다. 상기 산화물 반도체 재료의 또 다른 예는 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표현되며, 여기서 M은 Ga 대신에 사용된다. 여기서, M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 금속 원소들 중 하나 이상을 나타낸다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등일 수 있다. 전술된 조성은 단지 결정 구조로부터 획득된 일 예임을 주의하자.
- [0536] 이 실시예에서, 비정질 구조를 갖는 상기 산화물 반도체층(206)은 In-Ga-Zn-O계 금속 산화물 타겟을 사용한 스퍼터링법으로 형성된다.
- [0537] 스퍼터링법으로 산화물 반도체층을 형성하기 위해 사용된 상기 금속 산화물 타겟으로서, 예를 들면, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ [몰 비]의 조성비를 가진 금속 산화물 타겟이 사용될 수 있다. 더욱이, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ [몰 비]의 조성비를 가진 금속 산화물 타겟 또는 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:4$ [몰 비]의 조성비를 가진 금속 산화물 타겟이 또한 사용될 수 있다.
- [0538] 상기 금속 산화물 타겟에서의 상기 산화물 반도체의 상대적인 밀도는 80% 이상, 바람직하게는 95% 이상, 및 보다 바람직하게는 99.9% 이상이다. 높은 상대적 밀도를 가진 상기 금속 산화물 타겟의 사용은 치밀한 구조를 가진 상기 산화물 반도체층(206)을 형성하는 것을 가능하게 한다.
- [0539] 상기 산화물 반도체층(206)이 형성되는 분위기는 바람직하게는 희가스(통상적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로 아르곤) 및 산소를 포함한 혼합 분위기이다. 구체적으로, 예를 들면, 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 수 ppm 이하(바람직하게는, 수 ppb 이하)의 농도로 제거되는 고-순도 가스 분위기를 사용하는 것이 바람직하다.
- [0540] 상기 산화물 반도체층(206)을 형성할 때, 예를 들면, 상기 기판은 감소된 압력 하에 보유된 처리실에 보유되며 상기 기판은 100°C 이상 550°C 이하, 바람직하게는 200°C 이상 400°C 이하의 온도로 가열된다. 그 후, 상기 처리실에서의 수분이 제거는 동안 수소 및 물이 제거되는 스퍼터링 가스가 상기 처리실에 도입되며, 그에 의해 상기 산화물 반도체층(206)은 타겟으로서 상기 금속 산화물을 사용하여 형성된다. 상기 산화물 반도체층(206)은 상기 기판이 가열되는 동안 형성되며, 따라서 상기 산화물 반도체층(206)에 포함된 불순물의 농도가 감소될 수 있다. 게다가, 스퍼터링으로 인한 상기 반도체층의 손상은 감소될 수 있다. 흡착형 진공 펌프가 바람직하게는 상기 처리실에서의 수분을 제거하기 위해 사용된다. 예를 들면, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용될 수 있다. 대안적으로, 콜드 트랩을 갖춘 터보 펌프가 또한 사용될 수 있다. 수소, 물 등이 크라이오펌프로 배기되는 상기 처리실로부터 제거되기 때문에, 상기 산화물 반도체층(206)에서의 불순물의 농도는 감소될 수 있다.
- [0541] 상기 산화물 반도체층(206)은 예를 들면 다음 조건들 하에 형성될 수 있다: 상기 기판 및 상기 타겟 간의 거리는 170mm이고; 상기 압력은 0.4 Pa이고; 직류(DC) 전력은 0.5 kW이며; 상기 분위기는 산소(상기 산소의 유량 비율은 100%이다), 아르곤(상기 아르곤의 유량 비율은 100%이다), 또는 산소 및 아르곤을 포함한 혼합 대기이다. 먼지(막 형성시 형성된 가루 물질들과 같은)가 감소될 수 있고 두께 분포가 감소될 수 있기 때문에 펄싱된 직류(DC) 전원을 사용하는 것이 바람직하다는 것을 주의하자. 상기 산화물 반도체층(206)의 두께는 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하이다. 상기 산화물 반도체층의 적절한 두께는 사용될 상기 산화물 반도체 재료, 반도체 장치의 용도 등에 의존하여 상이하며; 그러므로, 상기 두께는 상기 재료, 상기 용도 등에 따라 결정될 수 있다.
- [0542] 상기 산화물 반도체층(206)이 스퍼터링법으로 형성되기 전에, 바람직하게는 플라즈마가 도입된 아르곤 가스로 생성되는 역 스퍼터링이 수행되며, 따라서 상기 절연층(202)의 표면상의 먼지가 제거된다는 것을 주의하자. 여기에서, 상기 역 스퍼터링은, 이온들이 스퍼터링 타겟과 충돌하는 통상적인 스퍼터링과 반대로, 상기 표면이 변경되도록 이온들이 처리될 표면과 충돌하는 방법이다. 이온들이 처리될 표면과 충돌하게 하기 위한 방법의 일 예는 플라즈마가 기판 근처에 생성되도록 고-주파수 전압이 아르곤 분위기 하에서 처리될 상기 표면에 인가되는 방법이다. 질소, 헬륨, 산소 등의 분위기는 아르곤 대기 대신에 사용될 수 있다는 것을 주의하자.
- [0543] 다음으로, 상기 산화물 반도체층(206)은 마스크를 사용한 에칭과 같은 방법으로 처리되며, 그에 의해 섬-형상 산화물 반도체층(206a)이 형성되도록 한다.
- [0544] 상기 산화물 반도체층(206)을 위한 에칭 방법으로서, 드라이 에칭 또는 웨트 에칭이 이용될 수 있다. 드라이 에

칭 및 웨트 에칭이 결합하여 사용될 수 있다는 것은 말할 필요도 없다. 상기 에칭 조건들(예로서, 에칭 가스 또는 에천트, 에칭 시간, 및 온도)이 상기 산화물 반도체층이 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적절하게 설정된다. 상기 실시예들은 상기 에칭 조건들의 세부사항들을 위해 참조될 수 있다. 상기 산화물 반도체층(206)은 상기 실시예들에 도시된 상기 산화물 반도체층의 것과 유사한 방식으로 에칭될 수 있다. 상기 실시예들은 상기 에칭의 세부사항들을 위해 참조될 수 있다.

- [0545] 그 후, 열 처리(제 1 열 처리)가 바람직하게는 상기 산화물 반도체층(206a) 상에서 수행된다. 상기 제 1 열 처리를 통해, 상기 산화물 반도체층(206a)에서의 과잉 수소(수소 및 수산기들을 포함한)가 제거될 수 있으며, 상기 산화물 반도체층(206a)의 구조가 배열될 수 있으며, 상기 산화물 반도체층(206a)에서의 결합들이 감소될 수 있다. 상기 제 1 열 처리는 예를 들면, 300°C 이상 550°C 이하, 또는 400°C 이상 550°C 이하의 온도에서 수행된다.
- [0546] 상기 열 처리는 예를 들면, 상기 하층 기관(200)이 저항 발열체 등을 사용하여 전기로에 도입되고, 그 후 질소 분위기 하에서 450°C에서 1시간 동안 가열되는 방식으로 수행될 수 있다. 상기 산화물 반도체층(206a)은 물 또는 수소의 진입이 방지될 수 있도록 상기 열 처리 동안 공기로 노출되지 않는다.
- [0547] 상기 열 처리 장치는 상기 전기로에 한정되지 않으며, 가열된 가스와 같은 매체로부터 열 도전 또는 열 복사에 의해 피처리물을 가열하기 위한 장치일 수 있다. 예를 들면, 가스 고속 열적 어닐링(GRTA) 장치 또는 램프 고속 열적 어닐링(LRTA) 장치와 같은 고속 열적 어닐링(RTA) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고-압 나트륨 램프, 또는 고-압 수은 램프와 같은 램프로부터 방출되는 광의 복사(전자파)에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고-온 가스를 사용하여 열 처리를 수행하기 위한 장치이다. 상기 가스로서, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들면, 질소 또는 아르곤과 같은 희가스가 사용된다.
- [0548] 예를 들면, 상기 제 1 열 처리로서, GRTA 처리가 다음과 같이 수행될 수 있다. 상기 기관은 불활성 가스 분위기 안으로 넣어지고 수 분 동안 가열된 후, 상기 불활성 가스 분위기로부터 꺼내어진다. 상기 GRTA 처리는 짧은 시간 동안 고-온 열 처리를 가능하게 한다. 게다가, 상기 GRTA 처리는 짧은 시간 동안의 열 처리이기 때문에 상기 기관의 온도 상한을 초과할 때조차 이용될 수 있다.
- [0549] 상기 불활성 가스 분위기는 상기 처리 동안 산소를 포함한 분위기로 변경될 수 있다는 것을 주의하자. 이것은 산소 공핍에 의해 야기된 결합들이 산소를 포함한 분위기 하에서 상기 제 1 열 처리를 수행함으로써 감소될 수 있기 때문이다.
- [0550] 예를 들면, 전기로가 상기 제 1 열 처리에서 사용되는 경우에, 분위기는 열 처리 온도가 떨어질 때 변경될 수 있다. 예를 들면, 희가스(예를 들면, 헬륨, 네온, 또는 아르곤) 또는 질소와 같은 불활성 가스의 분위기하에 (일정한 온도로) 수행될 수 있으며, 상기 분위기는 상기 열 처리 온도가 떨어질 때 산소를 포함한 분위기로 스위칭될 수 있다. 산소를 포함한 분위기로서, 산소 가스 또는 산소 가스와 질소 가스의 혼합 가스가 사용될 수 있다.
- [0551] 상기 제 1 열 처리가 수행되는 상기 불활성 가스 분위기로서, 그것의 주성분으로서 질소 또는 희가스(예로서, 헬륨, 네온, 또는 아르곤)를 포함하고, 물, 수소 등을 포함하지 않는 분위기를 이용하는 것이 바람직하다는 것을 주의하자. 예를 들면, 열 처리 장치에 도입된 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이다.
- [0552] 임의의 경우에서, 상기 불순물이 상기 i-형 또는 실질적으로 i-형 산화물 반도체층(206a)을 형성하기 위해 상기 제 1 열 처리를 통해 감소될 때, 우수한 특성들을 가진 트랜지스터가 실현될 수 있다.
- [0553] 상기 제 1 열 처리는 또한 상기 섬-형상 산화물 반도체층(206a)으로 아직 처리되지 않은 상기 산화물 반도체층(206) 상에서 수행될 수 있다는 것을 주의하자. 상기 경우에, 상기 제 1 열 처리 후, 상기 하층 기관(200)은 상기 가열 장치로부터 꺼내어지며 포토리소그래피 단계가 수행된다.
- [0554] 수소 또는 물을 제거하는 효과를 가진, 상기 제 1 열 처리는 또한 탈수화 처리, 탈수소화 처리 등으로서 불리울 수 있다. 상기 탈수화 처리 또는 탈수소화 처리는 예를 들면, 상기 산화물 반도체층이 형성된 후, 또는 소스 또는 드레인 전극이 상기 산화물 반도체층(206a) 위에 적층된 후 수행될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회 또는 복수 회 수행될 수 있다.

- [0555] 다음으로, 도전층은 상기 산화물 반도체층(206a)과 접촉하도록 형성될 수 있다. 그 후, 소스 또는 드레인 전극(208a) 및 소스 또는 드레인 전극(208b)은 상기 도전층을 선택적으로 에칭함으로써 형성된다(도 27b 참조). 이 단계는 상기 실시예들에 설명된 상기 소스 또는 드레인 전극(142a) 등을 형성하기 위한 상기 단계와 유사하다. 상기 실시예들은 상기 단계의 세부사항들을 위해 참조될 수 있다.
- [0556] 다음으로, 상기 산화물 반도체층(206a)의 일부와 접촉하는 게이트 절연층(212)이 형성된다(도 27c 참조). 상기 실시예들에서의 상기 게이트 절연층의 설명은 상기 게이트 절연층(212)의 세부사항들을 위해 참조될 수 있다.
- [0557] 상기 게이트 절연층(212)이 형성된 후, 제 2 열 처리가 바람직하게는 불활성 가스 분위기 또는 산소 분위기 하에서 수행된다. 상기 열 처리는 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하의 온도로 수행된다. 예를 들면, 상기 열 처리는 질소 분위기 하에서 250℃로 1시간 동안 수행될 수 있다. 상기 제 2 열 처리는 상기 트랜지스터의 전기적 특성들에서의 변화를 감소시킬 수 있다. 상기 게이트 절연층(212)이 산소를 포함하는 경우에, 상기 산화물 반도체층(206a)의 산소 공핍을 감소시키기 위해 상기 산화물 반도체층(206a)에 산소를 공급함으로써, i-형(진성) 또는 실질적으로 i-형 산화물 반도체층이 또한 형성될 수 있다.
- [0558] 상기 제 2 열 처리는 이 실시예에서 상기 게이트 절연층(212)이 형성된 직후 수행되지만, 상기 제 2 열 처리의 타이밍은 이에 제한되지 않는다는 것을 주의하자.
- [0559] 다음으로, 게이트 전극(214)은 상기 산화물 반도체층(206a)과 중첩하는 영역에서 상기 게이트 절연층(212) 위에 형성된다(도 27d 참조). 상기 게이트 전극(214)은 상기 게이트 절연층(212) 위에 도전층을 형성하고, 그 후 상기 도전층을 선택적으로 패터닝함으로써 형성될 수 있다. 상기 실시예들에서 상기 게이트 전극의 설명은 상기 게이트 전극(214)의 세부사항들을 위해 참조될 수 있다.
- [0560] 다음으로, 층간 절연층(216) 및 층간 절연층(218)은 상기 게이트 절연층(212) 및 상기 게이트 전극(214) 위에 형성된다(도 27e 참조). 상기 층간 절연층(216) 및 상기 층간 절연층(218)은 PVD 법, CVD 법 등으로 형성될 수 있다. 상기 층간 절연층(216) 및 상기 층간 절연층(218)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다. 상기 층간 절연층(216) 및 상기 층간 절연층(218)의 적층 구조가 이 실시예에서 사용되지만, 여기에 개시된 본 발명의 실시예는 이에 한정되지 않는다는 것을 주의하자. 단-층 구조 또는 3개 이상의 층들을 포함한 적층 구조가 또한 사용될 수 있다.
- [0561] 상기 층간 절연층(218)은 바람직하게는 평탄화된 표면을 갖도록 형성된다는 것을 주의하자. 이것은 전극, 배선 등이 상기 층간 절연층(218)이 평탄화된 표면을 갖도록 형성될 때 상기 층간 절연층(218) 위에 양호하게 형성될 수 있기 때문이다.
- [0562] 상기 단계들을 통해, 상기 고순도화된 산화물 반도체층(206a)을 포함한 트랜지스터(250)가 완성된다.
- [0563] 도 27e에 도시된 상기 트랜지스터(250)는, 상기 절연층(202)을 그 사이에 개재하여 상기 하층 기판(200) 위에 제공된 상기 산화물 반도체층(206); 상기 산화물 반도체층(206a)에 전기적으로 접속된 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b); 상기 산화물 반도체층(206a), 상기 소스 또는 드레인 전극(208a), 및 상기 소스 또는 드레인 전극(208b)을 커버하는 상기 게이트 절연층(212); 상기 게이트 절연층(212) 위의 상기 게이트 전극(214); 상기 게이트 절연층(212) 및 상기 게이트 전극(214) 위의 상기 층간 절연층(216); 및 상기 층간 절연층(216) 위의 상기 층간 절연층(218)을 포함한다.
- [0564] 이 실시예에 도시된 상기 트랜지스터(250)에서, 상기 산화물 반도체층(206a)은 고순도화된다. 그러므로, 상기 산화물 반도체층(206a)에서 수소의 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 및 훨씬 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하이다. 또한, 상기 산화물 반도체층(206a)의 캐리어 밀도는 통상적인 실리콘 웨이퍼의 것(대략 $1 \times 10^{14}/\text{cm}^3$)과 비교하여 충분히 낮다(예로서, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만). 이것의 결과로서, 충분히 낮은 오프-상태 전류가 획득될 수 있다. 예를 들면, 드레인 전압(V_D)이 +1V 또는 +10V이고 게이트 전압(V_G)이 -5V 내지 -20V의 범위에 있을 때, 상기 오프-상태 전류는 실온에서 1×10^{-13} A 이하이다. 게다가, 전술된 트랜지스터는 노멀리-오프 트랜지스터의 특성들을 갖는다. 그러므로, 리크 전류, 즉 게이트 전극 및 소스 전극 사이의 전압이 대략 0V인 상태에서의 오프-상태 전류는 실리콘을 사용한 트랜지스터의 것보다 훨씬 더 작다. 예를 들면, 단위 채널 폭당 상기 리크 전류는 실온에서 10aA/ μm 이하이다.

- [0565] 이러한 방식으로, 상기 고순도화된 진성의 산화물 반도체층(206a)을 사용함으로써, 상기 트랜지스터의 상기 오프-상태 전류는 충분히 감소될 수 있다.
- [0566] 비록, 이 실시예에서, 상기 트랜지스터(250)는 상기 실시예들에 도시된 상기 트랜지스터(402)로서 사용되지만, 여기에 개시된 본 발명은 상기 경우에 제한되는 것으로서 해석되어서는 안된다는 것을 주의하자. 예를 들면, 산화물 반도체의 상기 전기적 특성들이 충분히 증가될 때, 상기 산화물 반도체는 집적 회로에 포함된 트랜지스터들을 포함한 상기 트랜지스터들 모두를 위해 사용될 수 있다. 이러한 경우에, 상기 실시예들에 도시된 것과 같이 적층 구조를 이용하는 것은 필요하지 않으며, 반도체 장치는 예를 들면, 유리 기판과 같은 기판을 사용하여 형성될 수 있다.
- [0567] 이 실시예에 설명된 구조들, 방법들 등은 다른 실시예들에 설명된 구조들, 방법들 등 중 임의의 것과 적절하게 결합될 수 있다.
- [0568] [실시예 12]
- [0569] 다음으로, 상기 실시예들(실시예 1 또는 실시예 2)에서 상기 트랜지스터(402)로서 사용될 수 있는 산화물 반도체를 사용한 트랜지스터의 제조 방법의 또 다른 예가 도 28a 내지 도 28e를 참조하여 설명될 것이다. 이 실시예에서, 산화물 반도체층으로서, 결정화된 영역을 가진 제 1 산화물 반도체층 및 상기 제 1 산화물 반도체층의 상기 결정화된 영역으로부터의 결정 성장에 의해 획득되는 제 2 산화물 반도체층이 사용되는 경우에 대한 설명이 상세히 이루어진다. 비록 탑-게이트 트랜지스터가 다음 설명에서 일 예로서 사용되지만, 상기 트랜지스터의 구조는 이에 한정되지 않는다.
- [0570] 먼저, 절연층(302)이 하층 기판(300) 위에 형성된다. 다음으로, 제 1 산화물 반도체층이 상기 절연층(302) 위에 형성되며, 그 후 상기 제 1 열 처리되어 적어도 상기 제 1 산화물 반도체층의 표면을 포함한 영역이 결정화되고, 그에 의해 제 1 산화물 반도체층(304)이 형성되도록 한다(도 28a 참조).
- [0571] 여기에서, 상기 하층 기판(300)은 상기 실시예들에서 도시되는 하부 등에 상기 트랜지스터(160)를 포함한 상기 기판에 대응한다. 상기 실시예들은 상기 하부 기판(300)의 세부사항들을 위해 참조될 수 있다. 상기 하부 기판(300)의 표면의 평탄성은 특히 이 실시예에서 중요하며, 이는 그것이 일정한 결정 성장을 위해 없어서는 안되기 때문임을 주의하자. 바람직한 결정성을 가진 산화물 반도체를 얻기 위해, 상기 하층 기판(300)의 표면은 1nm 이하, 바람직하게는 0.2nm 이하의 고저 높이(peak-to-valley height), 또는 0.5nm 이하, 바람직하게는 0.1nm 이하의 제곱 평균 제곱근 거칠기(root-mean-square roughness; RMS)를 가질 수 있다.
- [0572] 상기 절연층(302)은 하지로서 작용하며 상기 실시예들에 도시된 상기 절연층(168), 상기 보호 절연층(144) 등의 것과 유사한 방식으로 형성될 수 있다. 상기 실시예들은 상기 절연층(302)의 세부사항들을 위해 참조될 수 있다. 수소 또는 물을 가능한 한 적게 포함하도록 상기 절연층(302)을 형성하는 것이 바람직하다는 것을 주의하자.
- [0573] 상기 제 1 산화물 반도체층(304)은 상기 실시예에 도시된 상기 산화물 반도체층(206)의 것과 유사한 방식으로 형성될 수 있다. 상기 실시예는 상기 제 1 산화물 반도체층(304) 및 그것의 제조 방법의 세부사항들을 위해 참조될 수 있다. 이 실시예에서, 상기 제 1 산화물 반도체층(304)은 상기 제 1 열 처리를 통해 의도적으로 결정화되며; 그러므로, 상기 제 1 산화물 반도체층(304)은 바람직하게는 쉽게 결정화를 야기하는 금속 산화물 타겟을 사용하여 형성된다는 것을 주의하자. 예를 들면, ZnO가 사용될 수 있다. 또한, 금속 원소들(In, Ga, Zn)에서 Zn의 비율이 60% 이상인 In-Ga-Zn-O계 산화물을 사용하는 것이 바람직하는데, 이는 고농도로 Zn을 포함하는 In-Ga-Zn-O계 산화물이 쉽게 결정화되기 때문이다. 상기 제 1 산화물 반도체층(304)의 두께는 바람직하게는 3nm 이상 15nm 이하이고, 이 실시예에서는 예를 들면 5nm이다. 상기 산화물 반도체층(304)의 적절한 두께는 사용될 상기 산화물 반도체 재료, 반도체 장치의 용도 등에 의존하여 다르며; 그러므로, 상기 두께는 상기 재료, 상기 용도 등에 따라 결정될 수 있다는 것을 주의하자.
- [0574] 상기 제 1 열 처리는 450°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 온도로 수행된다. 상기 제 1 열 처리의 시간은 바람직하게는 1분 이상 24시간 이하이다. 상기 온도 및 시간은 상기 산화물 반도체의 종류 또는 조성비에 의존하여 달라진다. 또한, 상기 제 1 열 처리는 바람직하게는, 물이 충분히 제거된 질소, 산소, 또는 희가스(예로서, 헬륨, 네온, 또는 아르곤)와 같이, 수소 또는 물을 포함하지 않는 분위기 하에서 수행된다.
- [0575] 상기 열 처리 장치는 상기 전기로에 한정되지 않으며, 가열된 가스와 같은 매체로부터 열 도전 또는 열 복사에

의해 피처리물을 가열하기 위한 장치일 수 있다. 예를 들면, 가스 고속 열적 어닐링(GRTA) 장치 또는 램프 고속 열적 어닐링(LRTA) 장치와 같은 고속 열적 어닐링(RTA) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고-압 나트륨 램프, 또는 고-압 수은 램프와 같은 램프로부터 방출되는 광의 복사(전자파)에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고-온 가스를 사용하여 열 처리를 수행하기 위한 장치이다. 상기 가스로서, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들면, 질소 또는 아르곤과 같은 희가스가 사용된다.

[0576] 전술된 제 1 열 처리를 통해, 적어도 상기 제 1 산화물 반도체층의 표면을 포함한 영역이 결정화된다. 상기 결정화된 영역은 결정 성장이 상기 제 1 산화물 반도체층의 표면으로부터 상기 제 1 산화물 반도체층의 내부를 향해 진행되는 방식으로 형성된다. 몇몇 경우들에서, 상기 결정화된 영역은 평균 2nm 이상 10nm 이하의 두께를 가진 판상 결정을 포함한다는 것을 주의하자. 몇몇 경우들에서, 상기 결정화된 영역은 또한 상기 산화물 반도체층의 표면에 실질적으로 평행인 ab면을 갖고 c-축이 상기 산화물 반도체층의 표면에 실질적으로 수직인 방향으로 배향되는 결정을 포함한다. 여기에서, "실질적으로 평행인 방향"은 상기 평행 방향의 $\pm 10^\circ$ 내의 방향을 의미하며, "실질적으로 수직인 방향"은 상기 수직 방향의 $\pm 10^\circ$ 내의 방향을 의미한다.

[0577] 상기 결정화된 영역이 형성되는 상기 제 1 열 처리를 통해, 상기 제 1 산화물 반도체층에서의 수소(물 또는 수산기들을 포함한)가 바람직하게 제거된다. 수소 등을 제거하기 위해, 상기 제 1 열 처리는 6N(99.9999%) 이상(즉, 상기 불순물 농도는 1ppm 이하이다)의 순도, 보다 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 0.1ppm 이하이다) 이상의 순도를 갖는, 질소, 산소, 또는 희가스(예로서, 헬륨, 네온, 또는 아르곤)의 분위기 하에서 수행될 수 있다. 대안적으로, 상기 제 1 열 처리는 20ppm 이하, 바람직하게는 1ppm 이하를 가진 H₂O를 포함한 초-건조 공기에서 수행될 수 있다.

[0578] 더욱이, 상기 결정화된 영역이 형성되는 상기 제 1 열 처리를 통해, 산소는 바람직하게는 상기 제 1 산화물 반도체층에 공급된다. 산소는 예를 들면, 상기 열 처리를 위한 상기 분위기를 산소 분위기로 변경함으로써 상기 제 1 산화물 반도체층에 공급될 수 있다.

[0579] 이 실시예에서 상기 제 1 열 처리는 다음과 같다: 수소 등은 질소 분위기 하에서 700°C로 1시간 동안 열 처리를 통해 상기 산화물 반도체층으로부터 제거되며, 그 후 상기 분위기는 산소가 상기 제 1 산화물 반도체층의 내부에 공급되도록 산소 분위기로 변경된다. 상기 제 1 열 처리의 주목적은 상기 결정화된 영역을 형성하는 것이며; 따라서, 수소 등을 제거하기 위한 열 처리 및 산소를 공급하기 위한 처리는 개별적으로 수행될 수 있다는 것을 주의하자. 예를 들면, 결정화를 위한 열 처리는 수소 등을 제거하기 위한 열 처리 및 산소를 공급하기 위한 처리 후에 수행될 수 있다.

[0580] 이러한 제 1 열 처리를 통해, 상기 결정화된 영역이 형성되며, 수소(물 및 수산기들을 포함) 등이 제거되며, 산소를 공급받은 상기 제 1 산화물 반도체층(304)이 획득될 수 있다.

[0581] 다음으로, 제 2 산화물 반도체층(305)이 적어도 그것의 표면상에 상기 결정화된 영역을 포함한 상기 제 1 산화물 반도체층(304) 위에 형성된다(도 28b 참조).

[0582] 상기 제 2 산화물 반도체층(305)은 상기 실시예들에 도시된 상기 산화물 반도체층(206)의 것과 유사한 방식으로 형성될 수 있다. 상기 실시예들은 상기 제 2 산화물 반도체층(305) 및 그 제조 방법의 세부사항들을 위해 참조될 수 있다. 상기 제 2 산화물 반도체층(305)은 바람직하게는 상기 제 1 산화물 반도체층(304)의 것보다 두껍도록 형성된다는 것을 주의하자. 또한, 상기 제 2 산화물 반도체층(305)은 바람직하게는 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(305)의 총 두께가 3 nm 이상 50 nm 이하이도록 형성된다. 상기 산화물 반도체층의 적절한 두께는 사용될 상기 산화물 반도체 재료, 반도체 장치의 의도된 목적 등에 의존하여 달라지며; 그러므로, 상기 두께는 상기 재료, 상기 의도된 목적 등에 따라 결정될 수 있다는 것을 주의하자.

[0583] 상기 제 2 산화물 반도체층(305) 및 상기 제 1 산화물 반도체층(304)은 바람직하게는 동일한 주성분을 가지며, 또한 결정화 후 격자 상수들에 근접한 재료들(격자 미스매치가 1% 이하이다)을 사용하여 형성된다. 이것은 상기 제 2 산화물 반도체층(305)의 결정화에서, 결정 성장이 동일한 주성분을 갖는 재료들이 사용되는 경우에 상기 제 1 산화물 반도체층(304)의 상기 결정화된 영역으로부터 쉽게 진행하기 때문이다. 또한, 동일한 주성분을 갖는 재료들의 사용은 양호한 계면 물리적 특성들 또는 전기적 특성들을 실현한다.

[0584] 원하는 막 품질이 결정화를 통해 획득되는 경우에, 상기 제 2 산화물 반도체층(305)은 상기 제 1 산화물 반도체층(304)의 재료의 것과 상이한 주성분을 갖는 재료를 사용하여 형성될 수 있다는 것을 주의하자.

- [0585] 다음으로, 제 2 열 처리는 상기 제 2 산화물 반도체층(305)상에서 수행되며, 그에 의해 결정 성장이 상기 제 1 산화물 반도체층(304)의 상기 결정화된 영역으로부터 진행되고, 제 2 산화물 반도체층(306)이 형성된다(도 28c 참조).
- [0586] 상기 제 2 열 처리는 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃의 온도로 수행된다. 상기 제 2 열 처리를 위한 시간은 1분 내지 100 시간 이하, 바람직하게는 5시간 이상 20 시간 이하, 통상적으로는 10시간이다. 또한 상기 제 2 열 처리는 바람직하게는 수소 또는 물을 포함하지 않는 분위기 하에서 수행된다는 것을 주의하자.
- [0587] 상기 분위기의 세부사항들 및 상기 제 2 열 처리의 효과는 상기 제 1 열 처리의 것들과 유사하다. 사용될 수 있는 상기 열 처리 장치는 또한 상기 제 1 열 처리의 것과 유사하다. 예를 들면, 상기 제 2 열 처리에서, 노(furnace)는 온도가 상승할 때 질소 분위기로 채워지고, 상기 노는 상기 온도가 떨어질 때 산소 분위기로 채워지며, 그에 의해 수소 등이 상기 질소 분위기 하에서 제거될 수 있고 산소는 상기 산소 분위기 하에서 공급될 수 있다.
- [0588] 전술된 제 2 열 처리를 통해, 결정 성장은 상기 제 1 산화물 반도체층(304)의 상기 결정화된 영역으로부터 상기 제 2 산화물 반도체층(305)의 전체로 진행할 수 있으며, 따라서 상기 제 2 산화물 반도체층(306)이 형성될 수 있다. 또한, 수소(물 및 수산기들을 포함한) 등이 제거되고 산소가 공급되는 상기 제 2 산화물 반도체층(306)을 형성하는 것이 가능하다. 더욱이, 상기 제 1 산화물 반도체층(304)의 상기 결정화된 영역의 배향성은 상기 제 2 열 처리를 통해 향상될 수 있다.
- [0589] 예를 들면, In-Ga-Zn-O계 산화물 반도체 재료가 상기 제 2 산화물 반도체층(306)을 위해 사용되는 경우에, 상기 제 2 산화물 반도체층(306)은 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$, m 은 자연수가 아니다)로 표현된 결정, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ (In:Ga:Zn:O = 2:2:1:7)로 표현된 결정 등을 포함할 수 있다. 이러한 결정들은 c-축이 상기 제 2 산화물 반도체층(306)의 표면에 실질적으로 수직인 방향이도록 상기 제 2 열 처리를 통해 배향된다.
- [0590] 여기에서, 전술된 결정들은 In, Ga, 및 Zn 중 임의의 것을 포함하며, a-축 및 b-축에 평행하는 복수의 층들의 적층 구조를 갖는 것으로 고려될 수 있다. 구체적으로, 전술된 결정들은 In을 포함한 층 및 In을 포함하지 않은 층(Ga 또는 Zn을 포함한 층)이 상기 c-축 방향으로 적층되는 구조를 갖는다.
- [0591] In-Ga-Zn-O계 산화물 반도체 결정에서, In을 포함한 층, 즉 상기 a-축 및 상기 b-축에 평행하는 방향에 있는 층은 양호한 도전성을 갖는다. 이것은 상기 In-Ga-Zn-O계 산화물 반도체 결정에서의 전기적 도전성이 주로 In에 의해 제어되며 In 원자의 5s 궤도가 인접한 In 원자의 5s 궤도와 중첩하여, 캐리어 경로가 형성되도록 하기 때문이다.
- [0592] 또한, 상기 제 1 산화물 반도체층(304)이 상기 절연층(302)과의 계면에서 비정질 영역을 포함하는 경우에, 상기 제 2 열 처리를 통해, 결정 성장은 몇몇 경우들에서 상기 제 1 산화물 반도체층(304)의 상기 표면에 형성된 상기 결정화된 영역으로부터 상기 제 1 산화물 반도체층의 하방을 향해 진행하여 상기 비정질 영역을 결정화하도록 한다. 몇몇 경우들에서, 상기 비정질 영역은 상기 절연층(302)의 재료, 상기 열 처리 조건들 등에 의존한 채로 있다.
- [0593] 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(305)이 동일한 주성분을 갖는 산화물 반도체 재료들을 사용하여 형성되는 경우에, 몇몇 경우들에서, 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)은 도 28c에 도시된 바와 같이, 동일한 결정 구조를 가진다. 그러므로, 도 28c에서 점선에 의해 표시되었지만, 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306) 사이의 경계는 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)이 동일한 층으로서 고려될 수 있도록 몇몇 경우들에서 구별될 수 없다.
- [0594] 다음으로, 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)은 마스크를 사용한 에칭과 같은 방법으로 처리되며, 그에 의해 섬-형상 제 1 산화물 반도체층(304a) 및 섬-형상 제 2 산화물 반도체층(306a)이 형성된다(도 28d 참조).
- [0595] 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)을 위한 에칭 방법으로서, 드라이 에칭 또는 웨트 에칭이 이용될 수 있다. 드라이 에칭 및 웨트 에칭이 결합하여 사용될 수 있다는 것은 말할 필요도 없다. 상기 에칭 조건들(예로서, 에칭 가스 또는 에천트, 에칭 시간, 및 온도)이 상기 산화물 반도체층이 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적절하게 설정된다. 상기 제 1 산화물 반도체층(304) 및 상기

제 2 산화물 반도체층(306)은 상기 실시예들에 도시된 상기 산화물 반도체층의 것과 유사한 방식으로 에칭될 수 있다. 상기 실시예들은 상기 에칭의 세부사항들을 위해 참조될 수 있다.

- [0596] 채널 형성 영역이 되는, 상기 산화물 반도체층들의 영역은 바람직하게는 평탄화된 표면을 가진다. 예를 들면, 상기 제 2 산화물 반도체층의 표면은 바람직하게는 게이트 전극(상기 채널 형성 영역)과 중첩하는 영역에 1nm 이하(보다 바람직하게는 0.2nm 이하)의 고저 높이를 가진다.
- [0597] 다음으로, 도전층이 상기 제 2 산화물 반도체층(306a)과 접촉하도록 형성된다. 그 후, 소스 또는 드레인 전극(308a) 및 소스 또는 드레인 전극(308b)은 상기 도전층을 선택적으로 에칭함으로써 형성된다(도 28d 참조). 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b)은 상기 실시예들에 도시된 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)의 것과 유사한 방식으로 형성될 수 있다. 상기 실시예들은 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b)의 세부사항들을 위해 참조될 수 있다.
- [0598] 도 28d에 도시된 단계에서, 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b)과 접촉하는 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)의 측 표면들 상에서의 결정 층들은 몇몇 경우들에서 비정질 상태가 된다.
- [0599] 다음으로, 상기 제 1 산화물 반도체층(306a)의 일부와 접촉하는 게이트 절연층(312)이 형성된다. 상기 게이트 절연층(312)은 CVD 법 또는 스퍼터링법으로 형성될 수 있다. 그 후, 게이트 전극(314)은 상기 게이트 절연층(312) 위에 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)과 중첩하는 영역에서 형성된다. 그 후, 층간 절연층(316) 및 층간 절연층(318)이 상기 게이트 절연층(312) 및 상기 게이트 전극(314) 위에 형성된다(도 28e 참조). 상기 게이트 절연층(312), 상기 게이트 전극(314), 상기 층간 절연층(316), 및 상기 층간 절연층(318)은 상기 실시예들에 도시된 상기 게이트 절연층 등의 것과 유사한 방식으로 형성될 수 있다. 상기 실시예들은 상기 게이트 절연층(312), 상기 게이트 전극(314), 상기 층간 절연층(316), 및 상기 층간 절연층(318)의 세부사항들을 위해 참조될 수 있다.
- [0600] 상기 게이트 절연층(312)이 형성된 후, 제 3 열 처리가 바람직하게는 불활성 가스 분위기 또는 산소 분위기 하에서 수행된다. 상기 제 3 열 처리는 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하의 온도로 수행된다. 예를 들면, 상기 열 처리는 산소를 포함한 분위기 하에서 250℃로 1시간 동안 수행될 수 있다. 상기 제 3 열 처리는 상기 트랜지스터의 전기적 특성들에서의 변화를 감소시킬 수 있다. 상기 게이트 절연층(312)이 산소를 포함하는 경우에, 상기 제 2 산화물 반도체층(306a)의 산소 공핍을 감소시키기 위해 상기 제 2 산화물 반도체층(306a)에 산소를 공급함으로써, i-형 (진성) 또는 실질적으로 i-형 산화물 반도체층이 또한 형성될 수 있다.
- [0601] 이 실시예에서 상기 제 3 열 처리는 상기 게이트 절연층(312)이 형성된 후 수행되지만, 상기 제 3 열 처리의 타이밍은 이에 제한되지 않는다는 것을 주의하자. 또한, 상기 제 3 열 처리는 산소가 상기 제 2 열 처리와 같은 다른 처리를 통해 상기 제 2 산화물 반도체층에 공급되는 경우에 생략될 수 있다.
- [0602] 상기 게이트 전극(314)은 상기 게이트 절연층(312) 위에 도전층을 형성하고, 그 후 상기 도전층을 선택적으로 패터닝함으로써 형성될 수 있다. 상기 실시예들에서 상기 게이트 전극의 설명은 상기 게이트 전극(314)의 세부사항들을 위해 참조될 수 있다.
- [0603] 상기 층간 절연층(316) 및 상기 층간 절연층(318)은 PVD 법, CVD 법 등으로 형성될 수 있다. 상기 층간 절연층(316) 및 상기 층간 절연층(318)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다. 상기 층간 절연층(316) 및 상기 층간 절연층(318)의 적층 구조가 이 실시예에서 사용되지만, 여기에 개시된 본 발명의 실시예는 이에 제한되지 않는다는 것을 주의하자. 단-층 구조 또는 3개 이상의 층들을 포함한 적층 구조가 또한 사용될 수 있다.
- [0604] 상기 층간 절연층(318)은 바람직하게는 평탄화된 표면을 갖도록 형성된다는 것을 주의하자. 이것은 전극, 배선 등이 상기 층간 절연층(318)이 평탄화된 표면을 갖도록 형성될 때 상기 층간 절연층(318) 위에 양호하게 형성될 수 있기 때문이다.
- [0605] 상기 단계들을 통해, 트랜지스터(350)가 완성된다. 상기 트랜지스터(350)는 상기 제 1 산화물 반도체층(304a)의 상기 결정화된 영역으로부터 결정 성장에 의해 획득되는 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)을 사용한다.

- [0606] 도 28e에 도시된 상기 트랜지스터(350)는, 상기 절연층(302)을 개재하여 상기 하층 기판(300) 위에 제공된 상기 제 1 산화물 반도체층(304a); 상기 제 1 산화물 반도체층(304a) 위에 제공된 상기 제 2 산화물 반도체층(306a); 상기 제 2 산화물 반도체층(306a)에 전기적으로 접속된 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b); 상기 제 2 산화물 반도체층(306a), 상기 소스 또는 드레인 전극(308a), 및 상기 소스 또는 드레인 전극(308b)을 커버하는 상기 게이트 절연층(312); 상기 게이트 절연층(312) 위의 상기 게이트 전극(314); 상기 게이트 절연층(312) 및 상기 게이트 전극(314) 위의 상기 층간 절연층(316); 및 상기 층간 절연층(316) 위의 상기 층간 절연층(318)을 포함한다.
- [0607] 이 실시예에 도시된 상기 트랜지스터(350)에서, 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)은 고순도화된다. 그러므로, 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)에서 수소의 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하, 및 훨씬 더 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하이다. 또한, 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)의 캐리어 밀도는 통상적인 실리콘 웨이퍼의 것(대략 $1 \times 10^{14} / \text{cm}^3$)과 비교하여 충분히 낮다(예로서, $1 \times 10^{12} / \text{cm}^3$ 미만, 보다 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만). 이것의 결과로서, 충분히 낮은 오프-상태 전류가 획득될 수 있다. 예를 들면, 드레인 전압(V_b)이 +1V 또는 +10V이고 게이트 전압(V_g)이 -5V 내지 -20V의 범위에 있을 때, 상기 오프-상태 전류는 실온에서 1×10^{-13} A 이하이다. 게다가, 전술된 트랜지스터는 노멀리-오프 트랜지스터의 특성들을 갖는다. 그러므로, 리크 전류, 즉 게이트 전극과 소스 전극 사이의 전압이 대략 0V인 상태에서의 오프-상태 전류는 실리콘을 사용한 트랜지스터의 것보다 훨씬 더 작다. 예를 들면, 단위 채널 폭당 상기 리크 전류는 실온에서 10aA/ μm 이하이다.
- [0608] 이러한 방식으로, 상기 고순도화된 진성의 제 1 산화물 반도체층(304a) 및 제 2 산화물 반도체층(306a)을 사용함으로써, 상기 트랜지스터의 상기 오프-상태 전류는 충분히 감소될 수 있다.
- [0609] 더욱이, 이 실시예에서, 결정화된 영역을 갖는 상기 제 1 산화물 반도체층(304a) 및 상기 제 1 산화물 반도체층(304a)의 상기 결정화된 영역으로부터의 결정 성장에 의해 획득되는 상기 제 2 산화물 반도체층(306a)이 상기 산화물 반도체층으로서 사용된다. 따라서, 전계 이동도가 증가될 수 있으며 양호한 전기적 특성들을 가진 트랜지스터가 실현될 수 있다.
- [0610] 비록, 이 실시예에서, 상기 트랜지스터(350)는 상기 실시예들에 도시된 상기 트랜지스터(402)로서 사용되지만, 여기에 개시된 본 발명은 상기 경우에 제한되는 것으로서 해석되어서는 안된다는 것을 주의하자. 예를 들면, 이 실시예에 도시된 상기 트랜지스터(350)는 결정화된 영역을 가진 상기 제 1 산화물 반도체층(304a) 및 상기 제 1 산화물 반도체층(304a)의 상기 결정화된 영역으로부터의 결정 성장에 의해 획득되는 상기 제 2 산화물 반도체층(306a)을 사용하며, 그에 따라 높은 전계 이동도를 가진다. 따라서, 상기 산화물 반도체는 집적 회로에 포함된 트랜지스터들을 포함한 상기 트랜지스터들 모두를 위해 사용될 수 있다. 이러한 경우에, 상기 실시예들에 도시된 바와 같은 적층 구조를 이용할 필요가 없으며, 반도체 장치는 예를 들면 유리 기판과 같은 기판을 사용하여 형성될 수 있다.
- [0611] 이 실시예에 설명된 구조들, 방법들 등은 다른 실시예들에 설명된 구조들, 방법들 등 중 임의의 것과 적절하게 결합될 수 있다.
- [0612] [실시예 13]
- [0613] 이 실시예에서, 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 반도체 장치가 탑재되는 전자 기기의 예들이 도 29a 내지 도 29f를 참조하여 설명될 것이다. 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치가 탑재되는 상기 전자 기기는 종래의 기술들에서 볼 수 없는 우수한 특성들을 가진다. 그러므로, 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치를 신규한 구조를 가진 전자 기기에 제공하는 것이 가능하다. 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치가 집적되며 회로 보드에 실장되거나 또는 전자 기기상에 탑재된다는 것을 주의하자.
- [0614] 도 29a는 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치를 포함한 랩탑 퍼스널 컴퓨터를 도시한다. 상기 랩탑 퍼스널 컴퓨터는 본체(1301), 하우징(1302), 표시부(1303), 키보드(1304) 등을 포함한다. 우수한 성능을 가진 랩탑 퍼스널 컴퓨터는 여기에 개시된 본 발명에 따른 상기 반도체 장치를 랩탑 퍼스널 컴퓨터에 적용함으로써 적용될 수 있다.

- [0615] 도 29b는 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치를 포함한 휴대 정보 단말(PDA)을 도시한다. 본체(1311)는 표시부(131), 외부 인터페이스(1315), 조작 키들(1314) 등을 포함한다. 또한, 스타일러스(1312)가 조작을 위한 액세서리로서 제공된다. 우수한 성능을 가진 휴대 정보 단말(PDA)이 여기에 개시된 본 발명에 따른 상기 반도체 장치를 휴대 정보 단말(PDA)에 적용함으로써 제공될 수 있다.
- [0616] 도 29c는 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치를 포함한 전자 페이지의 일 예로서 전자 서적 판독기(1320)를 도시한다. 상기 전자 서적 판독기(1320)는 두 개의 하우징들, 즉 하우징(1321) 및 하우징(1323)을 포함한다. 상기 하우징(1321)은 축부(hinge)(1337)에 의해 상기 하우징(1323)과 결합되며, 따라서 상기 전자 서적 판독기(1320)가 축으로서 사용된 상기 축부(1337)를 갖고 개폐될 수 있다. 이러한 구조는 상기 전자 서적 판독기(1320)가 종이 서적들로서 사용될 수 있도록 허용한다.
- [0617] 상기 하우징(1321)은 표시부(1325)를 포함하며, 상기 하우징(1323)은 표시부(1327)를 포함한다. 상기 표시부(1325) 및 상기 표시부(1327)는 연속 이미지 또는 상이한 이미지들을 표시할 수 있다. 상이한 이미지들을 표시하기 위한 구조는 텍스트가 상기 우측 표시부(도 29c에서의 상기 표시부(1325))상에 표시되도록 허용하며, 이미지들이 상기 좌측 표시부(도 29c에서 상기 표시부(1327))상에 표시되도록 허용한다.
- [0618] 도 29c는 상기 하우징(1321)이 조작부 등을 포함하는 경우의 일 예를 도시한다. 예를 들면, 상기 하우징(1321)은 전원 버튼(1331), 조작 키들(1333), 스피커(1335) 등을 포함한다. 상기 조작 키들(1333)은 페이지들이 넘겨지도록 허용한다. 키보드, 포인팅 디바이스 등이 또한 상기 표시부가 제공되는 상기 하우징의 표면에 제공될 수 있다는 것을 주의하자. 더욱이, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 상기 하우징의 이면 또는 측면 상에 제공될 수 있다. 상기 전자 서적 판독기(1320)는 또한 전자 사전으로서 작용할 수 있다.
- [0619] 또한, 상기 전자 서적 판독기(1320)는 무선으로 데이터를 송신 및 수신할 수 있는 구조를 가질 수 있다. 무선 통신을 통해, 원하는 서적 데이터 등이 전자 서적 서버로부터 구입되고 다운로드될 수 있다.
- [0620] 전자 페이지는 데이터가 표시되는 한 임의의 분야에서 사용될 수 있다는 것을 주의하자. 예를 들면, 전자 페이지는 전자 서적 판독기들뿐만 아니라 포스터들, 기차들과 같은 차량들에서의 광고, 및 신용 카드들과 같은 다양한 카드들에 적용될 수 있다. 우수한 성능을 가진 전자 페이지는 여기에 개시된 본 발명에 따른 상기 반도체 장치를 전자 페이지에 적용함으로써 제공될 수 있다.
- [0621] 도 29d는 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치를 포함한 휴대 전화기를 도시한다. 상기 휴대 전화기는 두 개의 하우징들, 즉 하우징(1340) 및 하우징(1341)을 포함한다. 상기 하우징(1341)은 표시 패널(1342), 스피커(1343), 마이크로폰(1344), 포인팅 디바이스(1346), 카메라 렌즈(1347), 외부 접속 단자(1348) 등을 포함한다. 상기 하우징(1340)은 상기 휴대 전화기, 외부 메모리 슬롯(1350) 등을 충전하기 위한 태양 전지(1349)를 포함한다. 안테나가 상기 하우징(1341)에 내장된다.
- [0622] 상기 표시 패널(1342)은 터치 패널을 포함한다. 이미지로서 표시되는 복수의 조작 키들(1345)이 도 29d에서 점선들로 도시된다. 상기 휴대 전화기는 상기 태양 전지(1349)로부터 출력된 전압에서 각각의 회로를 위해 요구된 전압으로 증가시키기 위한 승압 회로를 포함한다는 것을 주의하자. 상기 구조 이외에, 비접촉 IC 칩, 소형 기록 장치 등이 상기 휴대 전화기에 내장될 수 있다.
- [0623] 상기 표시 패널(1342)의 상기 표시 배향은 상기 적용 모드에 따라 적절하게 변한다. 또한, 상기 카메라 렌즈(1347)는 상기 표시 패널(1342)과 동일한 표면에 제공되어, 상기 휴대 전화기가 비디오 전화로서 사용될 수 있도록 한다. 상기 스피커(1343) 및 상기 마이크로폰(1344)은 음성 통화들뿐만 아니라, 비디오 전화 통화들, 녹음, 및 재생 사운드 등을 위해 사용될 수 있다. 게다가, 도 29d에서와 같이 접하지 않는 상기 하우징(1340) 및 상기 하우징(1341)은 슬라이딩에 의해 서로 중첩할 수 있다. 따라서, 상기 휴대 전화기는 휴대 사용을 위한 적절한 크기일 수 있다.
- [0624] 상기 외부 접속 단자(1348)는 상기 휴대 전화기의 충전 및 데이터 통신을 가능하게 하는 AC 어댑터 및 USB 케이블과 같은 다양한 케이블들에 접속가능하다. 게다가, 기록 매체를 상기 외부 메모리 슬롯(1350)에 삽입함으로써 대량의 데이터가 저장되고 이동될 수 있다. 상기 기능들 외에, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다. 우수한 성능을 가진 휴대 전화기는 여기에 개시된 본 발명에 따른 상기 반도체 장치를 휴대 전화기에 적용함으로써 제공될 수 있다.
- [0625] 도 29e는 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치를 포함한 디

지털 카메라를 도시한다. 상기 디지털 카메라는 본체(1361), 표시부(A)(1367), 접안부(1363), 조작 스위치(1364), 표시부(B)(1365), 배터리(1366) 등을 포함한다. 우수한 성능을 가진 디지털 카메라는 여기에 개시된 본 발명에 따른 상기 반도체 장치를 디지털 카메라에 적용함으로써 제공될 수 있다.

[0626] 도 29f는 상기 실시예들 중 임의의 것에 따른 상기 불휘발성 래치 회로를 사용한 상기 반도체 장치를 포함한 텔레비전 세트를 도시한다. 텔레비전 세트(1370)는 표시부(1373)를 갖춘 하우징(1371)을 포함한다. 이미지들은 상기 표시부(1373) 상에 표시될 수 있다. 여기에서, 상기 하우징(1371)은 스탠드(1375)에 의해 지지된다.

[0627] 상기 텔레비전 세트(1370)는 상기 하우징(1371)에 포함된 조작 스위치에 의해 또는 개별적으로 제공된 원격 제어기(1380)에 의해 동작할 수 있다. 채널들 및 볼륨은 상기 원격 제어기(1380)에 포함된 조작 키들(1379)에 의해 제어될 수 있으며 그에 따라 상기 표시부(1373) 상에 표시된 이미지들이 제어될 수 있다. 또한, 상기 원격 제어기(1380)는 상기 원격 제어기(1380)로부터 출력된 데이터를 표시함으로써 표시부(1377)를 갖출 수 있다.

[0628] 상기 텔레비전 세트(1370)는 바람직하게는 수신기, 모뎀 등을 포함한다는 것을 주의하자. 상기 수신기를 갖고, 일반적인 텔레비전 방송이 수신될 수 있다. 더욱이, 상기 텔레비전 세트(1370)가 상기 모뎀을 통해 유선 또는 무선 접속에 의해 통신 네트워크에 접속될 때, 단-방향(송신기로부터 수신기로) 또는 양-방향(송신기 및 수신기 사이, 수신기들 사이 등) 데이터 통신이 수행될 수 있다. 우수한 성능을 가진 텔레비전 세트는 여기에 개시된 본 발명에 따른 상기 반도체 장치를 텔레비전 세트에 적용함으로써 제공될 수 있다.

[0629] 이 실시예에 설명된 구조들, 방법들 등은 다른 실시예들에 설명된 상기 구조들, 방법들 등 중 임의의 것과 적절하게 조합될 수 있다.

[0630] 본 발명은 그 전체 내용들이 참조로서 여기에 통합되는, 2009년 12월 11일에 일본 특허청에 출원된 일본 특허 출원 번호 제2009-282139호에 기초한다.

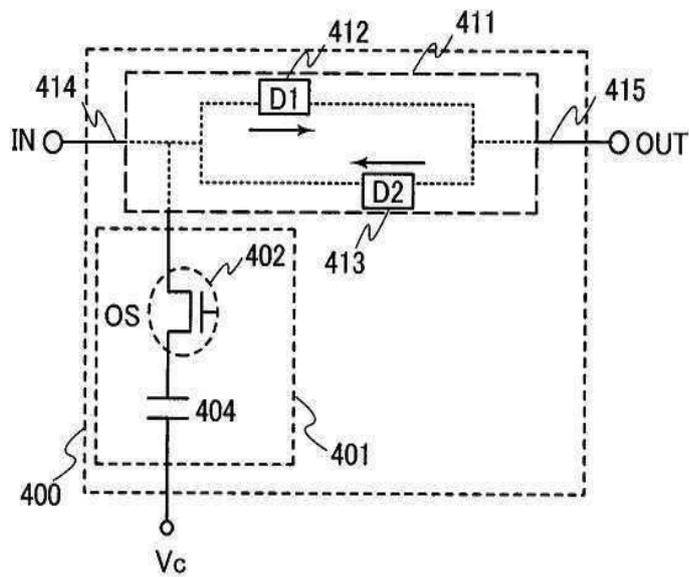
부호의 설명

- | | | |
|--------|---------------------------|-----------------------------------|
| [0631] | 100 : 기판 | 102 : 보호층 |
| | 104 : 반도체 영역 | 106 : 소자 분리 절연층 |
| | 108a : 게이트 절연층 | 110a, 110b : 전극 |
| | 112 : 게이트 절연층 | 114 : 불순물 영역들 |
| | 116 : 채널 형성 영역 | 118 : 측벽 절연층 |
| | 120 : 고-농도 영역 | 122 : 금속층 |
| | 124 : 금속 화합물 영역 | 126, 128 : 층간 절연층 |
| | 130a, 130b : 소스 또는 드레인 전극 | 130c : 전극 |
| | 132 : 절연층 | 134 : 도전층 |
| | 136a, 136b, 136c : 전극 | 136d : 게이트 전극 |
| | 138 : 게이트 절연층 | 140 : 산화물 반도체층 |
| | 142 : 도전층 | 142a, 142b : 소스 또는 드레인 전극 |
| | 144 : 보호 절연층 | 146 : 층간 절연층 |
| | 148 : 도전층 | 150a, 150b, 150c, 150d, 150e : 전극 |
| | 152 : 절연층 | 154a, 154b, 154c, 154d, 154e : 전극 |
| | 156 : 절연층 | 158a, 158b, 158c, 158d : 전극 |
| | 160 : 트랜지스터 | 164 : 절연층 |
| | 164a, 164b : 절연층 | 166 : 게이트 절연층 |
| | 168 : 절연층 | 170, 172 : 층간 절연층 |

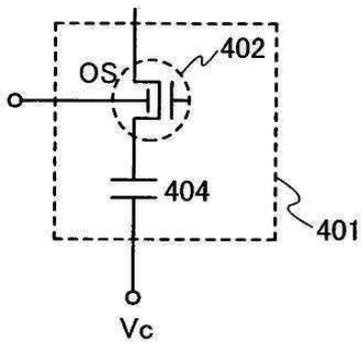
- | | |
|--------------------------------------|---------------------------|
| 178 : 게이트 전극 | 200 : 하층 기판 |
| 202 : 절연층 | 206, 206a : 산화물 반도체층 |
| 208a, 208b : 소스 또는 드레인 전극 | 212 : 게이트 절연층 |
| 214 : 게이트 전극 | 216, 218 : 층간 절연층 |
| 250 : 트랜지스터 | 300 : 하층 기판 |
| 302 : 절연층 | 308a, 308b : 소스 또는 드레인 전극 |
| 304, 304a, 305, 306, 306a : 산화물 반도체층 | |
| 312 : 게이트 절연층 | 314 : 게이트 전극 |
| 316, 318 : 층간 절연층 | 350 : 트랜지스터 |
| 400, 400a, 400b : 불휘발성 래치 회로 | |
| 401 : 데이터 보유부 | 402, 402a, 402b : 트랜지스터 |
| 404, 404a, 404b : 용량 소자 | 411 : 래치부 |
| 412 : 제 1 소자 | 413 : 제 2 소자 |
| 414, 415 : 배선 | 431, 432 : 스위치 |
| 1301 : 본체 | 1302 : 하우징 |
| 1303 : 표시부 | 1304 : 키보드 |
| 1311 : 본체 | 1312 : 스타일러스 |
| 1313 : 표시부 | 1314 : 조작 키들 |
| 1315 : 외부 인터페이스 | 1320 : 전자 서적 판독기 |
| 1321, 1323 : 하우징 | 1325, 1327 : 표시부 |
| 1331 : 전원 버튼 | 1333 : 조작 키들 |
| 1335 : 스피커 | 1337 : 축부 |
| 1340, 1341 : 하우징 | 1342 : 표시 패널 |
| 1343 : 스피커 | 1344 : 마이크로폰 |
| 1345 : 조작 키들 | 1346 : 포인팅 디바이스 |
| 1347 : 카메라 렌즈 | 1348 : 외부 접속 단자 |
| 1349 : 태양 전지 | 1350 : 외부 메모리 슬롯 |
| 1361 : 본체 | 1363 : 접안부 |
| 1364 : 조작 스위치 | 1365 : 표시부 B |
| 1366 : 배터리 | 1367 : 표시부 A |
| 1370 : 텔레비전 세트 | 1371 : 하우징 |
| 1373 : 표시부 | 1375 : 스탠드 |
| 1377 : 표시부 | 1379 : 조작 키들 |
| 1380 : 원격 제어기 | |

도면

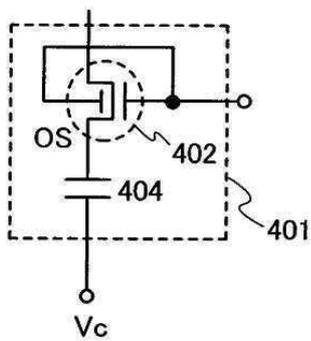
도면1



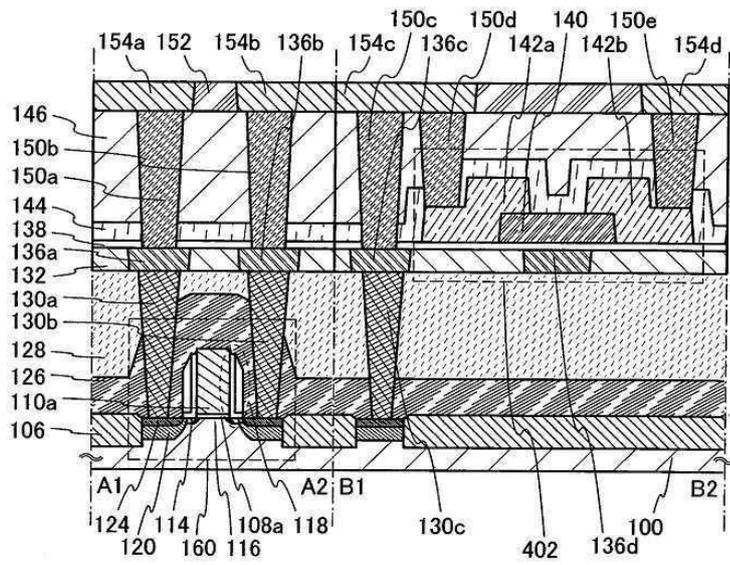
도면2a



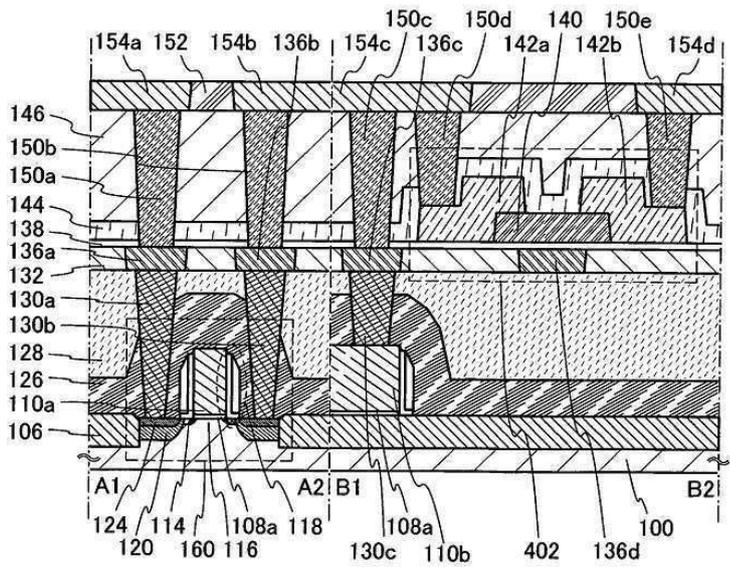
도면2b



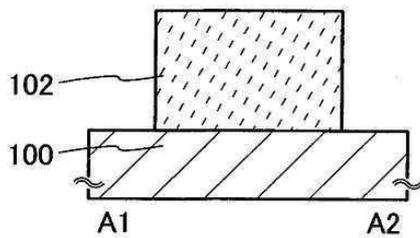
도면3a



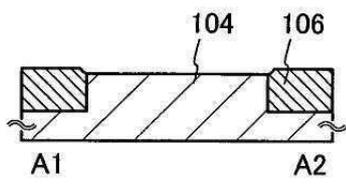
도면3b



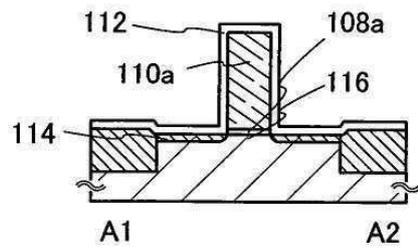
도면4a



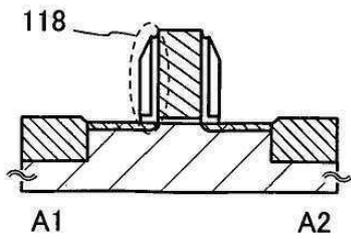
도면4b



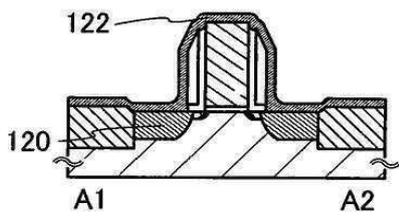
도면4c



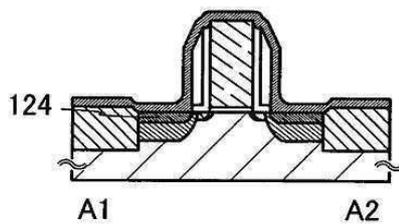
도면4d



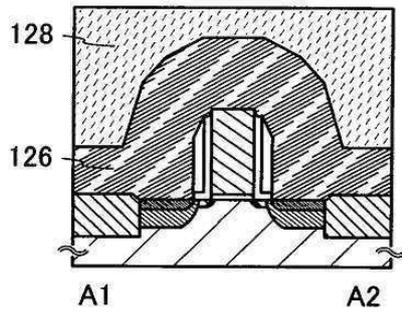
도면4e



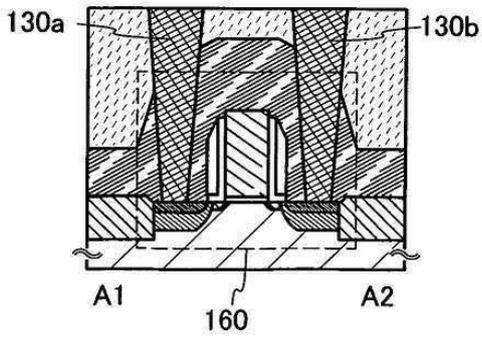
도면4f



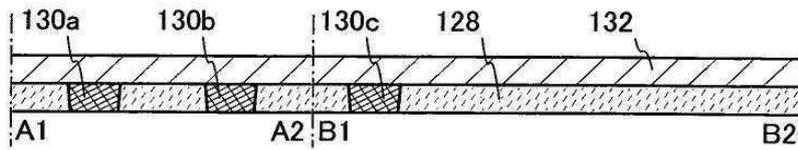
도면4g



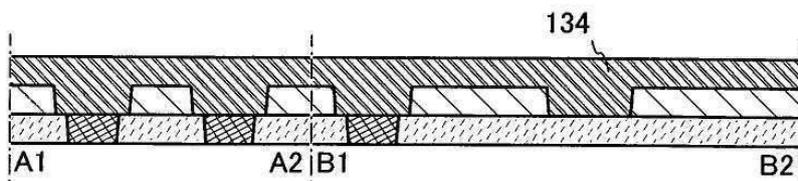
도면4h



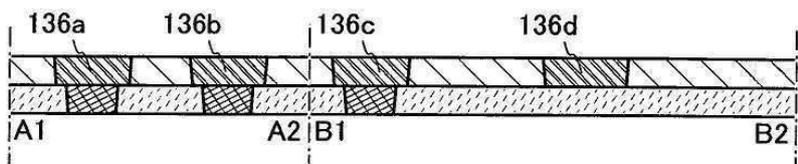
도면5a



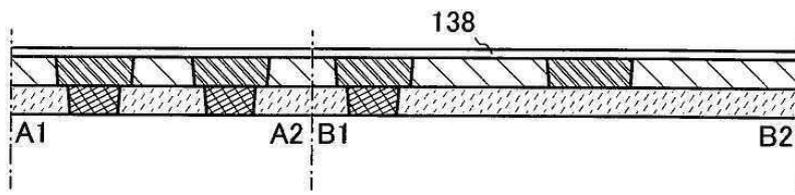
도면5b



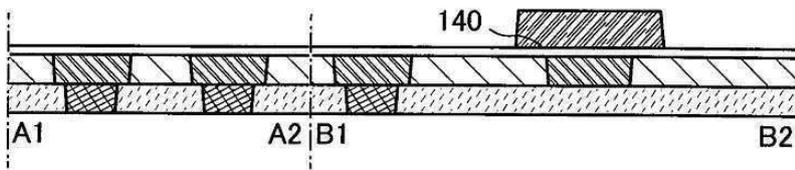
도면5c



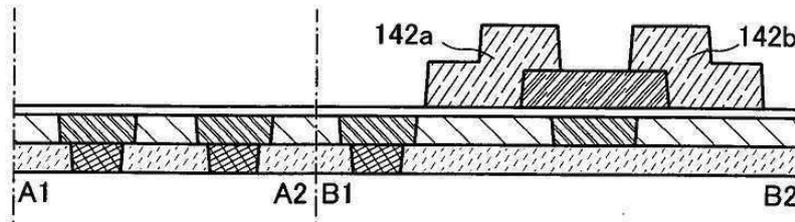
도면5d



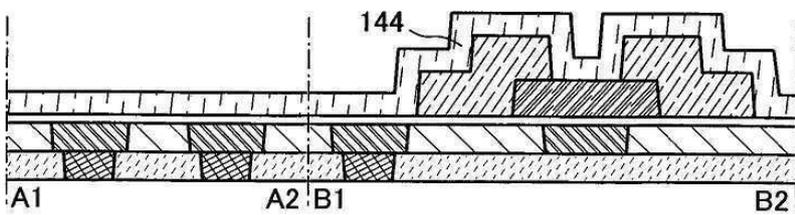
도면5e



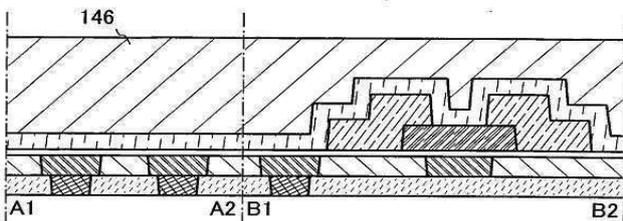
도면5f



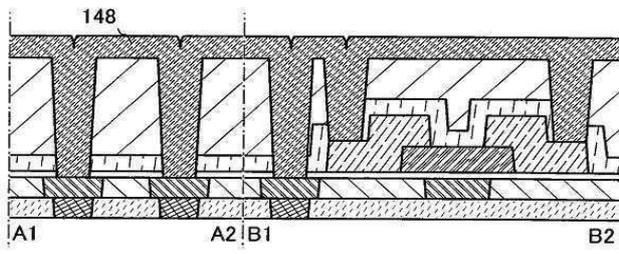
도면5g



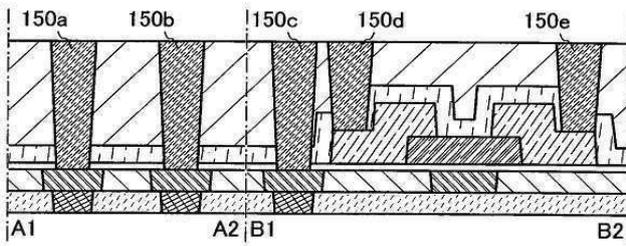
도면6a



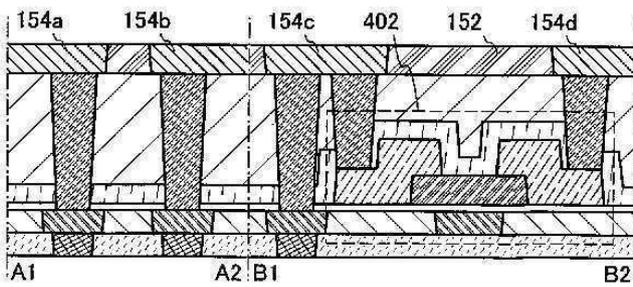
도면6b



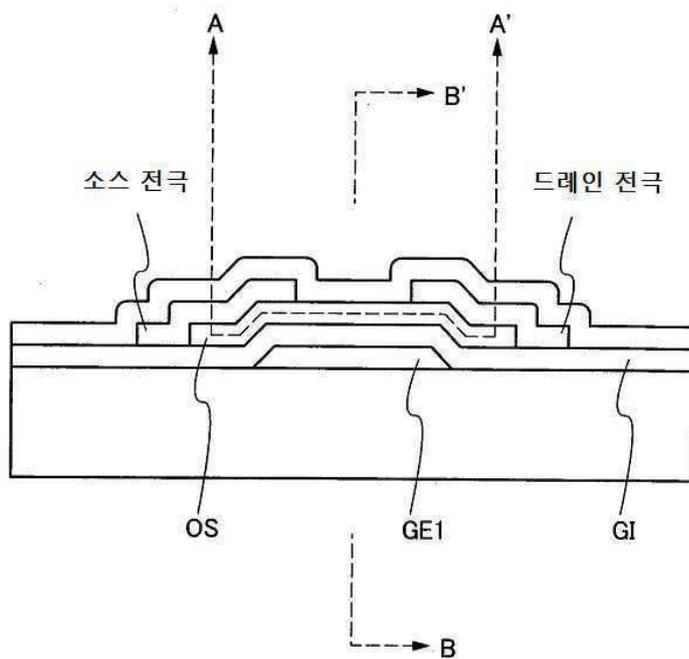
도면6c



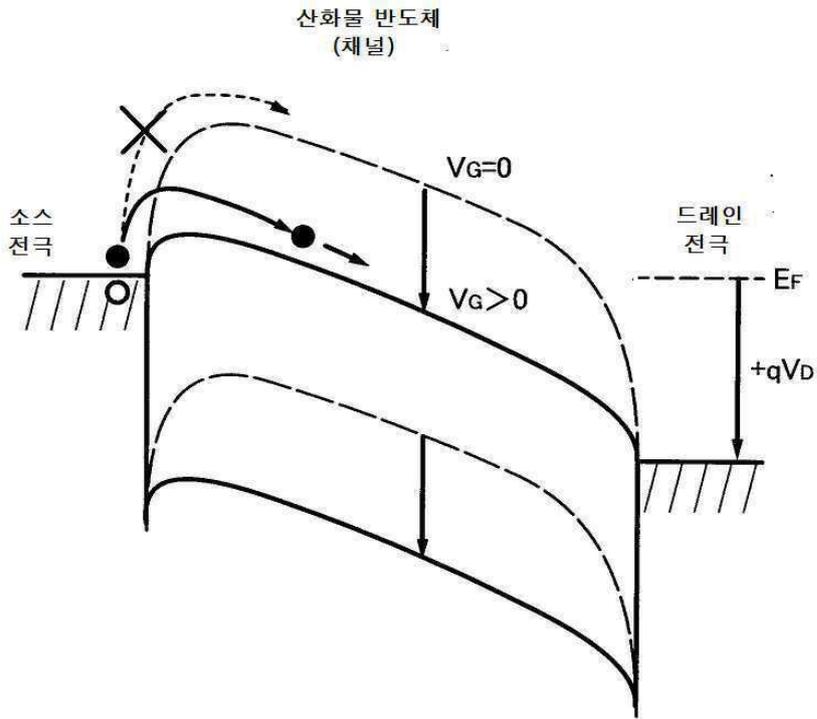
도면6d



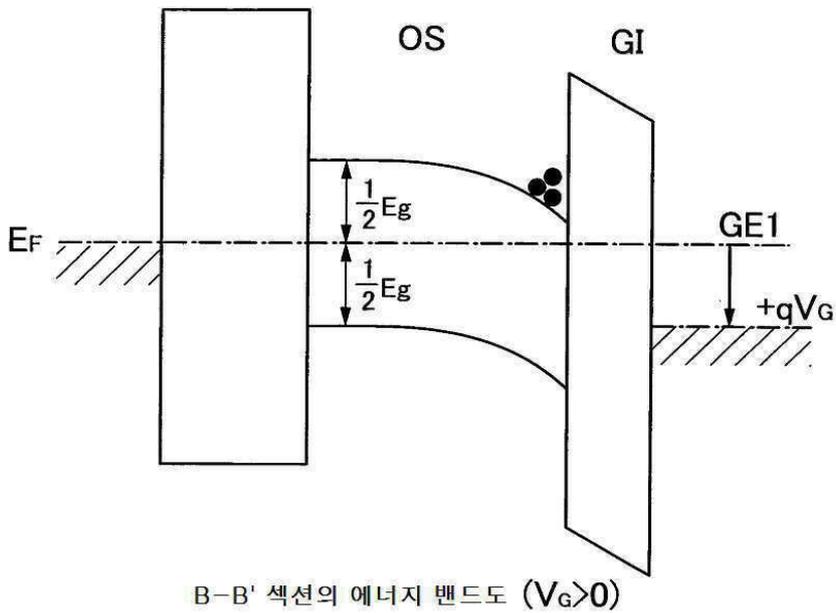
도면7



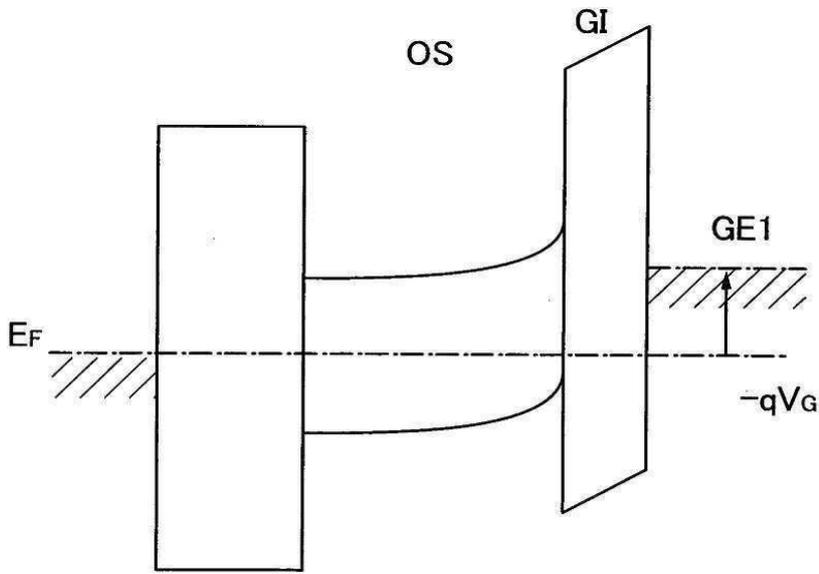
도면8



도면9a

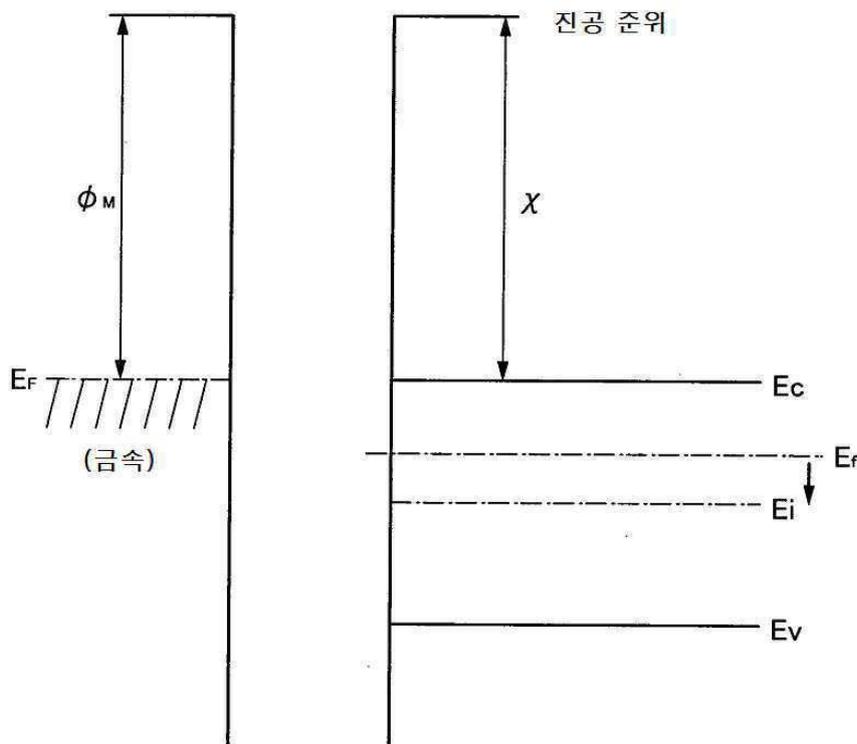


도면9b

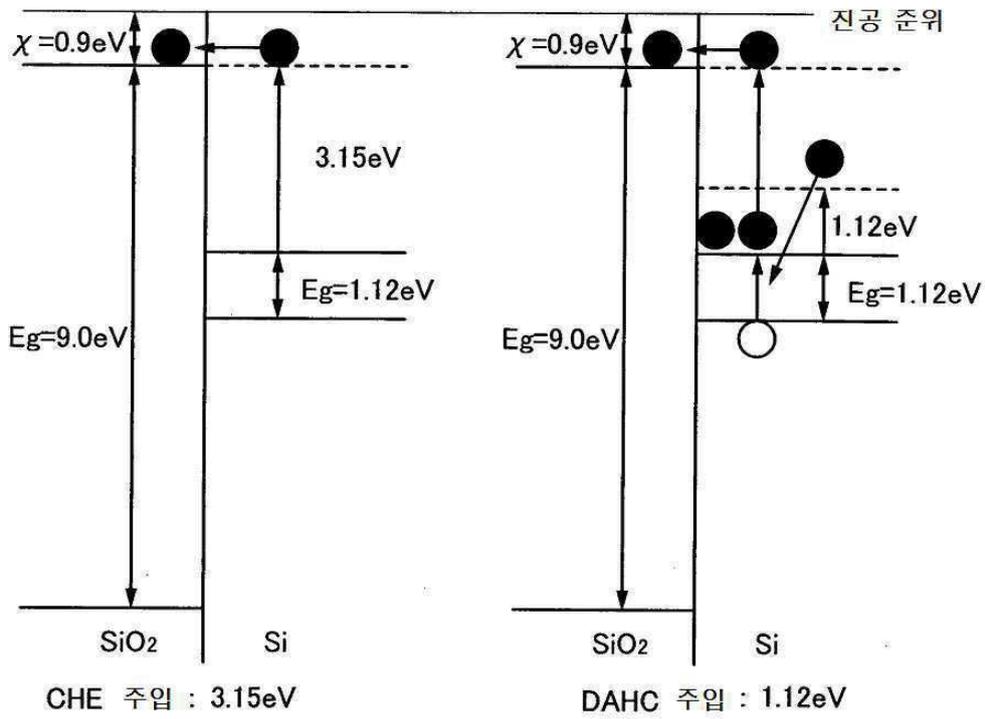


B-B' 섹션의 에너지 밴드도 ($V_G < 0$)

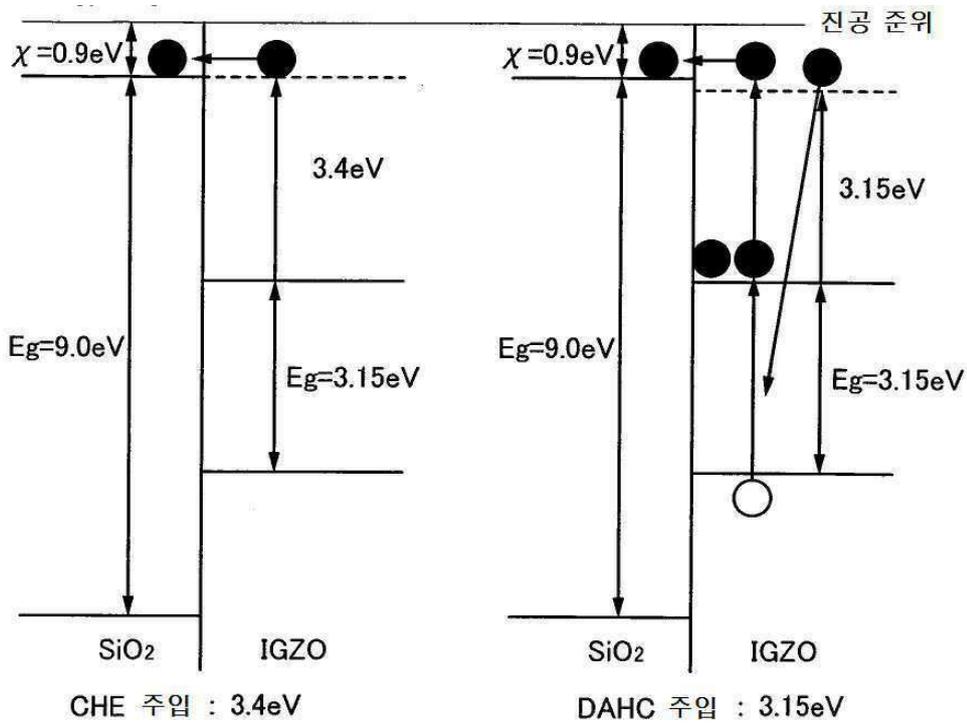
도면10



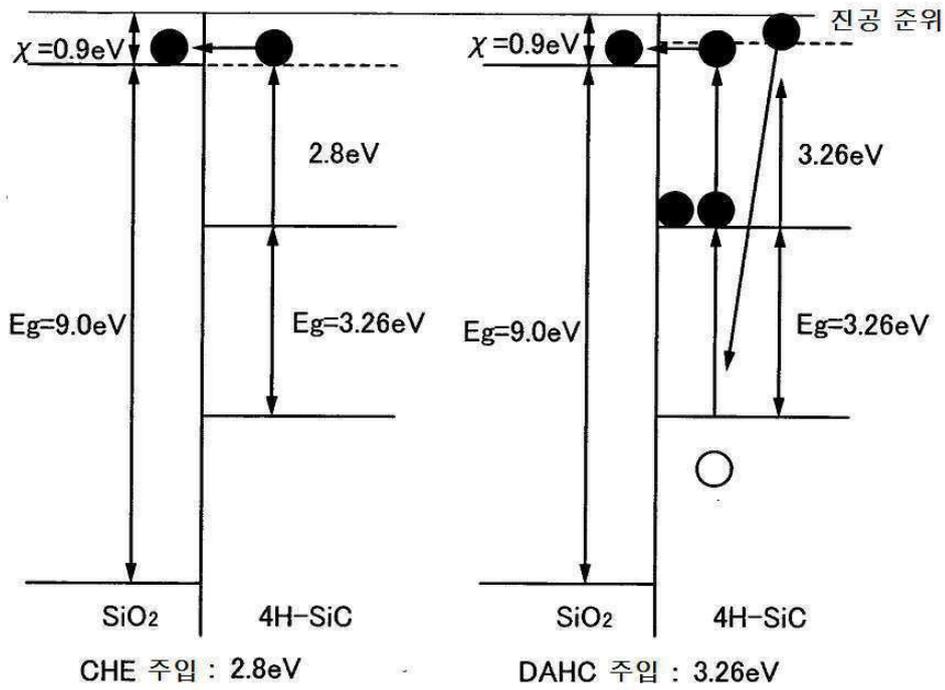
도면11



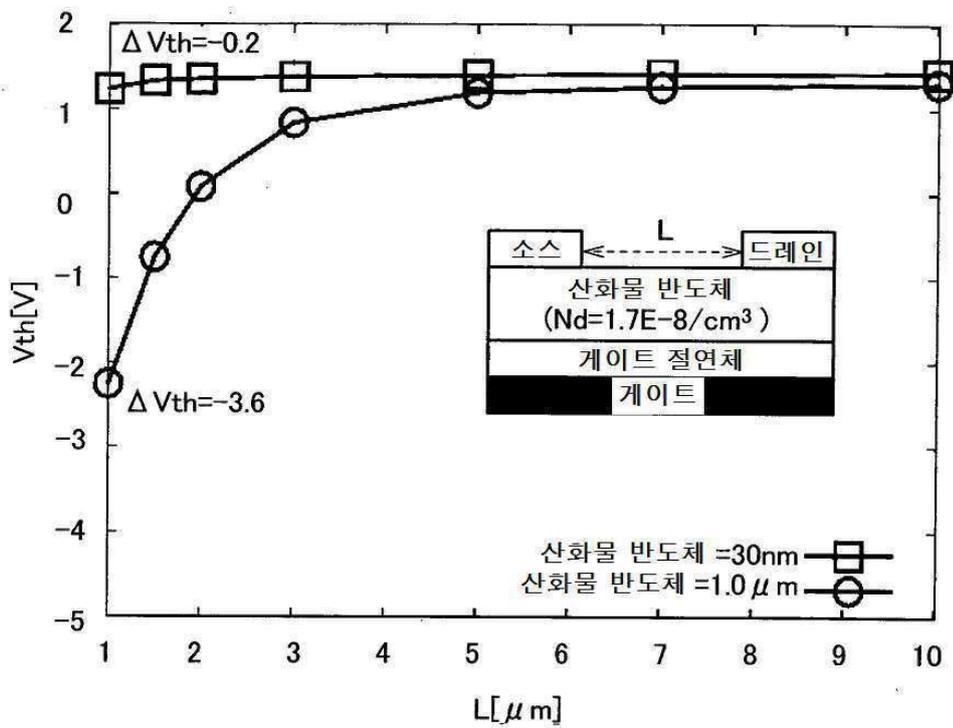
도면12



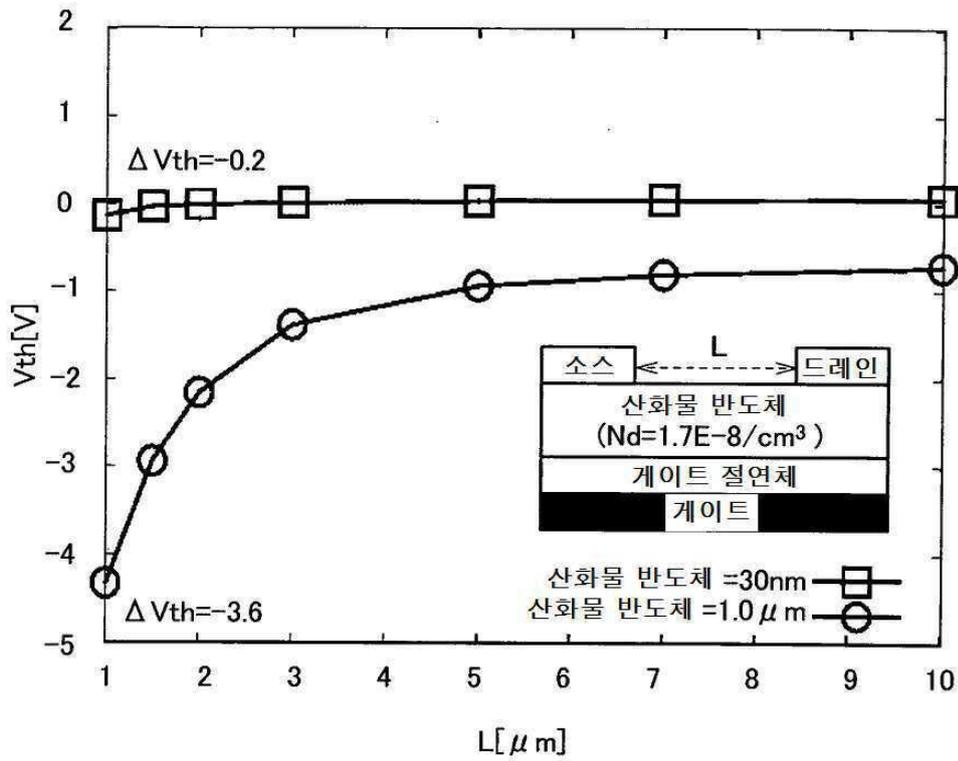
도면13



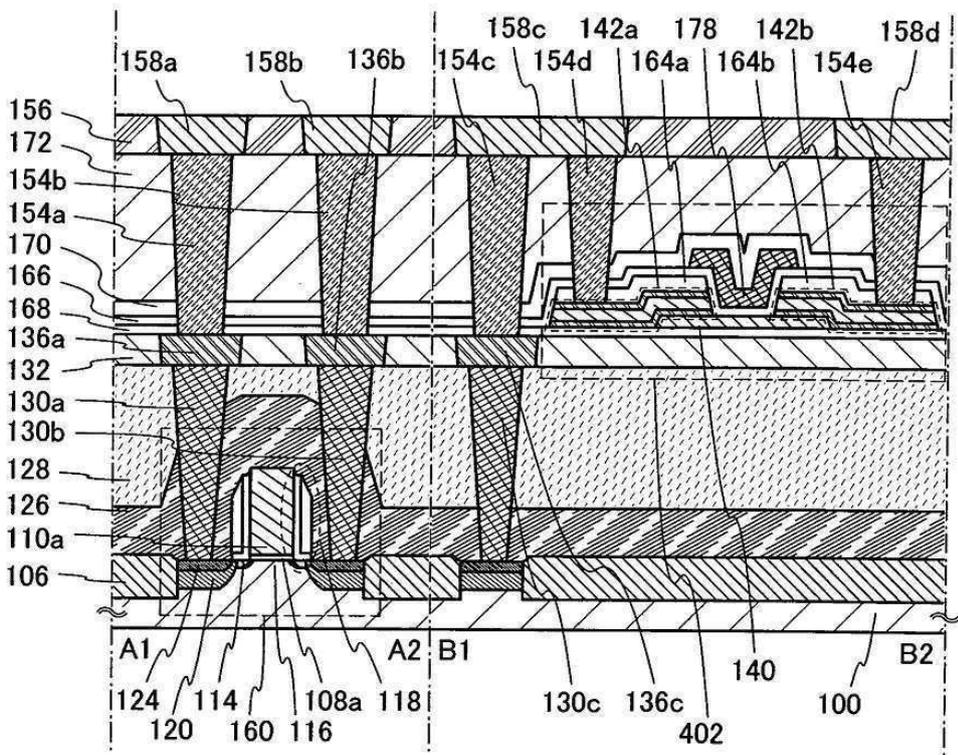
도면14



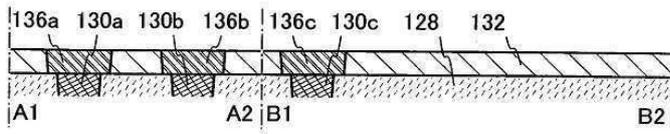
도면15



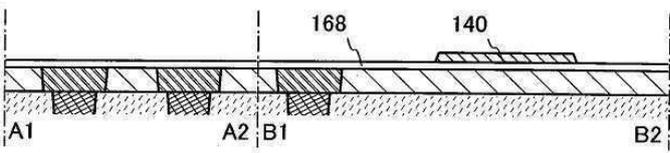
도면16



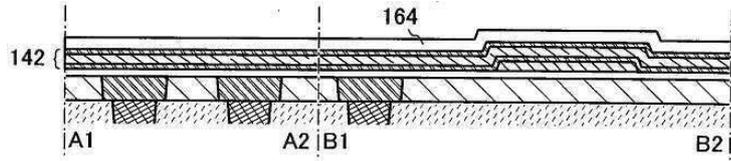
도면17a



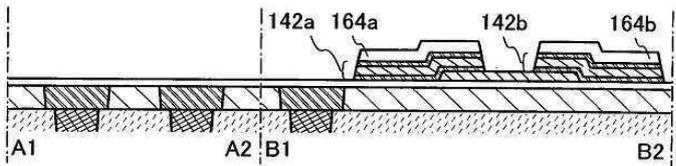
도면17b



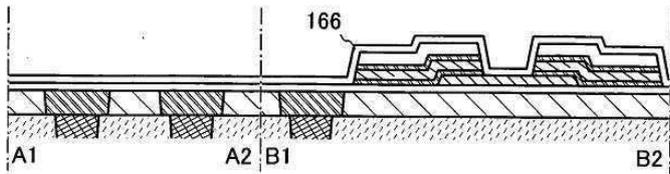
도면17c



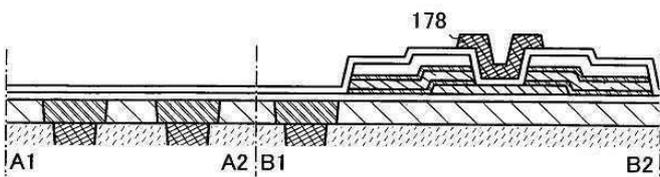
도면17d



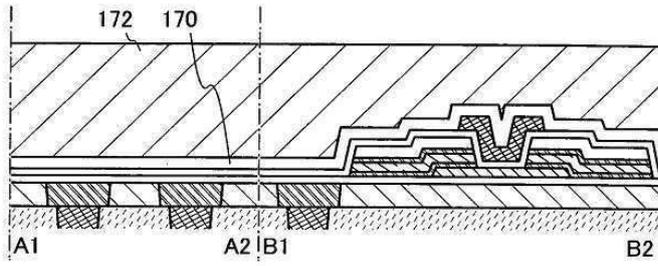
도면17e



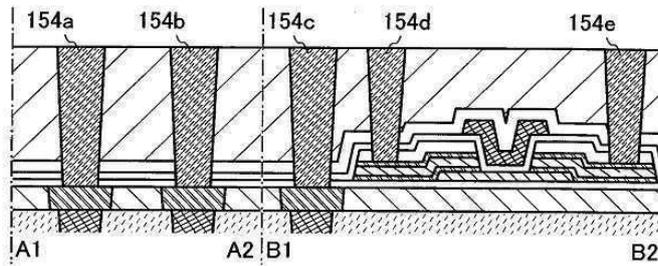
도면18a



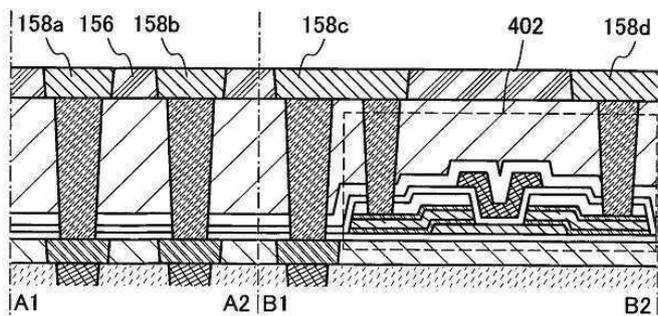
도면18b



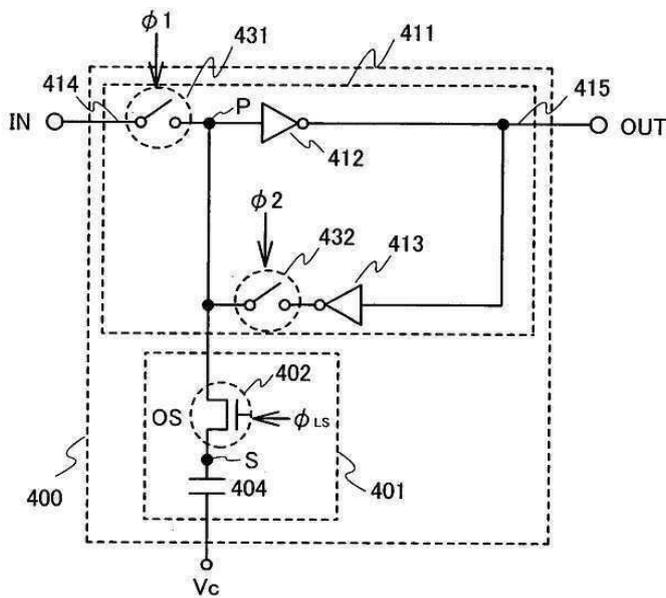
도면18c



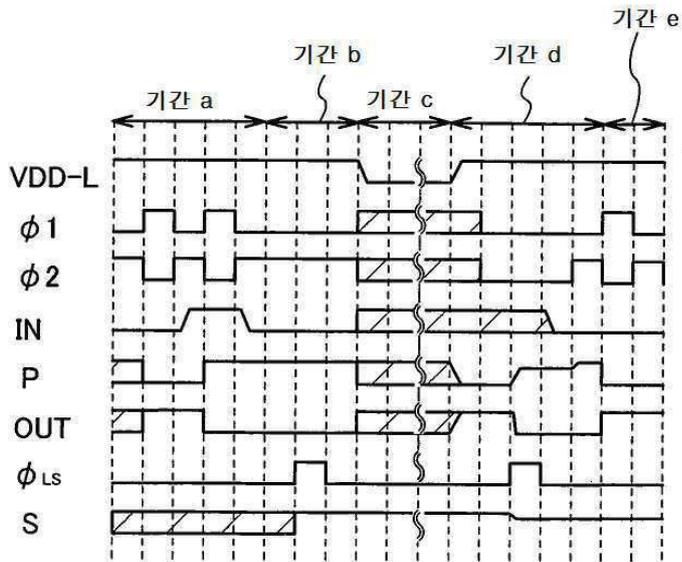
도면18d



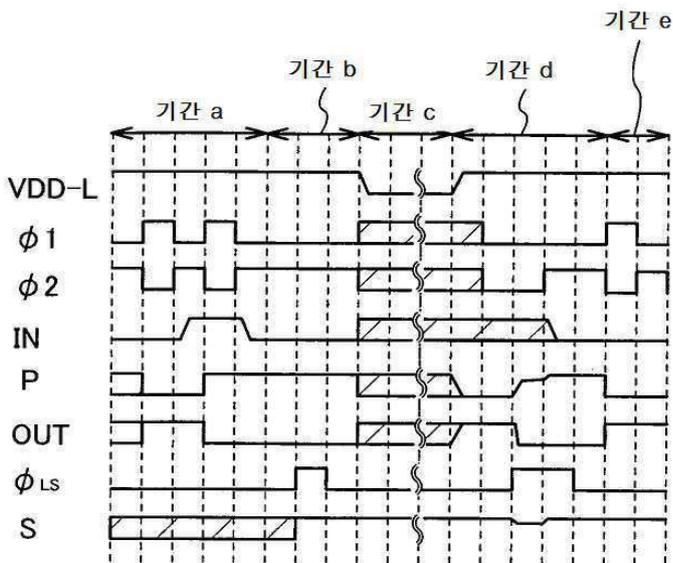
도면19a



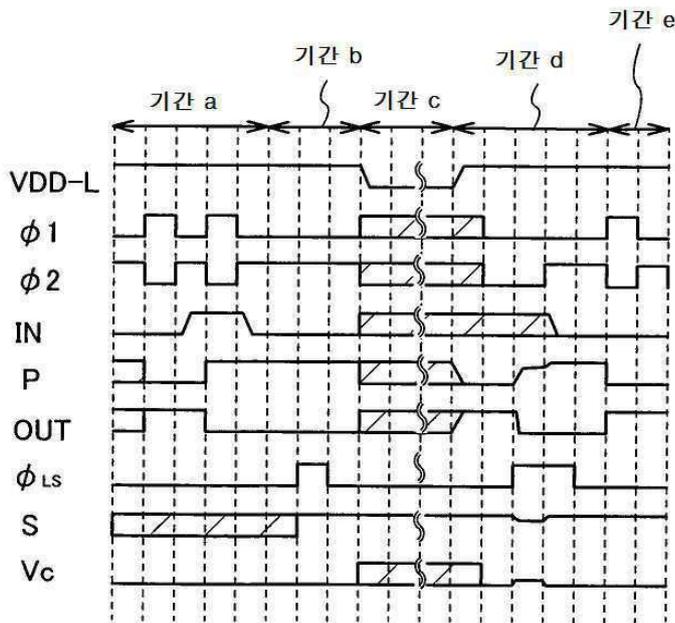
도면19b



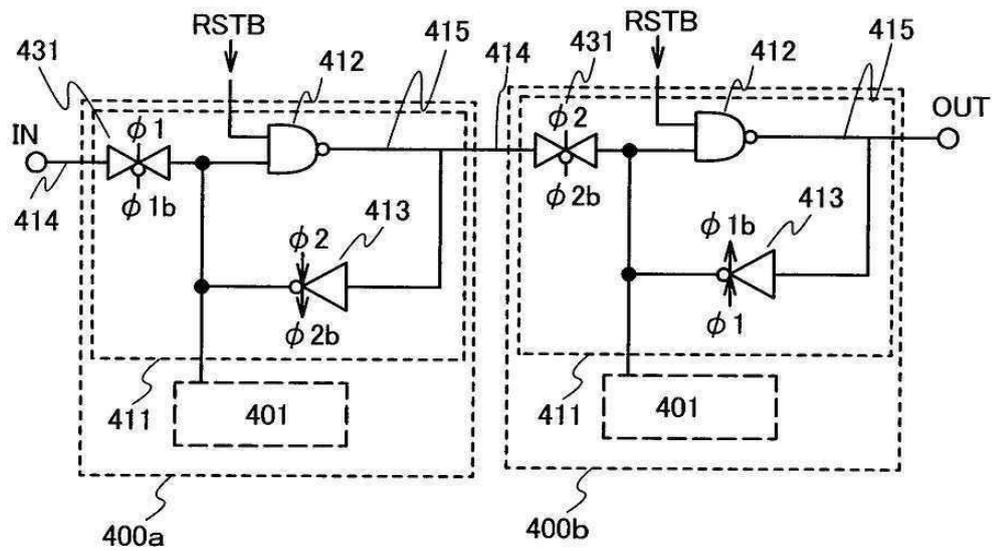
도면20a



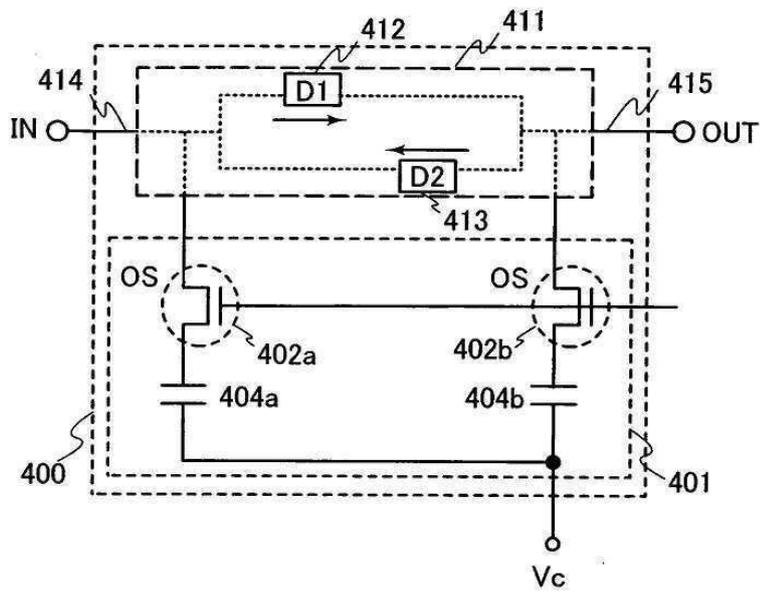
도면20b



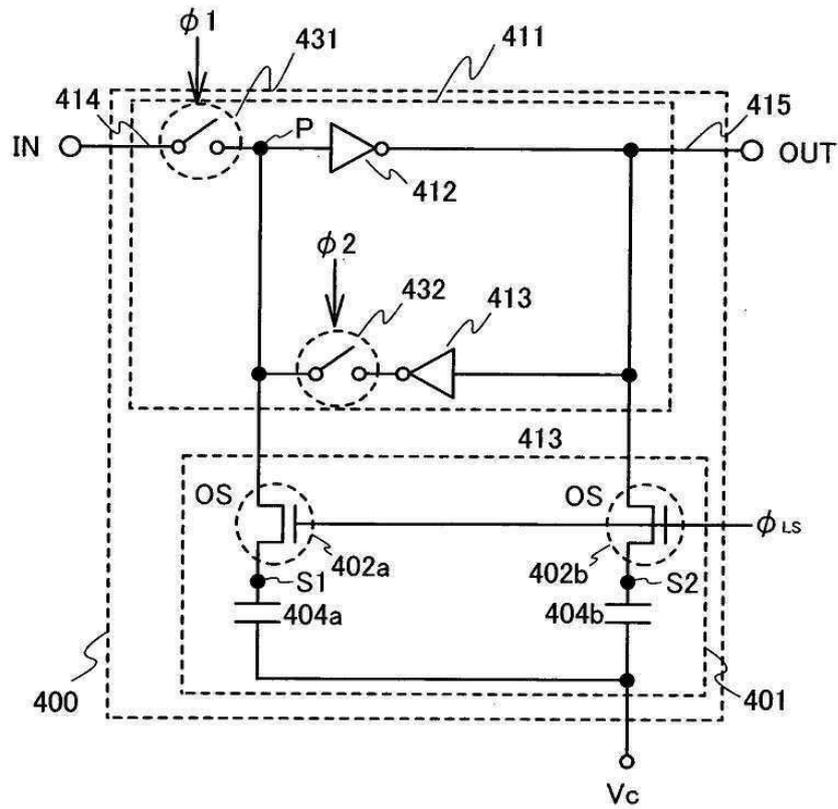
도면21



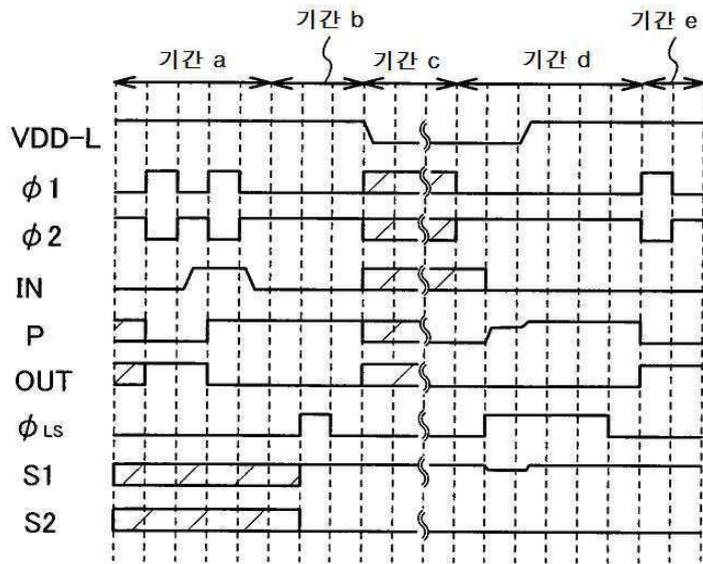
도면22



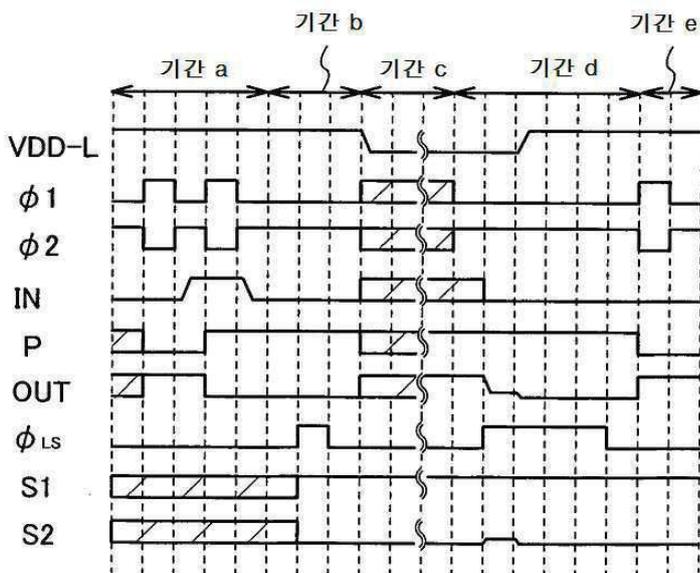
도면23



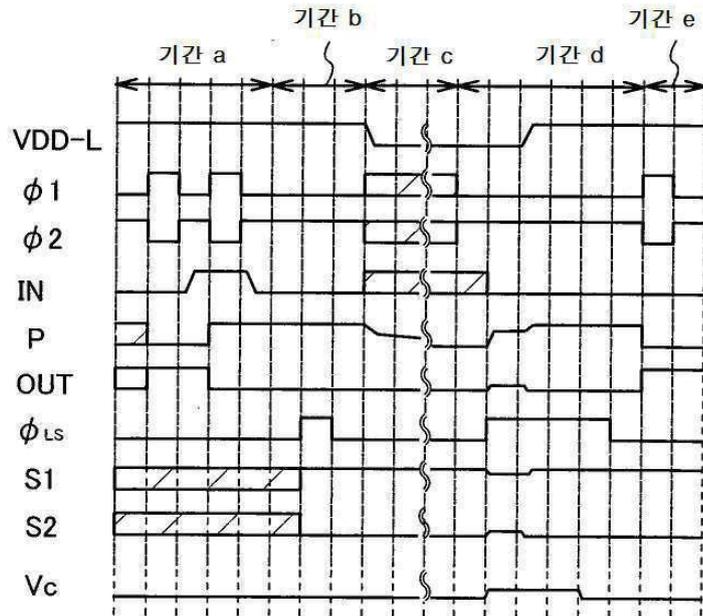
도면24a



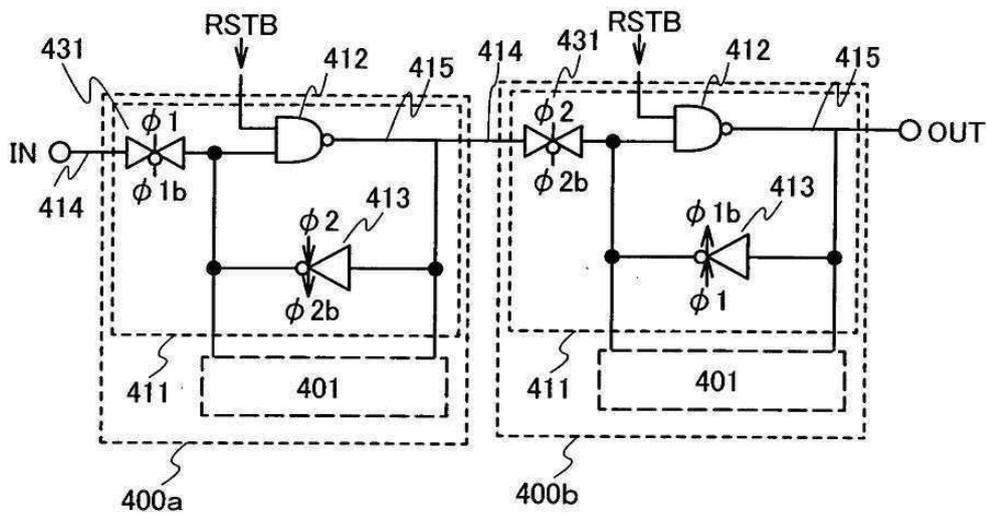
도면24b



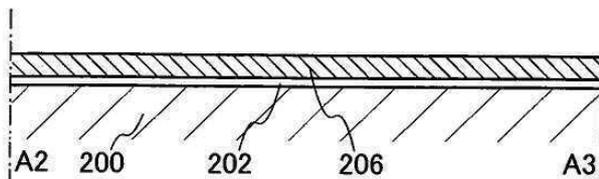
도면25



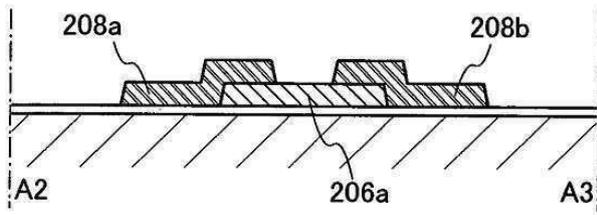
도면26



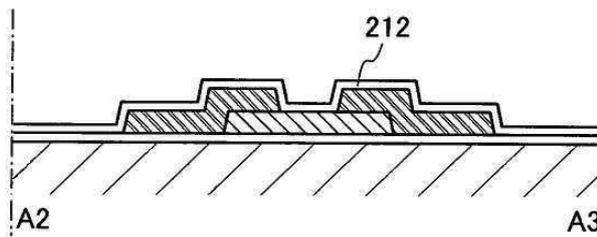
도면27a



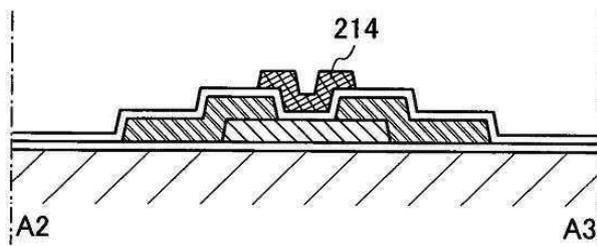
도면27b



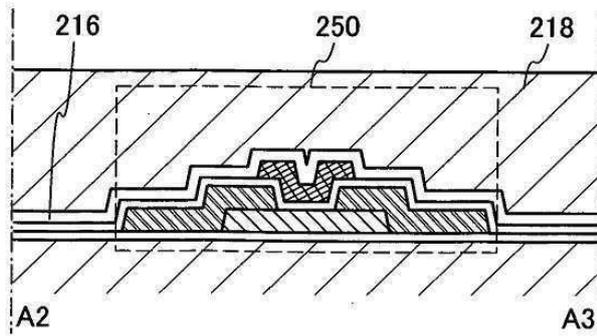
도면27c



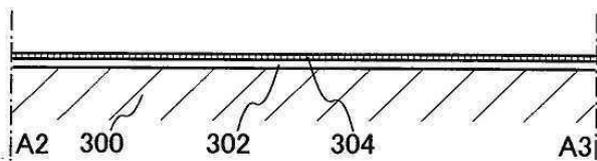
도면27d



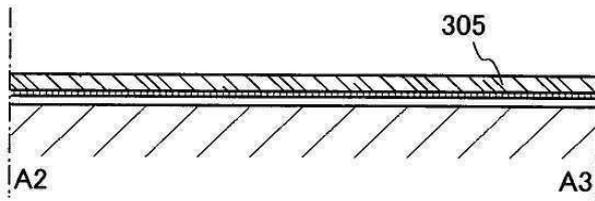
도면27e



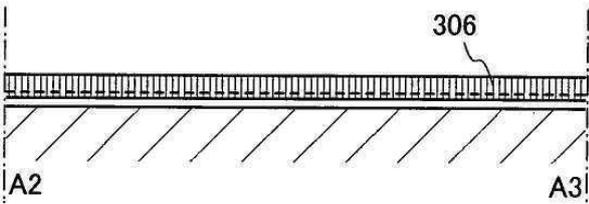
도면28a



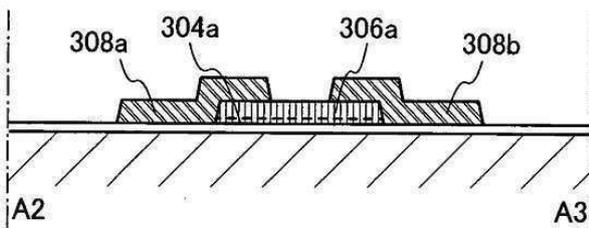
도면28b



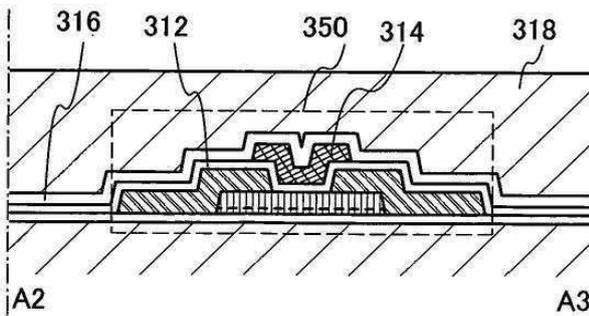
도면28c



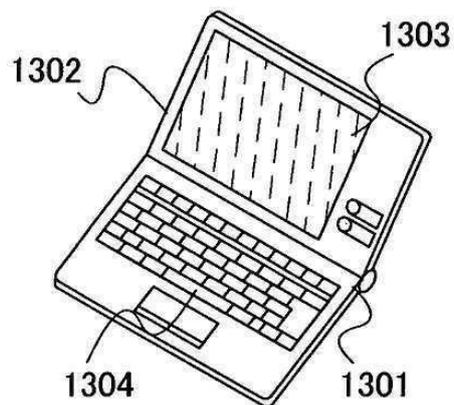
도면28d



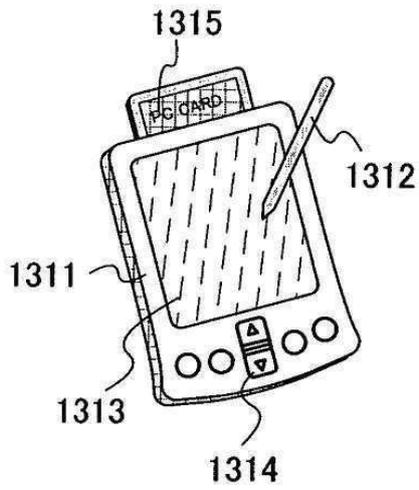
도면28e



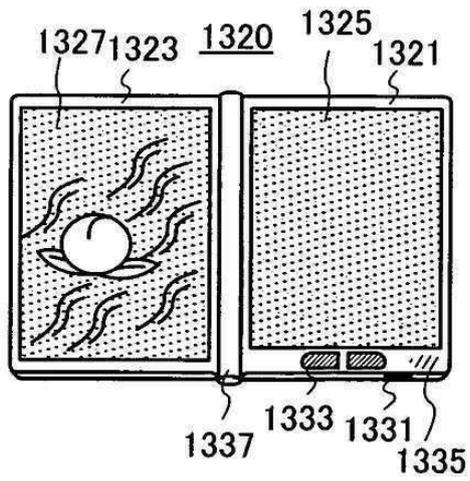
도면29a



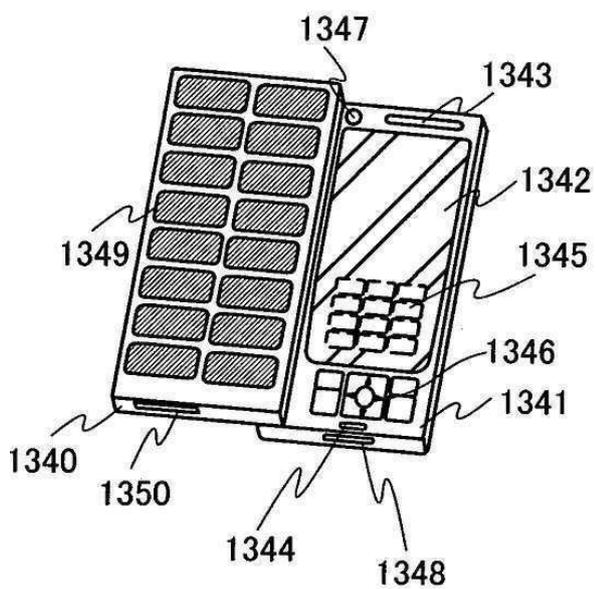
도면29b



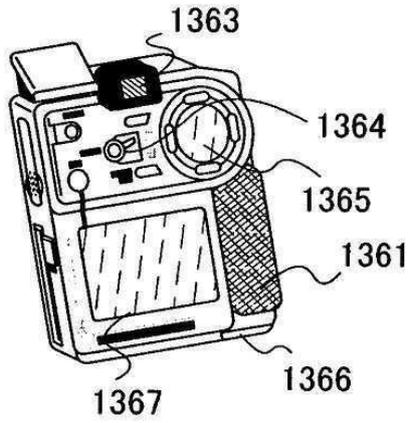
도면29c



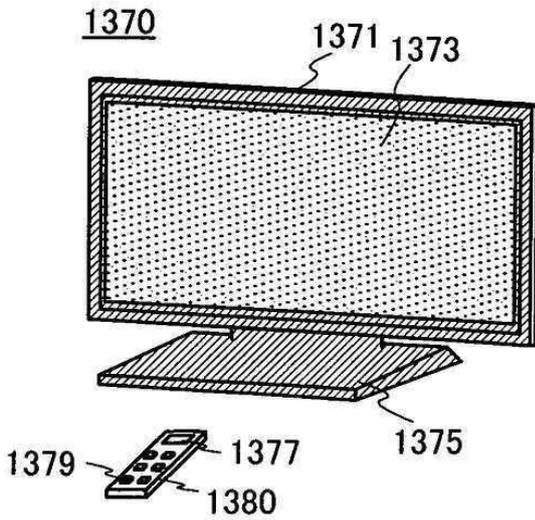
도면29d



도면29e



도면29f



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제6항

【변경전】

클록드 인버터인(clocked inverter), 반도체 장치

【변경후】

클록드 인버터(clocked inverter)인, 반도체 장치