



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I575293 B

(45)公告日：中華民國 106 (2017) 年 03 月 21 日

(21)申請案號：104138950

(22)申請日：中華民國 97 (2008) 年 07 月 11 日

(51)Int. Cl. : G02F1/1368 (2006.01)

(30)優先權：2007/07/20 日本 2007-190219

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200721499A

JP 6-69505

審查人員：陳建銘

申請專利範圍項數：29 項 圖式數：27 共 97 頁

(54)名稱

液晶顯示裝置

LIQUID CRYSTAL DISPLAY DEVICE

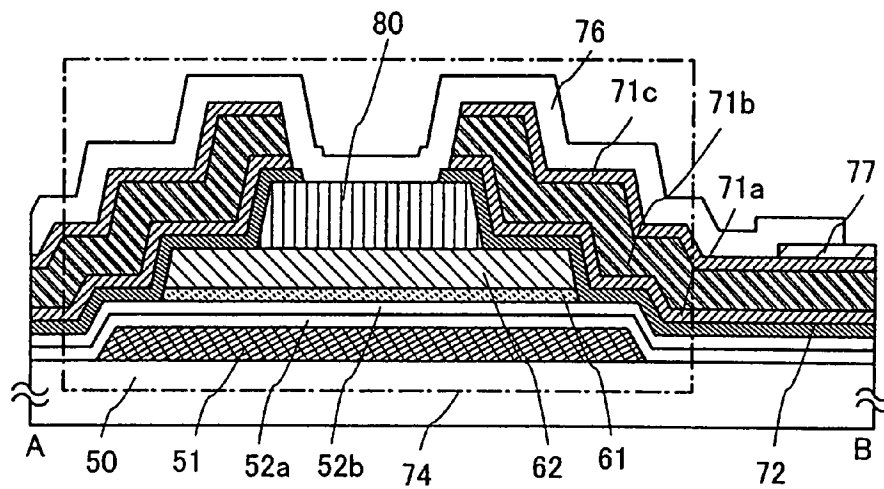
(57)摘要

本發明的目的在於提供具有電特性高且可靠性高的薄膜電晶體的液晶顯示裝置。在具有通道截止型的反交錯型薄膜電晶體的液晶顯示裝置中，該反交錯型薄膜電晶體包括：閘電極；閘電極上的閘極絕緣膜；閘極絕緣膜上的包括通道形成區域的微晶半導體膜；微晶半導體膜上的緩衝層；與微晶半導體膜的通道形成區域重疊地形成在緩衝層上的通道保護層。

It is an object to provide a liquid crystal display device including a thin film transistor with high electric characteristics and high reliability. As for a liquid crystal display device including an inverted staggered thin film transistor of a channel stop type, the inverted staggered thin film transistor includes a gate electrode, a gate insulating film over the gate electrode, a microcrystalline semiconductor film including a channel formation region over the gate insulating film, a buffer layer over the microcrystalline semiconductor film, and a channel protective layer which is formed over the buffer layer so as to overlap with the channel formation region of the microcrystalline semiconductor film.

指定代表圖：

圖 1



符號簡單說明：

50 . . . 基板

51 . . . 閘電極

52a . . . 閘極絕緣膜

52b . . . 閘極絕緣膜

61 . . . 微晶半導體
膜

62 . . . 緩衝層

71a . . . 源電極及汲
電極

71b . . . 源電極及汲
電極

71c . . . 源電極及汲
電極

72 . . . 源極區及汲
極區

74 . . . 薄膜電晶體

76 . . . 絕緣膜

77 . . . 像素電極

80 . . . 通道保護層

發明摘要

※申請案號：

104138950 (由107120836分割)

※申請日：097年07月11日

※IPC分類：502H 1/368 (2006.01)

【發明名稱】(中文/英文)

液晶顯示裝置

Liquid crystal display device

【中文】

本發明的目的在於提供具有電特性高且可靠性高的薄膜電晶體的液晶顯示裝置。在具有通道截止型的反交錯型薄膜電晶體的液晶顯示裝置中，該反交錯型薄膜電晶體包括：閘電極；閘電極上的閘極絕緣膜；閘極絕緣膜上的包括通道形成區域的微晶半導體膜；微晶半導體膜上的緩衝層；與微晶半導體膜的通道形成區域重疊地形成在緩衝層上的通道保護層。

【英文】

It is an object to provide a liquid crystal display device including a thin film transistor with high electric characteristics and high reliability. As for a liquid crystal display device including an inverted staggered thin film transistor of a channel stop type, the inverted staggered thin film transistor includes a gate electrode, a gate insulating film over the gate electrode, a microcrystalline semiconductor film including a channel formation region over the gate insulating film, a buffer layer over the microcrystalline semiconductor film, and a channel protective layer which is formed over the buffer layer so as to overlap with the channel formation region of the microcrystalline semiconductor film.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

50：基板

51：閘電極

52a：閘極絕緣膜

52b：閘極絕緣膜

61：微晶半導體膜

62：緩衝層

71a：源電極及汲電極

71b：源電極及汲電極

71c：源電極及汲電極

72：源極區及汲極區

74：薄膜電晶體

76：絕緣膜

77：像素電極

80：通道保護層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

液晶顯示裝置

Liquid crystal display device

【技術領域】

本發明涉及一種將薄膜電晶體至少用於像素部的液晶顯示裝置。

【先前技術】

近年來，使用形成於具有絕緣表面的基板上的半導體薄膜（厚度為幾 nm 至幾百 nm 左右）構成薄膜電晶體的技術正在受到關注。薄膜電晶體在如 IC 和電光學裝置的電子裝置中獲得了廣泛應用，特別地，正在加快開發作為影像顯示裝置的開關元件的薄膜電晶體。

將使用非晶半導體膜的薄膜電晶體、使用多晶半導體膜的薄膜電晶體等用作影像顯示裝置的開關元件。作為多晶半導體膜的形成方法，已知如下技術，即藉由光學系統將脈衝振盪的受激準分子雷射光束加工成線形，將線形光束對非晶半導體膜照射並掃描，以使非晶半導體膜結晶化。

另外，將使用微晶半導體膜的薄膜電晶體用作影像顯示裝置的開關元件（參照專利文獻 1 及專利文獻 2）。

作為製造薄膜電晶體的常規方法，已知如下方法：在將非晶矽膜形成在閘極絕緣膜上之後，在其上面形成金屬膜，對該金屬膜照射二極體雷射，以將非晶矽膜改變為微晶矽膜（例如，參照非專利文獻 1）。在該方法中，形成在非晶矽膜上的金屬膜是將二極體雷射的光能轉換為熱能而提供的，必須在完成薄膜電晶體之後去除該金屬膜。換言之，該方法是非晶半導體膜只受到來自金屬膜的傳導加熱而被加熱，以形成微晶半導體膜的方法。

[專利文獻 1]日本專利申請特開 Hei4-242724 號公報

[專利文獻 2]日本專利申請特開 2005-49832 號公報

[非專利文獻 1]Toshiaki Arai和其他，SID 07 DIGEST，2007，p.1370-1373

使用多晶半導體膜的薄膜電晶體具有如下優點：與使用非晶半導體膜的薄膜電晶體相比，其遷移率高 2 位數以上，並且可以在同一個基板上整合地形成顯示裝置的像素部和其週邊驅動電路。然而，與使用非晶半導體膜的情況相比，因為半導體膜的結晶化，製造程序變複雜，因而有降低成品率並提高成本的問題。

【發明內容】

鑒於上述問題，本發明的目的之一在於提供一種包括電特性良好且可靠性高的薄膜電晶體的液晶顯示裝置。

一種包括反交錯型薄膜電晶體的液晶顯示裝置，所述反交錯型薄膜電晶體具有將微晶半導體膜用作通道形成區

域的通道截止結構，其中在反交錯型薄膜電晶體中，在閘電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜（也稱為半晶半導體膜），在微晶半導體膜上形成緩衝層，與微晶半導體膜的通道形成區域重疊的區域地形成在緩衝層上的通道保護層，在通道保護層及緩衝層上形成一對源極區及汲極區，並且形成與源極區及汲極區接觸的一對源電極及汲電極。

由於具有中間夾緩衝層在微晶半導體膜的通道形成區域上提供通道保護層（也簡單地稱為保護層）的結構，因此可以防止在進行程序時微晶半導體膜的通道形成區域上的緩衝層受到損傷（受到當蝕刻時使用的電漿或蝕刻劑的影響而導致的膜厚度的降低和氧化等）。由此，可以提高薄膜電晶體的可靠性。另外，由於微晶半導體膜的通道形成區域上的緩衝層不被蝕刻，所以不需要將緩衝層的厚度形成為厚，而可以縮短成膜時間。另外，通道保護層在形成源極區及汲極區的蝕刻程序中做為停止蝕刻的作用，從而也可以稱為通道停止層。

作為緩衝層使用非晶半導體膜，最好使用包含氮、氫和鹵素中的任一種以上的非晶半導體膜。藉由在非晶半導體膜中包含氮、氫和鹵素中的任一種，可以抑制包含在微晶半導體膜中的結晶被氧化。微晶半導體膜的能隙為 1.1eV 至 1.5eV ，緩衝層的能隙比微晶半導體膜的大，其為 1.6eV 至 1.8eV ，並且緩衝層的遷移率低。緩衝層的遷移率典型為微晶半導體膜的遷移率的 $1/5$ 至 $1/10$ 。由此，

通道形成區域為微晶半導體膜，緩衝層為高電阻區域。另外，將包含在微晶半導體膜中的碳、氮、氧各個的濃度設定為 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下，最好為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。將微晶半導體膜的厚度設定為 2nm 至 50nm（最好為 10nm 至 30nm）即可。

緩衝層可以藉由電漿 CVD 法、濺射法等來形成。另外，可以在形成非晶半導體膜之後利用氮電漿、氫電漿或鹵素電漿對非晶半導體膜的表面進行處理來使非晶半導體膜的表面氮化、氫化或鹵化。

由於藉由在微晶半導體膜的表面提供緩衝層，可以抑制包含在微晶半導體膜中的晶粒被氧化，因此可以抑制薄膜電晶體的電特性的退化。

與多晶半導體膜不同，微晶半導體膜可以直接形成在基板上。具體而言，可以以氫化矽為原料氣體並使用頻率為大於或等於 1GHz 的微波電漿 CVD 裝置來形成微晶半導體膜。藉由使用上述方法製造的微晶半導體膜也包括在非晶半導體中包含 0.5nm 至 20nm 的晶粒的微晶半導體膜。由此，與使用多晶半導體膜的情況不同，形成半導體膜後不需要進行結晶化的程序。因此，可以減少製造薄膜電晶體時的程序數量，提高液晶顯示裝置的成品率，並且抑制成本。另外，利用頻率為大於或等於 1GHz 的微波的電漿的電子密度高，從而容易離解作為原料氣體的氫化矽。因此，與頻率為幾十 MHz 至幾百 MHz 的微波電漿 CVD 法相比，可以容易製造微晶半導體膜，而可以提高

成膜速度。據此，可以提高液晶顯示裝置的批量生產性。

另外，使用微晶半導體膜製造薄膜電晶體(TFT)，將該薄膜電晶體用於像素部及驅動電路來製造液晶顯示裝置。使用微晶半導體膜的薄膜電晶體的遷移率為 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{cm}^2/\text{V}\cdot\text{sec}$ ，這是使用非晶半導體膜的薄膜電晶體的2倍至20倍的遷移率，因此，可以在與像素部同一個基板上整合地形成驅動電路的一部分或整體以形成系統型面板(system on panel)。

閘極絕緣膜、微晶半導體膜、緩衝層、通道保護層、以及形成源極區及汲極區的添加有賦予一種導電類型的雜質的半導體膜既可以使用一個反應室形成，又可以對於每個膜分別使用不同的反應室形成。

在將基板搬入反應室並進行成膜前，最好對反應室進行清洗處理、沖洗（洗滌）處理（使用氫作為沖洗物質的氫沖洗、使用矽烷作為沖洗物質的矽烷沖洗等）、以及使用保護膜在各個反應室的內牆上塗層的處理（也稱為預塗處理）。預塗處理是這樣一種處理，即藉由將成膜氣體流進反應室中並進行電漿處理，預先利用由要形成的膜構成的厚度薄的保護膜覆蓋反應室內側。借助於沖洗處理和預塗處理，可以防止要形成的膜所受到的由於反應室中的氧、氮、氟等的雜質導致的污染。

本發明的液晶顯示裝置之一包括：閘電極、閘電極上的閘極絕緣膜、閘極絕緣膜上的包括通道形成區域的微晶半導體膜、微晶半導體膜上的緩衝層、與微晶半導體膜的

通道形成區域重疊地形成在緩衝層上的通道保護層通道保護層及緩衝層上的源極區及汲極區、以及在源極區及汲極區上的源電極及汲電極。

本發明的液晶顯示裝置之一包括：閘電極、閘電極上的閘極絕緣膜、閘極絕緣膜上的包括通道形成區域的微晶半導體膜、微晶半導體膜上的緩衝層、與微晶半導體膜的通道形成區域重疊地形成在緩衝層上的通道保護層、通道保護層及緩衝層上的源極區及汲極區、源極區及汲極區上的源電極及汲電極、以及覆蓋通道保護層的一部分和源電極及汲電極的絕緣膜。

在上述結構中，還提供與通道截止型薄膜電晶體的源電極或汲電極電連接的像素電極，藉由像素電極使液晶元件和薄膜電晶體彼此電連接。

另外，液晶顯示裝置包括顯示元件。作為顯示元件可以使用液晶元件（液晶顯示元件）。另外，也可以利用因受電氣作用而改變對比度的顯示媒體，諸如電子墨水等。

另外，液晶顯示裝置包括液晶元件被密封的狀態的面板、以及該面板安裝有包括控制器的 IC 等的狀態的模組。而且本發明涉及相當於在製造該液晶顯示裝置的程序中完成液晶元件前的一個方式的元件基板，該元件基板在多個像素中分別具備對液晶元件供給電流的單元。具體而言，元件基板既可以是僅形成液晶元件的像素電極的狀態，又可以在形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極前的狀態，無論是任何狀態都可以。

注意，本說明書中的液晶顯示裝置是指影像顯示裝置、顯示裝置、或光源（包括照明裝置）。液晶顯示裝置還包括安裝有連接器諸如 FPC（軟性印刷電路）、TAB（載帶自動鍵合）膠帶或 TCP（帶載封裝）的模組；在 TAB 膠帶或 TCP 端部上提供有印刷線路板的模組；以及 IC（積體電路）藉由 COG（玻璃上晶片）方式直接安裝在顯示元件的模組。

藉由本發明，可以製造具有電特性高且可靠性高的薄膜電晶體的液晶顯示裝置。

【圖式簡單說明】

圖 1 是說明本發明的液晶顯示裝置的圖；

圖 2A 至 2D 是說明本發明的液晶顯示裝置的製造方法的圖；

圖 3A 至 3C 是說明本發明的液晶顯示裝置的製造方法的圖；

圖 4A 至 4D 是說明本發明的液晶顯示裝置的製造方法的圖；

圖 5 是說明本發明的液晶顯示裝置的圖；

圖 6A 至 6D 是說明本發明的液晶顯示裝置的製造方法的圖；

圖 7A 至 7C 是示出應用本發明的電子裝置的圖；

圖 8 是示出應用本發明的電子裝置的主要結構的方塊圖；

圖 9A 至 9C 是說明本發明的液晶顯示裝置的圖；

圖 10A 和 10B 是說明本發明的電漿 CVD 裝置的平面圖；

圖 11A 和 11B 是說明本發明的液晶顯示裝置的圖；

圖 12 是說明本發明的液晶顯示裝置的圖；

圖 13 是說明本發明的液晶顯示裝置的圖；

圖 14 是說明本發明的液晶顯示裝置的圖；

圖 15 是說明本發明的液晶顯示裝置的圖；

圖 16 是說明本發明的液晶顯示裝置的圖；

圖 17 是說明本發明的液晶顯示裝置的圖；

圖 18 是說明本發明的液晶顯示裝置的圖；

圖 19 是說明本發明的液晶顯示裝置的圖；

圖 20 是說明本發明的液晶顯示裝置的圖；

圖 21 是說明本發明的液晶顯示裝置的圖；

圖 22 是說明本發明的液晶顯示裝置的圖；

圖 23 是說明本發明的液晶顯示裝置的圖；

圖 24 是說明本發明的液晶顯示裝置的圖；

圖 25 是說明本發明的液晶顯示裝置的圖；

圖 26 是說明本發明的液晶顯示裝置的圖；

圖 27 是說明本發明的液晶顯示裝置的圖。

【實施方式】

將參照附圖詳細說明本發明的實施方式。但是，本發明不局限於以下說明，所屬技術領域的普通技術人員可以

很容易地理解一個事實就是其方式和詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。另外，在以下所說明的本發明的結構中，在不同附圖之間共同使用相同的參考符號來表示相同的部分或具有相同功能的部分，省略其重複說明。

實施方式 1

在本實施方式中，使用圖 1 至圖 4D 說明用於液晶顯示裝置的薄膜電晶體及其製造程序。圖 1 至圖 3C 為表示薄膜電晶體及其製造程序的截面圖，圖 4A 至 4D 為表示在一個像素中的薄膜電晶體及像素電極的連接區域的平面圖。圖 1 至圖 3C 為沿圖 4A 至 4D 中的線 A-B 的薄膜電晶體及其製造程序的截面圖。

具有微晶半導體膜的 n 型薄膜電晶體更最好用於驅動電路，因為其遷移率高於具有微晶半導體膜的 p 型薄膜電晶體的遷移率。然而，在本發明中，n 型薄膜電晶體和 p 型薄膜電晶體都可以使用。在使用 n 型及 p 型中的任一薄膜電晶體的情況下，最好使形成在同一個基板上的所有薄膜電晶體的極性為相同，以抑制程序數的增加。在此，使用 n 通道型的薄膜電晶體進行說明。

圖 1 示出本實施方式的具有底閘極結構的通道截止型（也稱為通道保護型）薄膜電晶體 74。

在圖 1 中，在基板 50 上提供有通道截止型薄膜電晶

體 74，該通道截止型薄膜電晶體 74 包括閘電極 51、閘極絕緣膜 52a、閘極絕緣膜 52b、微晶半導體膜 61、緩衝層 62、通道保護層 80、源極區及汲極區 72、源電極及汲電極 71a、源電極及汲電極 71b、以及源電極及汲電極 71c，並且與源電極及汲電極 71c 接觸地提供有像素電極 77。以覆蓋薄膜電晶體 74 及像素電極 77 的一部分的方式提供有絕緣膜 76。另外，圖 1 對應於圖 4D。

由於具有中間夾緩衝層 62 在微晶半導體膜 61 的通道形成區域上提供通道保護層 80 的結構，所以可以防止在進行程序中微晶半導體膜 61 的通道形成區域上的緩衝層 62 所受到的損傷（蝕刻時使用的電漿或蝕刻劑導致的膜厚度的降低或氧化等）。由此，可以提高薄膜電晶體 74 的可靠性。另外，因為微晶半導體膜 61 的通道形成區域上的緩衝層 62 不被蝕刻，所以不需要將緩衝層 62 形成為厚，而可以縮短成膜時間。

另外，微晶半導體膜 61 的端部比中間夾著閘極絕緣膜 52a 及 52b 重疊的閘電極 51 的端部更靠內側，它不超出閘電極 51 的範圍地形成在閘電極 51 上。由此，可以在閘電極 51、閘極絕緣膜 52a、以及閘極絕緣膜 52b 上的平坦區域形成微晶半導體膜 61，因而可以獲得覆蓋性好且在其中具有均勻特性（結晶狀態）的膜。

在下文中，詳細說明製造方法。在基板 50 上形成閘電極 51（參照圖 2A 及圖 4A）。圖 2A 相當於沿圖 4A 中的線 A-B 的截面圖。作為基板 50，可以使用藉由熔化法

或浮法製造的無城玻璃基板例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等；或陶瓷基板，還可以使用具有可承受本製造程序的處理溫度的耐熱性的塑膠基板等。此外，還可以使用在不銹鋼合金等金屬基板表面上設置絕緣膜的基板。基板 50 的尺寸可以採用 320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、或者 2850mm×3050mm 等。

使用鈦、鉬、鉻、鉭、鎢、鋁等金屬材料或它們的合金材料來形成閘電極 51。可以藉由濺射法或真空蒸鍍法在基板 50 上形成導電膜，藉由光刻技術或噴墨法在該導電膜上形成光罩，並且使用該光罩蝕刻導電膜，來形成閘電極 51。另外，也可以使用銀、金、銅等導電奈米膏藉由噴墨法噴射並焙燒來形成閘電極 51。另外，作為為了提高閘電極 51 的緊密性且防止閘電極 51 擴散到基底中的阻擋金屬，可以在基板 50 及閘電極 51 之間提供上述金屬材料的氮化物膜。另外，閘電極 51 可以由疊層結構形成，例如可以使用從基板 50 側依次層疊鋁膜和鉬膜的疊層、銅膜和鉬膜的疊層、銅膜和氮化鈦膜的疊層、銅膜和氮化鉭膜的疊層等。在上述疊層結構中，形成在上層的鉬膜或氮化物膜如氮化鈦膜、氮化鉭膜等具有阻擋金屬的效

果。

注意，在閘電極 51 上形成半導體膜或佈線，因此其端部最好加工為錐形形狀，以便防止斷開。此外，雖然未圖示，但是也可以藉由形成閘電極 51 的程序同時形成連接到閘電極的佈線。

接著，在閘電極 51 上依次形成閘極絕緣膜 52a、閘極絕緣膜 52b、微晶半導體膜 53、以及緩衝層 54（參照圖 2B）。

可以在進行氫電漿處理的同時（或在進行氫電漿處理之後），將微晶半導體膜 53 形成在閘極絕緣膜 52b 的表面上。若在進行了氫電漿處理的閘極絕緣膜上形成微晶半導體膜，則可以促進微晶的晶體生長。另外，可以降低閘極絕緣膜及微晶半導體膜之間的介面的晶格畸變，並可以提高閘極絕緣膜及微晶半導體膜之間的介面特性，因此所獲得的微晶半導體膜的電特性高且可靠性高。

另外，也可以不暴露於大氣地連續形成閘極絕緣膜 52a、閘極絕緣膜 52b、微晶半導體膜 53、以及緩衝層 54。藉由不暴露於大氣地連續形成閘極絕緣膜 52a、閘極絕緣膜 52b、微晶半導體膜 53、以及緩衝層 54，能夠在不受到大氣成分或大氣中懸浮的污染雜質元素污染的情況下形成各個疊層的介面，因此，能夠降低薄膜電晶體特性的不均勻性。

閘極絕緣膜 52a 及閘極絕緣膜 52b 可以分別藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、

或氮氧化矽膜形成。在此示出如下形態，即依次層疊氮化矽膜或氮氧化矽膜、以及氧化矽膜或氧氮化矽膜形成閘極絕緣膜 52a 及閘極絕緣膜 52b。另外，可以從基板一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、以及氮化矽膜或氮氧化矽膜的三個層來形成閘極絕緣膜，而不層疊兩個層。另外，閘極絕緣膜還可以由氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層形成。進而，最好使用頻率為 1GHz 的微波電漿 CVD 裝置形成閘極絕緣膜。使用微波電漿 CVD 裝置形成的氧氮化矽膜、氮氧化矽膜的耐壓性高，可以提高之後形成的薄膜電晶體的可靠性。

作為閘極絕緣膜的三層疊層結構的例子，可以在閘電極上形成氮化矽膜或氮氧化矽膜作為第一層，層疊氧氮化矽膜作為第二層，層疊氮化矽膜作為第三層，並且在最上層的氮化矽膜上形成微晶半導體膜。在此情況下，第一層的氮化矽膜或氮氧化矽膜的厚度最好大於 50nm，該膜具有作為阻擋鈉等的雜質的阻擋膜的效果，並且具有防止閘電極的小丘的產生和閘電極氧化的效果。第三層的氮化矽膜具有提高微晶半導體膜的緊密性的效果、以及當進行對微晶半導體膜進行雷射照射，即 LP 處理時防止氧化的效果。

像這樣，藉由在閘極絕緣膜表面上形成極薄的氮化膜如氮化矽膜，可以提高微晶半導體膜的緊密性。氮化膜可以藉由電漿 CVD 法形成，也可以藉由使用微波的高密度

且低溫的電漿處理進行氮化處理。另外，也可以在對反應室進行矽烷沖洗處理時形成氮化矽膜、氮氧化矽膜。

在此，氧氮化矽膜為在其組成中氧含量高於氮含量的膜，其中以 55 原子%至 65 原子%的濃度範圍包含氧，以 1 原子%至 20 原子%的範圍包含氮，以 25 原子%至 35 原子%的範圍包含 Si，以 0.1 原子%至 10 原子%的範圍包含氫。另外，氮氧化矽膜為在其組成中氮含量高於氧含量的膜，其中以 15 原子%至 30 原子%的濃度範圍包含氧，以 20 原子%至 35 原子%的範圍包含氮，以 25 原子%至 35 原子%的範圍包含 Si，以 15 原子%至 25 原子%的範圍包含氫。

微晶半導體膜 53 是包括具有非晶體和晶體結構（包括單晶、多晶）的中間結構的半導體的膜。該半導體是具有自由能方面很穩定的第三狀態的半導體，並且是具有短程有序且具有晶格畸變的結晶，從其膜表面觀察時的粒徑為 0.5nm 至 20nm 的柱狀或針狀晶體相對於基板表面以法線方向生長。另外，微晶半導體和非單晶半導體混合存在。作為微晶半導體的代表實例的微晶矽的拉曼光譜偏移到低於表示單晶矽的 521cm^{-1} 的波數一側。亦即，在表示單晶矽的 521cm^{-1} 和表示非晶矽的 480cm^{-1} 之間有微晶矽的拉曼光譜的高峰。此外，使該半導體膜含有至少 1 原子%或更多的氫或鹵素，以便終止懸空鍵。進而，藉由使該半導體包含氮、氫、氟、氬等稀有氣體元素，進一步助長其晶格畸變，從而可以提高穩定性並獲得良好的微晶半導

體膜。例如在美國專利 4,409,134 號公開關於這種微晶半導體膜的記載。

該微晶半導體膜可以藉由頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或頻率為大於或等於 1GHz 的微波電漿 CVD 裝置形成。典型地說，可以使用氫稀釋 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等的氫化矽來形成微晶半導體膜。另外，可以對氫化矽及氫添加選自氮、氬、氫、氬中的一種或多種的稀有氣體元素進行稀釋來形成微晶半導體膜。將相對於此時的氫化矽的氫的流量比設定為 5 倍以上 200 倍以下，最好為 50 倍以上 150 倍以下，更最好為 100 倍。

另外，由於微晶半導體膜在不是有意地添加以價電子控制為目的的雜質元素時呈現微弱的 n 型導電性，所以可以藉由在進行成膜的同時或在進行成膜之後對用作薄膜電晶體的通道形成區域的微晶半導體膜添加賦予 p 型的雜質元素來控制臨限值。作為賦予 p 型的雜質元素，典型有硼，最好將 B_2H_6 、 BF_3 等的雜質氣體以 1ppm 至 1000 ppm，最好以 1ppm 至 100ppm 的比率混入氫化矽中。並且，最好將硼濃度例如設定為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$ 。

此外，微晶半導體膜的氧濃度為小於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，最好為小於或等於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，氮及碳的濃度最好分別為小於或等於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。藉由降低混入到微晶半導體膜中的氧、氮、及碳的濃度，可以防

止微晶半導體膜的 n 型化。

以厚於 0nm 且小於或等於 50nm，最好厚於 0nm 且小於或等於 20nm 的厚度形成微晶半導體膜 53。

微晶半導體膜 53 用作後面形成的薄膜電晶體的通道形成區域。藉由以上述範圍內的厚度形成微晶半導體膜 53，後面形成的薄膜電晶體成為完全耗盡型。另外，由於微晶半導體膜由微晶構成，因此其電阻比非晶半導體膜低。由此，在使用微晶半導體膜的薄膜電晶體中表示電流電壓特性的曲線的上升部分的傾斜急劇，其作為開關元件的回應性優良且可以進行高速驅動。此外，藉由將微晶半導體膜用於薄膜電晶體的通道形成區域，可以抑制薄膜電晶體的臨限值變動。因此，可以製造電特性的不均勻少的液晶顯示裝置。

另外，微晶半導體膜的遷移率比非晶半導體膜高。因此，藉由使用其通道形成區域由微晶半導體膜形成的薄膜電晶體作為顯示元件的開關，可以縮小通道形成區域的面積，即薄膜電晶體的面積。由此，在每一個像素中的薄膜電晶體所占的面積縮小，從而可以提高像素的開口率。結果，可以製造解析度高的裝置。

另外，微晶半導體膜為從下面以縱方向生長的針狀晶體。在微晶半導體膜中混合存在非晶體和晶體結構，在晶體區域和非晶體區域之間容易產生因局部應力而導致的裂縫而出現間隙。另外的自由基進入該間隙而會導致晶體生長。然而，由於上面的晶體面增大，所以易於以針狀向上

生長。像這樣，即使微晶半導體膜以縱方向生長，其速度也是非晶半導體膜的成膜速度的 $1/10$ 至 $1/100$ 。

可以藉由使用 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等的矽氣體（氫化矽氣體、鹵化矽氣體）並採用電漿 CVD 法形成緩衝層 54。此外，可以對上述矽烷使用選自氫、氫、氮、氬中的一種或多種的稀有氣體元素進行稀釋來形成非晶半導體膜。藉由使用其流量為氫化矽的流量的 1 倍以上 20 倍以下，最好為 1 倍以上 10 倍以下，更最好為 1 倍以上 5 倍以下的氫，可以形成包含氫的非晶半導體膜。此外，藉由使用上述氫化矽和氮或氬，可以形成包含氮的非晶半導體膜。另外，藉由使用上述氫化矽和包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），可以形成包含氟、氯、溴、或碘的非晶半導體膜。

此外，作為緩衝層 54，可以將非晶半導體用作靶子並使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氮、氮、或 N_2O 包含在氣氛中，可以形成含有氮的非晶半導體膜。另外，藉由將含有氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包含在氣氛中，可以形成含有氟、氯、溴、或碘的非晶半導體膜。

此外，作為緩衝層 54，也可以在微晶半導體膜 53 的表面上採用電漿 CVD 法或濺射法形成非晶半導體膜，然後對非晶半導體膜的表面進行使用氫電漿、氮電漿、鹵素

電漿、或稀有氣體（氫、氬、氦、氖）電漿的處理，來使非晶半導體膜表面氫化、氮化、或鹵化。

最好使用非晶半導體膜形成緩衝層 54。因此，在採用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法形成非晶半導體膜的情況下，最好控制成膜條件以使它成為非晶半導體膜。

典型地說，緩衝層 54 最好以 10nm 以上 50nm 以下的厚度形成。另外，最好將包含在緩衝層中的氮、碳、以及氧的總濃度設定為 $1 \times 10^{20} \text{atoms/cm}^3$ 至 $15 \times 10^{20} \text{atoms/cm}^3$ 。若是上述濃度，則即使厚度為 10nm 以上 50nm 以下，也可以使緩衝層 54 用作高電阻區域。

也可以將緩衝層 54 的厚度設定為 150nm 以上 200nm 以下，將所包含於緩衝層 54 中的碳、氮、氧各個的濃度設定為小於或等於 $3 \times 10^{19} \text{atoms/cm}^3$ ，最好為小於或等於 $5 \times 10^{18} \text{atoms/cm}^3$ 。

藉由在微晶半導體膜 53 的表面上形成非晶半導體膜或包含氫、氮或鹵素的非晶半導體膜作為緩衝層，可以防止包含在微晶半導體膜 53 中的晶粒的表面的自然氧化。藉由在微晶半導體膜 53 的表面上形成緩衝層，可以防止微晶粒的氧化。藉由在緩衝層中混入氫及/或氟，可以防止氧進入微晶半導體膜中。

此外，由於使用非晶半導體膜或者使用包含氫、氮、或鹵素的非晶半導體膜形成緩衝層 54，因此緩衝層 54 的電阻比用作通道形成區域的微晶半導體膜的電阻高。由

此，在後面形成的薄膜電晶體中，形成在源極區及汲極區和微晶半導體膜之間的緩衝層用作高電阻區域。因此，可以減少薄膜電晶體的截止電流。當將該薄膜電晶體用作液晶顯示裝置的開關元件時，可以提高液晶顯示裝置的對比度。

接著，與微晶半導體膜 53 的通道形成區域重疊地形成在緩衝層 54 上的通道保護層 80（參照圖 2C）。通道保護層 80 也可以與閘極絕緣膜 52a、閘極絕緣膜 52b、微晶半導體膜 53、以及緩衝層 54 不暴露於大氣地連續形成。若不暴露於大氣地連續形成要層疊的薄膜，生產性則提高。

作為通道保護層 80，可以使用無機材料（氧化矽、氮化矽、氧氮化矽、氮氧化矽等）。可以使用光敏或非光敏的有機材料（有機樹脂材料）（聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯等）、由該材料的多種構成的膜、或者這些膜的疊層等。另外，也可以使用矽氧烷。作為通道保護層 80 的製造方法，可以採用電漿 CVD 法、熱 CVD 法等的氣相生長法或濺射法。另外，也可以採用作為濕法的如旋塗法等塗敷法、液滴噴射法、印刷法（絲網印刷或平版印刷等的形成圖案的方法）。通道保護層 80 既可以在成膜之後藉由蝕刻進行加工來形成，又可以藉由液滴噴射法等選擇性地形成。

接著，藉由蝕刻對微晶半導體膜 53 及緩衝層 54 進行加工，以形成微晶半導體膜 61 及緩衝層 62 的疊層（參照

圖 2D)。可以藉由光刻技術或液滴噴射法形成光罩，並使用該光罩蝕刻微晶半導體膜 53 及緩衝層 54 來形成微晶半導體膜 61 及緩衝層 62。另外，圖 2D 相當於沿圖 4B 的 A-B 的截面圖。

可以將微晶半導體膜 61、緩衝層 62 的端部蝕刻成錐形。將端部的錐形角設定為 30 度至 90 度，最好為 45 度至 80 度。由此，可以防止由於臺階形狀而導致的佈線的斷開。

接著，在閘極絕緣膜 52b、微晶半導體膜 61、緩衝層 62、通道保護層 80 上形成添加有賦予一種導電類型的雜質的半導體膜 63 及導電膜 65a 至 65c（參照圖 3A）。在添加有賦予一種導電類型的雜質的半導體膜 63 及導電膜 65a 至 65c 上形成光罩 66。光罩 66 藉由光刻技術或噴墨法形成。

在形成 n 通道型薄膜電晶體的情況下，對於添加有賦予一種導電類型的雜質的半導體膜 63，作為典型雜質元素添加磷即可，即對於氫化矽添加 PH_3 等的雜質氣體即可。此外，在形成 p 通道型薄膜電晶體的情況下，作為典型雜質元素添加硼即可，即對於氫化矽添加 B_2H_6 等的雜質氣體即可。可以使用微晶半導體或非晶半導體形成添加有賦予一種導電類型的雜質的半導體膜 63。將添加有賦予一種導電類型的雜質的半導體膜 63 形成為具有 2nm 至 50nm（最好為 10nm 至 30nm）的厚度。

最好使用鋁、銅、或者添加有矽、鈦、鈹、釩、鉬等

提高耐熱性的元素或防止小丘產生的元素的鋁合金的單層或疊層形成導電膜。此外，也可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物形成與添加有賦予一種導電類型的雜質的半導體膜接觸一側的膜，並且在其上形成鋁或鋁合金。再者，還可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物將鋁或鋁合金的上面及下面夾住。在此，作為導電膜示出具有層疊有導電膜 65a 至 65c 的三層的結構的導電膜，例如示出將鉬膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜、以及將鈦膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜。

藉由濺射法及真空蒸鍍法形成導電膜 65a 至 65c。此外，也可以使用銀、金、銅等的導電奈米膏藉由絲網印刷法、噴墨法等噴出並焙燒來形成導電膜 65a 至 65c。

接著，使用光罩 66 蝕刻來分離導電膜 65a 至 65c，以形成源電極及汲電極 71a 至 71c（參照圖 3B）。如本實施方式的圖 3B 那樣對導電膜 65a 至 65c 進行濕蝕刻，導電膜 65a 至 65c 以各向同性的方式被蝕刻，從而光罩 66 的端部和源電極及汲電極 71a 至 71c 的端部不對準，源電極及汲電極 71a 至 71c 的端部在更內側。接著，使用光罩 66 蝕刻添加有賦予一種導電類型的雜質的半導體膜 63 來形成源極區及汲極區 72（參照圖 3C）。注意，由於通道保護層 80 用作通道停止層，所以緩衝層 62 不被蝕刻。

源電極及汲電極 71a 至 71c 的端部和源極區及汲極區

72 的端部不對準，即在源電極及汲電極 71a 至 71c 的端部的側面形成源極區域及汲極區 72 的端部。然後，去除光罩 66。注意，圖 3C 相當於沿著圖 4C 的線 A-B 的截面圖。從圖 4C 可知，源極區及汲極區 72 的端部位於源電極及汲電極 71c 的端部的側面。換言之，可知，源極區及汲極區 72 的面積大於源電極及汲電極 71a 至 71c 的面積。此外，源電極或汲電極其中之一還做為源極佈線或汲極佈線。

如圖 3C 所示，由於源電極及汲電極 71a 至 71c 的端部和源極區及汲極區 72 的端部不對準，所以源電極及汲電極 71a 至 71c 的端部的距離遠離，從而可以防止源電極及汲電極之間的漏電流及短路。換言之，可知，源極區及汲極區超出源電極及汲電極的端部，並且彼此相對的源極區及汲極區的端部之間的距離比彼此相對的源電極及汲電極的端部之間的距離短。因此可以製造可靠性高且耐壓性高的薄膜電晶體。

藉由上述程序，可以形成通道截止（保護）型薄膜電晶體 74。

形成在源極區及汲極區 72 下的緩衝層 62 和形成在微晶半導體膜 61 的通道形成區域上的緩衝層 62 是由相同材料構成且同時形成的連續膜。微晶半導體膜 61 上的緩衝層 62 利用所包含的氫防止外部空氣和蝕刻殘渣的進入，以保護微晶半導體膜 61。

藉由提供不包含賦予一種導電類型的雜質的緩衝層

62，可以使包含在源極區及汲極區的賦予一種導電類型的雜質和用於控制微晶半導體膜 61 的臨限值電壓的賦予一種導電類型的雜質彼此不混合。當混合賦予一種導電類型的雜質時，產生重組中心，漏電流流過，從而不能獲得降低截止電流的效果。

藉由如上那樣提供緩衝層及通道保護層，可以製造漏電流降低了的耐壓性高的通道截止型薄膜電晶體。由此，還可以可靠性高且適當地應用到施加 15V 的電壓的用於液晶顯示裝置的薄膜電晶體。

接著，形成與源電極或汲電極 71c 接觸的像素電極 77。在源電極及汲電極 71a 至 71c、源極區及汲極區 72、通道保護層 80、閘極絕緣膜 52b、以及像素電極 77 上形成絕緣膜 76。絕緣膜 76 可以與閘極絕緣膜 52a 及 52b 同樣地形成。另外，絕緣膜 76 是爲了防止懸浮在大氣中的有機物、金屬物、或水蒸氣等的污染雜質的進入而提供的，因此最好爲緻密的膜。

典型地說，緩衝層 62 最好以 10nm 以上 50nm 以下的厚度形成。微晶半導體膜 61 的通道形成區域上的緩衝層 62 沒有被蝕刻，因此，緩衝層 62 不必形成爲厚，並且可以縮短成膜時間。另外，最好將包含在緩衝層中的氮、碳、以及氧的總濃度設定爲 $1 \times 10^{20} \text{ atoms/cm}^3$ 至 $15 \times 10^{20} \text{ atoms/cm}^3$ 。若是上述濃度，則即使厚度爲 10nm 以上 50 nm 以下，也可以使緩衝層 62 用作高電阻區域。

然而，也可以以 150nm 以上 200nm 以下的厚度形成

緩衝層 62，並且將所包含的碳、氮、氧的濃度設定為小於或等於 $3 \times 10^{19} \text{ atoms/cm}^3$ ，最好為小於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ 。在此情況下，藉由將氮化矽膜用作絕緣膜 76，可以將緩衝層 62 中的氧濃度設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，最好為小於或等於 $1 \times 10^{19} \text{ atoms/cm}^3$ 。

接著，蝕刻絕緣膜 76 來使像素電極 77 的一部分露出。可以以與像素電極 77 的露出區域接觸的方式形成液晶元件，以使薄膜電晶體 74 和液晶元件彼此電連接。例如，在像素電極 77 上形成對準膜，使它與同樣地提供對準膜的相對電極對峙，並且在對準膜之間形成液晶層即可。

作為像素電極 77，可以使用具有透光性的導電材料諸如包含氧化錫的銦氧化物、包含氧化錫的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（下面稱為 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

此外，也可以使用包含導電高分子（也稱為導電聚合體）的導電組成物形成像素電極 77。使用導電組成物形成的像素電極最好具有如下條件：薄層電阻為小於或等於 $10000 \Omega/\square$ （每正方形），當波長為 550 nm 時的透光率為大於或等於 70%。另外，包含在導電組成物中的導電高分子的電阻率最好為小於或等於 $0.1 \Omega \cdot \text{cm}$ 。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其

衍生物、聚噻吩或其衍生物、或者由上述物質中的兩種以上而構成的共聚體等。

另外，也可以採用源極區及汲極區的端部和源電極及汲電極的端部對準的形狀。圖 26 示出具有源極區及汲極區的端部和源電極及汲電極的端部對準的形狀的通道截止型薄膜電晶體 79。當藉由乾蝕刻進行對於源電極及汲電極的蝕刻以及對於源極區及汲極區的蝕刻時，可以獲得像薄膜電晶體 79 那樣的形狀。另外，當將源電極及汲電極用作光罩蝕刻添加有賦予一種導電類型的雜質的半導體膜來形成源極區及汲極區時，也可以獲得像薄膜電晶體 79 那樣的形狀。

藉由形成通道截止型薄膜電晶體，可以提高薄膜電晶體的可靠性。此外，藉由使用微晶半導體膜構成通道形成區域，可以獲得 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{cm}^2/\text{V}\cdot\text{sec}$ 的電場效應遷移率。因此，可以將該薄膜電晶體用作像素部的像素的開關元件，而且還可以用作形成掃描線（閘極線）一側的驅動電路的元件。

藉由本實施方式，可以製造具有電特性高且可靠性高的薄膜電晶體的液晶顯示裝置。

實施方式 2

本實施方式描述薄膜電晶體的形狀與實施方式 1 不同的例子。因此，其他部分可以與實施方式 1 同樣地形成，從而省略對於與實施方式 1 相同的部分、具有相同功能的

部分、以及相同程序的重複說明。

在本實施方式中，使用圖 5、圖 6A 至 6D、以及圖 27 說明用於液晶顯示裝置的薄膜電晶體及其製造程序。圖 5 及圖 27 為示出薄膜電晶體及像素電極的截面圖，圖 6A 至 6D 為在一個像素中的薄膜電晶體及像素電極的連接區域的平面圖。圖 5 及圖 27 相當於沿圖 6A 至 6D 中的線 Q-R 的薄膜電晶體及其製造程序的截面圖。

將本實施方式的底閘結構的通道截止型（也稱為通道保護型）薄膜電晶體 274 示出於圖 5 及圖 6A 至 6D。

在圖 5 中，在基板 250 上提供有通道截止型薄膜電晶體 274，該通道截止型薄膜電晶體 274 包括閘電極 251、閘極絕緣膜 252a、閘極絕緣膜 252b、微晶半導體膜 261、緩衝層 262、通道保護層 280、源極區及汲極區 272、源電極及汲電極 271a、源電極及汲電極 271b、以及源電極及汲電極 271c，並且以覆蓋薄膜電晶體 274 的方式提供有絕緣膜 276。在形成在絕緣膜 276 中的接觸孔中與源電極及汲電極 271c 接觸地提供有像素電極 277。注意，圖 5 對應於圖 6D。

由於具有中間夾著緩衝層 262 在微晶半導體膜 261 的通道形成區域上提供通道保護層 280 的結構，所以可以防止微晶半導體膜 261 的通道形成區域上的緩衝層 262 在進程序時所受到的損傷（蝕刻時使用的電漿的自由基或蝕刻劑導致的膜厚度的降低或氧化等）。由此，可以提高薄膜電晶體 274 的可靠性。另外，因為微晶半導體膜 261 的

通道形成區域上的緩衝層 262 不被蝕刻，所以不需要將緩衝層 262 形成爲厚，而可以縮短成膜時間。

在下文中，使用圖 6A 至 6D 說明製造方法。在基板 250 上形成閘電極 251（參照圖 6A）。在閘電極 251 上形成閘極絕緣膜 252a、閘極絕緣膜 252b、微晶半導體膜、以及緩衝層 262。與微晶半導體膜的通道形成區域重疊地形成在緩衝層 262 上的通道保護層 280（參照圖 6A）。

雖然在實施方式 1 中示出了在形成通道保護層 80 之後對微晶半導體膜 53 和緩衝層 54 進行蝕刻程序來將它們加工成島狀微晶半導體膜 61 及緩衝層 62 的例子，但在本實施方式中示出藉由與蝕刻源電極及汲電極以及添加有賦予一種導電類型的雜質的半導體膜相同的程序進行對於微晶半導體膜及緩衝層的蝕刻程序的例子。由此，使用相同的光罩形成微晶半導體膜、緩衝層、添加有賦予一種導電類型的雜質的半導體膜、源電極及汲電極。像這樣，同時進行蝕刻程序，不僅簡化程序數，而且可以減少用於蝕刻程序的光罩數量。

藉由蝕刻微晶半導體膜、緩衝層、添加有賦予一種導電類型的雜質的半導體膜、以及導電膜，形成微晶半導體膜 261、緩衝層 262、源極區及汲極區 272、以及源電極及汲電極 271a 至 271c，以形成通道截止型薄膜電晶體 274（參照圖 6C）。形成覆蓋薄膜電晶體 274 上的絕緣膜 276，並且形成到達源電極及汲電極 271c 的接觸孔。在接觸孔中形成像素電極 277 來將薄膜電晶體 274 和像素電極

277 彼此電連接（參照圖 6D）。

另外，也可以採用源極區及汲極區的端部和源電極及汲電極的端部對準的形狀。圖 27 示出具有源極區及汲極區的端部和源電極及汲電極的端部對準的形狀的通道截止型薄膜電晶體 279。當藉由乾蝕刻進行對於源電極及汲電極的蝕刻以及對於源極區及汲極區的蝕刻時，可以獲得像薄膜電晶體 279 那樣的形狀。另外，當將源電極及汲電極用作光罩蝕刻添加有賦予一種導電類型的雜質的半導體膜來形成源極區及汲極區時，也可以獲得像薄膜電晶體 279 那樣的形狀。

藉由形成通道截止型的薄膜電晶體，可以提高薄膜電晶體的可靠性。此外，藉由使用微晶半導體膜構成通道形成區域，可以獲得 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{cm}^2/\text{V}\cdot\text{sec}$ 的電場效應遷移率。因此，可以將該薄膜電晶體用作像素部的像素的開關元件，而且還可以用作形成掃描線（閘極線）一側的驅動電路的元件。

藉由本實施方式，可以製造具有電特性高且可靠性高的薄膜電晶體的液晶顯示裝置。

實施方式 3

在本實施方式中，將說明對微晶半導體膜照射雷射的製造程序的例子。

在基板上形成閘電極，並且以覆蓋閘電極的方式形成閘極絕緣膜。然後在閘極絕緣膜上層疊微晶矽（SAS）膜

作為微晶半導體膜。微晶半導體膜的厚度大於或等於 1nm 並且小於 15nm，更最好為 2nm 以上 10nm 以下。尤其在具有 5nm（4nm 至 8nm）厚時，對於雷射的吸收率高，而提高生產性。

在藉由電漿 CVD 法等將微晶半導體膜形成在閘極絕緣膜上的情況下，有時在閘極絕緣膜和包含晶體的半導體膜的介面附近形成包含比半導體膜多的非晶成分的區域（這裏稱為介面區域）。另外，在藉由電漿 CVD 法等形成厚度為小於或等於 10nm 左右的極薄微晶半導體膜的情況下，雖然可以形成包含微晶顆粒的半導體膜，但不容易獲得在整個膜中均勻地包含品質好的微晶顆粒的半導體膜。在此情況下，以下所示的照射雷射的雷射處理是有效的。

接下來，從微晶矽膜的表面一側照射雷射。以微晶矽膜不熔化的能量密度照射雷射。換言之，本實施方式的雷射處理（Laser Process，以下也稱為“LP”）是利用固相晶體生長來進行的，其中不使微晶矽膜受輻射加熱而熔化。換言之，該雷射處理是利用層疊的半晶矽膜不成為液相的臨界區域，因此，也可以稱為“臨界生長”。

可以使雷射作用到微晶矽膜和閘極絕緣膜的介面。由此，可以將在微晶矽膜的表面一側的晶體作為種子，晶體從該表面向閘極絕緣膜的介面進行固相晶體生長而出現大致柱狀的晶體。藉由 LP 處理的固相晶體生長不是擴大粒徑，而是改善在膜厚度方向上的結晶性。

在 LP 處理中，藉由將雷射集聚為長矩形狀（線狀雷射），可以進行一次雷射掃描來處理例如 730mm×920mm 的玻璃基板上的微晶矽膜。在此情況下，重疊線狀雷射的比率（重疊率）為 0%至 90%（最好為 0%至 67%）。由此，每一個基板的處理時間縮減，而可以提高生產率。雷射的形狀不局限於線狀，可以使用面狀雷射同樣地進行處理。另外，該 LP 處理不局限於上述玻璃基板的尺寸，可以適於各種尺寸。

藉由 LP 處理，改善閘極絕緣膜介面區域的結晶性，而具有提高像本實施方式的薄膜電晶體那樣的具有底閘極結構的薄膜電晶體的電特性的作用。

這種臨界生長的特徵之一如下，即不形成在常規的低溫多晶矽中存在的表面凹凸（也稱為脊（ridge）的凸狀體），在 LP 處理之後的矽表面保持平坦性。

如本實施方式所示，對成膜後的微晶矽膜直接照射雷射而獲得的結晶矽膜與常規的只堆疊的微晶矽膜及藉由傳導加熱改變性質的微晶矽膜（記載於上述非專利文獻 1 中）在生長機理及膜性質上顯著不同。在本說明書中，將對成膜後的微晶半導體膜進行 LP 處理而獲得的具有結晶性的半導體膜稱為 LPSAS 膜。

在形成 LPSAS 膜等的微晶半導體膜之後，藉由電漿 CVD 法以 300℃至 400℃的溫度形成非晶矽（a-Si:H）膜作為緩衝層。藉由該成膜處理，氫被供給到 LPSAS 膜，而可以獲得與使 LPSAS 膜氫化相同的效果。換言之，藉

由在 LPSAS 膜上層疊非晶矽膜，可以在 LPSAS 膜中擴散氫，來終結懸空鍵。

以下程序與實施方式 1 相同，其中形成通道保護層，並在其上形成光罩。接著，使用光罩蝕刻來分離微晶半導體膜及緩衝層。接下來，形成添加有賦予一種導電類型的雜質的半導體膜，形成導電膜，並在其導電膜上形成光罩。接著，使用該光罩蝕刻來分離導電膜，以形成源電極及汲電極。再者，使用相同的光罩將通道保護層作為蝕刻停止層來蝕刻，以形成源極區及汲極區。

藉由上述程序，可以形成通道截止型的薄膜電晶體，而可以製造包括通道截止型薄膜電晶體的液晶顯示裝置。

另外，本實施方式可以自由地與實施方式 1 或實施方式 2 組合。

實施方式 4

在本實施方式中，詳細說明實施方式 1 至 3 中的液晶顯示裝置的製造程序的例子。因此，省略對於與實施方式 1 至 3 相同的部分或具有相同功能的部分、以及相同的程序的說明。

在實施方式 1 至 3 中，還可以在形成微晶半導體膜前對反應室進行清洗處理及沖洗（洗滌）處理（使用氫作為沖洗物質的氫沖洗、使用矽烷作為沖洗物質的矽烷沖洗等）。藉由沖洗處理，可以防止反應室中的氧、氮、氟等的雜質給要形成的膜帶來的污染。

借助於沖洗處理，可以去除反應室中的氧、氮、氟等的雜質。例如，藉由使用電漿 CVD 裝置使用甲矽烷作為沖洗物質，在 8SLM 至 10SLM 的氣體流量且 5 分鐘至 20 分鐘（最好為 10 分鐘至 15 分鐘）的條件下將甲矽烷連續引入到反應室中，以進行矽烷沖洗處理。注意，1SLM 相當於 1000sccm，即是 $0.06\text{m}^3/\text{h}$ 。

例如可以利用氟基來進行清洗。注意，藉由將氟化碳、氟化氮、或氟引入到設置在反應室外側的電漿產生器中並離解，然後將氟基引入到反應室中，可以對反應室進行清洗。

也可以在形成閘極絕緣膜、緩衝層、通道保護層、以及添加有賦予一種導電類型的雜質的半導體膜前進行沖洗處理。注意，在清洗處理後進行沖洗處理是有效的。

在將基板搬入反應室並進行成膜前，也可以進行使用與要形成的膜相同種類的膜形成的保護膜在各個反應室的內牆上塗層的處理（也稱為預塗處理）。預塗處理是這樣一種處理，即藉由將成膜氣體流進反應室中並進行電漿處理，預先利用厚度薄的保護膜覆蓋反應室內。例如，在形成微晶矽膜作為微晶半導體膜前，進行以 $0.2\mu\text{m}$ 至 $0.4\mu\text{m}$ 的非晶矽膜覆蓋反應室中的預塗處理即可。也可以在預塗處理後進行沖洗處理（氫沖洗、矽烷沖洗等）。在進行清洗處理及預塗處理的情況下，需要從反應室中搬出基板，而在進行沖洗處理（氫沖洗、矽烷沖洗等）的情況下，由於不進行電漿處理而可以在搬入基板的狀態下進行

處理。

若預先在用於形成微晶矽膜的反應室中形成由非晶矽膜形成的保護膜，並且在形成膜前進行氫電漿處理，則保護膜被蝕刻而在基板上澱積極少的矽，其成為晶體生長的核。

借助於預塗處理，可以防止反應室中的氧、氮、氟等的雜質給要形成的膜帶來的污染。

也可以在形成閘極絕緣膜、添加有賦予一種導電類型的雜質的半導體膜前進行預塗處理。

再者，詳細說明形成閘極絕緣膜、微晶半導體膜、以及緩衝層的方法的例子。

使用圖 10A 和 10B 說明可用於本發明的電漿 CVD 裝置的例子。圖 10A 和 10B 是可以連續形成膜的微波電漿 CVD 裝置。圖 10A 和 10B 是示出微波電漿 CVD 裝置的俯視截面圖的示意圖，其為在公共室 1120 的周圍具備裝載室 1110、卸載室 1115、反應室（1）1111 至反應室（4）1114 的結構。在公共室 1120 和每個室之間具備閘閥 1122 至 1127，以防止在每個室內進行的處理互相干涉。注意，反應室不局限於四個，也可以有更少或更多。若有多個反應室，則可以按每個膜種類分別使用反應室，而可以減少清洗反應室的次數。圖 10A 是具有四個反應室的例子，圖 10B 是具有三個反應室的例子。

將說明使用圖 10A 和 10B 的電漿 CVD 裝置形成閘極絕緣膜、微晶半導體膜、緩衝層、以及通道保護層的例子。

子。基板裝載在裝載室 1110、卸載室 1115 的盒子 1128、1129，並且由公共室 1120 的傳送單元 1121 傳送到反應室（1）1111 至反應室（4）1114。該裝置能夠按每個堆積膜種類分配反應室，從而可以在不與大氣接觸的狀態下連續形成多個不同的膜。另外，在反應室中既可以進行成膜程序，又可以進行蝕刻程序或雷射照射程序。若提供進行各種程序的反應室，則可以在不與大氣接觸的狀態下進行多個不同的程序。

在每個反應室（1）至反應室（4）中，分別層疊形成閘極絕緣膜、微晶半導體膜、緩衝層、以及通道保護層。在此情況下，藉由更換原料氣體，可以連續地層疊多個不同種類的膜。在此，形成閘極絕緣膜，然後將矽烷等的氫化矽引入到反應室內，使殘留氧及氫化矽反應，並將反應物排出到反應室的外部，從而可以降低反應室內的殘留氧濃度。結果，可以降低包含在微晶半導體膜中的氧濃度。此外，可以防止包含在微晶半導體膜中的晶粒的氧化。

另外，在電漿 CVD 裝置中，也可以在多個反應室中形成相同的膜，以便提高生產率。若可以在多個反應室中形成相同的膜，則可以同時在多個基板上形成膜。例如在圖 10A 中，將反應室（1）及反應室（2）用作形成微晶半導體膜的反應室，將反應室（3）用作形成非晶半導體膜的反應室，並且將反應室（4）用作形成通道保護層的反應室。像這樣，在同時對多個基板進行處理時，藉由提供多個形成成膜速度慢的膜的反應室，可以提高生產率。

在將基板搬入反應室並進行成膜前，最好進行使用由與要形成的膜相同種類的膜形成的保護膜在各個反應室的內牆上塗層的處理（也稱為預塗處理）。預塗處理是這樣一種處理，即藉由將成膜氣體流進反應室中並進行電漿處理，預先利用厚度薄的保護膜覆蓋反應室內。例如，在形成微晶矽膜作為微晶半導體膜前，進行以 $0.2\mu\text{m}$ 至 $0.4\mu\text{m}$ 的非晶矽膜覆蓋反應室中的預塗處理即可。也可以在預塗處理後進行沖洗處理（氫沖洗、矽烷沖洗等）。在進行清洗處理及預塗處理的情況下，需要從反應室中搬出基板，而在進行沖洗處理（氫沖洗、矽烷沖洗等）的情況下，由於不進行電漿處理而可以在搬入基板的狀態下進行處理。

若預先在用於形成微晶矽膜的反應室中形成由非晶矽膜形成的保護膜，並且在形成膜前進行氫電漿處理，則保護膜被蝕刻而在基板上澱積極少的矽，其成為晶體生長的核。

像這樣，由於可以使用連接有多個處理室的微波電漿 CVD 裝置同時形成閘極絕緣膜、微晶半導體膜、緩衝層、通道保護層、以及添加有賦予一種導電類型的雜質的半導體膜，因此可以提高批量生產性。此外，即使在某個反應室中進行維護及清洗，也可以在其他反應室中形成膜，從而可以改善成膜的效率。另外，因為可以在不被大氣成分及懸浮在大氣中的污染雜質元素污染的狀態下形成各個疊層介面，所以可以減少薄膜電晶體的特性的不均勻。

由於當使用這種結構的微波電漿 CVD 裝置時，可以在各個反應室中形成類似的種類的膜或一種膜，並且在不暴露在大氣的狀態下連續形成上述膜，因此可以在不被已形成的膜的殘留物及懸浮在大氣中的雜質元素污染的狀態下形成各個疊層介面。

再者，也可以與微波產生器一起提供高頻產生器，藉由微波電漿 CVD 法形成閘極絕緣膜、微晶半導體膜、通道保護層、以及添加有賦予一種導電類型的雜質的半導體膜，並且藉由高頻電漿 CVD 法形成緩衝層。

注意，雖然在圖 10A 和 10B 所示的微波電漿 CVD 裝置中分別設置有裝載室及卸裝室，但是也可以設置一個裝載/卸裝室。此外，在微波電漿 CVD 裝置中也可以設置備用室。由於可以藉由在備用室中對基板進行預熱而縮短各個反應室中的加熱直到成膜的加熱時間，因此可以提高生產率。在這種成膜處理中，可根據其目的而選擇從氣體供給部所供給的氣體。

本實施方式可以適當地與其他實施方式所記載的結構組合來實施。

實施方式 5

在本實施方式中，使用圖 12 至圖 25 說明具有實施方式 1 至 4 所示的薄膜電晶體的液晶顯示裝置的例子。用於圖 12 至圖 25 的液晶顯示裝置的 TFT628、629 可以與實施方式 1 或實施方式 2 所示的薄膜電晶體同樣製造，其是

電特性及可靠性高的薄膜電晶體。TFT628 具有通道保護層 608，TFT629 具有通道保護層 611，它們是將微晶半導體膜用作通道形成區域的反交錯薄膜電晶體。

首先，示出 VA（垂直對準）型液晶顯示裝置。VA 型液晶顯示裝置是控制液晶面板的液晶分子的排列的方式之一種。VA 型液晶顯示裝置是當不被施加電壓時液晶分子朝向對於面板表面垂直的方向的方式。在本實施方式中，尤其設法將像素分割為幾個區域（子像素），使分子倒向不同的方向。上述方法稱為多疇（multi-domain）化或多疇設計。在下面的說明中，說明採用多疇設計的液晶顯示裝置。

圖 13 及圖 14 分別示出像素電極及相對電極。注意，圖 13 是形成有像素電極的基板一側的平面圖，而圖 12 示出對應於沿圖 13 中的 G-H 線的截面結構。此外，圖 14 是形成有相對電極的基板一側的平面圖。在下面的說明中，參照上述附圖進行說明。

圖 12 示出層疊形成有 TFT628、與其連接的像素電極 624、以及儲存電容部 630 的基板 600 和形成有相對電極 640 等的相對基板 601 並注入有液晶的狀態。

在相對基板 601 中的形成隔離物 642 的位置上形成有遮光膜 632、第一著色膜 634、第二著色膜 636、第三著色膜 638、相對電極 640。藉由該結構，使用來控制液晶的對準的突起 644 和隔離物 642 的高度為不同。在像素電極 624 上形成對準膜 648，在相對電極 640 上也同樣地形

成對準膜 646。其間形成有液晶層 650。

在此，使用柱狀隔離物示出隔離物 642，但是也可以散佈珠狀隔離物。再者，也可以在形成在基板 600 上的像素電極 624 上形成隔離物 642。

在基板 600 上形成 TFT628、與其連接的像素電極 624、以及儲存電容部 630。像素電極 624 在接觸孔 623 中連接到佈線 618，該接觸孔 623 貫通覆蓋 TFT628、佈線、以及儲存電容部 630 的絕緣膜 620 和覆蓋絕緣膜 620 的第三絕緣膜 622。適當地使用實施方式 1 所示的薄膜電晶體作為 TFT628。此外，儲存電容部 630 由第一電容佈線 604、閘極絕緣膜 606 和第二電容佈線 617 構成，該第一電容佈線 604 與 TFT628 的閘極佈線 602 同樣地形成，而該第二電容佈線 617 與佈線 616、618 同樣地形成。另外，在圖 12 至圖 15 中，關於 TFT628，微晶半導體膜、緩衝層、作為源極區或汲極區的添加有賦予一種導電類型的雜質的半導體膜、兼用作源電極或汲電極的佈線藉由相同的程序被加工，並且層疊為大致相同的形狀。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成液晶元件。

圖 13 示出基板 600 上的結構。使用實施方式 1 所示的材料形成像素電極 624。在像素電極 624 中設置槽縫 625。槽縫 625 用來控制液晶的對準。

圖 13 所示的 TFT629 和與其連接的像素電極 626 及儲存電容部 631 分別可以與像素電極 624 及儲存電容部

630 同樣地形成。TFT628 和 TFT629 都與佈線 616 連接。其液晶顯示面板的像素由像素電極 624 和像素電極 626 構成。像素電極 624 和像素電極 626 於子像素中。

圖 14 示出相對基板一側的結構。在遮光膜 632 上形成有相對電極 640。相對電極 640 最好使用與像素電極 624 同樣的材料形成。在相對電極 640 上形成有控制液晶的對準的突起 644。此外，根據遮光膜 632 的位置形成有隔離物 642。

圖 15 示出該像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602、佈線 616。在此情況下，藉由使電容佈線 604 和電容佈線 605 的電位為不同，可以使液晶元件 651 的工作和液晶元件 652 的工作為不同。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，精密地控制液晶的對準來擴大視角。

當對設置有槽縫 625 的像素電極 624 施加電壓時，在槽縫 625 的近旁產生電場應變（傾斜電場）。藉由將該槽縫 625 和相對基板 601 一側的突起 644 配置為相互咬合，有效地產生傾斜電場而控制液晶的對準。由此，在每個部分中使液晶對準的方向為不同。就是說，進行多疇化來擴大液晶面板的視角。

接著，對於與上述不同的 VA 型液晶顯示裝置，參照圖 16 至圖 19 進行說明。

圖 16 和圖 17 示出 VA 型液晶面板的像素結構。圖 17 是基板 600 的平面圖，而圖 16 示出對應於沿圖 17 所示的

截斷線 Y-Z 的截面結構。在下面的說明中，參照上述兩個附圖進行說明。

在其像素結構中，一個像素包括多個像素電極，並且每個像素電極與 TFT 連接。每個 TFT 構成爲由不同的閘極信號驅動。就是說，在多疇設計的像素中具有獨立地控制施加到各個像素電極的信號的結構。

像素電極 624 在接觸孔 623 中藉由佈線 618 連接到 TFT628。此外，像素電極 626 在接觸孔 627 中藉由佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以可以接收不同的閘極信號。另一方面，TFT628 和 TFT629 共同使用用作資料線的佈線 616。TFT628 和 TFT629 可以適當地使用實施方式 1 所示的薄膜電晶體。另外，還提供有電容佈線 690。另外，在圖 16 至圖 25 中，關於 TFT628 及 TFT629 作爲源極區或汲極區的添加有賦予一種導電類型的雜質的半導體膜、以及兼用作源電極或汲電極的佈線藉由相同的蝕刻程序被加工，並且以大致相同的形狀層疊。

像素電極 624 和像素電極 626 的形狀不同，並且由槽縫 625 分離。像素電極 626 以圍繞舒展爲 V 字形的像素電極 624 的外側的方式形成。藉由由 TFT628 和 TFT629 使施加到像素電極 624 和像素電極 626 的電壓的時序爲不同，控制液晶的對準。圖 19 示出該像素結構的等效電路。TFT628 與閘極佈線 602 連接，而 TFT629 與閘極佈線 603 連接。藉由將不同的閘極信號提供到閘極佈線 602 和

閘極佈線 603，可以使 TFT628 和 TFT629 的工作時序為不同。

在相對基板 601 上形成有遮光膜 632、第二著色膜 636、相對電極 640。此外，在第二著色膜 636 和相對電極 640 之間形成平坦化膜 637，以防止液晶的對準無序。圖 18 示出相對基板一側的結構。相對電極 640 是不同的像素之間共同使用的電極，其中形成有槽縫 641。藉由將該槽縫 641 和像素電極 624 及像素電極 626 一側的槽縫 625 配置為互相咬合，可以有效地產生傾斜電場而控制液晶的對準。由此，可以在每個部分中使液晶對準的方向為不同，以擴大視角。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成第一液晶元件。此外，藉由重疊像素電極 626、液晶層 650、以及相對電極 640，形成第二液晶元件。另外，採用一個像素中設置有第一液晶元件和第二液晶元件的多疇結構。

接著，示出水準電場方式的液晶顯示裝置。水準電場方式是藉由對於單元內的液晶分子在水準方向上施加電場驅動液晶來進行灰度級表達的方式。藉由該方式，可以將視角擴大為大約 180 度。在下面的說明中，說明採用水準電場方式的液晶顯示裝置。

圖 20 示出重疊形成有 TFT628 和與其連接的像素電極 624 的基板 600 和相對基板 601 並注入有液晶的狀態。相對基板 601 形成有遮光膜 632、第二著色膜 636、平坦

化膜 637 等。像素電極位於基板 600 一側，而不設置在相對基板 601 一側。在基板 600 和相對基板 601 之間形成有液晶層 650。

在基板 600 上形成第一像素電極 607、連接到第一像素電極 607 的電容佈線 604、以及實施方式 1 所示的 TFT628。第一像素電極 607 可以使用與實施方式 1 所示的像素電極 77 相同的材料。此外，第一像素電極 607 以大致區分為像素形狀的形狀而形成。注意，在第一像素電極 607 及電容佈線 604 上形成閘極絕緣膜 606。

TFT628 的佈線 616、佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與 TFT628 的源極區連接而成為源電極及汲電極的其中之一。佈線 618 是成為源電極及汲電極的其中之另一且與第二像素電極 624 連接的佈線。

在佈線 616、佈線 618 上形成第二絕緣膜 620。此外，在絕緣膜 620 上形成第二像素電極 624，該第二像素電極 624 在形成在絕緣膜 620 中的接觸孔中與佈線 618 連接。像素電極 624 使用與實施方式 1 所示的像素電極 77 同樣的材料形成。

藉由上述方法，在基板 600 上形成 TFT628 和與其連接的第一像素電極 624。注意，儲存電容形成在第一像素電極 607 和第二像素電極 624 之間。

圖 21 是示出像素電極的結構的平面圖。圖 20 示出對

應於沿圖 21 所示的截斷線 O-P 的截面結構。在像素電極 624 中，設置槽縫 625。槽縫 625 用來控制液晶的對準。在此情況下，在第一像素電極 607 和第二像素電極 624 之間產生電場。第一像素電極 607 和第二像素電極 624 之間形成有閘極絕緣膜 606，但是閘極絕緣膜 606 的厚度為 50nm 至 200nm，與厚度為 2μ 至 $10\mu\text{m}$ 的液晶層相比充分薄，因此實際上在與基板 600 平行的方向（水準方向）上產生電場。由該電場控制液晶的對準。藉由利用該大致平行於基板的方向的電場使液晶分子在水準方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水準狀態，所以因觀看角度的對比度等的影響很少，從而擴大視角。此外，因為第一像素電極 607 和第二像素電極 624 都是透光電極，所以可以提高開口率。

接著，說明水準電場方式的液晶顯示裝置的其他例子。

圖 22 和圖 23 示出 IPS 型液晶顯示裝置的像素結構。圖 23 是平面圖，而圖 22 示出對應於沿圖 23 所示的截斷線 I-J 的截面結構。在下面的說明中，參照上述兩個附圖進行說明。

圖 22 示出重疊形成有 TFT628 和與其連接的像素電極 624 的基板 600 和相對基板 601 並注入有液晶的狀態。相對基板 601 形成有遮光膜 632、第二著色膜 636、平坦化膜 637 等。像素電極位於基板 600 一側，而不設置在相對基板 601 一側。在基板 600 和相對基板 601 之間形成有

液晶層 650。

在基板 600 上形成共同電位線 609、以及實施方式 1 所示的 TFT628。共同電位線 609 可以與薄膜電晶體 628 的閘極佈線 602 同時形成。此外，第一像素電極 607 以大致區分為像素形狀的形狀而形成。

TFT628 的佈線 616、佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與 TFT628 的源極區連接而成為源電極及汲電極的其中之一。佈線 618 是成為源電極及汲電極的其中之另一且與第二像素電極 624 連接的佈線。

在佈線 616、佈線 618 上形成第二絕緣膜 620。此外，在絕緣膜 620 上形成第二像素電極 624，該第二像素電極 624 在形成在絕緣膜 620 中的接觸孔 623 中與佈線 618 連接。像素電極 624 使用與實施方式 1 所示的像素電極 77 同樣的材料形成。注意，如圖 23 所示，像素電極 624 被形成為和與共同電位線 609 同時形成的梳形電極之間產生水準電場。像素電極 624 的梳齒部和與共同電位線 609 同時形成的梳形電極互相咬合。

當施加到像素電極 624 的電位與共同電位線 609 的電位之間產生電場時，由該電場控制液晶的對準。藉由利用該大致平行於基板的方向的電場使液晶分子在水準方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水準狀態，所以因觀看角度的對比度等的影響很少，從而擴

大視角。

像這樣，在基板 600 上形成 TFT628 以及與其連接的像素電極 624。儲存電容藉由在共同電位線 609 和電容電極 615 之間設置閘極絕緣膜 606 而形成。電容電極 615 和像素電極 624 藉由接觸孔 633 相互連接。

接著，示出 TN 型的液晶顯示裝置的方式。

圖 24 和圖 25 示出 TN 型液晶顯示裝置的像素結構。圖 25 是平面圖，而圖 24 示出對應於沿圖 25 所示的截斷線 K-L 的截面結構。在下面的說明中，參照上述兩個附圖進行說明。

像素電極 624 在接觸孔 623 中藉由佈線 618 與 TFT628 連接。用作資料線的佈線 616 與 TFT628 連接。作為 TFT628，可以應用實施方式 1 所示的 TFT 的任何一種。

像素電極 624 使用實施方式 1 所示的像素電極 77 形成。

在相對基板 601 上形成有遮光膜 632、第二著色膜 636、相對電極 640。此外，在第二著色膜 636 和相對電極 640 之間形成平坦化膜 637，以防止液晶的對準無序。液晶層 650 中間夾對準膜 648 及對準膜 646 形成在像素電極 624 和相對電極 640 之間。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成液晶元件。

此外，在基板 600 或相對基板 601 上也可以形成有顏

色濾光片、用來防止向錯（disclination）的遮罩膜（黑矩陣）等。此外，在基板 600 的與形成有薄膜電晶體的面相反的面上貼附偏振片，或者在相對基板 601 的與形成有相對電極 640 的面相反的面上貼附偏振片。

藉由上述程序，可以製造液晶顯示裝置。由於本實施方式的液晶顯示裝置使用截止電流少且電特性及可靠性高的薄膜電晶體，因此成為對比度高且可見度高的液晶顯示裝置。

實施方式 6

接著，下面示出本發明的液晶顯示裝置的一個方式的液晶顯示面板（也稱為液晶面板）的結構。

圖 9A 示出一種液晶顯示面板的方式，其中只有信號線驅動電路 6013 另行形成且該信號線驅動電路 6013 與形成在基板 6011 上的像素部 6012 連接。像素部 6012 及掃描線驅動電路 6014 採用使用微晶半導體膜的薄膜電晶體形成。藉由採用可獲得比使用微晶半導體膜的薄膜電晶體高的遷移率的電晶體形成信號線驅動電路，可以使被要求比掃描線驅動電路高的驅動頻率的信號線驅動電路的工作穩定。注意，信號線驅動電路 6013 也可以是使用單晶半導體的電晶體、使用多晶半導體的薄膜電晶體、或使用 SOI 的薄膜電晶體。對於像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014 分別藉由 FPC6015 供給電源電位、各種信號等。

此外，信號線驅動電路及掃描線驅動電路也可以一起形成在與像素部相同的基板上。

另外，在另行形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼附在形成有像素部的基板上，例如也可以貼附在 FPC 上。圖 9B 示出一種液晶顯示面板的方式，其中只有信號線驅動電路 6023 另行形成，且該信號線驅動電路 6023 與形成在基板 6021 上的像素部 6022 及掃描線驅動電路 6024 連接。像素部 6022 及掃描線驅動電路 6024 採用使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路 6023 藉由 FPC6025 與像素部 6022 連接。對於像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024 分別藉由 FPC6025 供給電源電位、各種信號等。

此外，也可以採用使用微晶半導體膜的薄膜電晶體只將信號線驅動電路的一部分或掃描線驅動電路的一部分形成在與像素部相同的基板上，並且另行形成其他部分並使它電連接到像素部。圖 9C 示出一種液晶顯示面板的方式，將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將信號線驅動電路所具有的移位暫存器 6033b 另行形成在不同的基板上並彼此貼合。像素部 6032 及掃描線驅動電路 6034 採用使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路所具有的移位暫存器 6033b 藉由 FPC6035 與像素部 6032 連接。對於像素部 6032、信號線驅動電路、掃描線驅動電路 6034 分別藉由 FPC6035 供給

電源電位、各種信號等。

如圖 9A 至 9C 所示，在本發明的液晶顯示裝置中，可以採用使用微晶半導體膜的薄膜電晶體將驅動電路的一部分或全部形成在與像素部相同的基板上。

注意，對於另行形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方法、引線鍵合方法、或 TAB 方法等。此外，若是能夠電連接，則連接位置不局限於圖 9A 至 9C 所示的位置。另外，也可以另行形成控制器、CPU、記憶體等而連接。

注意，用於本發明的信號線驅動電路不局限於只有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，也可以具有其他電路如緩衝器、位準轉移器、源極跟隨器等。此外，不一定設置移位暫存器和類比開關，例如既可以使用如解碼器電路的能夠選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

接著，參照圖 11A 和 11B 說明相當於本發明的液晶顯示裝置的一個方式的液晶顯示面板的外觀及截面。圖 11A 是一種面板的俯視圖，其中在與第二基板 4006 之間使用密封材料 4005 密封形成在第一基板 4001 上的包括微晶半導體膜的薄膜電晶體 4010 及液晶元件 4013。圖 11B 相當於沿著圖 11A 的 M-N 線的截面圖。

以圍繞形成在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置第二基板

4006。因此，使用第一基板 4001、密封材料 4005 以及第二基板 4006 將像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起密封。另外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。注意，本實施方式說明將具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼附到第一基板 4001 的例子，但是也可以採用使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 11A 和 11B 例示包括在信號線驅動電路 4003 中的由多晶半導體膜形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體，圖 11B 例示包括在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 相當於使用微晶半導體膜的薄膜電晶體，該薄膜電晶體可以與實施方式 1 至 4 所示的程序同樣地形成。

此外，附圖標記 4013 相當於液晶元件，該液晶元件 4013 所具有的像素電極 4030 藉由佈線 4040 電連接到薄膜電晶體 4010。而且，液晶元件 4013 的相對電極 4031 形成在第二基板 4006 上。像素電極 4030、相對電極 4031、以及液晶 4008 重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型的是不銹鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，也可以採

用具有使用 PVF 薄膜及聚酯薄膜夾鋁箔的結構的薄片。

另外，附圖標記 4035 表示球狀隔離物，該球狀隔離物 4035 是為控制像素電極 4030 和相對電極 4031 之間的距離（單元間隙）而設置的。注意，也可以使用藉由選擇性地蝕刻絕緣膜來獲得的隔離物。

此外，提供到另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位從 FPC4018 藉由引導佈線 4014、4015 供給。

在本實施方式中，連接端子 4016 由與液晶元件 4013 所具有的像素電極 4030 相同的導電膜形成。此外，引導佈線 4014、4015 由與佈線 4041 相同的導電膜形成。

連接端子 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

注意，雖然未圖示，但是本實施方式所示的液晶顯示裝置具有對準膜、偏振片，還可以具有顏色濾光片及遮罩膜。

此外，圖 11A 和 11B 示出另行形成信號線驅動電路 4003 而安裝到第一基板 4001 的例子，但是本實施方式不局限於此。既可以另行形成掃描線驅動電路而安裝，又可以只將信號線驅動電路的一部分或掃描線驅動電路的一部分另行形成而安裝。

本實施方式可以適當地與其他實施方式所記載的結構組合而實施。

實施方式 7

根據本發明獲得的液晶顯示裝置等可以使用於液晶顯示模組（也稱為液晶模組）。就是說，在將該模組安裝到顯示部中的所有電子裝置中可以實施本發明。

作為這種電子裝置的例子，可以舉出如下：拍攝裝置如攝影機、數位照相機等；頭戴式顯示器（護目鏡型顯示器）；汽車導航系統；投影機；汽車音響；個人電腦；可攜式資訊終端（可攜式電腦、移動電話、或電子書籍等）等。圖 7A 至 7C 示出了它們的一個例子。

圖 7A 示出電視裝置。如圖 7A 所示，可以將液晶顯示模組嵌入到框體中來完成電視裝置。還安裝有 FPC 的液晶顯示面板也稱為液晶顯示模組。由液晶顯示模組形成主屏 2003，並且作為其他輔助設備還具有揚聲器部 2009、操作開關等。像這樣，可以完成電視裝置。

如圖 7A 所示，將利用液晶元件的液晶顯示用面板 2002 安裝在框體 2001 中，可以由接收器 2005 接收普通的電視廣播。而且，可以藉由經由數據機 2004 連接到採用有線或無線方式的通信網路，進行單方向（從發送者到接收者）或雙方向（在發送者和接收者之間或在接收者之間）的資訊通信。可以使用安裝在框體中的開關或遙控裝置 2006 來操作電視裝置。也可以在遙控裝置中設置用於顯示輸出資訊的顯示部 2007。

另外，除了主屏 2003 之外，在電視裝置中，可以使用第二液晶顯示用面板形成子屏 2008，附加有顯示頻道

或音量等的結構。

圖 8 示出表示電視裝置的主要結構的方塊圖。在液晶顯示面板中，形成有像素部 901。信號線驅動電路 902 和掃描線電路 903 也可以以 COG 方式安裝到液晶顯示面板上。

作為其他外部電路的結構，在影像信號的輸入一側配備影像信號放大電路 905、影像信號處理電路 906、以及控制電路 907 等，該影像信號放大電路 905 放大由調諧器 904 接收的信號中的影像信號，該影像信號處理電路 906 將從視頻信號放大電路 905 輸出的信號轉換為對應於紅、綠、藍各種顏色的顏色信號，該控制電路 907 將影像信號處理電路 906 的影像信號轉換為驅動器 IC 的輸入規格。控制電路 907 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以具有如下結構，即在信號線一側設置信號分割電路 908，並且將輸入數位信號分成 m 個來供給。

由調諧器 904 接收的信號中的音頻信號被傳送到音頻信號放大電路 909，並且其輸出經過音頻信號處理電路 910 供給到揚聲器 913。控制電路 911 從輸入部 912 接收接收站（接收頻率）和音量的控制資訊，並且將信號傳送到調諧器 904、音頻信號處理電路 910。

當然，本發明不局限於電視裝置，並且可以適用於各種各樣的用途，如個人電腦的監視器、尤其是大面積的顯示媒體如火車站或機場等的資訊顯示板或者街頭上的廣告

顯示板等。

圖 7B 示出移動電話 2301 的一個例子。該移動電話 2301 包括顯示部 2302、操作部 2303 等構成。在顯示部 2302 中，藉由應用上述實施方式所說明的液晶顯示裝置可以提高可靠性及批量生產性。

此外，圖 7C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由將上述實施方式所示的液晶顯示裝置應用於顯示部 2402，可以提高可靠性及批量生產性。

本說明書根據 2007 年 7 月 20 日在日本專利局申請的日本專利申請編號 2007-190219 而製作，所述申請內容包括在本說明書中。

【符號說明】

50：基板

51：閘電極

52a：閘極絕緣膜

52b：閘極絕緣膜

53：微晶半導體膜

54：緩衝層

61：微晶半導體膜

62：緩衝層

63：半導體膜

65a：導電膜

65b：導電膜

- 65c：導電膜
- 66：光罩
- 71a：源電極及汲電極
- 71b：源電極及汲電極
- 71c：源電極及汲電極
- 72：源極區及汲極區
- 74：薄膜電晶體
- 76：絕緣膜
- 77：像素電極
- 79：薄膜電晶體
- 80：通道保護層
- 250：基板
- 251：閘電極
- 252a：閘極絕緣膜
- 252b：閘極絕緣膜
- 261：微晶半導體膜
- 262：緩衝層
- 271a：源電極及汲電極
- 271b：源電極及汲電極
- 271c：源電極及汲電極
- 272：源極區及汲極區
- 274：薄膜電晶體
- 276：絕緣膜
- 277：像素電極

279：薄膜電晶體
 280：通道保護層
 600：基板
 601：相對基板
 602：閘極佈線
 603：閘極佈線
 604：電容佈線
 605：電容佈線
 606：閘極絕緣膜
 607：第一像素電極
 608：通道保護層
 609：共同電位線
 611：通道保護層
 615：電容電極
 616：佈線
 617：電容佈線
 618：佈線
 619：佈線
 620：絕緣膜
 622：絕緣膜
 623：接觸孔
 624：像素電極
 625：槽縫
 626：像素電極

- 627：接觸孔
- 628：TFT
- 629：TFT
- 630：儲存電容部
- 631：儲存電容部
- 632：遮光膜
- 633：接觸孔
- 634：第一著色膜
- 636：第二著色膜
- 637：平坦化膜
- 638：第三著色膜
- 640：相對電極
- 641：槽縫
- 642：隔離物
- 644：突起
- 646：對準膜
- 648：對準膜
- 650：液晶層
- 651：液晶元件
- 652：液晶元件
- 690：電容佈線
- 901：像素部
- 902：信號線驅動電路
- 903：掃描線電路

904：調諧器

905：影像信號放大電路

906：影像信號處理電路

907：控制電路

908：信號分割電路

909：音頻信號放大電路

910：音頻信號處理電路

911：控制電路

912：輸入部

913：揚聲器

1110：裝載室

1111：反應室

1112：反應室

1113：反應室

1114：反應室

1115：卸載室

1120：公共室

1121：傳送單元

1122：閘閥

1123：閘閥

1124：閘閥

1125：閘閥

1126：閘閥

1127：閘閥

1128：盒子

1129：盒子

2001：框體

2002：面板

2003：主屏

2004：數據機

2005：接收器

2006：遙控裝置

2007：顯示部

2008：子屏

2009：揚聲器部

2301：移動電話

2302：顯示部

2303：操作部

2401：主體

2402：顯示部

4001：基板

4002：像素部

4003：信號線驅動電路

4004：掃描線驅動電路

4005：密封材料

4006：基板

4008：液晶

4009：薄膜電晶體

4010：電晶體
4013：液晶元件
4014：引導佈線
4015：引導佈線
4016：連接端子
4018：FPC
4019：各向異性導電膜
4030：像素電極
4031：相對電極
4035：球狀隔離物
4040：佈線
4041：佈線
6011：基板
6012：像素部
6013：信號線驅動電路
6014：掃描線驅動電路
6015：FPC
6021：基板
6022：像素部 6022
6023：信號線驅動電路
6024：掃描線驅動電路
6025：FPC
6031：基板
6032：像素部

6033a：類比開關

6033b：移位暫存器

6034：掃描線驅動電路

6035：FPC

申請專利範圍

1. 一種液晶顯示裝置，包括：

閘電極；

形成在該閘電極上的閘極絕緣膜；

微晶半導體膜，包含形成在該閘極絕緣膜上的通道形成區域；

形成在該微晶半導體膜上的緩衝層；

形成在該緩衝層上的源極區及汲極區；

形成在該源極區及該汲極區上的源電極及汲電極；

形成在該微晶半導體膜、該源電極及該汲電極上的絕緣膜；

形成在該閘極絕緣膜上的像素電極，其中該像素電極電連接至該源電極或該汲電極；

在該像素電極上的隔離物，該隔離物與該閘電極重疊；

在該隔離物上的相對電極；以及

在該相對電極上的遮光膜、第一著色膜及第二著色膜，

其中該遮光膜包含與該隔離物重疊的區域，並且

其中各該第一著色膜及該第二著色膜與該區域重疊。

2. 如申請專利範圍第 1 項的液晶顯示裝置，其中該緩衝層使用非晶半導體膜形成。

3. 如申請專利範圍第 1 項的液晶顯示裝置，其中該緩衝層使用含有氮的非晶半導體膜形成。

4. 如申請專利範圍第 1 項的液晶顯示裝置，其中該緩衝層使用含有氫的非晶半導體膜形成。

5. 如申請專利範圍第 1 項的液晶顯示裝置，其中該緩衝層使用含有氟、氯、溴或碘的非晶半導體膜形成。

6. 如申請專利範圍第 1 項的液晶顯示裝置，其中該緩衝層使用含有總濃度為大於或等於 $1 \times 10^{20} \text{ atoms/cm}^3$ 且小於或等於 $15 \times 10^{20} \text{ atoms/cm}^3$ 的氮、碳及氧的非晶半導體膜形成。

7. 如申請專利範圍第 1 項的液晶顯示裝置，其中形成以與該閘電極重疊的該微晶半導體膜的端部設置於較該閘電極的端部更內側。

8. 如申請專利範圍第 1 項的液晶顯示裝置，其中該源極區及該汲極區延伸超出該源電極及該汲電極的邊緣，並且

其中彼此面對的該源極區及該汲極區的邊緣之間的距離短於彼此面對的該源電極及該汲電極的該邊緣之間的距離。

9. 如申請專利範圍第 1 項的液晶顯示裝置，其中該緩衝層具有在 10nm 至 50nm 的範圍中的厚度。

10. 一種液晶顯示裝置，包括：

閘電極；

形成在該閘電極上的閘極絕緣膜；

微晶半導體膜，包含形成在該閘極絕緣膜上的通道形成區域；

形成在該微晶半導體膜上的源極區及汲極區；

形成在該源極區及該汲極區上的源電極及汲電極；

形成在該微晶半導體膜、該源電極及該汲電極上的絕緣膜；

形成在該閘極絕緣膜上的像素電極，其中該像素電極電連接至該源電極或該汲電極；

在該像素電極上的隔離物，該隔離物與該閘電極重疊；

在該隔離物上的相對電極；以及

在該相對電極上的遮光膜、第一著色膜及第二著色膜，

其中該遮光膜包含與該隔離物重疊的區域，並且

其中各該第一著色膜及該第二著色膜與該區域重疊。

11. 如申請專利範圍第 10 項的液晶顯示裝置，其中形成以與該閘電極重疊的該微晶半導體膜的端部設置於較該閘電極的端部更內側。

12. 如申請專利範圍第 10 項的液晶顯示裝置，其中該源極區及該汲極區延伸超出該源電極及該汲電極的邊緣，並且

其中彼此面對的該源極區及該汲極區的邊緣之間的距離短於彼此面對的該源電極及該汲電極的該邊緣之間的距離。

13. 一種半導體裝置，包括：

閘電極；

形成在該閘電極上的閘極絕緣膜；

微晶半導體膜，包含形成在該閘極絕緣膜上的通道形成區域；

形成在該微晶半導體膜上的源極區及汲極區；

形成在該源極區及該汲極區上的源電極及汲電極；

形成在該微晶半導體膜、該源電極及該汲電極上的絕緣膜；

形成在該閘極絕緣膜上的像素電極，其中該像素電極電連接至該源電極或該汲電極；

在該像素電極上的隔離物，該隔離物與該閘電極重疊；

在該隔離物上的相對電極；以及

在該相對電極上的遮光膜、第一著色膜及第二著色膜，

其中該遮光膜包含與該隔離物重疊的區域，

其中各該第一著色膜及該第二著色膜與該區域重疊，以及

其中形成以與該閘電極重疊的該微晶半導體膜的端部設置於較該閘電極的端部更內側。

14. 如申請專利範圍第 13 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用非晶半導體膜形成。

15. 如申請專利範圍第 13 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有氮的非晶半導體膜形成。

16. 如申請專利範圍第 13 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有氫的非晶半導體膜形成。

17. 如申請專利範圍第 13 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有氟、氯、溴或碘的非晶半導體膜形成。

18. 如申請專利範圍第 13 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有總濃度為大於或等於 $1 \times 10^{20} \text{ atoms/cm}^3$ 且小於或等於 $15 \times 10^{20} \text{ atoms/cm}^3$ 的氮、碳及氧的非晶半導體膜形成。

19. 如申請專利範圍第 13 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該源極區及該汲極區形成在該緩衝層上。

20. 如申請專利範圍第 13 項的半導體裝置，其中該源極區及該汲極區延伸超出該源電極及該汲電極的邊緣，並且

其中彼此面對的該源極區及該汲極區的邊緣之間的距離短於彼此面對的該源電極及該汲電極的該邊緣之間的距離。

21. 如申請專利範圍第 13 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層具有在 10nm 至 50nm 的範圍中的厚度。

22. 一種半導體裝置，包括：

閘電極；

形成在該閘電極上的閘極絕緣膜；

微晶半導體膜，包含形成在該閘極絕緣膜上的通道形成區域；

形成在該微晶半導體膜上的源極區及汲極區；

形成在該源極區及該汲極區上的源電極及汲電極；

形成在該微晶半導體膜、該源電極及該汲電極上的絕緣膜；

形成在該閘極絕緣膜上的像素電極，其中該像素電極電連接至該源電極或該汲電極；

在該像素電極上的隔離物，該隔離物與該閘電極重疊；

在該隔離物上的相對電極；以及

在該相對電極上的遮光膜、第一著色膜及第二著色膜，

其中該遮光膜包含與該隔離物重疊的區域，

其中各該第一著色膜及該第二著色膜與該區域重疊，

其中該源極區及該汲極區延伸超出該源電極及該汲電極的邊緣，並且

其中彼此面對的該源極區及該汲極區的邊緣之間的距離短於彼此面對的該源電極及該汲電極的該邊緣之間的距

離。

23. 如申請專利範圍第 22 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用非晶半導體膜形成。

24. 如申請專利範圍第 22 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有氮的非晶半導體膜形成。

25. 如申請專利範圍第 22 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有氫的非晶半導體膜形成。

26. 如申請專利範圍第 22 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有氟、氯、溴或碘的非晶半導體膜形成。

27. 如申請專利範圍第 22 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層使用含有總濃度為大於或等於 $1 \times 10^{20} \text{ atoms/cm}^3$ 且小於或等於 $15 \times 10^{20} \text{ atoms/cm}^3$ 的氮、碳及氧的非晶半導體膜形成。

28. 如申請專利範圍第 22 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該源極區及該汲極區形成在該緩衝層上。

29. 如申請專利範圍第 22 項的半導體裝置，更包含形成在該微晶半導體膜上的緩衝層，

其中該緩衝層具有在 10nm 至 50nm 的範圍中的厚度。

圖 式

圖 1

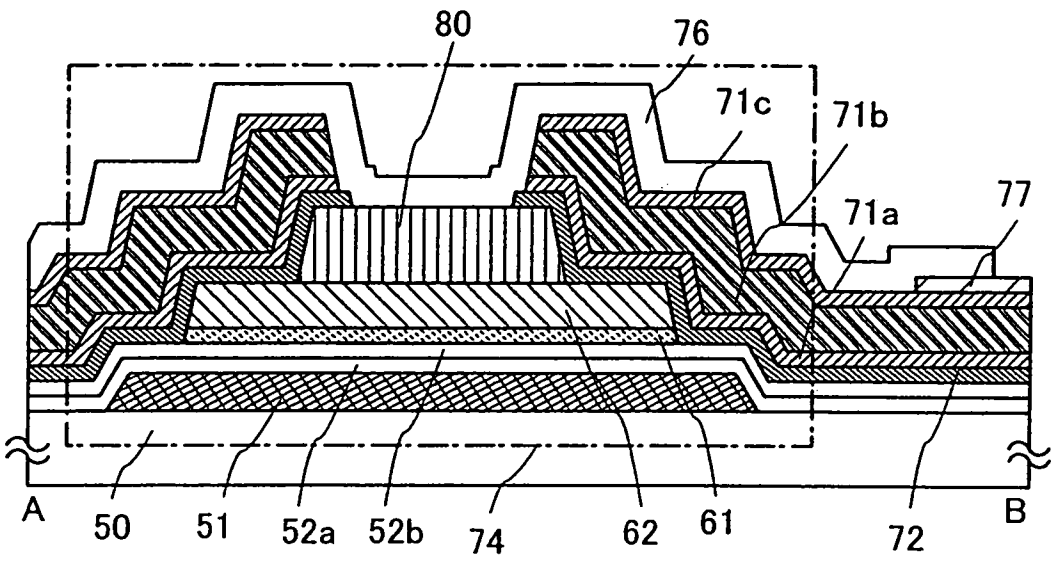


圖 2A

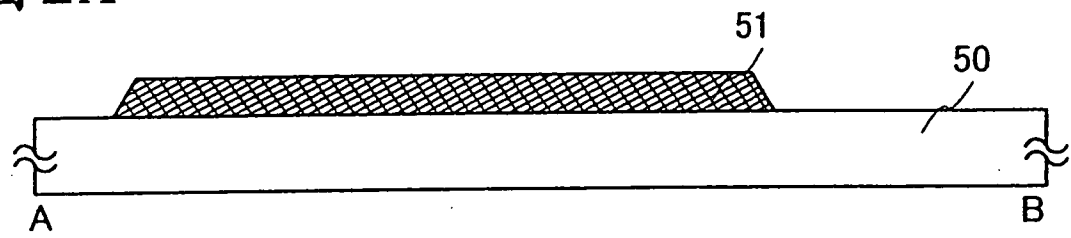


圖 2B

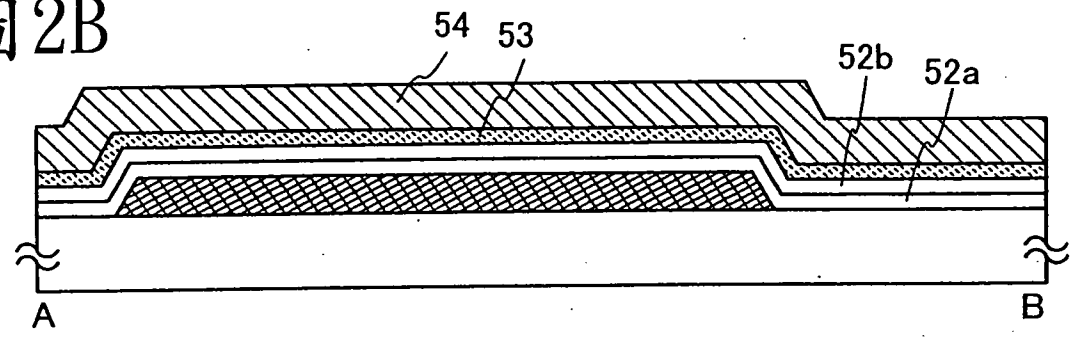


圖 2C

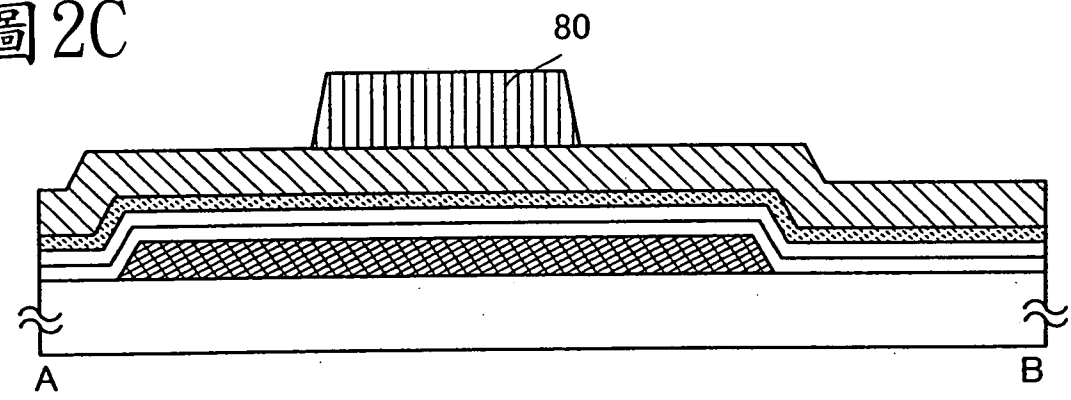


圖 2D

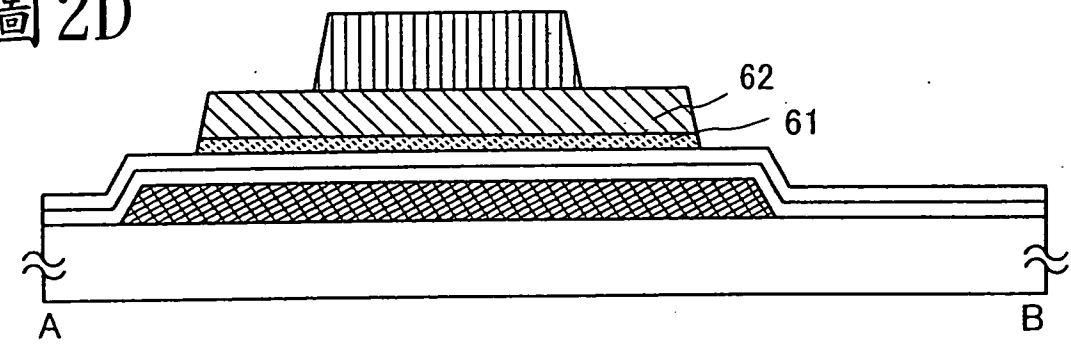


圖 3A

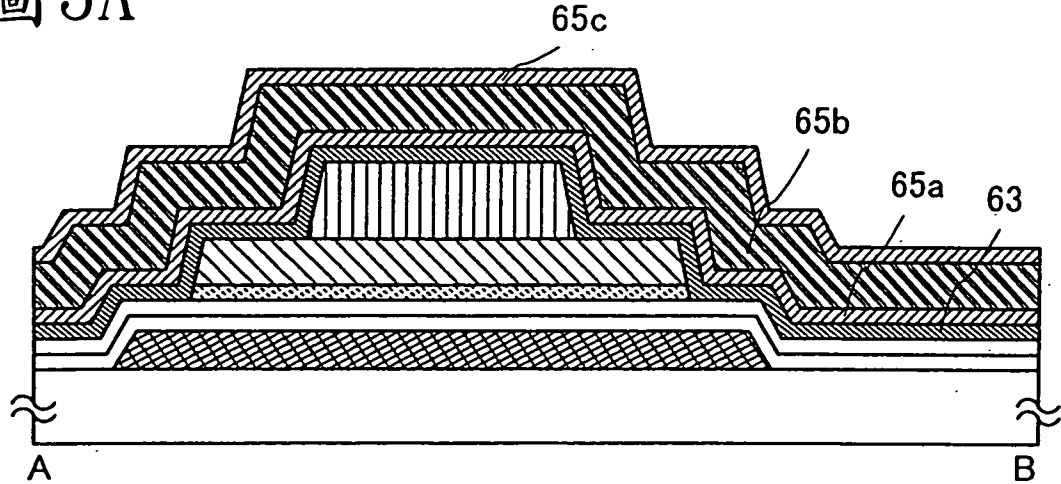


圖 3B

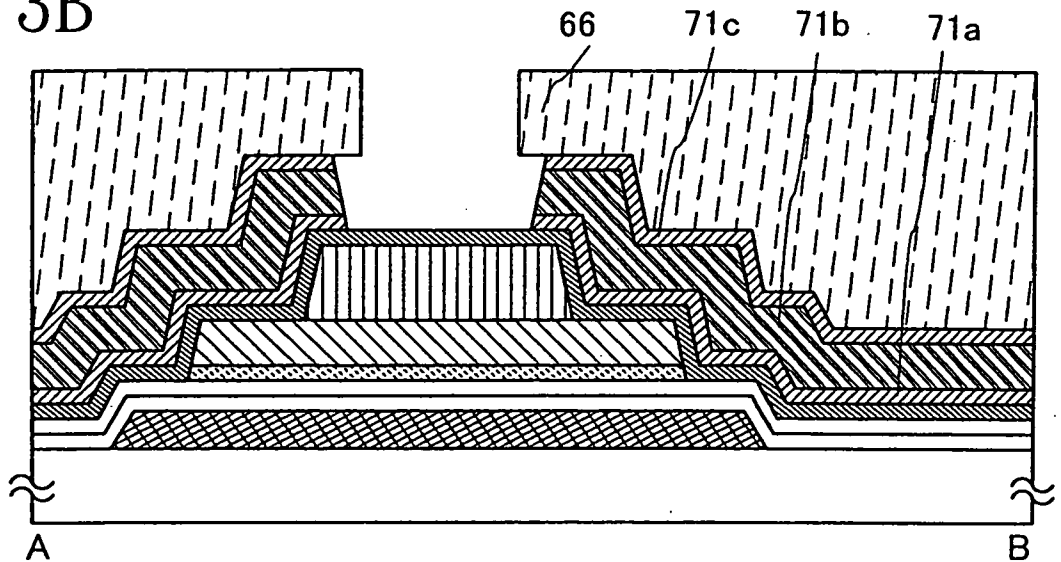


圖 3C

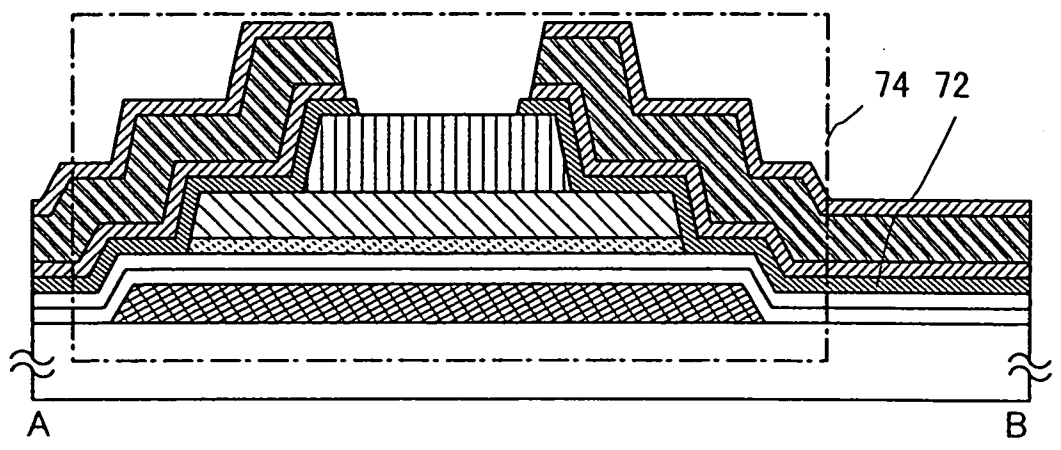


圖 4A

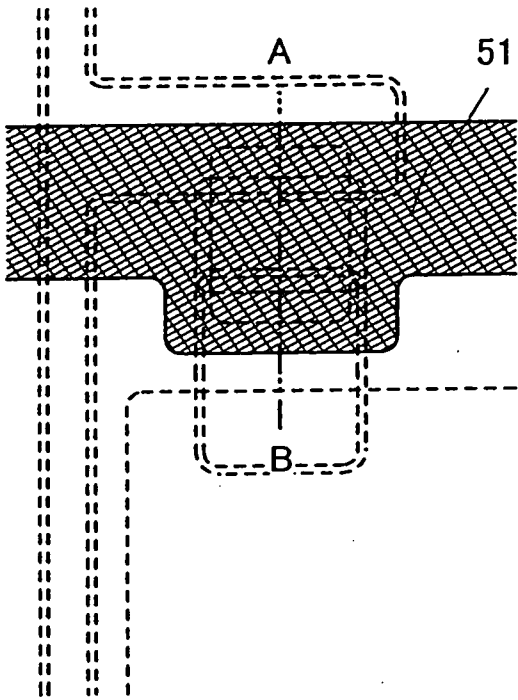


圖 4B

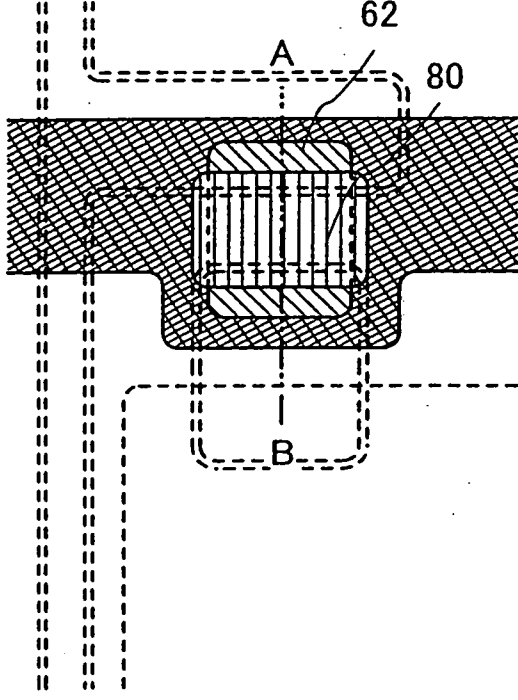


圖 4C

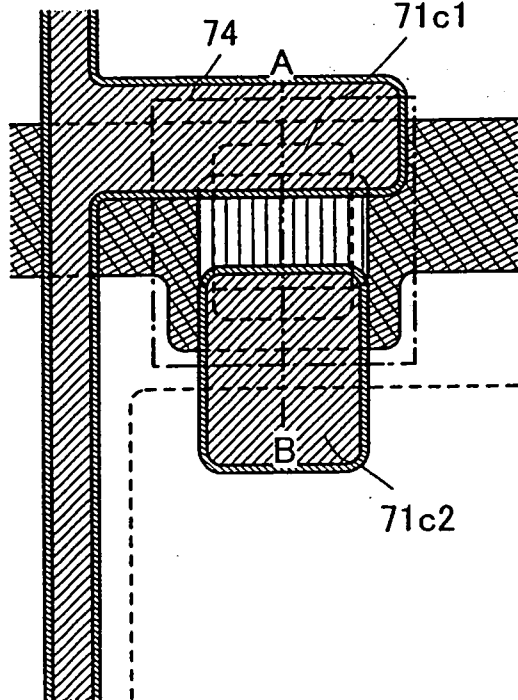


圖 4D

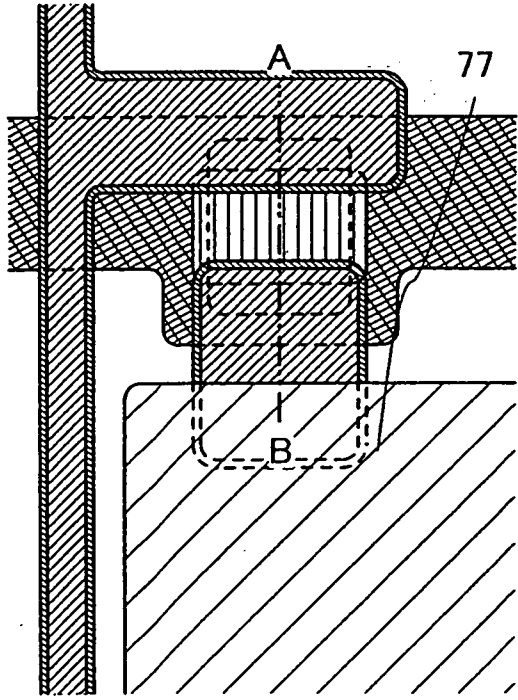


圖5

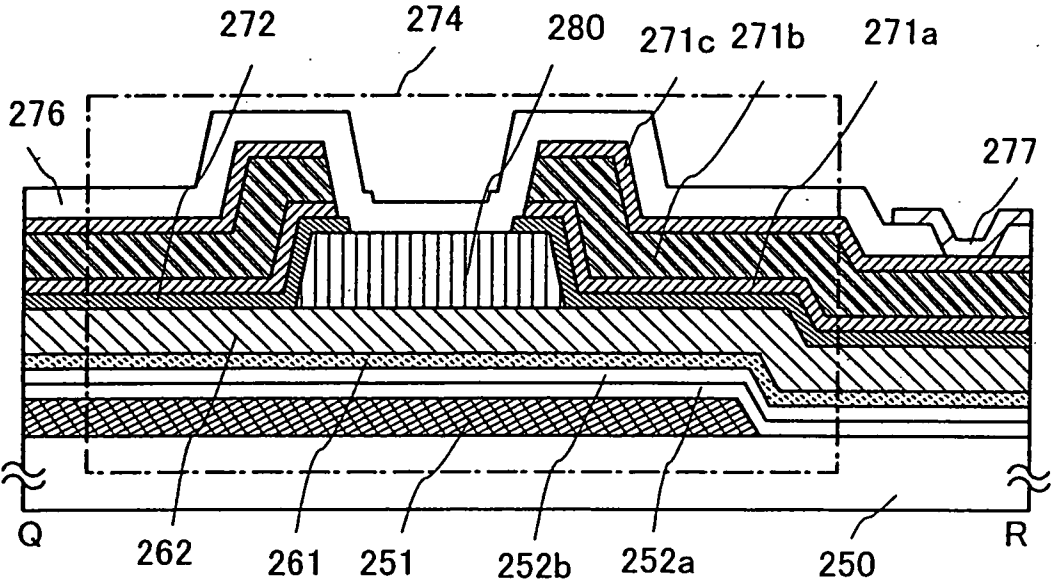


圖 6A

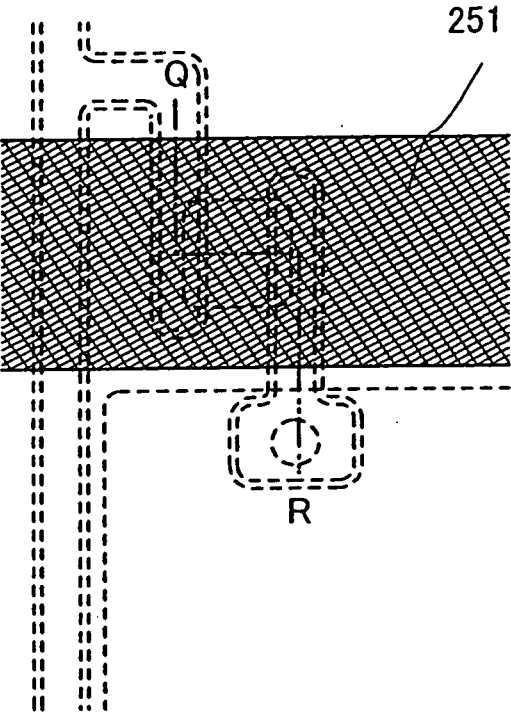


圖 6B

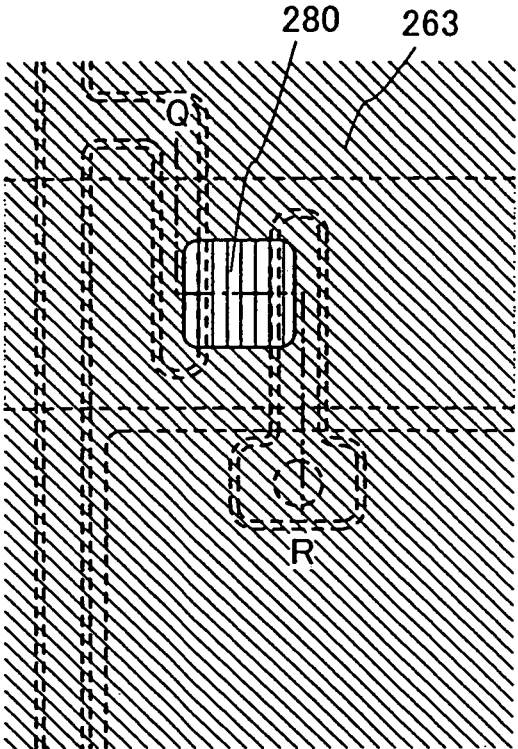


圖 6C

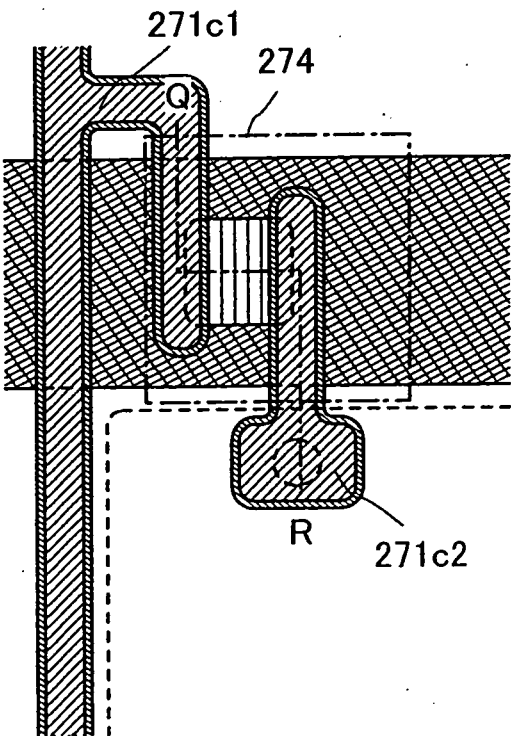


圖 6D

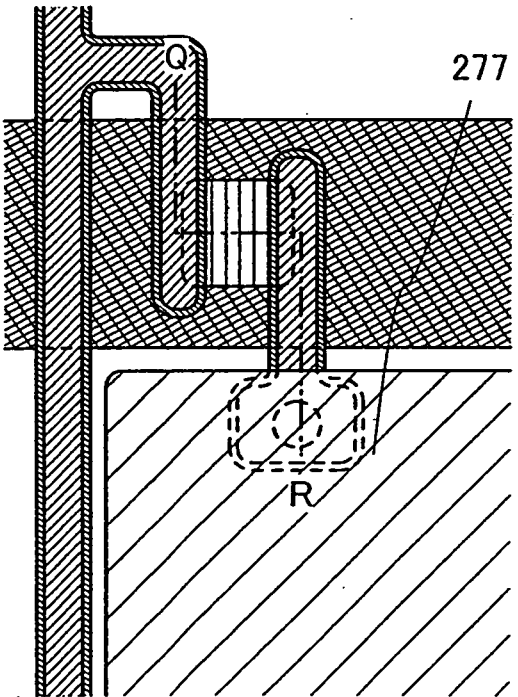


圖 7A

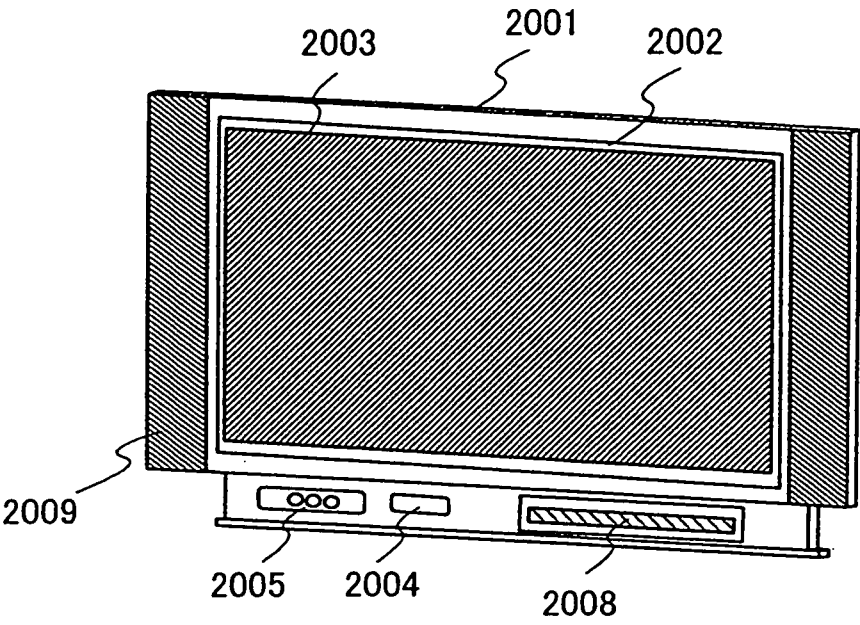


圖 7B

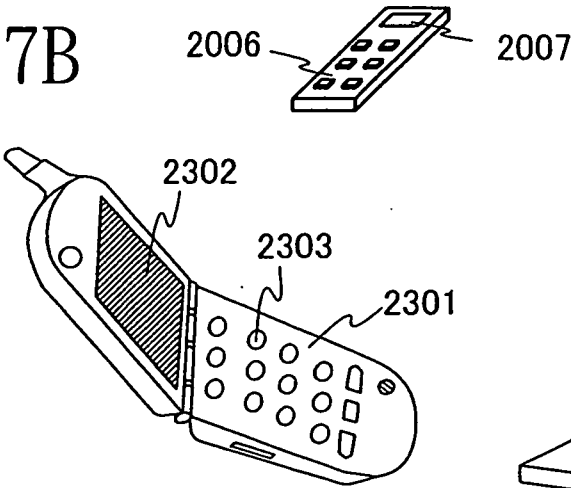


圖 7C

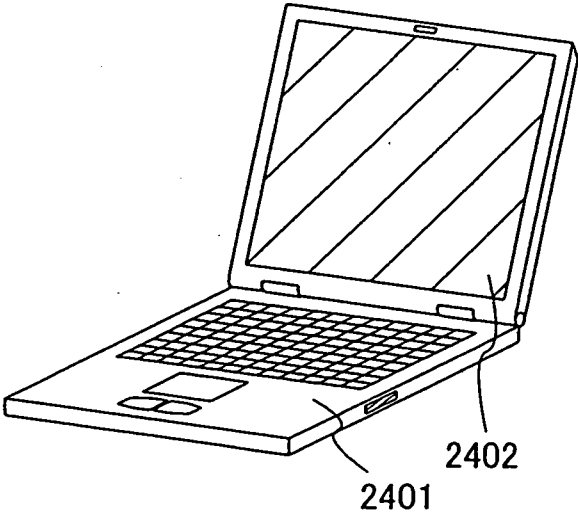


圖 8

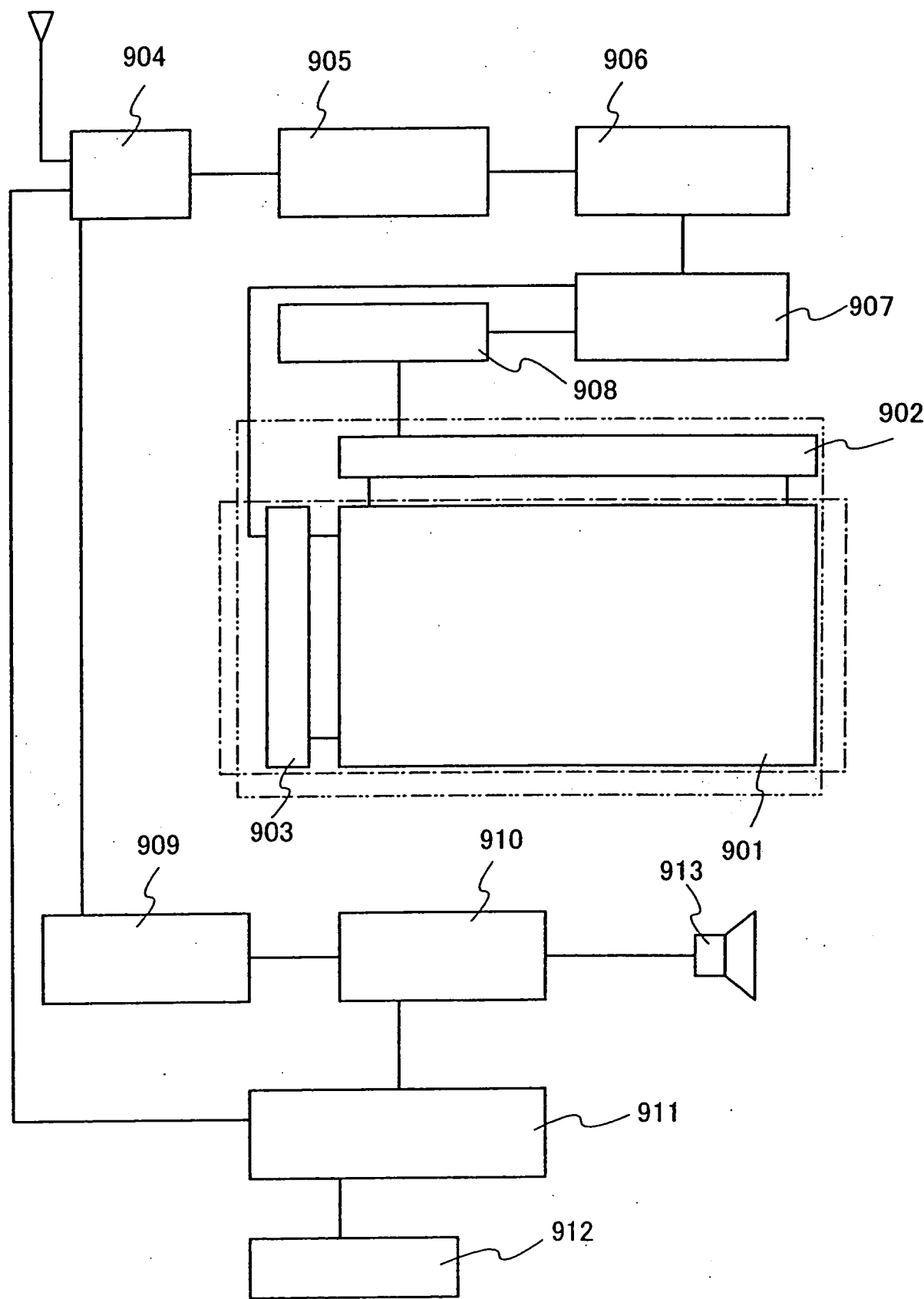


圖 9A

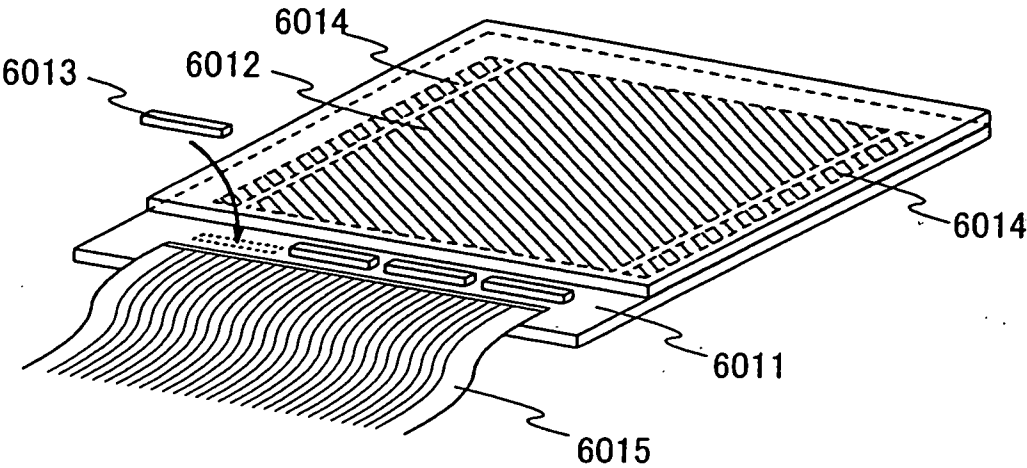


圖 9B

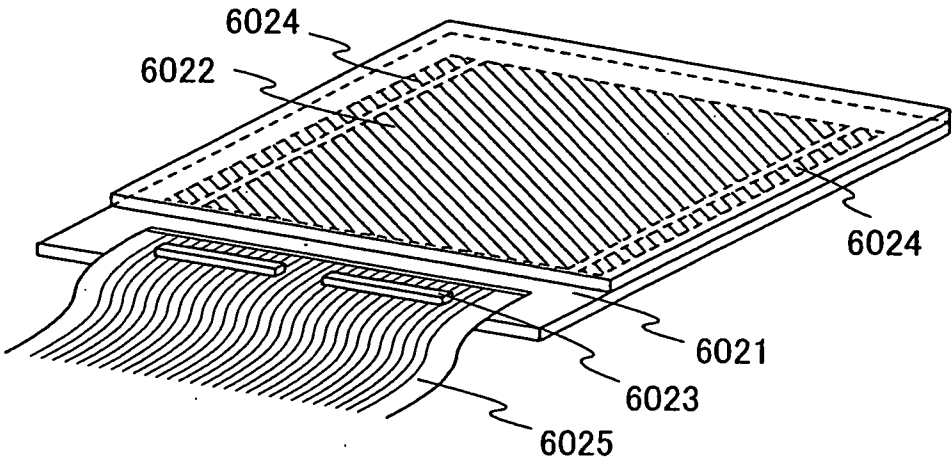


圖 9C

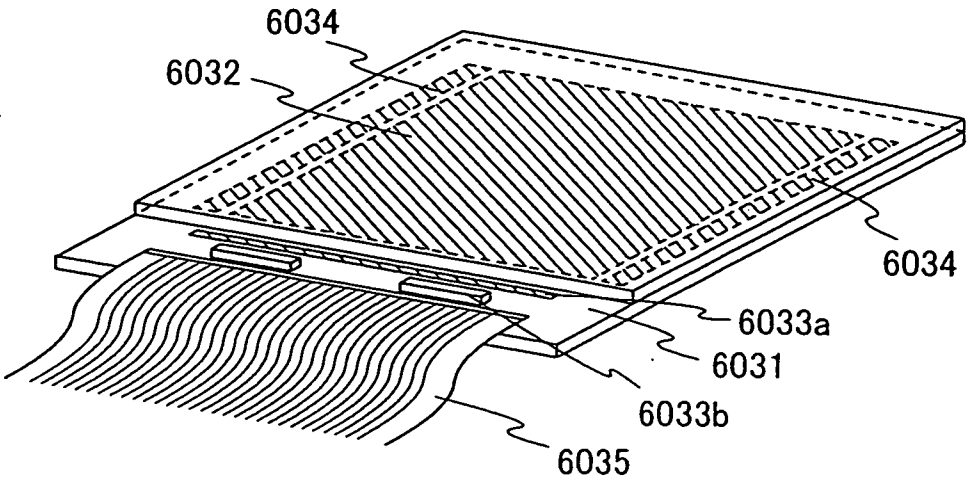


圖 10A

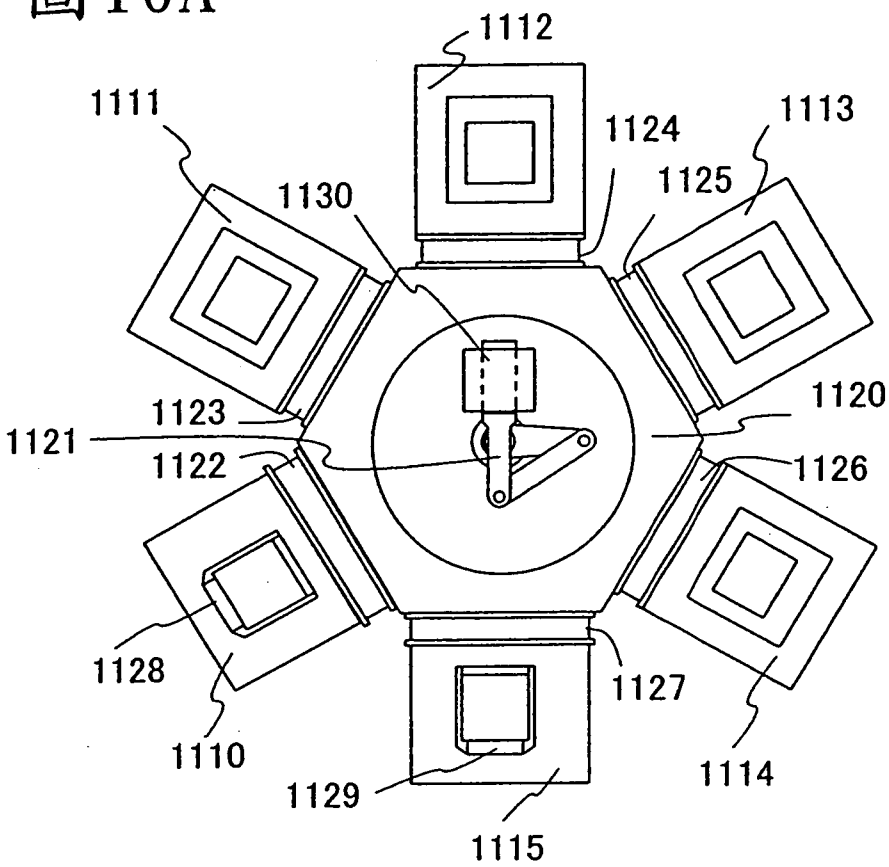


圖 10B

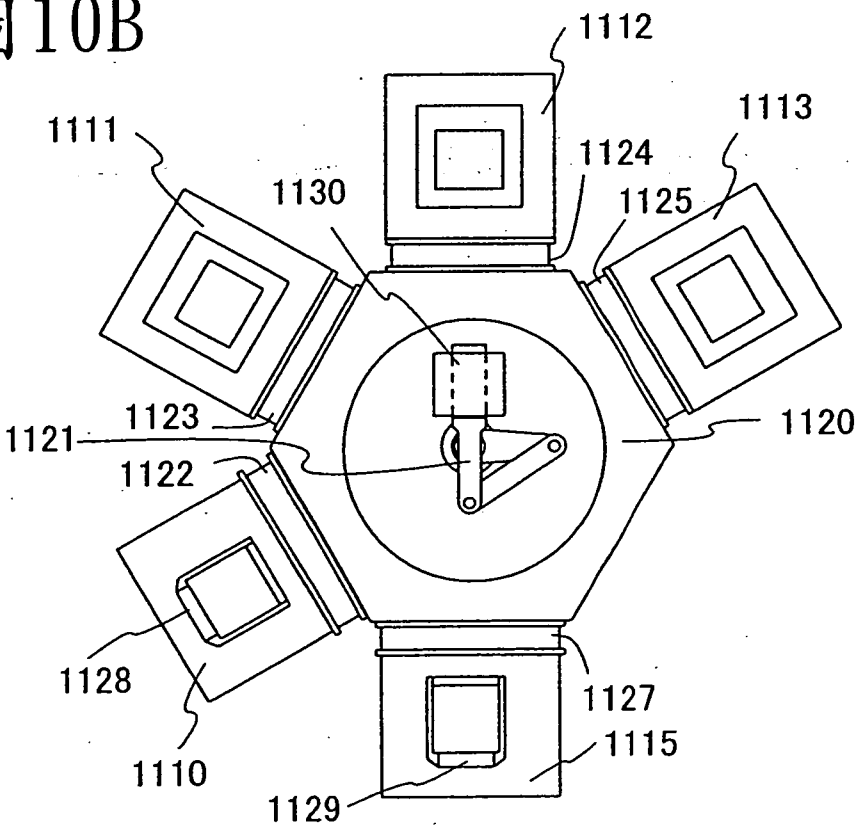


圖 11A

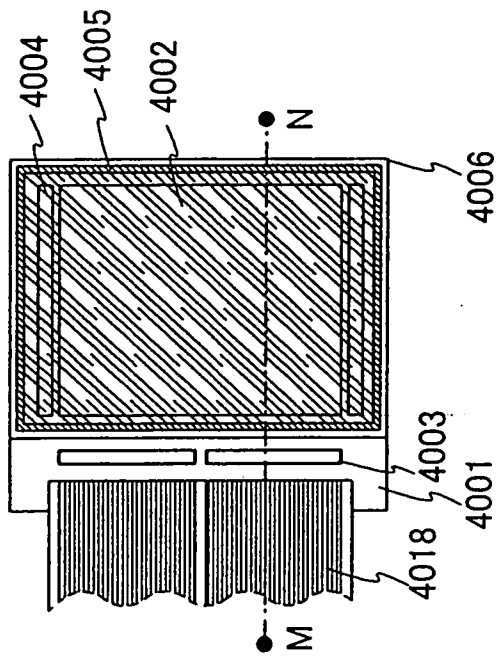


圖 11B

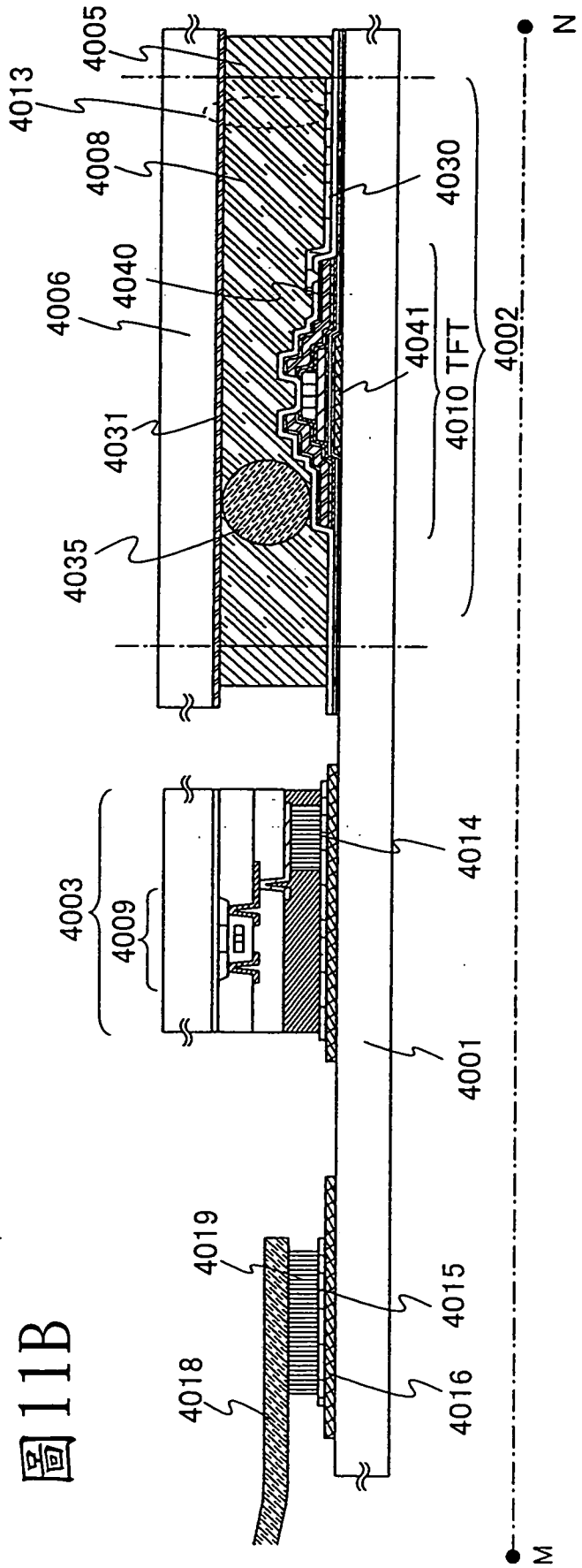


圖12

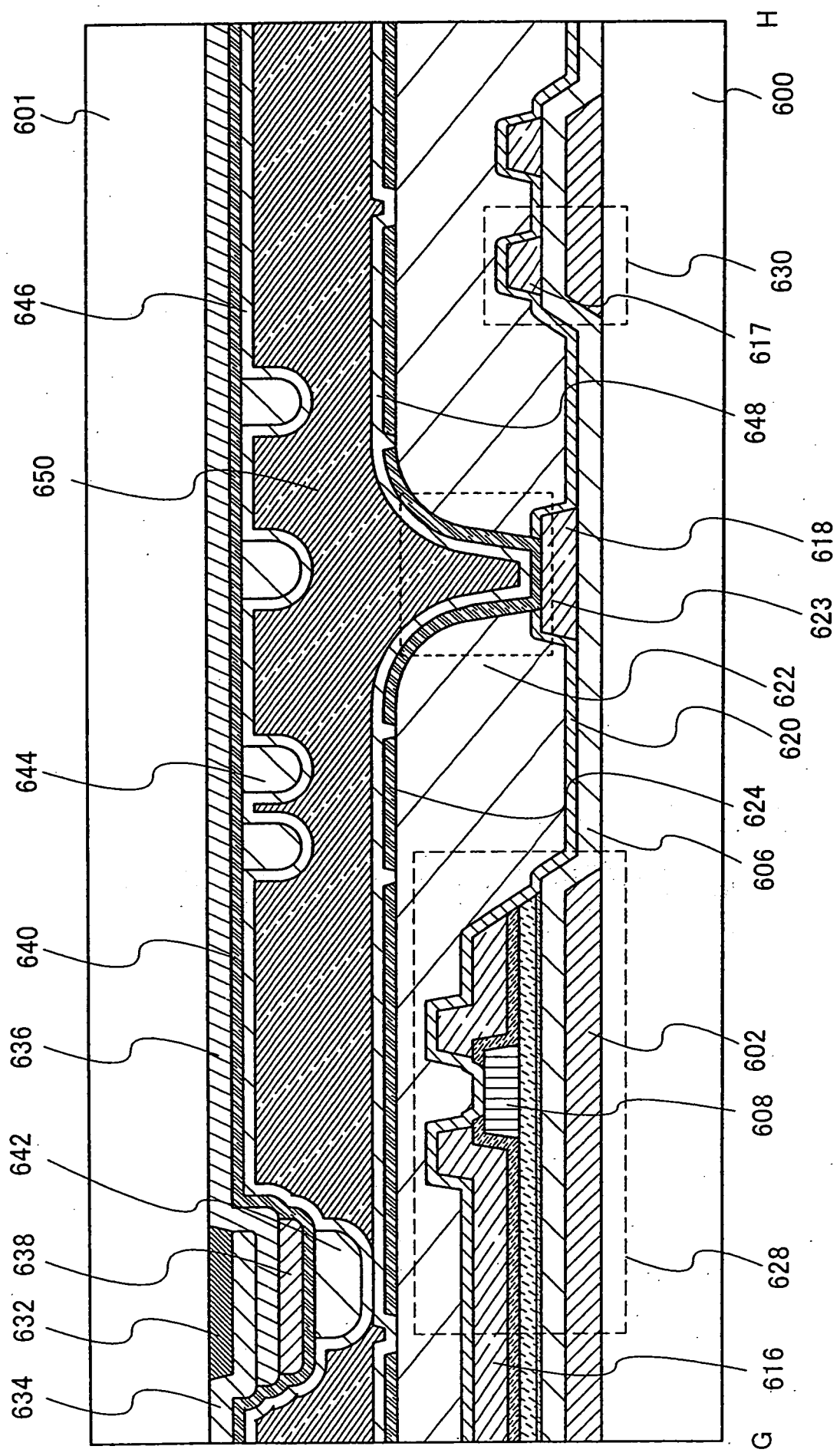


圖 13

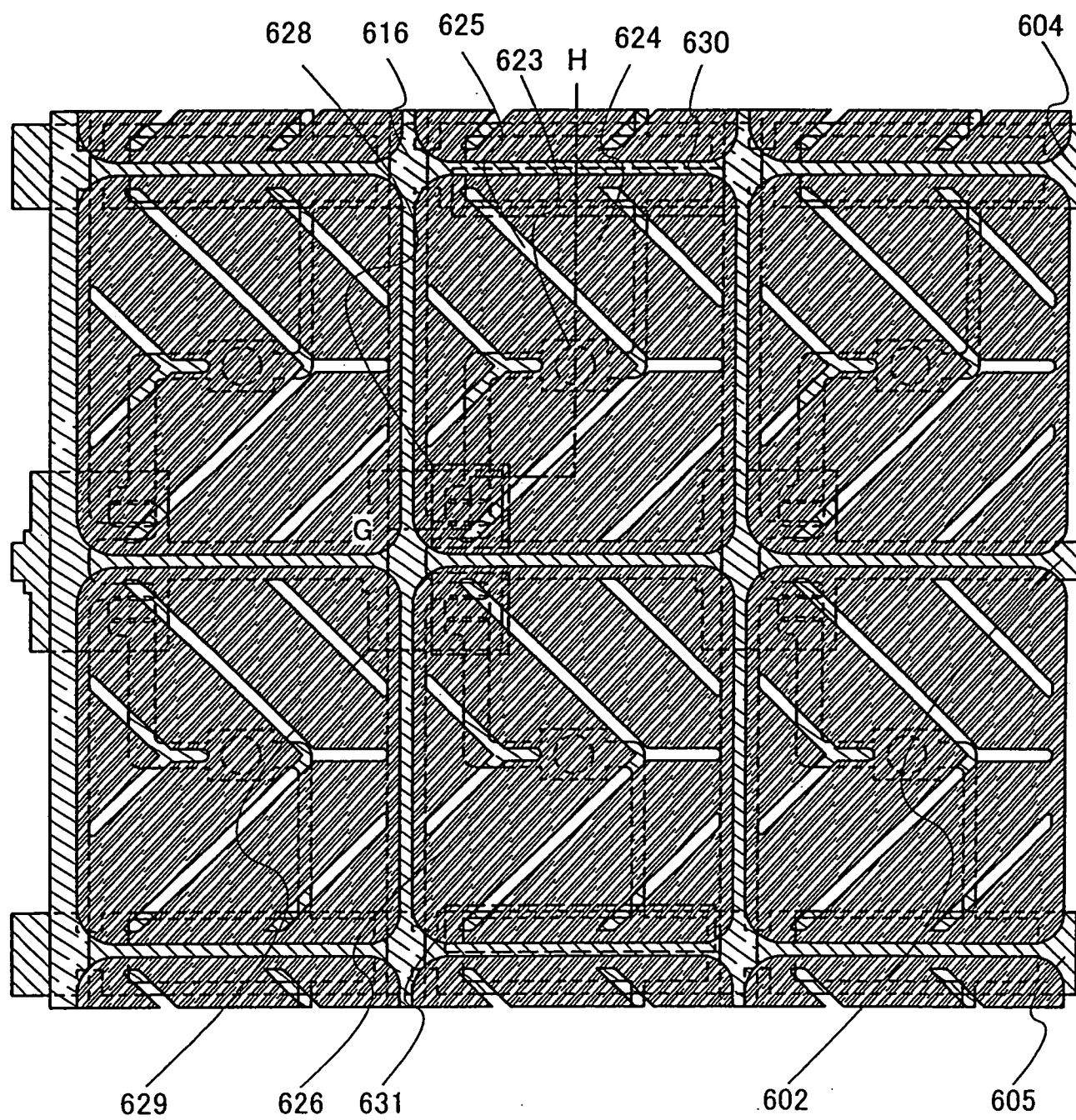


圖 14

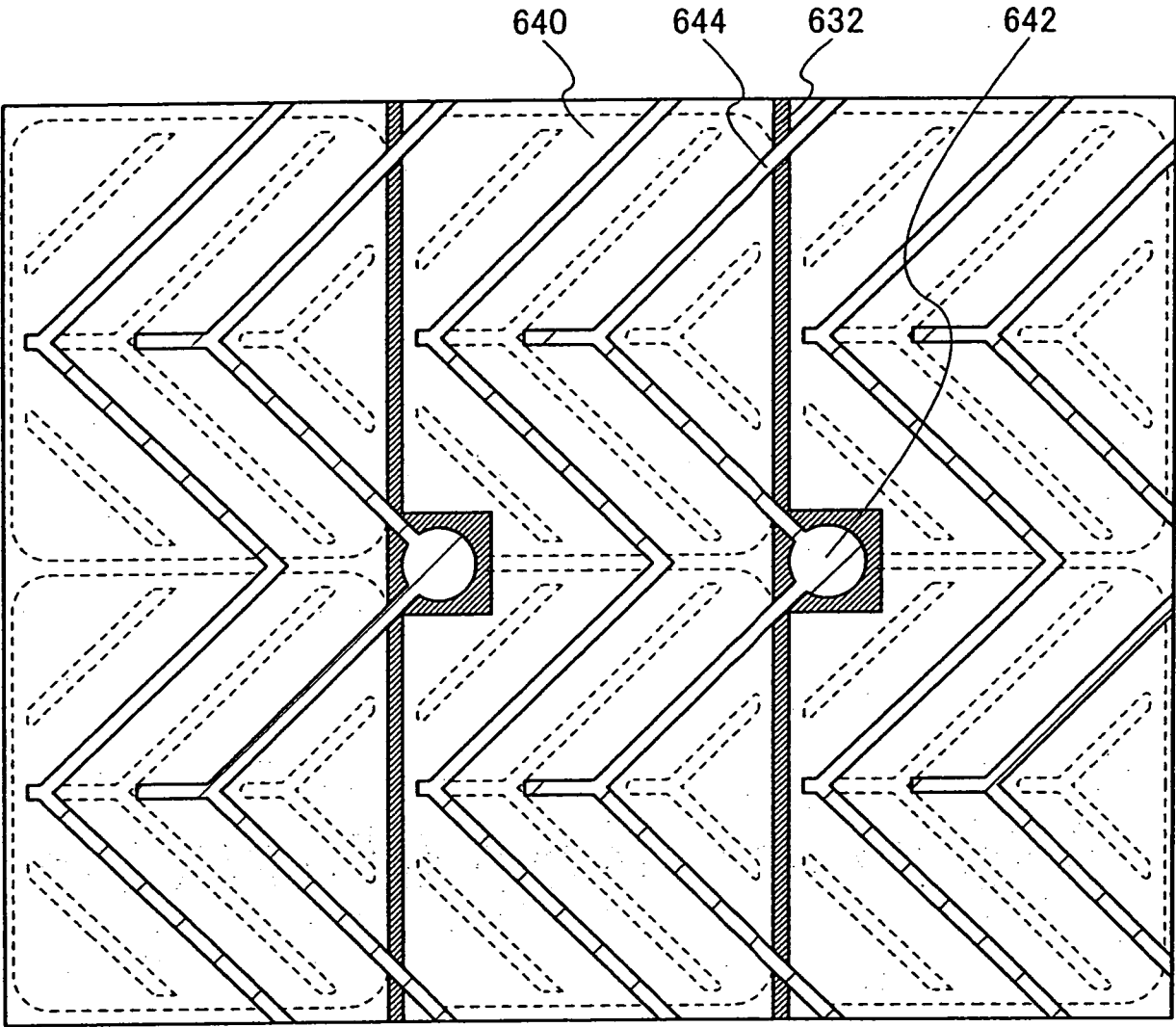


圖 15

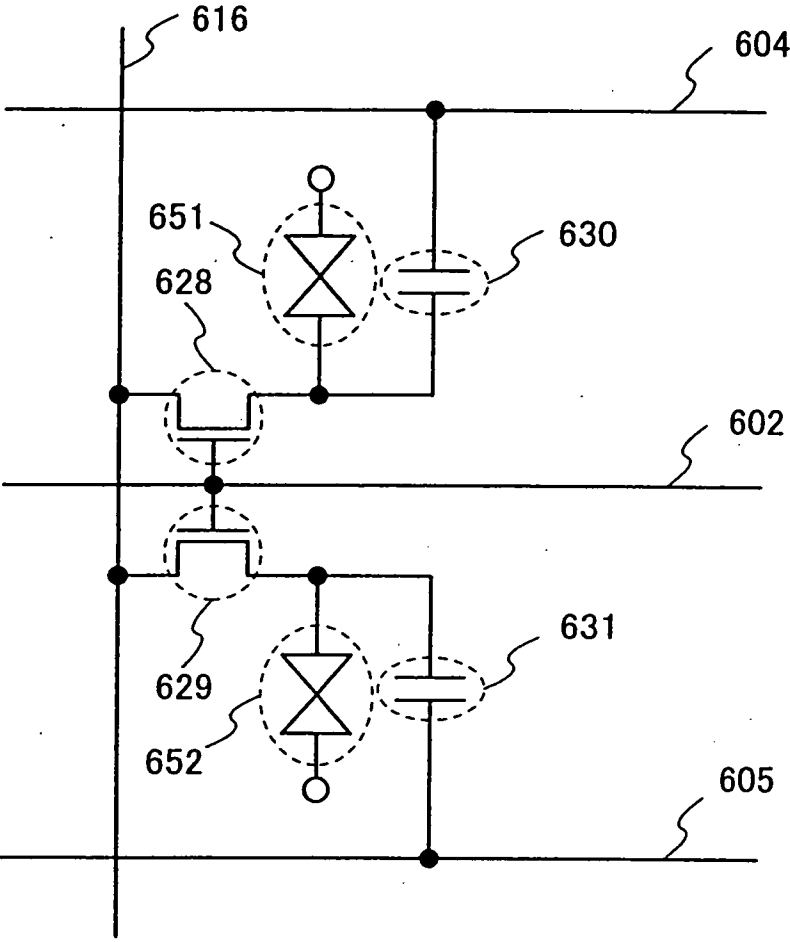


圖16

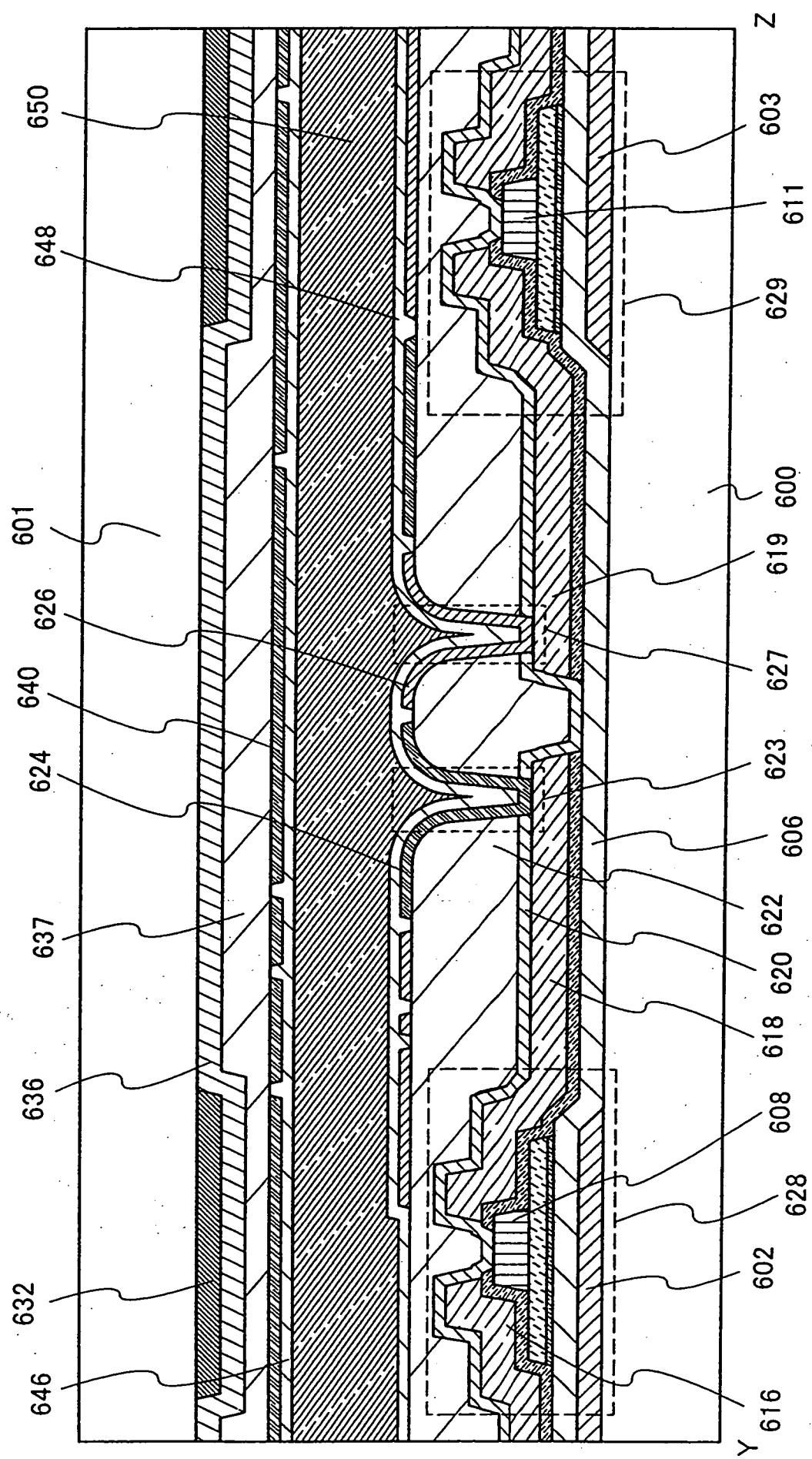


圖 17

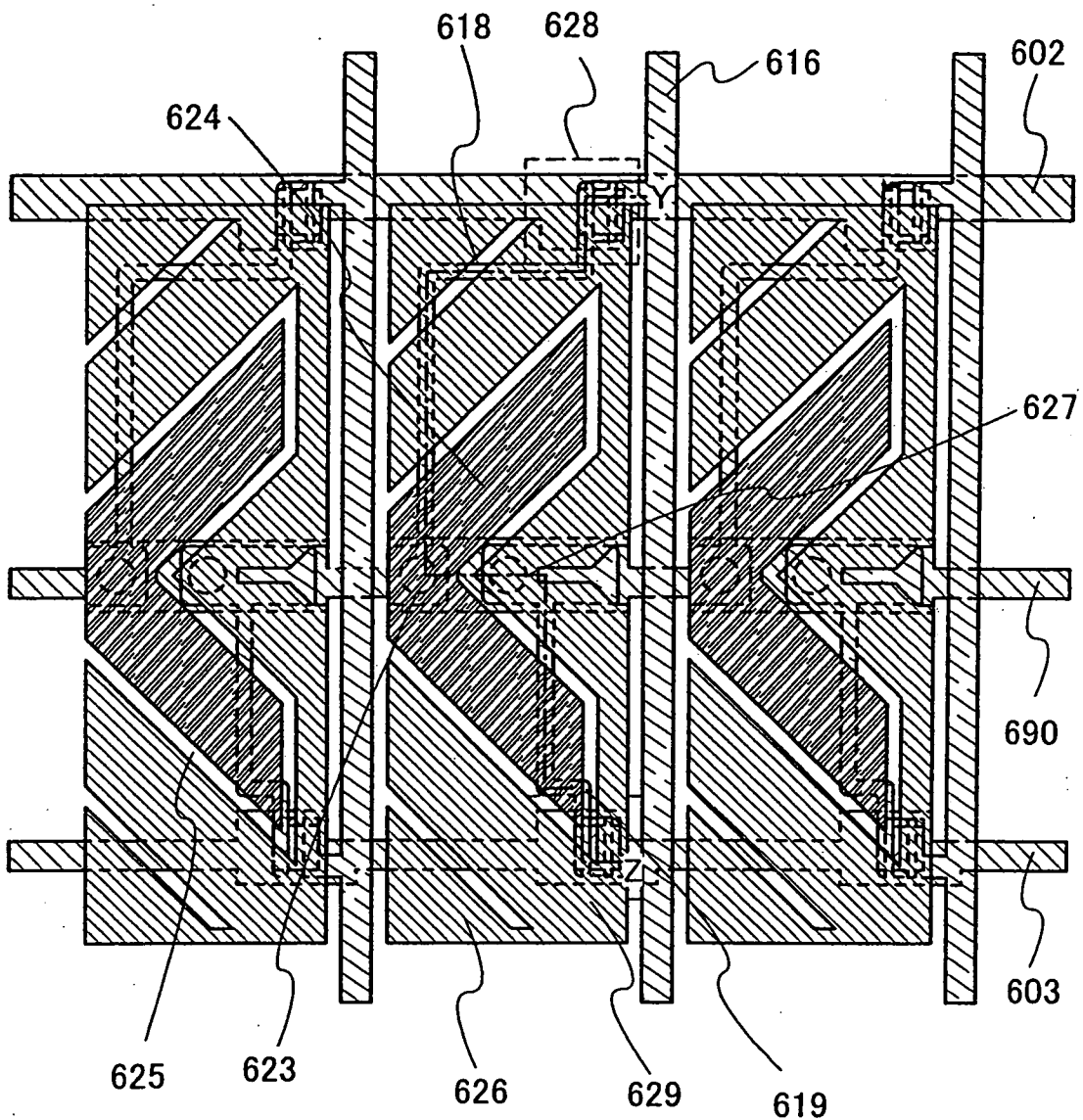
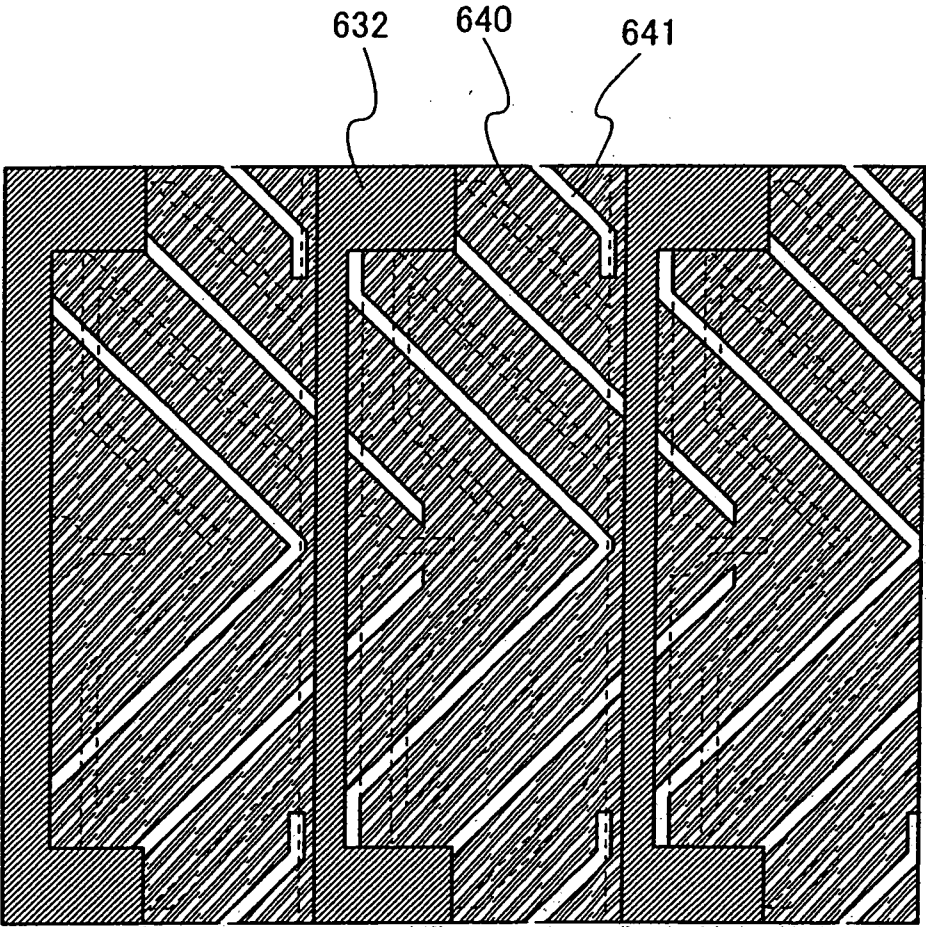


圖 18



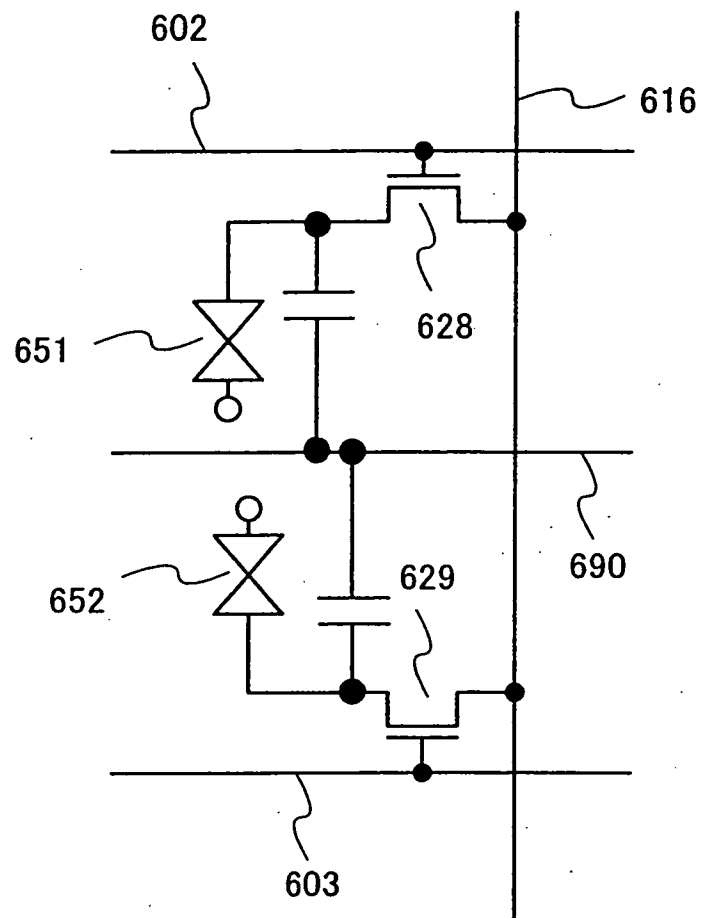


圖 20

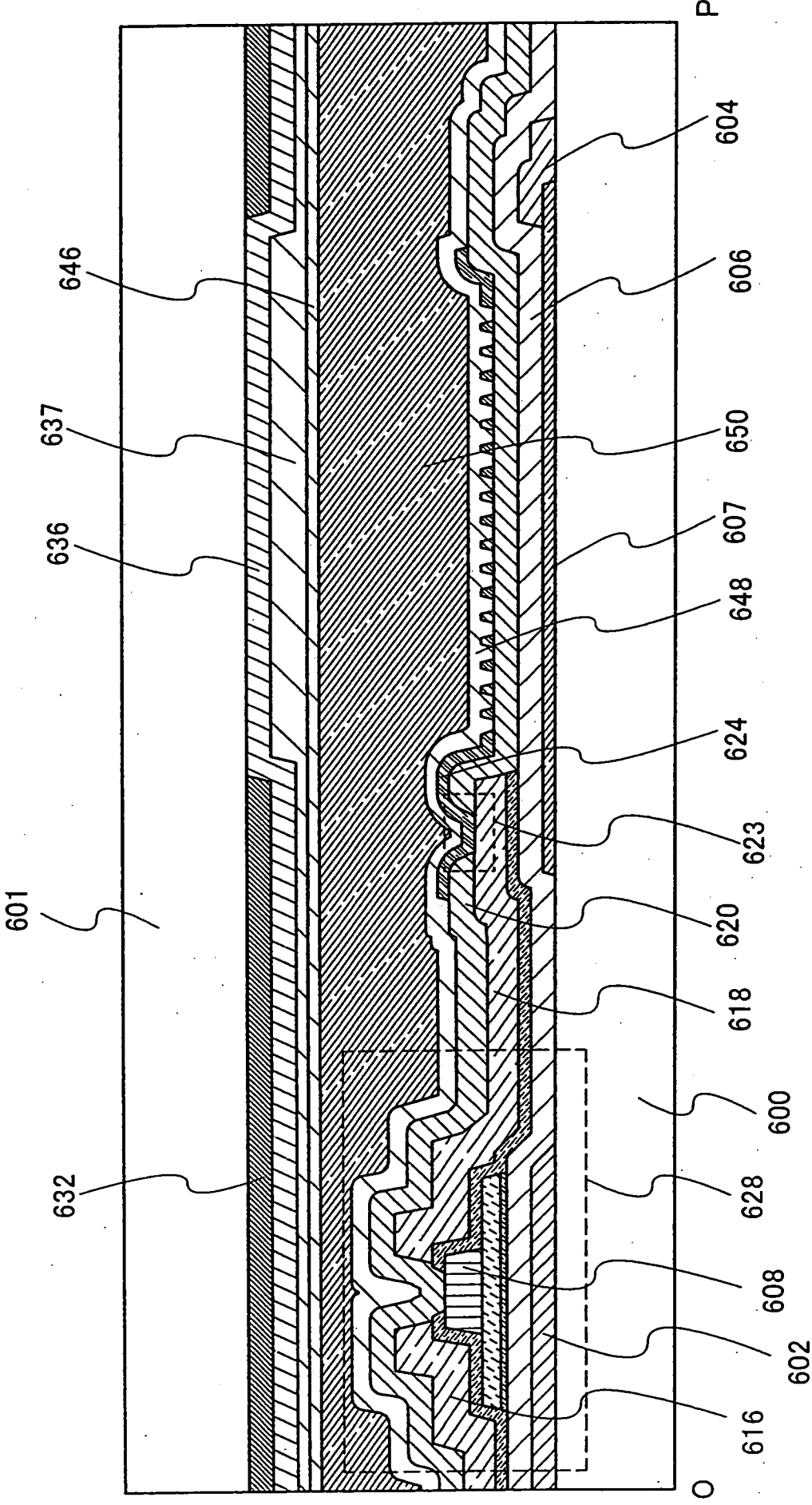


圖 21

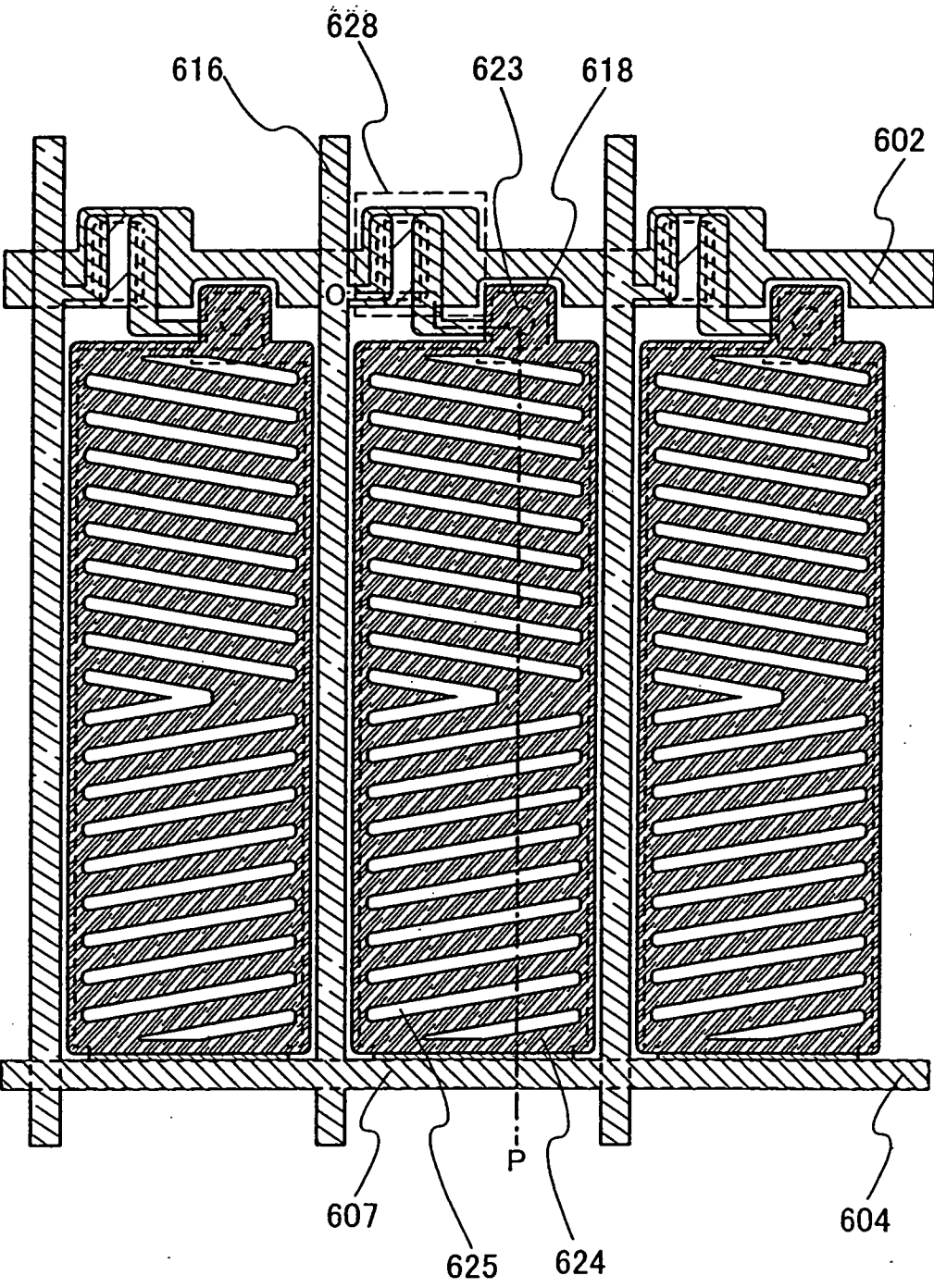


圖22

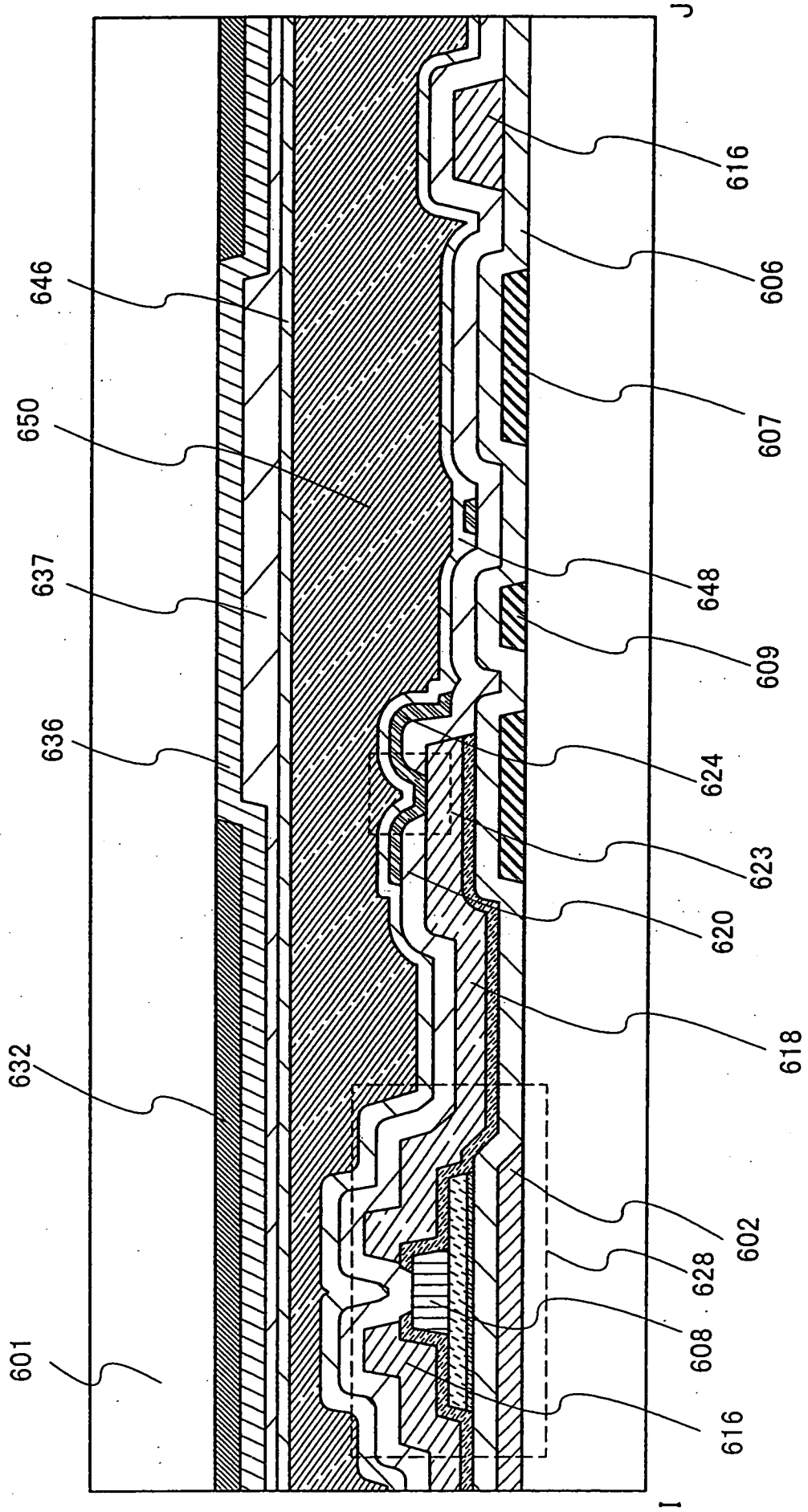


圖 23

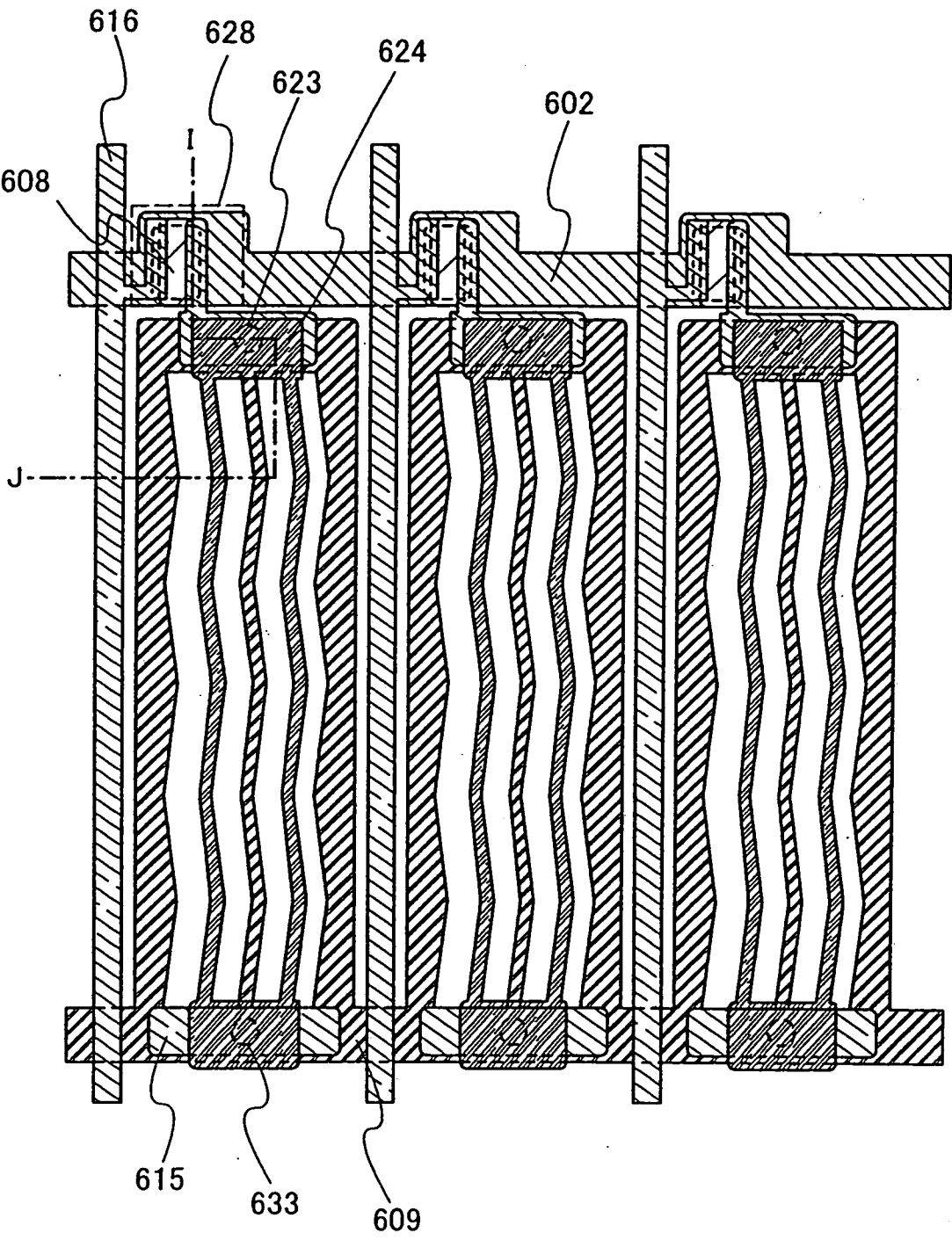


圖24

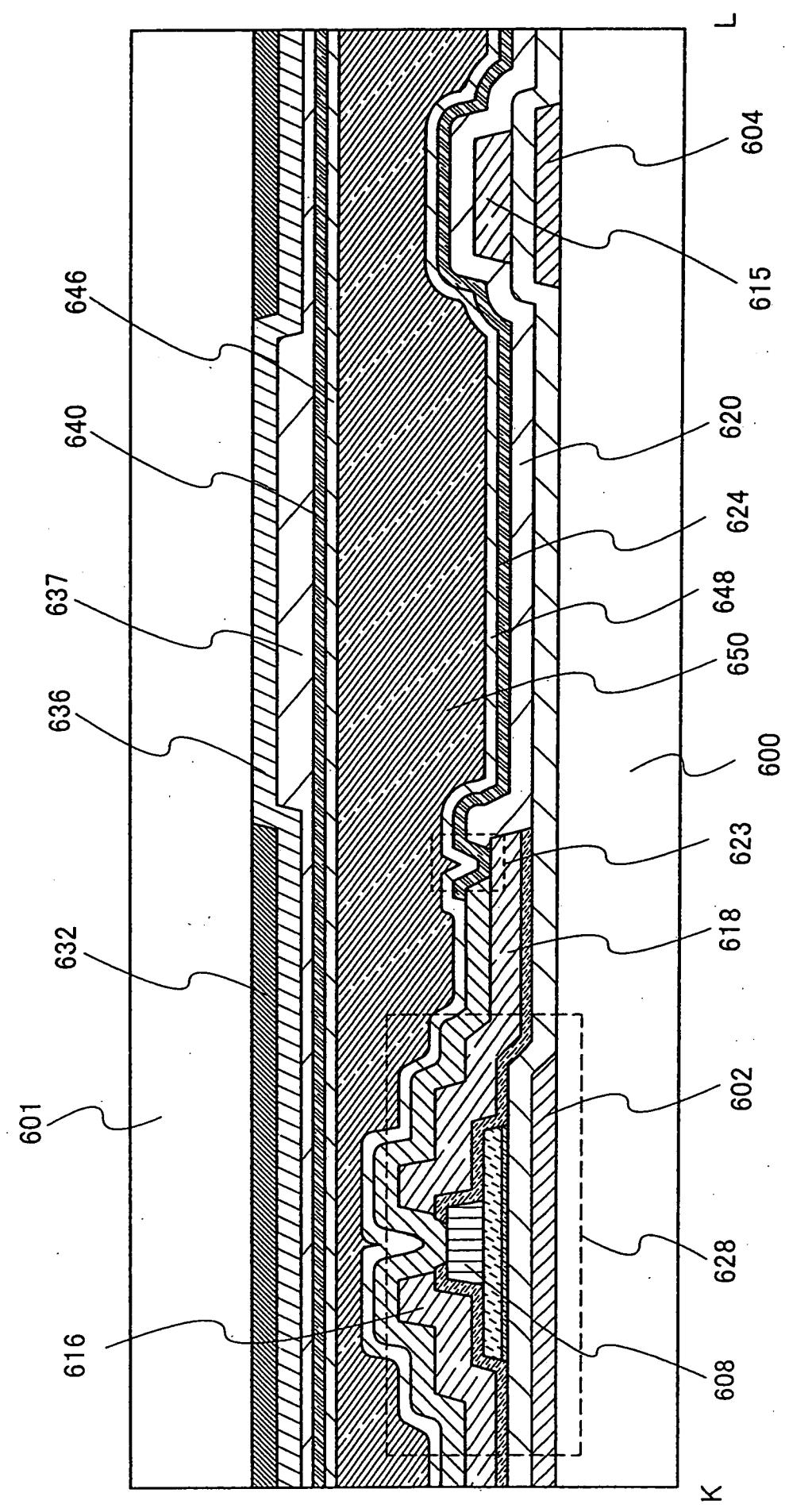


圖25

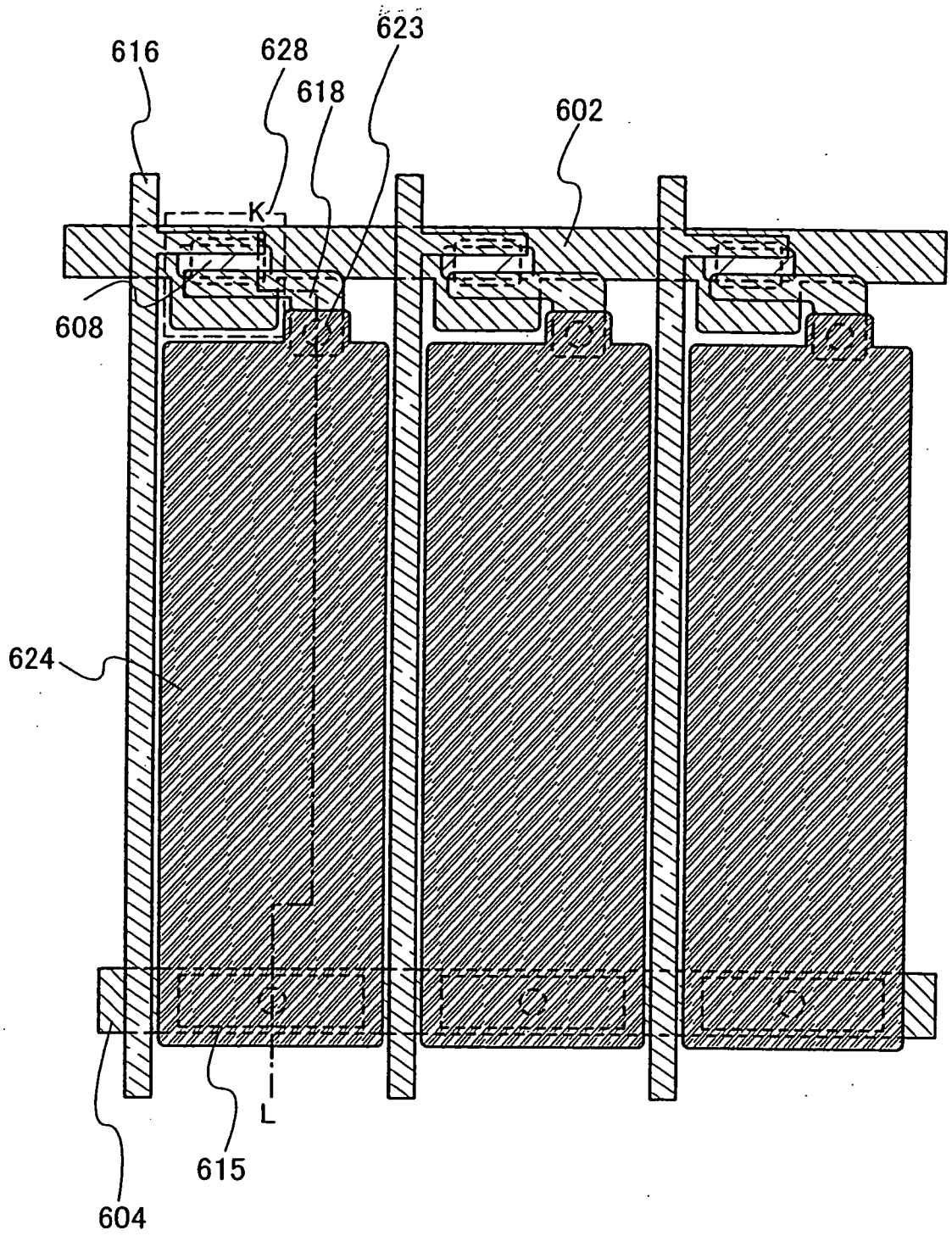


圖 26

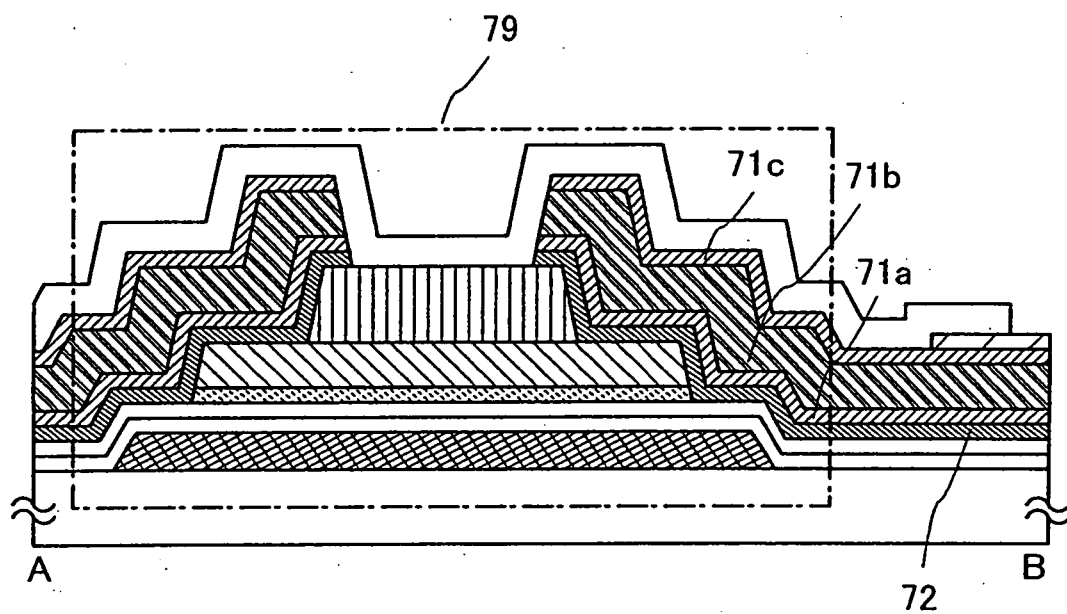


圖27

