

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5988574号
(P5988574)

(45) 発行日 平成28年9月7日(2016.9.7)

(24) 登録日 平成28年8月19日(2016.8.19)

(51) Int.Cl.

F I

G 1 1 C 11/4074 (2006.01)

G 1 1 C 11/4096 (2006.01)

G 1 1 C 11/4094 (2006.01)

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/34 3 5 4 R

G 1 1 C 11/34 3 5 3 F

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2011-281929 (P2011-281929)	(73) 特許権者	513192281
(22) 出願日	平成23年12月22日 (2011.12.22)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2013-131278 (P2013-131278A)		P S 4 L u x c o S . a . r . l .
(43) 公開日	平成25年7月4日 (2013.7.4)		ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8
審査請求日	平成26年10月30日 (2014.10.30)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルを含むメモリセルアレイと、

前記メモリセルアレイと複数の入出力線によって接続された周辺回路と、

前記周辺回路に内部クロック信号を与えるクロック生成回路と、

通常動作時に前記メモリセルアレイおよび前記周辺回路にそれぞれ動作電圧を供給すると共に、前記クロック生成回路によるクロック生成が止まるディープパワーダウンモード中には前記周辺回路への動作電圧の供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路と、を備えることを特徴とする半導体記憶装置。

【請求項 2】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を第 1 レベルにする制御回路を備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記ディープパワーダウンモード中に、前記入出力線を第 1 レベルに制御する制御回路と、を備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介

して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記電源回路に接続された第1プリチャージ回路と、を備え、

前記第1プリチャージ回路には、通常動作モード中は前記ローカル入出力線を中間電位へプリチャージするための電位が前記電源回路から供給され、ディープパワーダウンモード中は中間電位とは異なる第2電位が供給されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を前記第2電位と同じ電位に設定する制御回路を備えることを特徴とする請求項4に記載の半導体記憶装置。

10

【請求項6】

前記制御回路は、前記入出力線を構成する各メイン入出力線とグランドとの間を接続又は非接続状態を確立するように構成されると共に前記ディープパワーダウンモード中は接続状態となるよう制御されるよう構成されたスイッチング要素の組を含むことを特徴とする請求項2に記載の半導体記憶装置。

【請求項7】

前記電源回路は、前記ディープパワーダウンモード中に、前記ローカル入出力線に対するプリチャージ電圧の供給を停止する内部電源回路を含むことを特徴とする請求項3に記載の半導体記憶装置。

20

【請求項8】

前記周辺回路は、リードコマンド又はライトコマンドの入力に対応して発生する制御信号が活性状態のときに入出力線のプリチャージを停止し、少なくとも前記リードコマンド及びライトコマンドが入力されていないときには入出力線のプリチャージを行なうプリチャージ回路をさらに備え、

前記プリチャージ回路は、ディープパワーダウンモードを示すディープパワーダウンコマンドを受けると前記プリチャージ動作を停止することを特徴とする請求項1から7のいずれか記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、消費電力を低減する際に用いて好適な半導体記憶装置に関する。

【背景技術】

【0002】

近年、半導体記憶装置においても、消費電力の低減が大きな課題となっており、特にパワーダウン時の消費電力の低減が求められている。そのため、半導体記憶装置をパワーダウンモードとする際、半導体記憶装置への電源の供給を停止したり、クロックを停止することで、消費電力を低減させている。このパワーダウンモードには、半導体記憶装置におけるメモリセルアレイへの電源供給を停止させ、かつクロックも停止させるディープパワーダウン(Deep Power Down; DPD)と呼ばれるモードがある。このディープパワーダウンモードでは、クロック及びクロックイネーブルを除くすべての入力バッファが停止される。また、このディープパワーダウンモードにおいて、半導体記憶装置がDRAM(Dynamic Random Access Memory)の場合には、メモリセルアレイにおける各メモリセルに対するリフレッシュも停止される。したがって、半導体記憶装置がDRAMの場合、メモリセルアレイにおける各メモリセルのデータは、蓄積された電荷の放電のため保持されない。

40

【0003】

ここで、図6を参照して、本発明の背景技術について具体的に説明する。図6は、本願出願人において作成した本発明の背景技術を説明するための半導体記憶装置の一例を示したブロック図である。図6(a)は、DRAMセルアレイ内のメインIO線(入出力線；

50

以下、M I O線と称する)とローカルI O線(以下、L I O線と称する)との関係を示すブロック図である。図6(b)は、図6(a)に示した複数のメモリセル(すなわちD R A Mセル)101からなるD R A Mメモリセルアレイ5とその周辺及び電源回路の関係を示すブロック図である。そして、図6(c)は、図6(b)に示した電源制御回路A801の構成例を示す回路図である。

【0004】

図6(a)では、メモリセル101に接続されているデータが非反転(T)のローカルI O線であるL O C A L - I O (T) 91及びデータが反転(B)のローカルI O線であるL O C A L - I O (B) 92がトランジスタ(nチャネルM O S (金属酸化膜半導体)トランジスタ)T6及びT7を介して、データが非反転(T)のメインI O線であるM A I N - I O (T) 81及びデータが反転(B)のメインI O線であるM A I N - I O (B) 82に接続されている。トランジスタT6及びT7は、図示していないロウデコーダ(X D E C)から出力された制御信号L M I O S Wによってオン又はオフ状態に制御される。

10

【0005】

また、図6(b)では、内部電源回路601及び電源制御回路A801に対して、外部電源501から電源が供給される。内部電源回路601は、外部電源501の出力を電源として、メモリセルアレイ5への供給電圧V A R Yと、プリチャージ用の電圧h V c cを出力する。このプリチャージ用の電圧h V c cは、例えば、電源電圧V c cの1/2の大きさの電圧である。電源制御回路A801は、外部電源501の出力する電圧を変換し、周辺回路への供給電圧V P E R Iとして出力する。また、ディープパワーダウン(D E E P P O W E R D O W N)信号が“H”レベルとなった場合(すなわち、ディープパワーダウンモード時に)、内部電源回路601は電圧V A R Yと電圧h V c cをグランドV s sレベルに低下させ(あるいは出力電流を遮断し)、電源制御回路A801は電圧V P E R IをグランドV s sレベルに低下させる(あるいは出力電流を遮断する)。

20

なお、電源電圧V c cは、外部電源501とほぼ同一の電圧値を有し(挿入された保護素子や配線による電圧降下などはあるが)、外部電源501を電源として常時供給される電圧である。

【0006】

メモリセルアレイ5は、図6(a)に示したメモリセル101を複数有して構成されている。周辺回路401は、カラムデコーダ(Y D E C)、ロウデコーダ(X D E C)、種々のバッファ回路、コマンドデコーダやアドレスデコーダ等を有して構成されている。メモリセルアレイ5から周辺回路401へはM I O線対8等が配線されている。ここでM I O線対8は、M A I N - I O (T) 81及びM A I N - I O (B) 82から構成されている。

30

【0007】

また、図6(b)の電源制御回路A801は、例えば、図6(c)に単純化して示したように、直列に接続されているインバータG21及びG22と、pチャネルM O SトランジスタT21とから構成されている。インバータG21の入力にはディープパワーダウン信号が入力され、インバータG22の出力がトランジスタT21のゲートに接続されている。トランジスタT21のソースは電源V c cに接続され、トランジスタT21のドレインから周辺回路への供給電圧V P E R Iが出力される。ディープパワーダウン信号が“L”レベルになると、トランジスタT21がオンして電圧V P E R Iが出力され、ディープパワーダウン信号が“H”レベルになると、トランジスタT21がオフして電圧V P E R Iの配線に対して、電源電圧V c cの配線とが電氣的に非接続となり、電源電圧V c cの配線から電圧V P E R Iの配線に対して電流が供給されなくなる。

40

【0008】

図6(b)に示した半導体記憶装置では、ディープパワーダウンモード時に、内部電源回路601及び電源制御回路A801からのV A R Y(メモリセルアレイへの供給電圧)やh V c c(プリチャージ用の電圧)、及びV P E R I(周辺回路への供給電圧)等が、

50

図 6 (c) の電圧 V P E R I と同様な構成により供給されなくなる。

【 0 0 0 9 】

しかしながら、電源制御回路 A 8 0 1 は、図 6 (c) に単純化して記載しているように、例えば、トランジスタからなるスイッチ素子 (すなわちトランジスタ T 2 1) が必要となる。このスイッチ素子は周辺回路全体として流すべき電流に応じて大きく形成されているため、これを無くすることによって、チップ面積を小さくしたいという要求もある。

【先行技術文献】

【特許文献】

【 0 0 1 0 】

【特許文献 1】特開 2 0 0 2 - 1 1 7 6 7 3 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 1 】

上述したように、ディープパワーダウンモード時に、外部電源 5 0 1 あるいは内部電源回路 6 0 1 から、周辺回路 4 0 1 や D R A M セルアレイ 5 に対する電流の供給を制御する場合、制御のためのスイッチとしてトランジスタを用いる場合、サイズが比較的大きなトランジスタが必要となり、チップ面積が増加してしまうという問題がある。

【課題を解決するための手段】

【 0 0 1 2 】

上記課題を解決するため、本発明の半導体記憶装置は、複数のメモリセルを含むメモリセルアレイと、メモリセルアレイと複数の入出力線によって接続された周辺回路と、通常動作時にメモリセルアレイ及び周辺回路にそれぞれ動作電圧を供給すると共にパワーダウンモード時には周辺回路への動作電圧の供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路とを備えることを特徴とする。

20

【発明の効果】

【 0 0 1 3 】

本発明によれば、制御回路によって、メモリセルアレイへの電源及びクロックの供給を停止するパワーダウンモード時に、メモリセルアレイへの動作電圧供給を停止しつつ周辺回路には動作電圧を供給し続けている。したがって、周辺回路へ供給される電圧をオン・オフ制御するための大きな電流を流すための制御回路を省略することができるので、チップ面積を低減することができる。

30

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】本発明の一実施形態としての半導体記憶装置 1 0 0 の主要部の基本的な構成例を示すブロック図である。

【図 2】本実施形態の半導体記憶装置 1 0 0 において、L I O 線用プリチャージ回路を含めたメモリセルアレイと、周辺回路の基本的な構成例を示すブロック図である。

【図 3】本実施形態の半導体記憶装置 1 0 0 において、ディープパワーダウン時に M I O 線 8 1 及び 8 2 を制御する回路の構成例を説明するためのブロック図である。

【図 4】本実施形態の半導体記憶装置 1 0 0 において、M I O 線対を“ H ”レベルにプリチャージする回路の構成例示すブロック図である。

40

【図 5】本実施形態の半導体記憶装置 1 0 0 における各動作と制御信号の変化を示すタイミング図である。

【図 6】ディープパワーダウン時に制御される内部電源回路及び電源制御回路 A を含む半導体記憶装置のブロック図である。

【図 7】M I O 線対を“ H ”レベルにプリチャージする回路の構成例示すブロック図である。

【発明を実施するための形態】

【 0 0 1 5 】

[第 1 の実施形態]

50

以下、本発明の第１の実施形態について、図３を用いて説明する。

当該実施形態による半導体装置は、複数のメモリセルを含むＤＲＡＭセルアレイ５と、前記ＤＲＡＭセルアレイ５と複数のＭＡＩ－ＩＯ（Ｔ／Ｂ）８によって接続された周辺回路４０１と、通常動作時には前記ＤＲＡＭセルアレイ５及び周辺回路４０１にそれぞれ動作電圧 hV_{cc} 、 V_{ARRAY} 及び V_{PERI} を供給すると共にパワーダウンモード時には $DeepPowerDown$ 信号によって周辺回路への電源供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路５０１、６０１とを備えたことを特徴とする。

この構成によって、周辺回路への電源供給をパワーダウンモードによって停止させる大きなトランジスタが不要となり、チップ面積を縮小することが可能となる。

さらに、本願発明者は以下について考察した。上述の第１の実施形態のような構成とした場合、すなわち、周辺回路４０１へ供給される電圧 V_{PERI} をカットせず、常時供給されるようにした場合、ディープパワーダウンモード時のＭＩＯ線８１及び８２とＬＩＯ線９１及び９２との電位差によって、次のような課題も生じる。この課題を、半導体記憶装置におけるメモリセルアレイ及びその周辺回路の基本的な構成の一例を示すブロック図を示した図２を用いて説明する。

図２に示された半導体記憶装置１は、同一構成のメモリセルアレイ５を複数有して構成されている。これらの複数のメモリセルアレイ５は、周辺回路４０１内のロウデコーダ（ $XDEC$ ）１２０、１２１、...やカラムデコーダ（ $YDEC$ ）１３１等に接続されている。

【００１６】

各メモリセルアレイ５は、複数のメモリセル１０１と、複数のセンスアンプ SA と、 n チャネル MOS トランジスタ $T1 \sim T7$ とを複数組有して構成されている。複数のメモリセル１０１は、ロウデコーダ（ $XDEC$ ）１２０、１２１、...に対してワード線 WL を介して接続されている。複数のメモリセル１０１は、また、反転ビット線 $DL(B)112$ に接続されるとともに、センスアンプ SA を介して非反転ビット線 $DL(T)111$ に接続されている。非反転ビット線 $DL(T)111$ 及び反転ビット線 $DL(B)112$ は、スイッチングトランジスタ $T1$ 及び $T2$ を介して、 $LOCAL-IO(T)91$ 及び $LOCAL-IO(B)92$ に接続されている。トランジスタ $T1$ 及び $T2$ は、カラムデコーダ（ $YDEC$ ）１３１によって駆動されるカラムアドレス選択線 YSW によってオン・オフ制御される。 $LOCAL-IO(T)91$ 及び $LOCAL-IO(B)92$ は、スイッチングトランジスタ $T6$ 及び $T7$ を介して、非反転 MIO 線８１及び反転 MIO 線８２に接続されている。トランジスタ $T6$ 及び $T7$ は、ロウデコーダ（ $XDEC$ ）１２０、１２１、...によって駆動される制御信号 $LMIOSW0$ 、１、...によってオン・オフ制御される。また、 $LOCAL-IO(T)91$ 及び $LOCAL-IO(B)92$ 間には、トランジスタ $T3 \sim T5$ からなるイコライズ回路が接続されている。この場合、 $LOCAL-IO(T)91$ 及び $LOCAL-IO(B)92$ 間にトランジスタ $T5$ のドレイン又はソースが接続され、 $LOCAL-IO(T)91$ にトランジスタ $T3$ のソースが接続され、そして、 $LOCAL-IO(B)92$ にトランジスタ $T4$ のソースが接続されている。トランジスタ $T3$ 及び $T4$ のドレインはプリチャージ用の電圧 hV_{cc} に接続されている。トランジスタ $T3 \sim T5$ のゲートは、ロウデコーダ（ $XDEC$ ）１２０、１２１、...によって駆動される制御信号 $DLEQB0$ 、 $DLWQBE1$ 、...が接続されている。

【００１７】

図２に示すような構成において、 MIO 線８１及び８２は、通常“ H ”レベル（電源電圧 V_{cc} ）にプリチャージされており、 $LOCAL-IO(T)91$ 及び $LOCAL-IO(B)92$ はプリチャージ用電圧 hV_{cc} によって $1/2V_{cc}$ にプリチャージされている。ただし、ディープパワーダウンモード時には通常、 LIO 線９１及び９２はグランド電圧 V_{ss} になってしまう。そのため、 $MAIN-IO(T)81$ 及び $MAIN-IO(B)82$ が V_{cc} のままであると、 $MAIN-IO(T)81$ 及び $MAIN-IO(B)82$ と $LOCAL-IO(T)91$ 及び $LOCAL-IO(B)92$ との間に設けられ

10

20

30

40

50

たスイッチングトランジスタT 6及びT 7等を介して電源V c cとグランドV s s間に電流(トランジスタT 6及びT 7はオフ状態であるがリーク電流)が流れてしまう。このため、ディープパワーダウンモード時において、このリーク電流のために、消費電流の低減が制限されるという問題が起こる。

【0018】

具体的には、メモリセルアレイ0においては、図2に示すように、メモリセル101がアクセスされていないときには、制御信号LMIOSW0は“L”レベル、YSWも“L”レベル、DLEQB0は“H”レベル、MIO線81及び82はV c c、LOCAL-IO(T)91及びLOCAL-IO(B)92は1/2V c c(hV c c)となっているが、このときディープパワーダウンモードになると、hV c cはグランドV s sに成るものの、ロウデコーダ(XDEC0)、カラムデコーダ(YDEC)131等の周辺回路104からの制御信号はそのまま維持される。そのため、LOCAL-IO(T)91及びLOCAL-IO(B)線92間に設けられているLIO用イコライズ回路を構成するトランジスタT 3及びT 4によってLOCAL-IO(T)91及びLOCAL-IO(B)92は共にグランドV s sとなってしまう。この状況は、メモリセルアレイ101のすべてのMIO線81及び82とLIO線91及び92の間で起るため、その電流値は非常に大きなものとなり、パワーダウンしているにもかかわらず、消費電力が減らないという問題が起こる。すなわち、MAIN-IO(T)81及びMAIN-IO(B)82が“H”レベルにプリチャージされている状態で、周辺回路401の電源をオフせずに、メモリセルアレイ5の電源をオフすると、MAIN-IO(T)線81及びMAIN-IO(B)82とLOCAL-IO(T)91及びLOCAL-IO(B)92の間でリーク電流が懸念されるという課題があった。

【0019】

なお、MIO線を“H”レベルにプリチャージする従来技術を開示する文献として特許文献1がある。

上述のように、通常動作時には、MIO線を“H”レベルにプリチャージし、パワーダウンモード時には、MIO線を“L”レベルにする回路の構成例について図7を参照して説明する。図7に示す回路には、MAIN-IO(T)線81及びMAIN-IO(B)82と、ゲートG1~G4、G6a、G7~G8、G9a及びG10と、メインアンプ回路701と、トランジスタT11、T12及びT15~T17とが含まれている。図7に示す例では、MAIN-IO(T)81及びMAIN-IO(B)82が、メインアンプ回路701に接続されるとともに、トランジスタT11、T12及びT15~T17が接続されている。この場合、MAIN-IO(T)81は、pチャネルMOSトランジスタT11及びnチャネルMOSトランジスタT15の各ドレインに接続されている。MAIN-IO(T)82は、pチャネルMOSトランジスタT12及びnチャネルMOSトランジスタT16の各ドレインに接続されている。pチャネルMOSトランジスタT11及びT12の各ソースは電源V c cに接続され、nチャネルMOSトランジスタT15及びT16の各ソースはグランドV s sに接続されている。また、pチャネルMOSトランジスタT17のドレイン及びソースが、MAIN-IO(T)81又はMAIN-IO(B)82に接続されている。

トランジスタT11のゲートはOR(オア)-NAND(ナンド)複合ゲートG6aの負論理出力に接続されている。トランジスタT15のゲートはNOR(ノア)ゲートG7の負論理出力に接続されている。トランジスタT17のゲートはNANDゲートG8の負論理出力に接続されている。トランジスタT12のゲートはOR-NAND複合ゲートG9aの負論理出力に接続されている。トランジスタT16のゲートはNORゲートG10の負論理出力に接続されている。

【0020】

また、インバータG1にはライト時(書き込み時)に“H”レベルとなる制御信号WAEが入力される。インバータG1の出力は、NORゲートG2の一方の入力と、複合ゲートG6aの一方のOR入力と、NORゲートG7の一方の入力と、NANDゲートG8の

一方の入力と、複合ゲートG9aの一方のOR入力と、NORゲートG10の一方の入力とに接続されている。

NORゲートG2の他方の入力とインバータG3は、LOCAL-IO(T)91及びLOCAL-IO(B)92のプリチャージ時に“H”レベルとなる制御信号FIOが入力される。インバータG3の出力は、NANDゲートG8の他方の入力に接続されている。NORゲートG2の出力は、複合ゲートG6aのAND入力と、複合ゲートG9aのAND入力とに接続されている。

また、書き込み時に入力されたデータ、すなわち、リードライトバスRWBS上のデータが、複合ゲートG6aの他方のOR入力と、NORゲートG7の他方の入力と、インバータG4の入力とに入力される。インバータG4の出力が、複合ゲートG9aの他方のOR入力と、NORゲートG10の他方の入力とに接続されている。データ書き込み時にはこのリードライトバスRWBS上のデータに基づき、MAIN-IO(T/B)に相補の書き込みデータが生成される。

また、メインアンプを起動する制御信号DAEが、データ読み出し時にメインアンプ回路701に入力され、MAIN-IO(T)81及びMAIN-IO(B)82に読み出された相補のデータに基づいて、メインアンプからデータがリードライトバスRWBSに出力される。なお、MAIN-IO(T)81及びMAIN-IO(B)82は、MAIN-IOプリチャージ信号がLレベルのとき“H”レベル(電源電圧Vcc)にプリチャージされている。

したがって、ディープパワーダウンモード時に、トランジスタT11及びT12がオンしMAIN-IO(T)81及びMAIN-IO(B)82がHレベルにプリチャージされた状態が維持され、一方、LIO線91及び92がグラウンド電圧Vssとされているため、オフ状態となっているトランジスタT6及びT7を介してリーク電流が流れ、このリーク電流のために、消費電流の低減が制限されないように改良する必要がある。

【0021】

[第2の実施形態]

以下、図面を参照して本発明の第2の実施形態としての半導体記憶装置について説明する。図1は、本発明の第2の実施形態としての半導体記憶装置100の主要部の基本的な構成例を示すブロック図である。

【0022】

図1に示した半導体記憶装置100は、メモリマット1、複数のローカルアンプ2、ライトアンプ3及びメインアンプ4を含んでいる。メモリマット1は、複数のメモリセルアレイ5を有して構成されている。複数のメモリセルアレイ5は、複数のセンスアンプSAを有するセンスアンプ部6と、複数のメモリセルを有するメモリセルアレイ部7とを含んでいる。各メモリセルアレイ5には、複数のメモリセルアレイ5に対して共通に設けられているMIO線対8と、MIO線対8に対して各メモリセルアレイ5内で接続及び配線されたLIO線対9とが設けられている。

【0023】

複数のローカルアンプ2は、各MIO線対8とコモンIO線対(CIO線対)10との間に設けられていて、各MIO線対8とコモンIO線対10間で入出力される信号を増幅する。ライトアンプ3は、メモリセルアレイ5への書き込み用信号を増幅する。メインアンプ4は、コモンIO線対10に出力された読み出し信号を増幅する。

【0024】

メモリセルアレイ部7から出力された信号はセンスアンプ部6で増幅され、LIO線対9を介してMIO線対8に伝達され、対応するローカルアンプ2で増幅された後にコモンIO線対10を介してメインアンプ4に伝達され、そこで増幅された後に外部に出力される。また、外部から入力された書き込み信号は、ライトアンプ3で増幅された後にコモンIO線対10を介してローカルアンプ2に伝達され、そこで増幅された後に、MIO線対8及びLIO線対9を介してメモリセルアレイ部7に伝達され、入力されたアドレスによって指定された所定のメモリセルに書き込まれる。

【 0 0 2 5 】

なお、本発明の実施の形態は、図 1 に示した構成に限定されず、例えば、複数のローカルアンプ 2 を省略して、M I O 線対 8 と C I O 線対 1 0 とを一体として構成したりすること等が可能である。

【 0 0 2 6 】

次に、図 2 を参照して、本実施形態の半導体記憶装置 1 0 0 における、L I O 線用プリチャージ回路を含めた構成としてのメモリセルアレイ 5 と、周辺回路 4 0 1 の基本的な構成例について説明する。ただし、図 2 については、上記「背景技術」において説明しているので、ここでは図 1 に示した各構成と図 2 に示した各構成との関係について説明する。なお、図 1 及び図 2 で対応する構成には同一の符号を用いている。

10

【 0 0 2 7 】

図 2 には、図 1 に示した構成に加え、周辺回路 4 0 1 として、複数のメモリセルアレイ 5 に接続されるロウデコーダ (X D E C) 1 2 0 、 1 2 1 、 ... やカラムデコーダ (Y D E C) 1 3 1 等の構成を示している。また、図 2 の L I O 線 9 1 及び 9 2 の組が、図 1 の L I O 線対 9 に対応する構成である。なお、図 1 のローカルアンプ 2 、ライトアンプ 3 及びメインアンプ 4 は、図 2 の周辺回路 4 0 1 に含まれる構成となる。

【 0 0 2 8 】

次に、図 3 を参照して、本実施形態の半導体記憶装置 1 0 0 において、ディープパワーダウン時に M I O 線対 8 の M A I N - I O (T) 8 1 及び M A I N - I O (B) 8 2 を制御する回路の構成例について説明する。なお、図 3 において、図 6 に示したものと同一の構成には同一の符号を用いている。図 3 (a) は、メモリセルアレイ 5 内の M A I N - I O (T) 8 1 及び M A I N - I O (B) 8 2 と L O C A L - I O (T) 9 1 及び L O C A L - I O (B) 9 2 との関係を示すブロック図である。図 3 (b) は、図 3 (a) に示した複数のメモリセル 1 0 1 からなるメモリセルアレイ 5 とその周辺回路 4 0 1 及び内部電源回路 6 0 1 の関係を示すブロック図である。そして、図 3 (c) は、本実施形態が特徴とするディープパワーダウン時に M A I N - I O (T) 8 1 及び M A I N - I O (B) 8 2 を制御する回路の構成例を示した回路図である。

20

【 0 0 2 9 】

図 3 (a) では、メモリセル 1 0 1 に接続されている非反転及び反転 L I O 線 9 1 及び 9 2 がトランジスタ T 6 及び T 7 を介して、M A I N - I O (T) 8 1 及び M A I N - I O (B) 8 2 に接続されている。トランジスタ T 6 及び T 7 は、図 2 のロウデコーダ 1 2 0 、 1 2 1 、 ... 等から出力された制御信号 L M I O S W (すなわち図 2 の L M I O S W 0 、 L M I O S W 1 、 ...) によってオン・オフ制御される。

30

【 0 0 3 0 】

また、図 3 (b) では、内部電源回路 6 0 1 に対して、外部電源 5 0 1 から電源が供給される。内部電源回路 6 0 1 は、外部電源 5 0 1 の出力を電源として、メモリセルアレイ 5 への供給電圧 V A R Y と、プリチャージ用の電圧 h V c c を出力する。このプリチャージ用の電圧 h V c c は、例えば、電源電圧 V c c の 1 / 2 の大きさの電圧である。また、ディープパワーダウン信号が “ H ” レベルとなった場合、内部電源回路 6 0 1 は電圧 V A R Y と電圧 h V c c をグラウンド V s s レベルに低下させる (あるいは出力電流を遮断する)。また、本実施形態では、図 6 の電源制御回路 A 8 0 1 は省略され、外部電源 5 0 1 の出力が、そのまま電圧 V P E R I として周辺回路 4 0 1 へ入力される。

40

【 0 0 3 1 】

また、図 3 (b) に示したように、本実施形態では、電源制御回路 A 8 0 1 が省略されている。そして、図 3 (c) に示すように、新たに追加される構成として、ディープパワーダウン信号が “ H ” レベルとなった場合に M I O 線対 8 をグラウンド V s s のレベルに変化させる (及び維持する) 1 対の n チャネル M O S トランジスタ T 1 3 及び T 1 4 が設けられている。ここで、トランジスタ T 1 3 は、M A I N - I O (T) 線 8 1 にドレインが接続され、グラウンド V s s にソースが接続され、そして、ディープパワーダウン信号がゲートに入力されている。また、トランジスタ T 1 4 は、M A I N - I O (B) 線 8 2 にド

50

ラインが接続され、グランドV_{ss}にソースが接続され、そして、ディープパワーダウン信号がゲートに入力されている。これらのトランジスタT₁₃及びT₁₄は、例えば周辺回路401内に設けることができる。

【0032】

なお、MIO線対8には、MIO線対8をプリチャージする際に、MIO線対8を電源V_{cc}に接続する1対のpチャネルMOSトランジスタT₁₈及びT₁₉が接続されている。ここで、トランジスタT₁₈は、MAIN-IO(T)線81にドレインが接続され、電源V_{cc}にソースが接続され、そして、MIO線をプリチャージする際に“L”レベルとなる制御信号(MAIN-IOプリチャージ信号)がゲートに入力されている。また、トランジスタT₁₉は、MAIN-IO(B)線82にドレインが接続され、電源V_{cc}にソースが接続され、そして、MIO線をプリチャージする際に“L”レベルとなる制御信号がゲートに入力されている。これらのトランジスタT₁₈及びT₁₉は、ディープパワーダウンモード時にはオフに制御され、MIO線対9には電源V_{cc}が供給されない。

【0033】

図3(b)に示した半導体記憶装置100では、ディープパワーダウンモード時に、内部電源回路601からのV_{ARY}(メモリセルアレイへの供給電圧)やhV_{cc}(プリチャージ用の電圧)がカットされV_{ss}とされる。また、ディープパワーダウンモード時に、LIO線対9がグランドV_{ss}のレベルに制御される。

【0034】

次に、図4を参照して、MAIN-IO(T)81及びMAIN-IO(B)82をプリチャージする回路の構成例について説明する。ただし、図4に示した例は、図1を参照して説明したローカルアンプ2とCIO線対10とを省略した構成に対応させたものとしている。図4に示した回路は、図7を参照して説明した回路と比較して次の点が異なっている。また、図7の複合ゲートG6a及びG9aに代えて、複合ゲートG6及びG9が設けられているとともに、MAIN-IO(T)及びMAIN-IO(B)82に図3(c)を参照して説明したトランジスタT₁₃及びT₁₄が接続されている。図4に示す回路には、MAIN-IO(T)81及びMAIN-IO(B)82と、ゲートG1=G10と、メインアンプ回路701と、トランジスタT₁₁~T₁₇とが含まれている。なお、図4に示した構成例では、トランジスタT₁₁、T₁₂及びT₁₇が、図3(c)に示したトランジスタT₁₈及びT₁₉に対応する構成である。また、図4におけるゲートG6、G8及びG9の出力信号が、図3(c)に示したMAIN-IOプリチャージ信号に対応する制御信号である。

【0035】

すなわち、図3に示す例では、MAIN-IO(T)81及びMAIN-IO(B)82には、メインアンプ回路701に接続されるとともに、トランジスタT₁₁~T₁₇が接続されている。この場合、MAIN-IO(T)81は、pチャネルMOSトランジスタT₁₁及びnチャネルMOSトランジスタT₁₅の各ドレインに接続されている。MAIN-IO(T)81は、さらに、nチャネルMOSトランジスタT₁₃のドレインに接続されている。MAIN-IO(B)82は、pチャネルMOSトランジスタT₁₂及びnチャネルMOSトランジスタT₁₆の各ドレインに接続されている。MAIN-IO(B)82は、さらに、nチャネルMOSトランジスタT₁₄のドレインに接続されている。pチャネルMOSトランジスタT₁₁及びT₁₂の各ソースは電源V_{cc}に接続され、nチャネルMOSトランジスタT₁₅及びT₁₆の各ソースはグランドV_{ss}に接続されている。また、nチャネルMOSトランジスタT₁₃及びT₁₄の各ソースはグランドV_{ss}に接続されている。また、pチャネルMOSトランジスタT₁₇のドレイン及びソースが、MAIN-IO(T)81又はMAIN-IO(B)82に接続されている。

【0036】

トランジスタT₁₁のゲートはOR-NAND複合ゲートG6の負論理出力に接続されている。トランジスタT₁₅のゲートはNORゲートG7の負論理出力に接続されている

。トランジスタT17のゲートはNANDゲートG8の負論理出力に接続されている。トランジスタT12のゲートはOR-NAND複合ゲートG9の負論理出力に接続されている。トランジスタT16のゲートはNORゲートG10の負論理出力に接続されている。トランジスタT13及びT14のゲートには、ディープパワーダウン信号が入力される。
【0037】

また、インバータG1にはライト時（書き込み時）に“H”レベルとなる制御信号WAEが入力される。インバータG1の出力は、NORゲートG2の一方の入力と、複合ゲートG6の一方のOR入力と、NORゲートG7の一方の入力と、NANDゲートG8の一方の入力と、複合ゲートG9の一方のOR入力と、NORゲートG10の一方の入力とに接続されている。

10

【0038】

NORゲートG2の他方の入力とインバータG3には、LOCAL-IO(T)91及びLOCAL-IO(B)92のプリチャージ時に“H”レベルとなる制御信号FIOが入力される。インバータG3の出力は、NANDゲートG8の他方の入力に接続されている。NORゲートG2の出力は、複合ゲートG6の一方のAND入力と、複合ゲートG9の一方のAND入力とに接続されている。

【0039】

また、リードライトバスRWBS上のデータが、複合ゲートG6の他方のOR入力と、NORゲートG7の他方の入力と、インバータG4の入力とに入力される。インバータG4の出力が、複合ゲートG9の他方のOR入力と、NORゲートG10の他方の入力とに接続されている。データ書き込み時にはリードライトバスRWBS上のデータに基づき、相補の書き込みデータが生成されMAIN-IO(T/B)に出力され、詳述はしないがLOCAL-IOを介してメモリにデータが書き込まれる。

20

【0040】

また、インバータG5にはディープパワーダウンモード時に“H”レベルとなる制御信号DPDが入力される。インバータG5の出力は、複合ゲートG6の他方のAND入力と、複合ゲートG9の他方のAND入力とに接続されている。

【0041】

また、メインアンプを起動する制御信号DAEが、メインアンプ回路701に入力され、メインアンプ回路701は、データ読み出し時にメモリセルからLOCAL-IO(T/B)を介してMAIN-IO(T/B)に読み出されたデータを制御信号DAEに基づいて増幅し、増幅されたデータをリードライトバスRWBSに出力している。図4に示す回路によって、MIO線81及び82は、制御信号FIOが“L”レベルのとき、“H”レベル（電源電圧Vcc）にプリチャージされる。また、ディープパワーダウンモード時には、トランジスタT13及びT14がオンすることで、“L”レベル（Vssレベル）に制御される。

30

【0042】

ここで、図5を参照して、図1～図4を参照して説明した本実施形態の半導体記憶装置100の動作について説明する。図5は、横軸を時間の流れとして、4種類のコマンド、ライト(WRITE)、リード(READ)、プリチャージ(PRE)及びディープパワーダウン(DPD)が入力された場合の、内部クロック信号CLK、外部入力コマンドCMD、MIO線対8及び制御信号FIO、WAE、DAE、RWBS及びDPDの変化を模式的に表したタイミングチャートである。ただし、各コマンドが入力される前の状態は、MIO線対8が“H”レベル（以下、“H”と表記する）で、他の制御信号が“L”レベル（以下、“L”と表記する）であるとしている。

40

【0043】

ライト時(WRITE)には、WRITEコマンドが入力されると、次のクロックCLKの立ち上がりで、MIO線対8が“L”に、制御信号FIOが“H”に、制御信号WAEが“H”に、制御信号RWBSが“H”に、変化する。一方、制御信号DAEと、制御信号DPDは“L”のまま変化しない。また、次のクロックCLKの立ち下がりで、MIO

50

Ｏ線対８が“Ｈ”に、制御信号ＦＩＯが“Ｌ”に、制御信号ＷＡＥが“Ｌ”に、制御信号ＲＷＢＳが“Ｌ”に、変化する。

【００４４】

リード（ＲＥＡＤ）コマンドが入力されると、次のクロックＣＬＫの立ち上がりで、制御信号ＦＩＯが“Ｈ”に変化する。また、ＭＩＯ線対８上では、図示していない外部からのアドレス信号等に基づいて選択されたメモリセルの記憶値に応じた信号が徐々に発生する。また、これを受け、同クロックＣＬＫの立ち上がりから所定時間遅れた時刻で、制御信号ＤＡＥが“Ｈ”に、制御信号ＲＷＢＳが“Ｈ”に変化する。一方、制御信号ＷＡＥと制御信号ＤＰＤは“Ｌ”のまま変化しない。また、次のクロックＣＬＫの立ち下がり、
 10

【００４５】

次に、ＬＯＣＡＬ－ＩＯをプリチャージするためのプリチャージ（ＰＲＥ）コマンドが入力された場合は、ＭＩＯ線対８は“Ｈ”のまま変化せず、他の制御信号は“Ｌ”のまま変化しない。

【００４６】

ディープパワーダウン（ＤＰＤ）コマンドが入力されると、次のクロックＣＬＫの立ち上がりで、制御信号ＤＰＤが“Ｈ”に変化する。また、他の制御信号“Ｌ”のまま変化しない。このディープパワーダウン（ＤＰＤ）コマンドは、例えば、クロックイネーブル信号を“Ｌ”にするとともに、他の所定の制御信号を所定のレベルに設定することで、入力
 20

【００４７】

以上のように、本実施形態の半導体記憶装置１００によれば、ディープパワーダウン時にＭＩＯ線対８のプリチャージ用の回路がディープパワーダウン信号を受けてＭＩＯ線対８をグラウンドＶｓｓとする。したがって、ＭＩＯ線対８とＬＩＯ線対９間の電位差をほぼ零とすることができ、リーク電流による消費電流の発生を低減することができる。また、
 30

【００４８】

なお、本実施形態の半導体記憶装置１００では、ディープパワーダウンモード時にトランジスタＴ１３及びＴ１４をオンすることでＭＩＯ線対８をグラウンドＶｓｓとすることとしているが、他のパワーダウンモードではこの制御は行わない。他のパワーダウンモードとしては、例えば、アイドル状態からパワーダウンモードに移行するアクティブパワーダウンモードや、アクティブ状態からパワーダウンモードに移行するアイドルパワーダウンモードがある。これらのパワーダウンモードでは、メモリセルへは電源が供給された状態で、クロックも供給される。
 40

【符号の説明】

【００４９】

１００ 半導体記憶装置

１０１ メモリセル

５ メモリセルアレイ

８ ＭＩＯ線対

８１ ＭＡＩＮ－ＩＯ（Ｔ）

８２ ＭＡＩＮ－ＩＯ（Ｂ）

９ ＬＩＯ線対

９１ ＬＯＣＡＬ－ＩＯ（Ｔ）

10

20

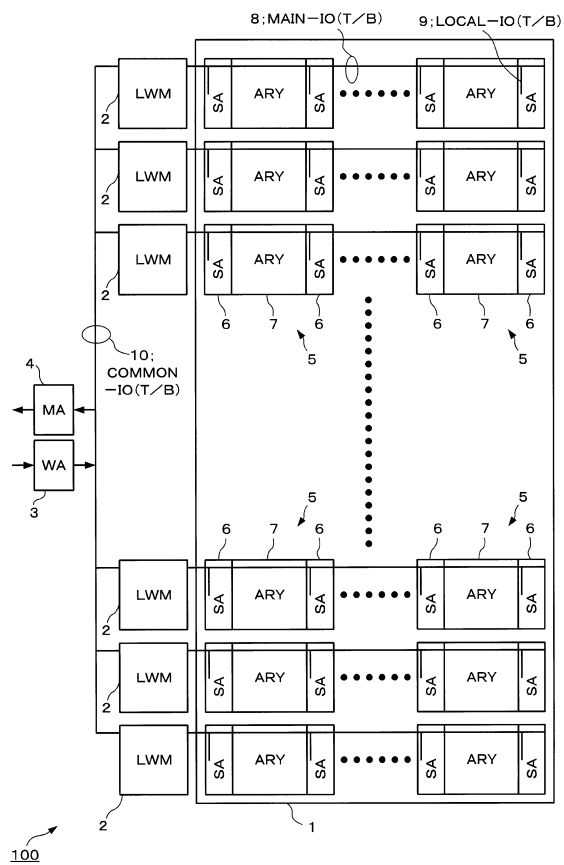
30

40

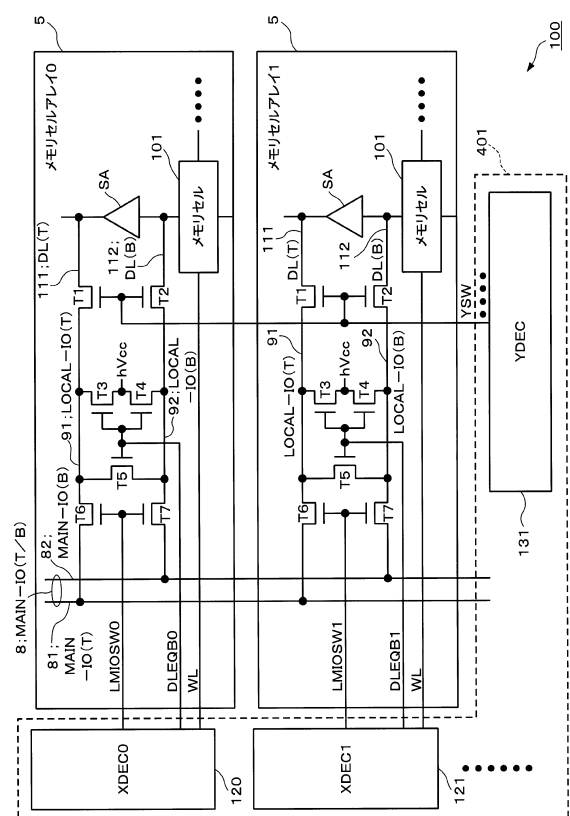
50

92 LOCAL-IO(B)
 T1~T17 トランジスタ
 RWBS リードライトバス

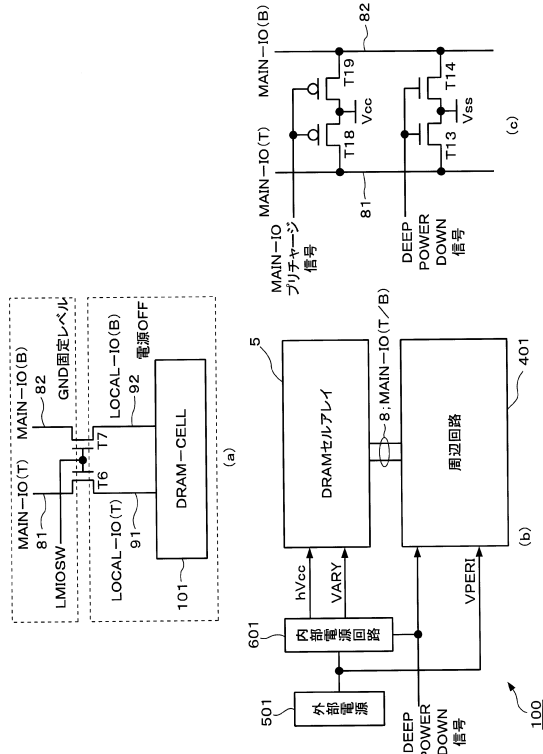
【図1】



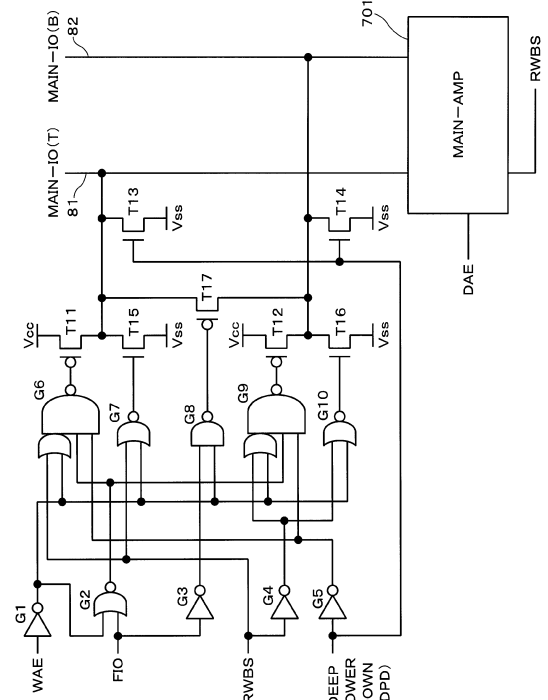
【図2】



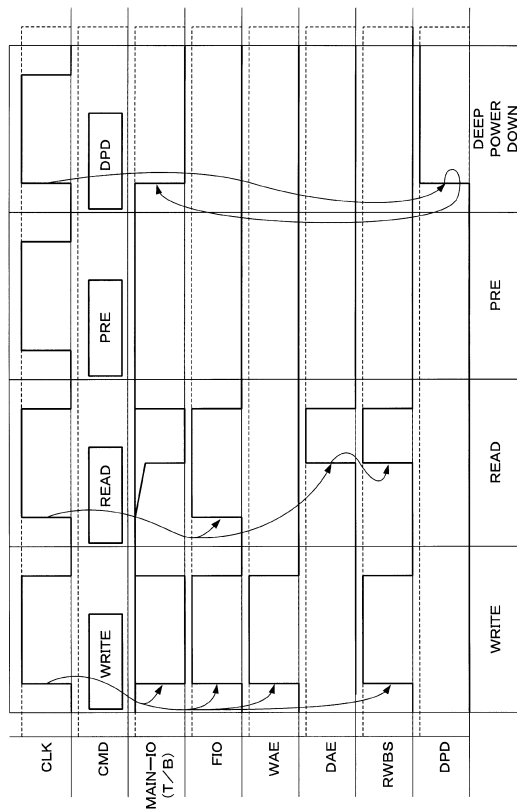
【図 3】



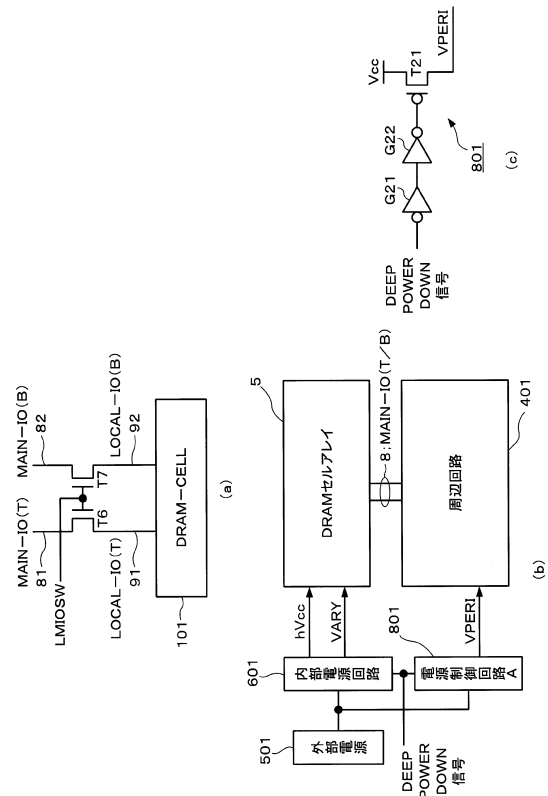
【図 4】



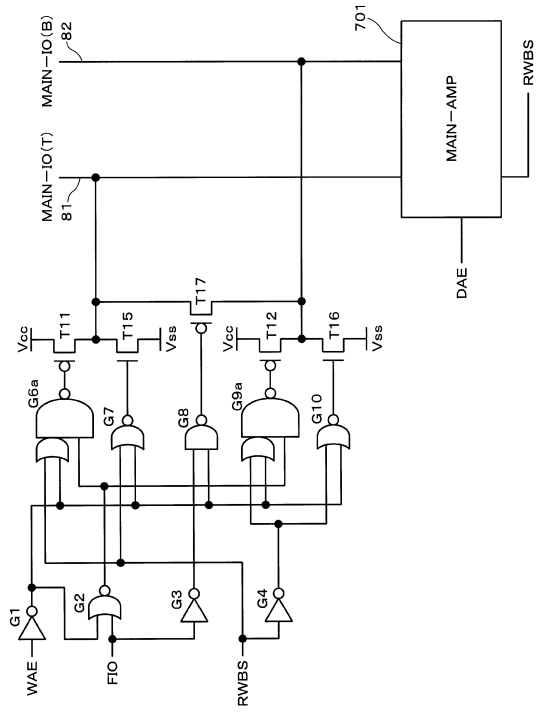
【図 5】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 野本 敬介
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内
- (72)発明者 中岡 裕司
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 堀田 和義

- (56)参考文献 特開2002-216478(JP,A)
特開2011-034660(JP,A)
米国特許出願公開第2011/0026344(US,A1)
米国特許出願公開第2005/0270880(US,A1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|---------|
| G11C | 11/4074 |
| G11C | 11/4094 |
| G11C | 11/4096 |