

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5988574号
(P5988574)

(45) 発行日 平成28年9月7日(2016.9.7)

(24) 登録日 平成28年8月19日(2016.8.19)

(51) Int.Cl.

F 1

G 11 C 11/4074 (2006.01)

G 11 C 11/34 354 F

G 11 C 11/4096 (2006.01)

G 11 C 11/34 354 R

G 11 C 11/4094 (2006.01)

G 11 C 11/34 353 F

請求項の数 8 (全 15 頁)

(21) 出願番号

特願2011-281929 (P2011-281929)

(22) 出願日

平成23年12月22日(2011.12.22)

(65) 公開番号

特開2013-131278 (P2013-131278A)

(43) 公開日

平成25年7月4日(2013.7.4)

審査請求日

平成26年10月30日(2014.10.30)

(73) 特許権者 513192281

ピースフォー ルクスコ エスエイアールエル
P S 4 L u x c o S. a. r. l.
ルクセントルク大公国エルー2121、ル
クセントルク、ヴァル デ ポン マラテ
ス208

(74) 代理人 100115738

弁理士 驚頭 光宏

(74) 代理人 100121681

弁理士 緒方 和文

(74) 代理人 100130982

弁理士 黒瀬 泰之

最終頁に続く

(54) 【発明の名称】半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルを含むメモリセルアレイと、

前記メモリセルアレイと複数の入出力線によって接続された周辺回路と、

前記周辺回路に内部クロック信号を与えるクロック生成回路と、

通常動作時に前記メモリセルアレイおよび前記周辺回路にそれぞれ動作電圧を供給すると共に、前記クロック生成回路によるクロック生成が止まるディープパワーダウンモード中には前記周辺回路への動作電圧の供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路と、を備えることを特徴とする半導体記憶装置。

【請求項 2】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を第1レベルにする制御回路を備えることを特徴とする請求項1に記載の半導体記憶装置。

【請求項 3】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記ディープパワーダウンモード中に、前記入出力線を第1レベルに制御する制御回路と、を備えることを特徴とする請求項1に記載の半導体記憶装置。

【請求項 4】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介

10

20

して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記電源回路に接続された第1プリチャージ回路と、を備え、

前記第1プリチャージ回路には、通常動作モード中は前記ローカル入出力線を中間電位へプリチャージするための電位が前記電源回路から供給され、ディープパワーダウンモード中は中間電位とは異なる第2電位が供給されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を前記第2電位と同じ電位に設定する制御回路を備えることを特徴とする請求項4に記載の半導体記憶装置

10

。

【請求項6】

前記制御回路は、前記入出力線を構成する各メイン入出力線とグランドとの間を接続又は非接続状態を確立するよう構成されると共に前記ディープパワーダウンモード中は接続状態となるよう制御されるよう構成されたスイッチング要素の組を含むことを特徴とする請求項2に記載の半導体記憶装置。

【請求項7】

前記電源回路は、前記ディープパワーダウンモード中に、前記ローカル入出力線に対するプリチャージ電圧の供給を停止する内部電源回路を含むことを特徴とする請求項3に記載の半導体記憶装置。

20

【請求項8】

前記周辺回路は、リードコマンド又はライトコマンドの入力に対応して発生する制御信号が活性状態のときに入出力線のプリチャージを停止し、少なくとも前記リードコマンド及びライトコマンドが入力されていないときには入出力線のプリチャージを行なうプリチャージ回路をさらに備え、

前記プリチャージ回路は、ディープパワーダウンモードを示すディープパワーダウンコマンドを受けると前記プリチャージ動作を停止することを特徴とする請求項1から7のいずれか記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、消費電力を低減する際に用いて好適な半導体記憶装置に関する。

【背景技術】

【0002】

近年、半導体記憶装置においても、消費電力の低減が大きな課題となっており、特にパワーダウン時の消費電力の低減が求められている。そのため、半導体記憶装置をパワーダウンモードとする際、半導体記憶装置への電源の供給を停止したり、クロックを停止することで、消費電力を低減させている。このパワーダウンモードには、半導体記憶装置におけるメモリセルアレイへの電源供給を停止させ、かつクロックも停止させるディープパワーダウン(Deep Power Down; DPD)と呼ばれるモードがある。このディープパワーダウンモードでは、クロック及びクロックイネーブルを除くすべての入力バッファが停止される。また、このディープパワーダウンモードにおいて、半導体記憶装置がDRAM(Dynamic Random Access Memory)の場合には、メモリセルアレイにおける各メモリセルに対するリフレッシュも停止される。したがって、半導体記憶装置がDRAMの場合、メモリセルアレイにおける各メモリセルのデータは、蓄積された電荷の放電のため保持されない。

40

【0003】

ここで、図6を参照して、本発明の背景技術について具体的に説明する。図6は、本願出願人において作成した本発明の背景技術を説明するための半導体記憶装置の一例を示したブロック図である。図6(a)は、DRAMセルアレイ内のメインI/O線(入出力線；

50

以下、M I O 線と称する)とローカルI O線(以下、L I O 線と称する)との関係を示すブロック図である。図6(b)は、図6(a)に示した複数のメモリセル(すなわちD R A Mセル)1 0 1からなるD R A Mメモリセルアレイ5とその周辺及び電源回路の関係を示すブロック図である。そして、図6(c)は、図6(b)に示した電源制御回路A 8 0 1の構成例を示す回路図である。

【 0 0 0 4 】

図6(a)では、メモリセル1 0 1に接続されているデータが非反転(T)のローカルI O線であるL O C A L - I O (T) 9 1及びデータが反転(B)のローカルI O線であるL O C A L - I O (B) 9 2がトランジスタ(n チャネルM O S (金属酸化膜半導体)トランジスタ)T 6及びT 7を介して、データが非反転(T)のメインI O線であるM A I N - I O (T) 8 1及びデータが反転(B)のメインI O線であるM A I N - I O (B) 8 2に接続されている。トランジスタT 6及びT 7は、図示していないロウデコーダ(X D E C)から出力された制御信号L M I O S Wによってオン又はオフ状態に制御される。

【 0 0 0 5 】

また、図6(b)では、内部電源回路6 0 1及び電源制御回路A 8 0 1に対して、外部電源5 0 1から電源が供給される。内部電源回路6 0 1は、外部電源5 0 1の出力を電源として、メモリセルアレイ5への供給電圧V A R Yと、プリチャージ用の電圧h V c cを出力する。このプリチャージ用の電圧h V c cは、例えば、電源電圧V c cの1 / 2の大きさの電圧である。電源制御回路A 8 0 1は、外部電源5 0 1の出力する電圧を変換し、周辺回路への供給電圧V P E R Iとして出力する。また、ディープパワーダウン(D E E P P O W E R D O W N)信号が“H”レベルとなった場合(すなわち、ディープパワーダウンモード時に)、内部電源回路6 0 1は電圧V A R Yと電圧h V c cをグランドV s s レベルに低下させ(あるいは出力電流を遮断し)、電源制御回路A 8 0 1は電圧V P E R IをグランドV s s レベルに低下させる(あるいは出力電流を遮断する)。

なお、電源電圧V c cは、外部電源5 0 1とほぼ同一の電圧値を有し(挿入された保護素子や配線による電圧降下などはあるが)、外部電源5 0 1を電源として常時供給される電圧である。

【 0 0 0 6 】

メモリセルアレイ5は、図6(a)に示したメモリセル1 0 1を複数有して構成されている。周辺回路4 0 1は、カラムデコーダ(Y D E C)、ロウデコーダ(X D E C)、種々のバッファ回路、コマンドデコーダやアドレスデコーダ等を有して構成されている。メモリセルアレイ5から周辺回路4 0 1へはM I O 線対8等が配線されている。ここでM I O 線対8は、M A I N - I O (T) 8 1及びM A I N - I O (B) 8 2から構成されている。

【 0 0 0 7 】

また、図6(b)の電源制御回路A 8 0 1は、例えば、図6(c)に単純化して示したように、直列に接続されているインバータG 2 1及びG 2 2と、p チャネルM O SトランジスタT 2 1とから構成されている。インバータG 2 1の入力にはディープパワーダウン信号が入力され、インバータG 2 2の出力がトランジスタT 2 1のゲートに接続されている。トランジスタT 2 1のソースは電源V c cに接続され、トランジスタT 2 1のドレンから周辺回路への供給電圧V P E R Iが出力される。ディープパワーダウン信号が“L”レベルになると、トランジスタT 2 1がオンして電圧V P E R Iが出力され、ディープパワーダウン信号が“H”レベルになると、トランジスタT 2 1がオフして電圧V P E R Iの配線に対して、電源電圧V c cの配線とが電気的に非接続となり、電源電圧V c cの配線から電圧V P E R Iの配線に対して電流が供給されなくなる。

【 0 0 0 8 】

図6(b)に示した半導体記憶装置では、ディープパワーダウンモード時に、内部電源回路6 0 1及び電源制御回路A 8 0 1からのV A R Y(メモリセルアレイへの供給電圧)やh V c c(プリチャージ用の電圧)、及びV P E R I(周辺回路への供給電圧)等が、

図6(c)の電圧VPERIと同様な構成により供給されなくなる。

【0009】

しかしながら、電源制御回路A801は、図6(c)に単純化して記載しているように、例えば、トランジスタからなるスイッチ素子(すなわちトランジスタT21)が必要となる。このスイッチ素子は周辺回路全体として流すべき電流に応じて大きく形成されているため、これを無くすることによって、チップ面積を小さくしたいという要求もある。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2002-117673号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0011】

上述したように、ディープパワーダウンモード時に、外部電源501あるいは内部電源回路601から、周辺回路401やDRAMセルアレイ5に対する電流の供給を制御する場合、制御のためのスイッチとしてトランジスタを用いる場合、サイズが比較的大きなトランジスタが必要となり、チップ面積が増加してしまうという問題がある。

【課題を解決するための手段】

【0012】

上記課題を解決するため、本発明の半導体記憶装置は、複数のメモリセルを含むメモリセルアレイと、メモリセルアレイと複数の入出力線によって接続された周辺回路と、通常動作時にメモリセルアレイ及び周辺回路にそれぞれ動作電圧を供給すると共にパワーダウンモード時には周辺回路への動作電圧の供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路とを備えることを特徴とする。

20

【発明の効果】

【0013】

本発明によれば、制御回路によって、メモリセルアレイへの電源及びクロックの供給を停止するパワーダウンモード時に、メモリセルアレイへの動作電圧供給を停止しつつ周辺回路には動作電圧を供給し続けている。したがって、周辺回路へ供給される電圧をオン・オフ制御するための大きな電流を流すための制御回路を省略することができるので、チップ面積を低減することができる。

30

【図面の簡単な説明】

【0014】

【図1】本発明の一実施形態としての半導体記憶装置100の主要部の基本的な構成例を示すブロック図である。

【図2】本実施形態の半導体記憶装置100において、LIO線用プリチャージ回路を含めたメモリセルアレイと、周辺回路の基本的な構成例を示すブロック図である。

【図3】本実施形態の半導体記憶装置100において、ディープパワーダウン時にMIO線81及び82を制御する回路の構成例を説明するためのブロック図である。

【図4】本実施形態の半導体記憶装置100において、MIO線対を“H”レベルにプリチャージする回路の構成例示すブロック図である。

40

【図5】本実施形態の半導体記憶装置100における各動作と制御信号の変化を示すタイミング図である。

【図6】ディープパワーダウン時に制御される内部電源回路及び電源制御回路Aを含む半導体記憶装置のブロック図である。

【図7】MIO線対を“H”レベルにプリチャージする回路の構成例示すブロック図である。

【発明を実施するための形態】

【0015】

[第1の実施形態]

50

以下、本発明の第1の実施形態について、図3を用いて説明する。

当該実施形態による半導体装置は、複数のメモリセルを含むDRAMセルアレイ5と、前記DRAMセルアレイ5と複数のMAIN-I/O(T/B)8によって接続された周辺回路401と、通常動作時には前記DRAMセルアレイ5及び周辺回路401にそれぞれ動作電圧hVcc, VARRY及びVPERIを供給すると共にパワーダウンモード時にはDeep Power Down信号によって周辺回路への電源供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路501, 601とを備えたことを特徴とする。

この構成によって、周辺回路への電源供給をパワーダウンモードによって停止させる大きなトランジスタが不要となり、チップ面積を縮小することが可能となる。 10

さらに、本願発明者は以下について考察した。上述の第1の実施形態のような構成とした場合、すなわち、周辺回路401へ供給される電圧VPERIをカットせず、常時供給されるようにした場合、ディープパワーダウンモード時のMIO線81及び82とLIO線91及び92との電位差によって、次のような課題も生じる。この課題を、半導体記憶装置におけるメモリセルアレイ及びその周辺回路の基本的な構成の一例を示すブロック図を示した図2を用いて説明する。

図2に示された半導体記憶装置1は、同一構成のメモリセルアレイ5を複数有して構成されている。これらの複数のメモリセルアレイ5は、周辺回路401内のロウデコーダ(XDEC)120, 121, ... やカラムデコーダ(YDEC)131等に接続されている。 20

【0016】

各メモリセルアレイ5は、複数のメモリセル101と、複数のセンスアンプSAと、nチャネルMOSトランジスタT1～T7とを複数組有して構成されている。複数のメモリセル101は、ロウデコーダ(XDEC)120, 121, ... に対してワード線WLを介して接続されている。複数のメモリセル101は、また、反転ビット線DL(B)112に接続されるとともに、センスアンプSAを介して非反転ビット線DL(T)111に接続されている。非反転ビット線DL(T)111及び反転ビット線DT(B)112は、スイッチングトランジスタT1及びT2を介して、LOCAL-I/O(T)91及びLOCAL-I/O(B)92に接続されている。トランジスタT1及びT2は、カラムデコーダ(YDEC)131によって駆動されるカラムアドレス選択線YSWによってオン・オフ制御される。LOCAL-I/O(T)91及びLOCAL-I/O(B)92は、スイッチングトランジスタT6及びT7を介して、非反転MIO線81及び反転MIO線82に接続されている。トランジスタT6及びT7は、ロウデコーダ(XDEC)120, 121, ... によって駆動される制御信号LMIOSW0, 1, ... によってオン・オフ制御される。また、LOCAL-I/O(T)91及びLOCAL-I/O(B)92間に、トランジスタT3～T5からなるイコライズ回路が接続されている。この場合、LOCAL-I/O(T)91及びLOCAL-I/O(B)92間にトランジスタT5のドレイン又はソースが接続され、LOCAL-I/O(T)91にトランジスタT3のソースが接続され、そして、LOCAL-I/O(B)92にトランジスタT4のソースが接続されている。トランジスタT3及びT4のドレインはプリチャージ用の電圧hVccに接続されている。トランジスタT3～T5のゲートは、ロウデコーダ(XDEC)120, 121, ... によって駆動される制御信号DLEQB0, DLWQBE1, ... が接続されている。 30

【0017】

図2に示すような構成において、MIO線81及び82は、通常“H”レベル(電源電圧Vcc)にプリチャージされており、LOCAL-I/O(T)91及びLOCAL-I/O(B)92はプリチャージ用電圧hVccによって1/2Vccにプリチャージされている。ただし、ディープパワーダウンモード時には通常、LIO線91及び92はグランド電圧Vssになってしまう。そのため、MAIN-I/O(T)81及びMAIN-I/O(B)82がVccのままであると、MAIN-I/O(T)81及びMAIN-I/O(B)82とLOCAL-I/O(T)91及びLOCAL-I/O(B)92との間に設けられ 40

たスイッチングトランジスタT6及びT7等を介して電源VccとグランドVss間に電流（トランジスタT6及びT7はオフ状態であるがリーク電流）が流れてしまう。このため、ディープパワーダウンモード時において、このリーク電流のために、消費電流の低減が制限されるという問題が起こる。

【0018】

具体的には、メモリセルアレイ0においては、図2に示すように、メモリセル101がアクセスされていないときには、制御信号LMIOSW0は“L”レベル、YSWも“L”レベル、DLEQB0は“H”レベル、MIO線81及び82はVcc、LOCAL-I0(T)91及びLOCAL-I0(B)92は1/2Vcc(hVcc)となっているが、このときディープパワーダウンモードになると、hVccはグランドVssに成るもの、ロウデコーダ(XDEC0)、カラムデコーダ(YDEC)131等の周辺回路104からの制御信号はそのまま維持される。そのため、LOCAL-I0(T)91及びLOCAL-I0(B)92間に設けられているLIO用イコライズ回路を構成するトランジスタT3及びT4によってLOCAL-I0(T)91及びLOCAL-I0(B)92は共にグランドVssとなってしまう。この状況は、メモリセルアレイ101のすべてのMIO線81及び82とLIO線91及び92の間で起るため、その電流値は非常に大きなものとなり、パワーダウンしているにもかかわらず、消費電力が減らないという問題が起こる。すなわち、MAIN-I0(T)81及びMAIN-I0(B)82が“H”レベルにプリチャージされている状態で、周辺回路401の電源をオフせずに、メモリセルアレイ5の電源をオフすると、MAIN-I0(T)線81及びMAIN-I0(B)82とLOCAL-I0(T)91及びLOCAL-I0(B)92の間でリーク電流が懸念されるという課題があった。
10
20

【0019】

なお、MIO線を“H”レベルにプリチャージする従来技術を開示する文献として特許文献1がある。

上述のように、通常動作時には、MIO線を“H”レベルにプリチャージし、パワーダウンモード時には、MIO線を“L”レベルにする回路の構成例について図7を参照して説明する。図7に示す回路には、MAIN-I0(T)線81及びMAIN-I0(B)82と、ゲートG1～G4、G6a、G7～G8、G9a及びG10と、メインアンプ回路701と、トランジスタT11、T12及びT15～T17とが含まれている。図7に示す例では、MAIN-I0(T)81及びMAIN-I0(B)82が、メインアンプ回路701に接続されるとともに、トランジスタT11、T12及びT15～T17が接続されている。この場合、MAIN-I0(T)81は、pチャネルMOSトランジスタT11及びnチャネルMOSトランジスタT15の各ドレインに接続されている。MAIN-I0(T)82は、pチャネルMOSトランジスタT12及びnチャネルMOSトランジスタT16の各ドレインに接続されている。pチャネルMOSトランジスタT11及びT12の各ソースは電源Vccに接続され、nチャネルMOSトランジスタT15及びT16の各ソースはグランドVssに接続されている。また、pチャネルMOSトランジスタT17のドレイン及びソースが、MAIN-I0(T)81又はMAIN-I0(B)82に接続されている。
30
40

トランジスタT11のゲートはOR(オア)-NAND(NAND)複合ゲートG6aの負論理出力に接続されている。トランジスタT15のゲートはNOR(ノア)ゲートG7の負論理出力に接続されている。トランジスタT17のゲートはNANDゲートG8の負論理出力に接続されている。トランジスタT12のゲートはOR-NAND複合ゲートG9aの負論理出力に接続されている。トランジスタT16のゲートはNORゲートG10の負論理出力に接続されている。

【0020】

また、インバータG1にはライト時(書き込み時)に“H”レベルとなる制御信号WA Eが入力される。インバータG1の出力は、NORゲートG2の一方の入力と、複合ゲートG6aの一方のOR入力と、NORゲートG7の一方の入力と、NANDゲートG8の
50

一方の入力と、複合ゲート G 9 a の一方の OR 入力と、 NOR ゲート G 10 の一方の入力とに接続されている。

NOR ゲート G 2 の他方の入力とインバータ G 3 は、 LOCAL - IO (T) 9 1 及び LOCAL - IO (B) 9 2 のプリチャージ時に “H” レベルとなる制御信号 FI O が入力される。インバータ G 3 の出力は、 NAND ゲート G 8 の他方の入力に接続されている。NOR ゲート G 2 の出力は、複合ゲート G 6 a の AND 入力と、複合ゲート G 9 a の AND 入力とに接続されている。

また、書き込み時に入力されたデータ、すなわち、リードライトバス R W B S 上のデータが、複合ゲート G 6 a の他方の OR 入力と、 NOR ゲート G 7 の他方の入力と、インバータ G 4 の入力とに入力される。インバータ G 4 の出力が、複合ゲート G 9 a の他方の OR 入力と、 NOR ゲート G 10 の他方の入力とに接続されている。データ書き込み時にはこのリードライトバス R W B S 上のデータに基づき、 MAIN - IO (T / B) に相補の書き込みデータが生成される。
10

また、メインアンプを起動する制御信号 D A E が、データ読み出し時にメインアンプ回路 7 0 1 に入力され、 MAIN - IO (T) 8 1 及び MAIN - IO (B) 8 2 に読み出された相補のデータに基づいて、メインアンプからデータがリードライトバス R W B S に出力される。なお、 MAIN - IO (T) 8 1 及び MAIN - IO (B) 8 2 は、 MAIN - IO プリチャージ信号が L レベルのとき “H” レベル (電源電圧 V c c) にプリチャージされている。

したがって、ディープパワーダウンモード時に、トランジスタ T 1 1 及び T 1 2 がオンし MAIN - IO (T) 8 1 及び MAIN - IO (B) 8 2 が H レベルにプリチャージされた状態が維持され、一方、 L I O 線 9 1 及び 9 2 がグランド電圧 V s s とされているため、オフ状態となっているトランジスタ T 6 及び T 7 を介してリーク電流が流れ、このリーク電流のために、消費電流の低減が制限されないように改良する必要性がある。
20

【 0 0 2 1 】

[第 2 の実施形態]

以下、図面を参照して本発明の第 2 の実施形態としての半導体記憶装置について説明する。図 1 は、本発明の第 2 の実施形態としての半導体記憶装置 1 0 0 の主要部の基本的な構成例を示すブロック図である。

【 0 0 2 2 】

図 1 に示した半導体記憶装置 1 0 0 は、メモリマット 1 、複数のローカルアンプ 2 、ライトアンプ 3 及びメインアンプ 4 を含んでいる。メモリマット 1 は、複数のメモリセルアレイ 5 を有して構成されている。複数のメモリセルアレイ 5 は、複数のセンスアンプ SA を有するセンスアンプ部 6 と、複数のメモリセルを有するメモリセルアレイ部 7 とを含んでいる。各メモリセルアレイ 5 には、複数のメモリセルアレイ 5 に対して共通に設けられている M I O 線対 8 と、 M I O 線対 8 に対して各メモリセルアレイ 5 内で接続及び配線された L I O 線対 9 とが設けられている。
30

【 0 0 2 3 】

複数のローカルアンプ 2 は、各 M I O 線対 8 とコモン I O 線対 (C I O 線対) 1 0 との間に設けられていて、各 M I O 線対 8 とコモン I O 線対 1 0 間で入出力される信号を増幅する。ライトアンプ 3 は、メモリセルアレイ 5 への書き込み用信号を増幅する。メインアンプ 4 は、コモン I O 線対 1 0 に出力された読み出し信号を増幅する。
40

【 0 0 2 4 】

メモリセルアレイ部 7 から出力された信号はセンスアンプ部 6 で増幅され、 L I O 線対 9 を介して M I O 線対 8 に伝達され、対応するローカルアンプ 2 で増幅された後にコモン I O 線対 1 0 を介してメインアンプ 4 に伝達され、そこで増幅された後に外部に出力される。また、外部から入力された書き込み信号は、ライトアンプ 3 で増幅された後にコモン I O 線対 1 0 を介してローカルアンプ 2 に伝達され、そこで増幅された後に、 M I O 線対 8 及び L I O 線対 9 を介してメモリセルアレイ部 7 に伝達され、入力されたアドレスによって指定された所定のメモリセルに書き込まれる。
50

【0025】

なお、本発明の実施の形態は、図1に示した構成に限定されず、例えば、複数のローカルアンプ2を省略して、MIO線対8とCIO線対10とを一体として構成したりすること等が可能である。

【0026】

次に、図2を参照して、本実施形態の半導体記憶装置100における、LIO線用プリチャージ回路を含めた構成としてのメモリセルアレイ5と、周辺回路401の基本的な構成例について説明する。ただし、図2については、上記「背景技術」において説明しているので、ここでは図1に示した各構成と図2に示した各構成との関係について説明する。なお、図1及び図2で対応する構成には同一の符号を用いている。

10

【0027】

図2には、図1に示した構成に加え、周辺回路401として、複数のメモリセルアレイ5に接続されるロウデコーダ(XDEC)120、121、…やカラムデコーダ(YDEC)131等の構成を示している。また、図2のLIO線91及び92の組が、図1のLIO線対9に対応する構成である。なお、図1のローカルアンプ2、ライトアンプ3及びメインアンプ4は、図2の周辺回路401に含まれる構成となる。

【0028】

次に、図3を参照して、本実施形態の半導体記憶装置100において、ディープパワーダウン時にMIO線対8のMAIN-I/O(T)81及びMAIN-I/O(B)82を制御する回路の構成例について説明する。なお、図3において、図6に示したものと同一の構成には同一の符号を用いている。図3(a)は、メモリセルアレイ5内のMAIN-I/O(T)81及びMAIN-I/O(B)82とLOCAL-I/O(T)91及びLOCAL-I/O(B)92との関係を示すブロック図である。図3(b)は、図3(a)に示した複数のメモリセル101からなるメモリセルアレイ5とその周辺回路401及び内部電源回路601の関係を示すブロック図である。そして、図3(c)は、本実施形態が特徴とするディープパワーダウン時にMAIN-I/O(T)81及びMAIN-I/O(B)82を制御する回路の構成例を示した回路図である。

20

【0029】

図3(a)では、メモリセル101に接続されている非反転及び反転LIO線91及び92がトランジスタT6及びT7を介して、MAIN-I/O(T)81及びMAIN-I/O(B)82に接続されている。トランジスタT6及びT7は、図2のロウデコーダ120、121、…等から出力された制御信号LMIOSW(すなわち図2のLMIOSW0、LMIOSW1、…)によってオン・オフ制御される。

30

【0030】

また、図3(b)では、内部電源回路601に対して、外部電源501から電源が供給される。内部電源回路601は、外部電源501の出力を電源として、メモリセルアレイ5への供給電圧VARYと、プリチャージ用の電圧hVccを出力する。このプリチャージ用の電圧hVccは、例えば、電源電圧Vccの1/2の大きさの電圧である。また、ディープパワーダウン信号が“H”レベルとなった場合、内部電源回路601は電圧VARYと電圧hVccをグランドVssレベルに低下させる(あるいは出力電流を遮断する)。また、本実施形態では、図6の電源制御回路A801は省略され、外部電源501の出力が、そのまま電圧VPERIとして周辺回路401へ入力される。

40

【0031】

また、図3(b)に示したように、本実施形態では、電源制御回路A801が省略されている。そして、図3(c)に示すように、新たに追加される構成として、ディープパワーダウン信号が“H”レベルとなった場合にMIO線対8をグランドVssのレベルに変化させる(及び維持する)1対のnチャネルMOSトランジスタT13及びT14が設かれている。ここで、トランジスタT13は、MAIN-I/O(T)線81にドレインが接続され、グランドVssにソースが接続され、そして、ディープパワーダウン信号がゲートに入力されている。また、トランジスタT14は、MAIN-I/O(B)線82にド

50

レインが接続され、グランドVssにソースが接続され、そして、ディープパワーダウン信号がゲートに入力されている。これらのトランジスタT13及びT14は、例えば周辺回路401内に設けることができる。

【0032】

なお、MIO線対8には、MIO線対8をプリチャージする際に、MIO線対8を電源Vccに接続する1対のpチャネルMOSトランジスタT18及びT19が接続されている。ここで、トランジスタT18は、MAIN-I/O(T)線81にドレインが接続され、電源Vccにソースが接続され、そして、MIO線をプリチャージする際に“L”レベルとなる制御信号(MAIN-I/Oプリチャージ信号)がゲートに入力されている。また、トランジスタT19は、MAIN-I/O(B)線82にドレインが接続され、電源Vccにソースが接続され、そして、MIO線をプリチャージする際に“L”レベルとなる制御信号がゲートに入力されている。これらのトランジスタT18及びT19は、ディープパワーダウンモード時にはオフに制御され、MIO線対9には電源Vccが供給されない。

【0033】

図3(b)に示した半導体記憶装置100では、ディープパワーダウンモード時に、内部電源回路601からのVARY(メモリセルアレイへの供給電圧)やhVcc(プリチャージ用の電圧)がカットされVssとされる。また、ディープパワーダウンモード時に、LIO線対9がグランドVssのレベルに制御される。

【0034】

次に、図4を参照して、MAIN-I/O(T)81及びMAIN-I/O(B)82をプリチャージする回路の構成例について説明する。ただし、図4に示した例は、図1を参照して説明したローカルアンプ2とCIO線対10とを省略した構成に対応させたものとしている。図4に示した回路は、図7を参照して説明した回路と比較して次の点が異なっている。また、図7の複合ゲートG6a及びG9aに代えて、複合ゲートG6及びG9が設けられているとともに、MAIN-I/O(T)及びMAIN-I/O(B)82に図3(c)を参照して説明したトランジスタT13及びT14が接続されている。図4に示す回路には、MAIN-I/O(T)81及びMAIN-I/O(B)82と、ゲートG1=G10と、メインアンプ回路701と、トランジスタT11~T17とが含まれている。なお、図4に示した構成例では、トランジスタT11、T12及びT17が、図3(c)に示したトランジスタT18及びT19に対応する構成である。また、図4におけるゲートG6、G8及びG9の出力信号が、図3(c)に示したMAIN-I/Oプリチャージ信号に対応する制御信号である。

【0035】

すなわち、図3に示す例では、MAIN-I/O(T)81及びMAIN-I/O(B)82には、メインアンプ回路701に接続されるとともに、トランジスタT11~T17が接続されている。この場合、MAIN-I/O(T)81は、pチャネルMOSトランジスタT11及びnチャネルMOSトランジスタT15の各ドレインに接続されている。MAIN-I/O(T)81は、さらに、nチャネルMOSトランジスタT13のドレインに接続されている。MAIN-I/O(B)82は、pチャネルMOSトランジスタT12及びnチャネルMOSトランジスタT16の各ドレインに接続されている。MAIN-I/O(B)82は、さらに、nチャネルMOSトランジスタT14のドレインに接続されている。pチャネルMOSトランジスタT11及びT12の各ソースは電源Vccに接続され、nチャネルMOSトランジスタT15及びT16の各ソースはグランドVssに接続されている。また、nチャネルMOSトランジスタT13及びT14の各ソースはグランドVssに接続されている。また、pチャネルMOSトランジスタT17のドレイン及びソースが、MAIN-I/O(T)81又はMAIN-I/O(B)82に接続されている。

【0036】

トランジスタT11のゲートはOR-NAND複合ゲートG6の負論理出力に接続されている。トランジスタT15のゲートはNORゲートG7の負論理出力に接続されている

10

20

30

40

50

。トランジスタ T17 のゲートは N A N D ゲート G8 の負論理出力に接続されている。トランジスタ T12 のゲートは O R - N A N D 複合ゲート G9 の負論理出力に接続されている。トランジスタ T16 のゲートは N O R ゲート G10 の負論理出力に接続されている。トランジスタ T13 及び T14 のゲートには、ディープパワーダウン信号が入力される。

【0037】

また、インバータ G1 にはライト時(書き込み時)に“H”レベルとなる制御信号 W A E が入力される。インバータ G1 の出力は、N O R ゲート G2 の一方の入力と、複合ゲート G6 の一方のO R 入力と、N O R ゲート G7 の一方の入力と、N A N D ゲート G8 の一方の入力と、複合ゲート G9 の一方のO R 入力と、N O R ゲート G10 の一方の入力とに接続されている。

10

【0038】

N O R ゲート G2 の他方の入力とインバータ G3 には、L O C A L - I O (T) 91 及び L O C A L - I O (B) 92 のプリチャージ時に“H”レベルとなる制御信号 F I O が入力される。インバータ G3 の出力は、N A N D ゲート G8 の他方の入力に接続されている。N O R ゲート G2 の出力は、複合ゲート G6 の一方のA N D 入力と、複合ゲート G9 の一方のA N D 入力とに接続されている。

【0039】

また、リードライトバス R W B S 上のデータが、複合ゲート G6 の他方のO R 入力と、N O R ゲート G7 の他方の入力と、インバータ G4 の入力とに入力される。インバータ G4 の出力が、複合ゲート G9 の他方のO R 入力と、N O R ゲート G10 の他方の入力とに接続されている。データ書き込み時にはリードライトバス R W B S 上のデータに基づき、相補の書き込みデータが生成され M A I N - I O (T / B) に出力され、詳述はしないが L O C A L - I O を介してメモリにデータが書き込まれる。

20

【0040】

また、インバータ G5 にはディープパワーダウンモード時に“H”レベルとなる制御信号 D P D が入力される。インバータ G5 の出力は、複合ゲート G6 の他方のA N D 入力と、複合ゲート G9 の他方のA N D 入力とに接続されている。

【0041】

また、メインアンプを起動する制御信号 D A E が、メインアンプ回路 701 に入力され、メインアンプ回路 701 は、データ読み出し時にメモリセルから L O C A L - I O (T / B) を介して M A I N - I O (T / B) に読み出されたデータを制御信号 D A E に基いて增幅し、増幅されたデータをリードライトバス R W B S に出力している。図 4 に示す回路によって、M I O 線 81 及び 82 は、制御信号 F I O が“L”レベルのとき、“H”レベル(電源電圧 V c c)にプリチャージされる。また、ディープパワーダウンモード時には、トランジスタ T13 及び T14 がオンすることで、“L”レベル(V s s レベル)に制御される。

30

【0042】

ここで、図 5 を参照して、図 1 ~ 図 4 を参照して説明した本実施形態の半導体記憶装置 100 の動作について説明する。図 5 は、横軸を時間の流れとして、4 種類のコマンド、ライト(W R I T E)、リード(R E A D)、プリチャージ(P R E)及びディープパワーダウン(D P D)が入力された場合の、内部クロック信号 C L K、外部入力コマンド C M D、M I O 線対 8 及び制御信号 F I O、W A E、D A E、R W B S 及び D P D の変化を模式的に表したタイミングチャートである。ただし、各コマンドが入力される前の状態は、M I O 線対 8 が“H”レベル(以下、“H”と表記する)で、他の制御信号が“L”レベル(以下、“L”と表記する)であるとしている。

40

【0043】

ライト時(W R I T E)には、W R I T E コマンドが入力されると、次のクロック C L K の立ち上がりで、M I O 線対 8 が“L”に、制御信号 F I O が“H”に、制御信号 W A E が“H”に、制御信号 R W B S が“H”に、変化する。一方、制御信号 D A E と、制御信号 D P D は“L”的ままで変化しない。また、次のクロック C L K の立ち下りで、M I

50

O線対8が“H”に、制御信号FIOが“L”に、制御信号WAEが“L”に、制御信号RWSが“L”に、変化する。

【0044】

リード(READ)コマンドが入力されると、次のクロックCLKの立ち上がりで、制御信号FIOが“H”に変化する。また、MIO線対8上では、図示していない外部からのアドレス信号等に基づいて選択されたメモリセルの記憶値に応じた信号が徐々に発生する。また、これを受け、同クロックCLKの立ち上がりから所定時間遅れた時刻で、制御信号DAEが“H”に、制御信号RWSが“H”に変化する。一方、制御信号WAEと制御信号DPDは“L”的ままで変化しない。また、次のクロックCLKの立ち下りで、MIO線対8が“H”に、制御信号FIOが“L”に、制御信号DAEが“L”に、制御信号RWSが“L”に、変化する。10

【0045】

次に、LOCAL-I/Oをプリチャージするためのプリチャージ(PRE)コマンドが入力された場合は、MIO線対8は“H”的ままで変化せず、他の制御信号は“L”的ままで変化しない。

【0046】

ディープパワーダウン(DPD)コマンドが入力されると、次のクロックCLKの立ち上がりで、制御信号DPDが“H”に変化する。また、他の制御信号“L”的ままで変化しない。このディープパワーダウン(DPD)コマンドは、例えば、クロックイネーブル信号を“L”にするとともに、他の所定の制御信号を所定のレベルに設定することで、入力される。制御信号DPDが“H”に変化すると、図3(c)及び図4に示すトランジスタT13及びT14がオンするので、MIO線対8が“L”に変化する。なお、このとき、内部電源回路601から出力される電圧hVccと電圧VARYはグランド電圧Vssのレベルとなっている。以降、ディープパワーダウン(DPD)コマンドが終了するまで(例えばクロックイネーブル信号が“H”とされるまで)、各信号のレベルは維持される。20

【0047】

以上のように、本実施形態の半導体記憶装置100によれば、ディープパワーダウン時にMIO線対8のプリチャージ用の回路がディープパワーダウン信号を受けてMIO線対8をグランドVssとする。したがって、MIO線対8とLIO線対9間の電位差をほぼ零とすることことができ、リーク電流による消費電流の発生を低減することができる。また、周辺回路401に周辺回路用の電圧VPERIを供給及び遮断するためのスイッチ素子を省略することができる。チップ面積の低減を図ることもできる。30

【0048】

なお、本実施形態の半導体記憶装置100では、ディープパワーダウンモード時にトランジスタT13及びT14をオンすることでMIO線対8をグランドVssとすることをしているが、他のパワーダウンモードではこの制御は行わない。他のパワーダウンモードとしては、例えば、アイドル状態からパワーダウンモードに移行するアクティブパワーダウンモードや、アクティブ状態からパワーダウンモードに移行するアイドルパワーダウンモードがある。これらのパワーダウンモードでは、メモリセルへは電源が供給された状態で、クロックも供給される。40

【符号の説明】

【0049】

100 半導体記憶装置

101 メモリセル

5 メモリセルアレイ

8 MIO線対

81 MAIN-I/O(T)

82 MAIN-I/O(B)

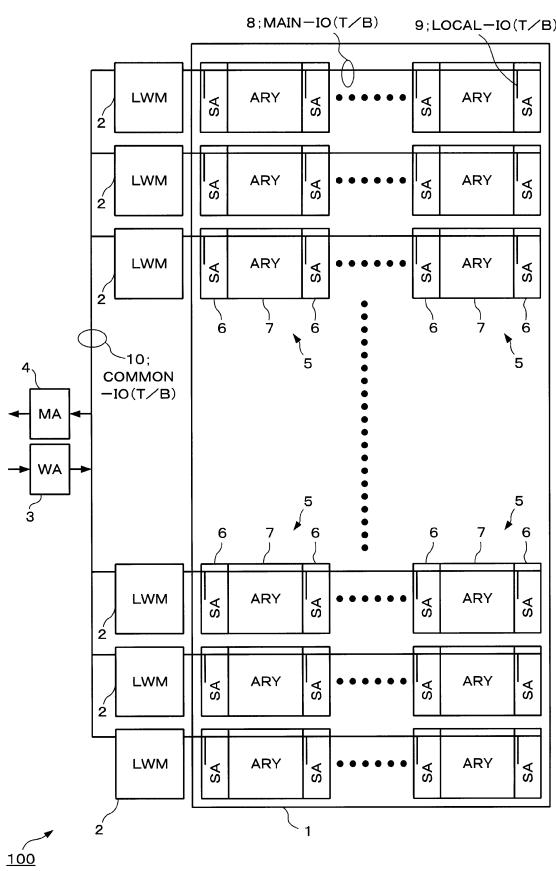
9 LIO線対

91 LOCAL-I/O(T)

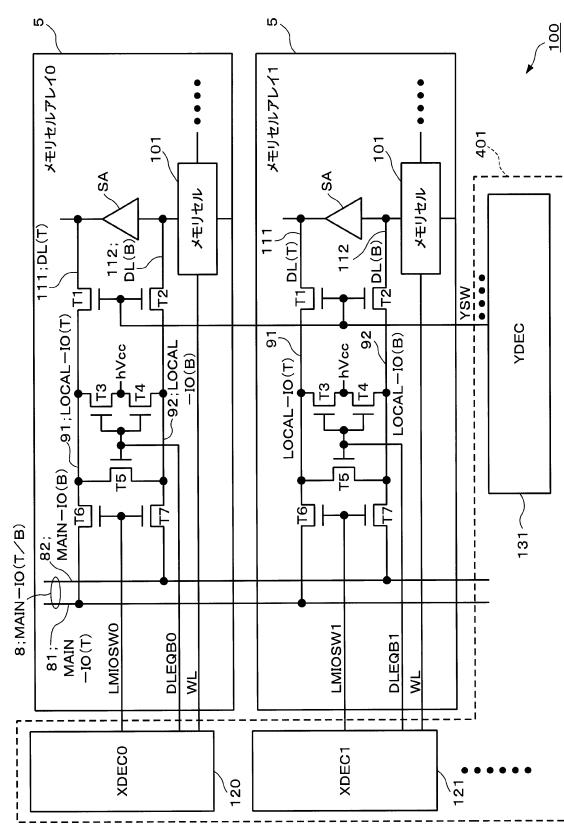
50

9 2 LOCAL - IO (B)
 T 1 ~ T 17 トランジスタ
 R W B S リードライトバス

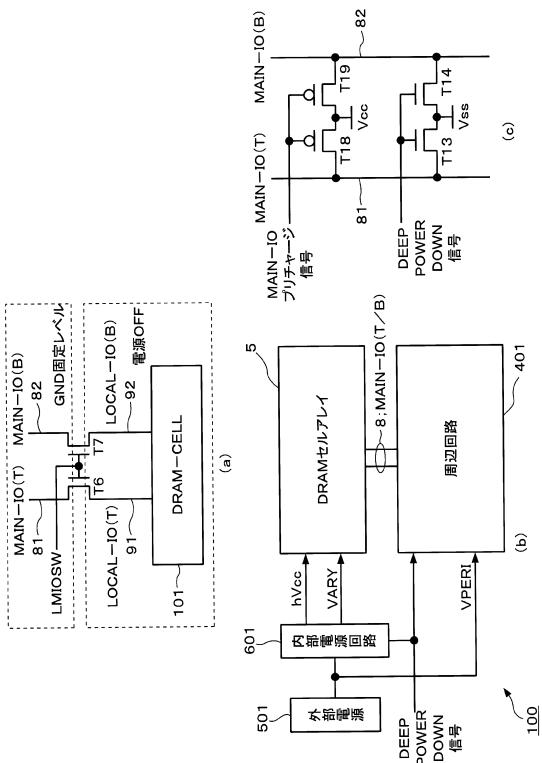
【図1】



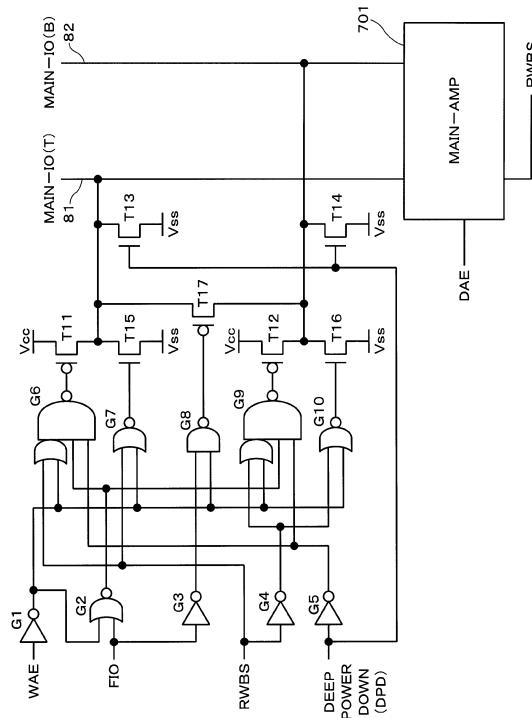
【図2】



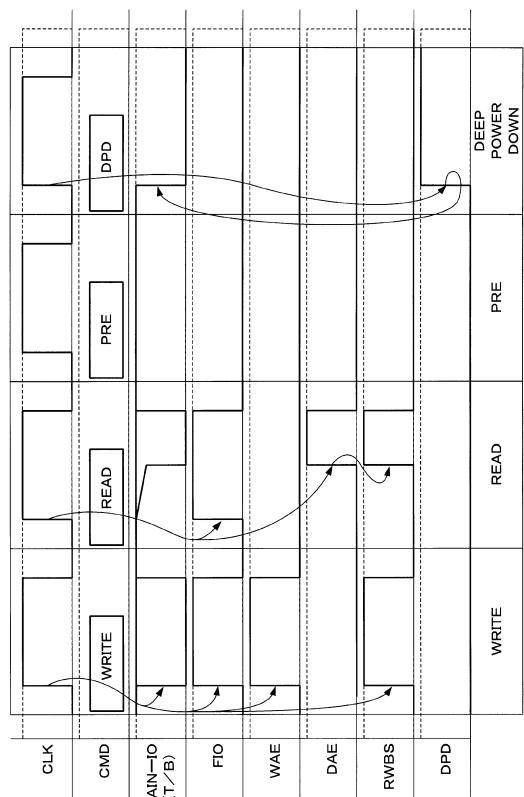
【図3】



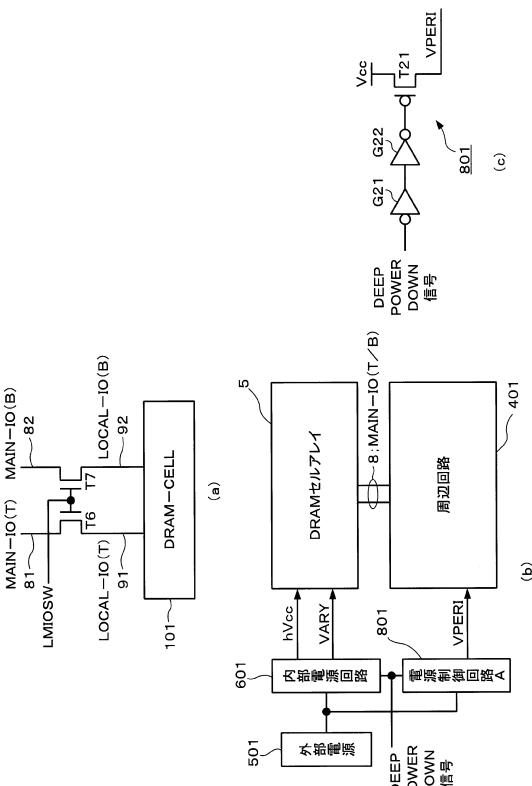
【図4】



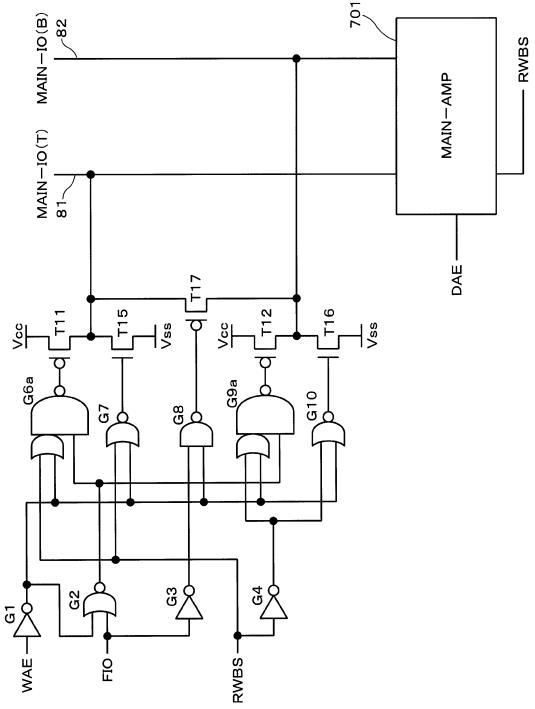
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 野本 敬介
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 中岡 裕司
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 堀田 和義

(56)参考文献 特開2002-216478(JP,A)
特開2011-034660(JP,A)
米国特許出願公開第2011/0026344(US,A1)
米国特許出願公開第2005/0270880(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 11 C 11/4074

G 11 C 11/4094

G 11 C 11/4096