(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 105489552 A
(43)申请公布日 2016.04.13

(21)申请号 201610060729.7

(22)申请日 2016.01.28

(71)申请人 武汉华星光电技术有限公司
地址 430070 湖北省武汉市东湖开发区高新大道666号生物城C5栋

(72)发明人 贺超

(74)专利代理机构 深圳市德力知识产权代理事务所 44265
代理人 林才桂

(51)Int.Cl.
H01L 21/77(2006.01)
G02F 1/1362(2006.01)

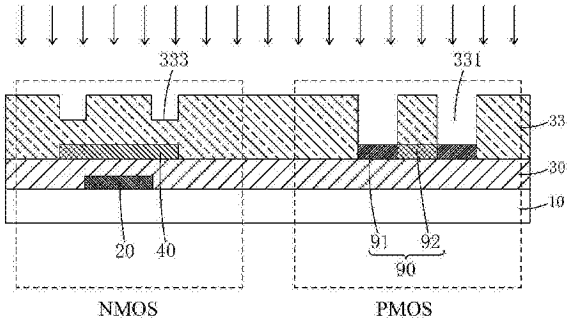
权利要求书2页 说明书6页 附图10页

(54)发明名称

LTPS阵列基板的制作方法

(57)摘要

本发明提供一种LTPS阵列基板的制作方法，通过采用一道半色调光罩将NMOS区的第一多晶硅层的N型重掺杂与沟道掺杂、及PMOS区的第二多晶硅层的P型重掺杂这三道原本需要三道光罩的制程整合到一道光罩制程中，节省两道曝光制程，大大提升曝光产能，同时节省了两张光罩的制作成本，可有效降低LTPS阵列基板的制作成本，制得的LTPS阵列基板具有良好的电学性能。



CN 105489552 A

1.一种LTPS阵列基板的制作方法，其特征在于，包括如下步骤：

步骤1、提供一基板(10)，在所述基板(10)上定义出NMOS区与PMOS区，在所述基板(10)上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于NMOS区的遮光层(20)；

步骤2、在所述遮光层(20)、及基板(10)上形成缓冲层(30)，在所述缓冲层(30)上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶硅层进行图形化处理，得到位于NMOS区的第一多晶硅层(40)、及位于PMOS区的第二多晶硅层(90)；

步骤3、在所述第一多晶硅层(40)、第二多晶硅层(90)、及缓冲层(30)上涂布光阻层(33)，采用一道半色调光罩对所述光阻层(33)进行曝光、显影后，在所述光阻层(33)上形成对应于所述第二多晶硅层(90)两端的第一通孔(331)，暴露出所述第二多晶硅层(90)的两端，同时在所述光阻层(33)上形成对应于所述第一多晶硅层(40)两端的第一凹槽(333)；以所述光阻层(33)为掩模，对所述第二多晶硅层(90)的两端进行P型重掺杂，得到两P型重掺杂区(91)，所述第二多晶硅层(90)上位于两P型重掺杂区(91)之间的区域形成第二沟道区(92)；

采用干蚀刻制程对所述光阻层(33)进行灰化，减薄所述光阻层(33)的厚度，使得第一凹槽(333)转化为第二通孔(335)，暴露出所述第一多晶硅层(40)的两端，以所述光阻层(33)为掩模，对所述第一多晶硅层(40)的两端进行N型重掺杂，得到两N型重掺杂区(41)；

采用光阻剥离制程将剩余的光阻层(33)完全剥离，暴露出第一多晶硅层(40)与第二多晶硅层(90)，对所述第一多晶硅层(40)、及第二多晶硅层(90)进行P型轻掺杂，以实现对所述第一多晶硅层(40)的沟道掺杂。

2.如权利要求1所述的LTPS阵列基板的制作方法，其特征在于，还包括如下步骤：

步骤4、在所述第一多晶硅层(40)、第二多晶硅层(90)、及缓冲层(30)上沉积栅极绝缘层(51)，在所述栅极绝缘层(51)上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层(40)与第二多晶硅层(90)上方的第一栅极(52)与第二栅极(93)；

以所述第一栅极(52)为光罩对所述第一多晶硅层(40)进行N型轻掺杂，得到分别位于两N型重掺杂区(41)内侧的两N型轻掺杂区(43)，所述第一多晶硅层(40)上位于两N型轻掺杂区(43)之间的区域形成第一沟道区(42)；

步骤5、在所述第一栅极(52)、第二栅极(93)、及栅极绝缘层(51)上沉积层间绝缘层(53)，对所述层间绝缘层(53)及栅极绝缘层(51)进行图形化处理，得到位于所述N型重掺杂区(41)上方的第一过孔(55)及位于所述P型重掺杂区(91)上方的第二过孔(95)；

步骤6、在所述层间绝缘层(53)上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极(61)、第一漏极(62)、第二源极(96)、第二漏极(97)，所述第一源极(61)、第一漏极(62)分别通过第一过孔(55)与N型重掺杂区(41)相接触，所述第二源极(96)、第二漏极(97)分别通过第二过孔(95)与P型重掺杂区(91)相接触；

步骤7、在所述第一源极(61)、第一漏极(62)、第二源极(96)、第二漏极(97)、及层间绝缘层(53)上形成平坦层(70)，对所述平坦层(70)进行图形化处理，得到位于所述第一漏极(62)上方的第三过孔(71)；

步骤8、在所述平坦层(70)上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极(80)；

步骤9、在所述公共电极(80)、及平坦层(70)上沉积钝化保护层(81)，所述钝化保护层(81)包覆所述平坦层(70)上的第三过孔(71)，之后对所述钝化保护层(81)进行图形化处理，得到位于所述第三过孔(71)底部的钝化保护层(81)上的第四过孔(85)；

步骤10、在所述钝化保护层(81)上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极(82)，所述像素电极(82)通过第四过孔(85)与第一漏极(62)相接触。

3.如权利要求1所述的LTPS阵列基板的制作方法，其特征在于，所述步骤2中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法。

4.如权利要求1所述的LTPS阵列基板的制作方法，其特征在于，所述步骤3中，所述P型重掺杂制程中植入的离子为硼离子，植入剂量为$1*10^{15}$个/cm^2；所述N型重掺杂制程中植入的离子为磷离子，植入剂量为$4*10^{14}$个/cm^2；所述P型轻掺杂制程中植入的离子为硼离子，植入剂量为$2*10^{12}$个/cm^2。

5.如权利要求2所述的LTPS阵列基板的制作方法，其特征在于，所述步骤4中，所述N型轻掺杂制程中植入的离子为磷离子，植入剂量为$1.5*10^{13}$个/cm^2。

6.如权利要求2所述的LTPS阵列基板的制作方法，其特征在于，所述步骤5还包括：对所述层间绝缘层(53)进行去氢和活化处理。

7.如权利要求6所述的LTPS阵列基板的制作方法，其特征在于，采用快速热退火工艺对所述层间绝缘层(53)进行去氢和活化处理。

8.如权利要求2所述的LTPS阵列基板的制作方法，其特征在于，所述基板(10)为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层(30)、栅极绝缘层(51)、层间绝缘层(53)、及钝化保护层(81)为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层(70)为有机光阻材料。

9.如权利要求2所述的LTPS阵列基板的制作方法，其特征在于，所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

10.如权利要求9所述的LTPS阵列基板的制作方法，其特征在于，所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或铟锗锌氧化物。

LTPS阵列基板的制作方法

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种LTPS阵列基板的制作方法。

背景技术

[0002] 随着显示技术的发展，液晶显示器(Liquid Crystal Display，LCD)等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

[0003] 现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组(backlight module)。通常液晶显示面板由彩膜(CF，Color Filter)基板、薄膜晶体管(TFT，Thin Film Transistor)基板、夹于彩膜基板与薄膜晶体管基板之间的液晶(LC，Liquid Crystal)及密封胶框(Sealant)组成。

[0004] 低温多晶硅(Low Temperature Poly Silicon，LTPS)是广泛用于中小电子产品中的一种液晶显示技术。传统的非晶硅材料的电子迁移率约0.5-1.0cm^2/V.S，而低温多晶硅的电子迁移率可达30-300cm^2/V.S。因此，低温多晶硅液晶显示器具有高解析度、反应速度快、高开口率等诸多优点。

[0005] 但是另一方面，由于LTPS半导体器件的体积小、集成度高，所以整个LTPS阵列基板的制备工艺复杂，生产成本较高。

[0006] 如图1-6所示，为现有的CMOS(Complementary Metal Oxide Semiconductor，互补金属氧化物半导体)LTPS阵列基板的制作方法，包括如下步骤：

[0007] 步骤1、如图1所示，提供一基板100，在所述基板100上定义出NMOS(Negative channel Metal Oxide Semiconductor，N型金属氧化物半导体)区与PMOS(Positive channel Metal Oxide Semiconductor，P型金属氧化物半导体)区；在所述基板100上沉积第一金属层，采用光刻制程对所述第一金属层进行图形化处理，得到位于NMOS区的遮光(Light Shield)层200；

[0008] 步骤2、如图2所示，在所述基板100上依次沉积缓冲层300与非晶硅(a-Si)层，通过准分子激光退火工艺(ELA)将所述非晶硅(a-Si)层转化为多晶硅(poly-Si)层，采用光刻制程对所述多晶硅层进行图形化处理，得到位于NMOS区的第一多晶硅层410、及位于PMOS区的第二多晶硅层420；

[0009] 步骤3、如图3所示，在所述第一多晶硅层410、第二多晶硅层420、及缓冲层300上涂布第一光阻层510，利用光罩对第一光阻层510进行曝光、显影后，对NMOS区的第一多晶硅层410进行沟道(Channel)掺杂；

[0010] 步骤4、如图4所示，在所述第一多晶硅层410、第二多晶硅层420、及缓冲层300上涂布第二光阻层520，利用光罩对第二光阻层520进行曝光、显影后，对NMOS区的第一多晶硅层410的两端进行N型重掺杂；

[0011] 步骤5、如图5所示，在所述第一多晶硅层410、第二多晶硅层420、及缓冲层300上依

次沉积栅极绝缘层600和第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层410与第二多晶硅层420上方的第一栅极710与第二栅极720；以第一栅极710为掩模对所述第一多晶硅层410进行N型轻掺杂；

[0012] 步骤6、如图6所示，在所述第一栅极710、第二栅极720、及栅极绝缘层600上涂布第三光阻层800，利用光罩对第三光阻层800进行曝光、显影后，对所述第二多晶硅层420的两侧进行P型重掺杂；

[0013] 步骤7、在所述第一栅极710、第二栅极720、及栅极绝缘层600上依次制作层间绝缘层、源漏极层、平坦化层、公共电极层、钝化保护层、及像素电极层等结构。

[0014] 上述LTPS阵列基板的制作方法中，NMOS区的第一多晶硅层410的沟道掺杂与N型重掺杂、及PMOS区的第二多晶硅层420的P型重掺杂这三道制程均需要使用光刻工艺进行掺杂，共需要三道光罩，制程繁琐且生产成本高，因此，有必要提供一种LTPS阵列基板的制作方法，以解决该技术问题。

发明内容

[0015] 本发明的目的在于提供一种LTPS阵列基板的制作方法，可有效降低LTPS阵列基板的制作成本，且制得的LTPS阵列基板具有良好的电学性能。

[0016] 为实现上述目的，本发明提供一种LTPS阵列基板的制作方法，包括如下步骤：

[0017] 步骤1、提供一基板，在所述基板上定义出NMOS区与PMOS区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于NMOS区的遮光层；

[0018] 步骤2、在所述遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶硅层进行图形化处理，得到位于NMOS区的第一多晶硅层、及位于PMOS区的第二多晶硅层；

[0019] 步骤3、在所述第一多晶硅层、第二多晶硅层、及缓冲层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，在所述光阻层上形成对应于所述第二多晶硅层两端的第一通孔，暴露出所述第二多晶硅层的两端，同时在所述光阻层上形成对应于所述第一多晶硅层两端的第一凹槽；以所述光阻层为掩模，对所述第二多晶硅层的两端进行P型重掺杂，得到两P型重掺杂区，所述第二多晶硅层上位于两P型重掺杂区之间的区域形成第二沟道区；

[0020] 采用干蚀刻制程对所述光阻层进行灰化，减薄所述光阻层的厚度，使得第一凹槽转化为第二通孔，暴露出所述第一多晶硅层的两端，以所述光阻层为掩模，对所述第一多晶硅层的两端进行N型重掺杂，得到两N型重掺杂区；

[0021] 采用光阻剥离制程将剩余的光阻层完全剥离，暴露出第一多晶硅层与第二多晶硅层，对所述第一多晶硅层、及第二多晶硅层进行P型轻掺杂，以实现对所述第一多晶硅层的沟道掺杂。

[0022] 所述LTPS阵列基板的制作方法还包括如下步骤：

[0023] 步骤4、在所述第一多晶硅层、第二多晶硅层、及缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层与第二多晶硅层上方的第一栅极与第二栅极；

[0024] 以所述第一栅极为光罩对所述第一多晶硅层进行N型轻掺杂，得到分别位于两N型

重掺杂区内侧的两N型轻掺杂区，所述第一多晶硅层上位于两N型轻掺杂区之间的区域形成第一沟道区；

[0025] 步骤5、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层，对所述层间绝缘层及栅极绝缘层进行图形化处理，得到位于所述N型重掺杂区上方的第一过孔及位于所述P型重掺杂区上方的第二过孔；

[0026] 步骤6、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别通过第一过孔与N型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与P型重掺杂区相接触；

[0027] 步骤7、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层，对所述平坦层进行图形化处理，得到位于所述第一漏极上方的第三过孔；

[0028] 步骤8、在所述平坦层上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极；

[0029] 步骤9、在所述公共电极、及平坦层上沉积钝化保护层，所述钝化保护层包覆所述平坦层上的第三过孔，之后对所述钝化保护层进行图形化处理，得到位于所述第三过孔底部的钝化保护层上的第四过孔；

[0030] 步骤10、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过第四过孔与第一漏极相接触。

[0031] 所述步骤2中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法。

[0032] 所述步骤3中，所述P型重掺杂制程中植入的离子为硼离子，植入剂量为$1*10^{15}$个/cm^2；所述N型重掺杂制程中植入的离子为磷离子，植入剂量为$4*10^{14}$个/cm^2；所述P型轻掺杂制程中植入的离子为硼离子，植入剂量为$2*10^{12}$个/cm^2。

[0033] 所述步骤4中，所述N型轻掺杂制程中植入的离子为磷离子，植入剂量为$1.5*10^{13}$个/cm^2。

[0034] 所述步骤5还包括：对所述层间绝缘层进行去氢和活化处理。

[0035] 采用快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

[0036] 所述基板为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、栅极绝缘层、层间绝缘层、及钝化保护层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层为有机光阻材料。

[0037] 所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

[0038] 所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或铟锗锌氧化物。

[0039] 本发明的有益效果：本发明提供的一种LTPS阵列基板的制作方法，通过采用一道半色调光罩将NMOS区的第一多晶硅层的N型重掺杂与沟道掺杂、及PMOS区的第二多晶硅层的P型重掺杂这三道原本需要三道光罩的制程整合到一道光罩制程中，节省两道曝光制程，大大提升曝光产能，同时节省了两张光罩的制作成本，可有效降低LTPS阵列基板的制作成本，制得的LTPS阵列基板具有良好的电学性能。

[0040] 为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细

说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

[0041] 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

[0042] 附图中，

[0043] 图1为现有的LTPS阵列基板的制作方法的步骤1的示意图；

[0044] 图2为现有的LTPS阵列基板的制作方法的步骤2的示意图；

[0045] 图3为现有的LTPS阵列基板的制作方法的步骤3的示意图；

[0046] 图4为现有的LTPS阵列基板的制作方法的步骤4的示意图；

[0047] 图5为现有的LTPS阵列基板的制作方法的步骤5的示意图；

[0048] 图6为现有的LTPS阵列基板的制作方法的步骤6的示意图；

[0049] 图7为本发明的LTPS阵列基板的制作方法的步骤1的示意图；

[0050] 图8为本发明的LTPS阵列基板的制作方法的步骤2的示意图；

[0051] 图9A-9C为本发明的LTPS阵列基板的制作方法的步骤3的示意图；

[0052] 图10为本发明的LTPS阵列基板的制作方法的步骤4的示意图；

[0053] 图11为本发明的LTPS阵列基板的制作方法的步骤5的示意图；

[0054] 图12为本发明的LTPS阵列基板的制作方法的步骤6的示意图；

[0055] 图13为本发明的LTPS阵列基板的制作方法的步骤7的示意图；

[0056] 图14为本发明的LTPS阵列基板的制作方法的步骤8的示意图；

[0057] 图15为本发明的LTPS阵列基板的制作方法的步骤9的示意图；

[0058] 图16为本发明的LTPS阵列基板的制作方法的步骤10的示意图。

具体实施方式

[0059] 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

[0060] 请参阅图7-16，本发明提供一种LTPS阵列基板的制作方法，包括如下步骤：

[0061] 步骤1、如图7所示，提供一基板10，在所述基板10上定义出NMOS区与PMOS区，在所述基板10上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于NMOS区的遮光层20。

[0062] 步骤2、如图8所示，在所述遮光层20、及基板10上形成缓冲层30，在所述缓冲层30上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶硅层进行图形化处理，得到位于NMOS区的第一多晶硅层40、及位于PMOS区的第二多晶硅层90。

[0063] 具体的，所述低温结晶工艺可以为准分子激光退火法(Excimer Laser Annealing,ELA)或金属诱导横向晶化法(Metal Induced lateral Crystallization,MILC)等。

[0064] 步骤3、如图9A所示，在所述第一多晶硅层40、第二多晶硅层90、及缓冲层30上涂布光阻层33，采用一道半色调光罩对所述光阻层33进行曝光、显影后，在所述光阻层33上形成对应于所述第二多晶硅层90两端的第一通孔331，暴露出所述第二多晶硅层90的两端，同时

在所述光阻层33上形成对应于所述第一多晶硅层40两端的第一凹槽333；以所述光阻层33为掩模，对所述第二多晶硅层90的两端进行P型重掺杂，得到两P型重掺杂区91，所述第二多晶硅层90上位于两P型重掺杂区91之间的区域形成第二沟道区92；

[0065] 如图9B所示，采用干蚀刻制程对所述光阻层33进行灰化，减薄所述光阻层33的厚度，使得第一凹槽333转化为第二通孔335，暴露出所述第一多晶硅层40的两端，以所述光阻层33为掩模，对所述第一多晶硅层40的两端进行N型重掺杂，得到两N型重掺杂区41；

[0066] 如图9C所示，采用光阻剥离制程将剩余的光阻层33完全剥离，暴露出第一多晶硅层40与第二多晶硅层90，对所述第一多晶硅层40、及第二多晶硅层90进行P型轻掺杂，以实现对所述第一多晶硅层40的沟道掺杂。

[0067] 具体的，所述步骤3中，所述P型重掺杂制程中植入的离子为硼(B)离子，植入剂量为$1*10^{15}$个/cm^2；所述N型重掺杂制程中植入的离子为磷(P)离子，植入剂量为$4*10^{14}$个/cm^2；所述P型轻掺杂制程中植入的离子为硼(B)离子，植入剂量为$2*10^{12}$个/cm^2。

[0068] 以上三次掺杂制程，按照植入的先后顺序植入剂量依次减少，植入剂量最大的最先进行掺杂，这样可以减小后面掺杂元素对前面已掺杂区域的影响。

[0069] 值得一提的是，所述步骤3通过采用一道半色调光罩将NMOS区的第一多晶硅层40的N型重掺杂与沟道掺杂、及PMOS区的第二多晶硅层90的P型重掺杂这三道原本需要三道光罩的制程整合到一道光罩制程中，节省了两道曝光制程，大大提升曝光产能，同时节省了两张光罩的制作成本，可有效降低LTPS阵列基板的制作成本。

[0070] 步骤4、如图10所示，在所述第一多晶硅层40、第二多晶硅层90、及缓冲层30上沉积栅极绝缘层51，在所述栅极绝缘层51上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层40与第二多晶硅层90上方的第一栅极52与第二栅极93；

[0071] 以所述第一栅极52为光罩对所述第一多晶硅层40进行N型轻掺杂，得到分别位于两N型重掺杂区41内侧的两N型轻掺杂区43，所述第一多晶硅层40上位于两N型轻掺杂区43之间的区域形成第一沟道区42。

[0072] 具体的，所述步骤4中，所述N型轻掺杂制程中植入的离子为磷(P)离子，植入剂量为$1.5*10^{13}$个/cm^2。

[0073] 步骤5、如图11所示，在所述第一栅极52、第二栅极93、及栅极绝缘层51上沉积层间绝缘层53，对所述层间绝缘层53及栅极绝缘层51进行图形化处理，得到位于所述N型重掺杂区41上方的第一过孔55及位于所述P型重掺杂区91上方的第二过孔95，之后对所述层间绝缘层53进行去氢和活化处理。

[0074] 具体的，采用快速热退火工艺(RTA，Rapid Thermal Annealing)对所述层间绝缘层53进行去氢和活化处理。

[0075] 步骤6、如图12所示，在所述层间绝缘层53上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极61、第一漏极62、第二源极96、第二漏极97，所述第一源极61、第一漏极62分别通过第一过孔55与N型重掺杂区41相接触，所述第二源极96、第二漏极97分别通过第二过孔95与P型重掺杂区91相接触。

[0076] 步骤7、如图13所示，在所述第一源极61、第一漏极62、第二源极96、第二漏极97、及层间绝缘层53上形成平坦层70，对所述平坦层70进行图形化处理，得到位于所述第一漏极62上方的第三过孔71。

[0077] 步骤8、如图14所示，在所述平坦层70上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极80。

[0078] 步骤9、如图15所示，在所述公共电极80、及平坦层70上沉积钝化保护层81，所述钝化保护层81包覆所述平坦层70上的第三过孔71，之后对所述钝化保护层81进行图形化处理，得到位于所述第三过孔71底部的钝化保护层81上的第四过孔85。

[0079] 步骤10、如图16所示，在所述钝化保护层81上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极82，所述像素电极82通过第四过孔85与第一漏极62相接触。

[0080] 具体的，所述基板10为透明基板，优选为玻璃基板。

[0081] 具体的，所述第一金属层、第二金属层、第三金属层的材料为钼(Mo)、钛(Ti)、铝(Al)、铜(Cu)中的一种或多种的堆栈组合。

[0082] 具体的，所述缓冲层30、栅极绝缘层51、层间绝缘层53、及钝化保护层81为氧化硅(SiO_x)层、氮化硅(SiN_x)层、或者由氧化硅层与氮化硅层叠加构成的复合层。

[0083] 具体的，所述平坦层70为有机光阻材料。

[0084] 具体的，所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物，如铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物、或其它合适的氧化物。

[0085] 综上所述，本发明提供的一种LTPS阵列基板的制作方法，通过采用一道半色调光罩将NMOS区的第一多晶硅层的N型重掺杂与沟道掺杂、及PMOS区的第二多晶硅层的P型重掺杂这三道原本需要三道光罩的制程整合到一道光罩制程中，节省两道曝光制程，大大提升曝光产能，同时节省了两张光罩的制作成本，可有效降低LTPS阵列基板的制作成本，制得的LTPS阵列基板具有良好的电学性能。

[0086] 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

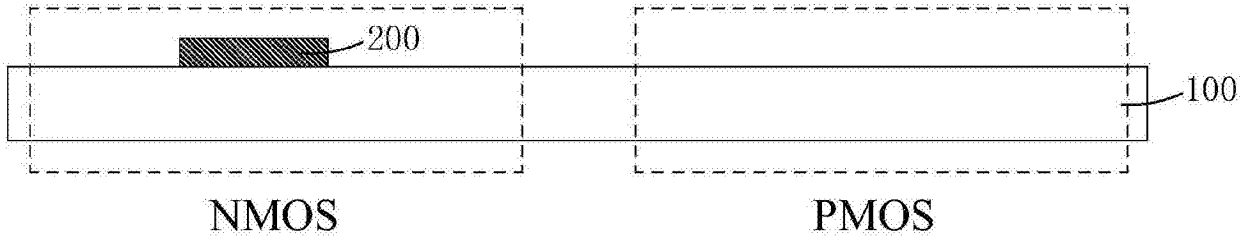

200
100
NMOS
PMOS

图1

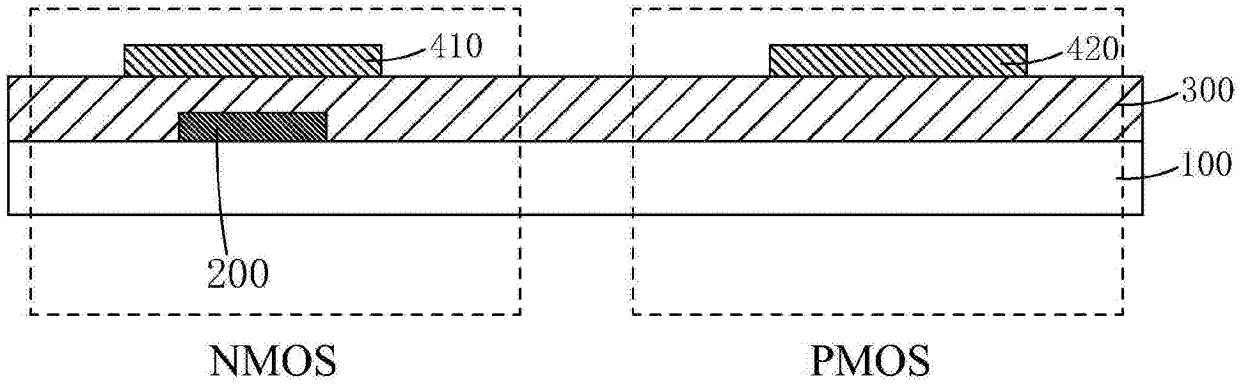

410
420
300
100
200
NMOS
PMOS

图2

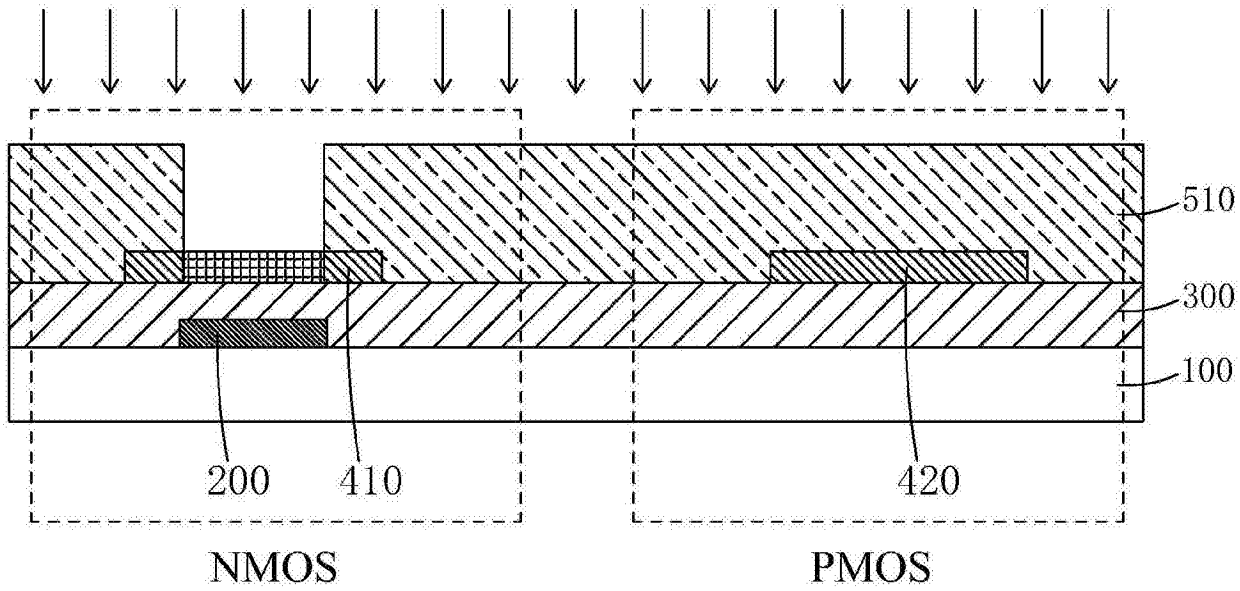

510
300
100
200
410
420
NMOS
PMOS

图3

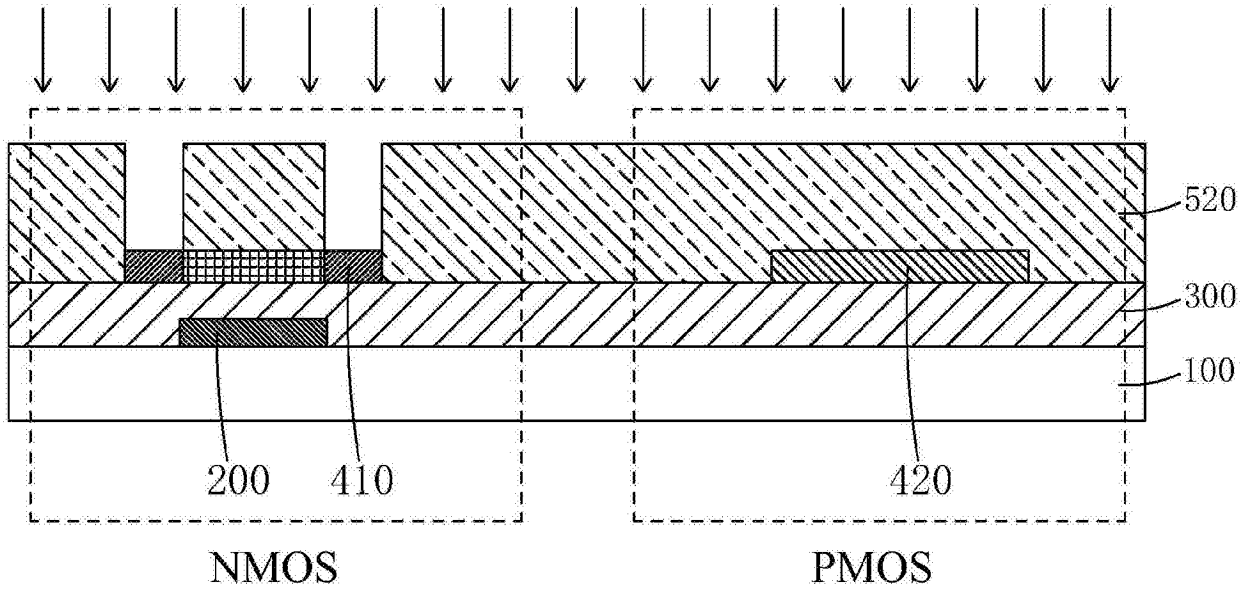

520
300
100
200
410
420
NMOS
PMOS

图4

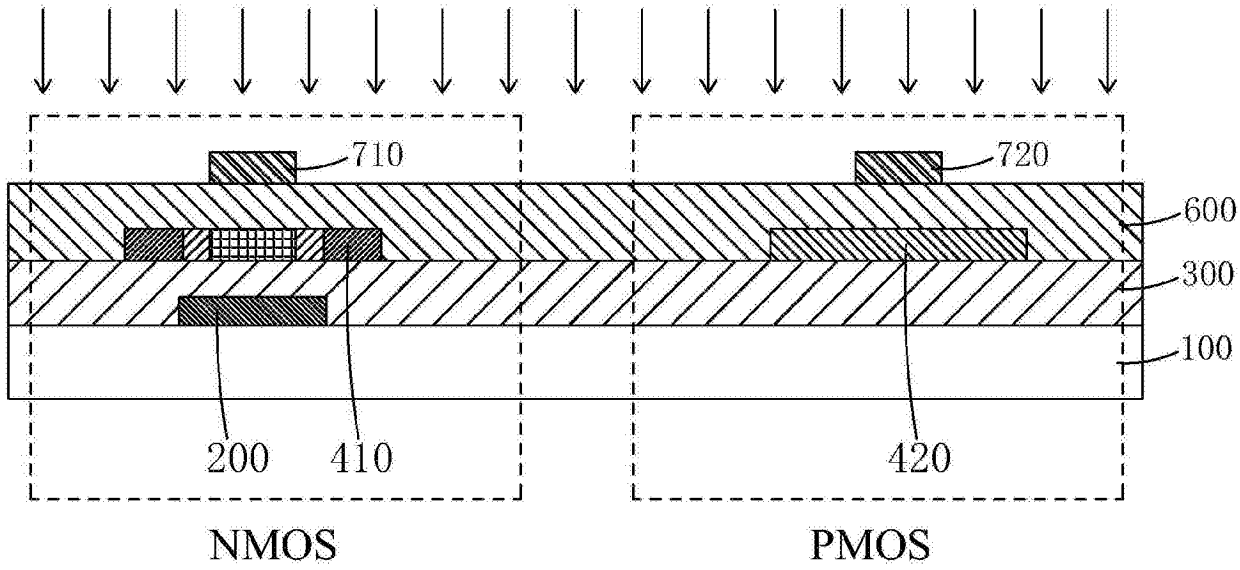

710
720
600
300
100
200
410
420
NMOS
PMOS

图5

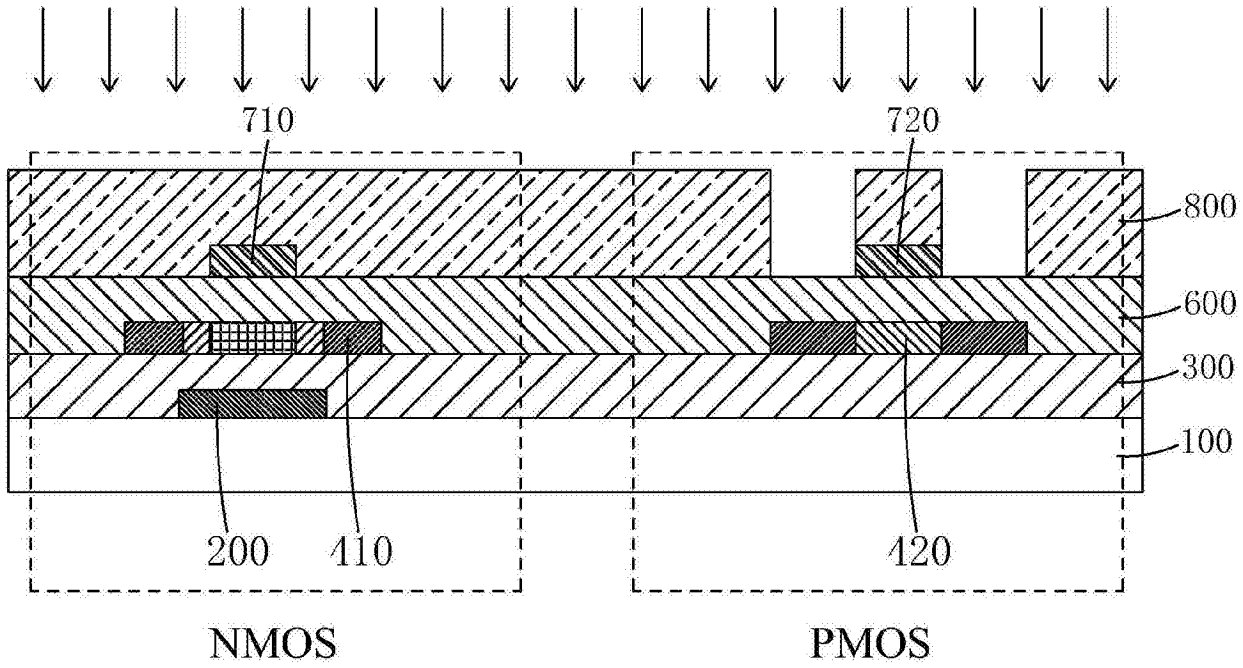

710
720
800
600
300
100
200
410
420
NMOS
PMOS

图6

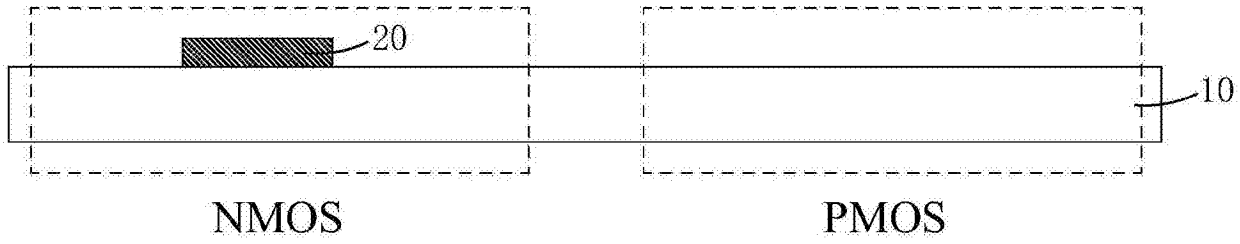

20
10
NMOS
PMOS

图7

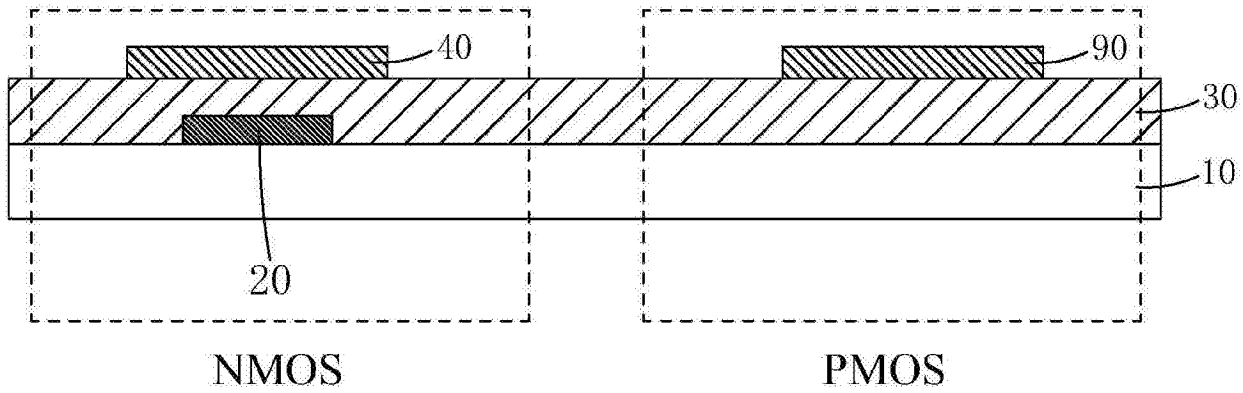

40
90
30
10
20
NMOS
PMOS

图8

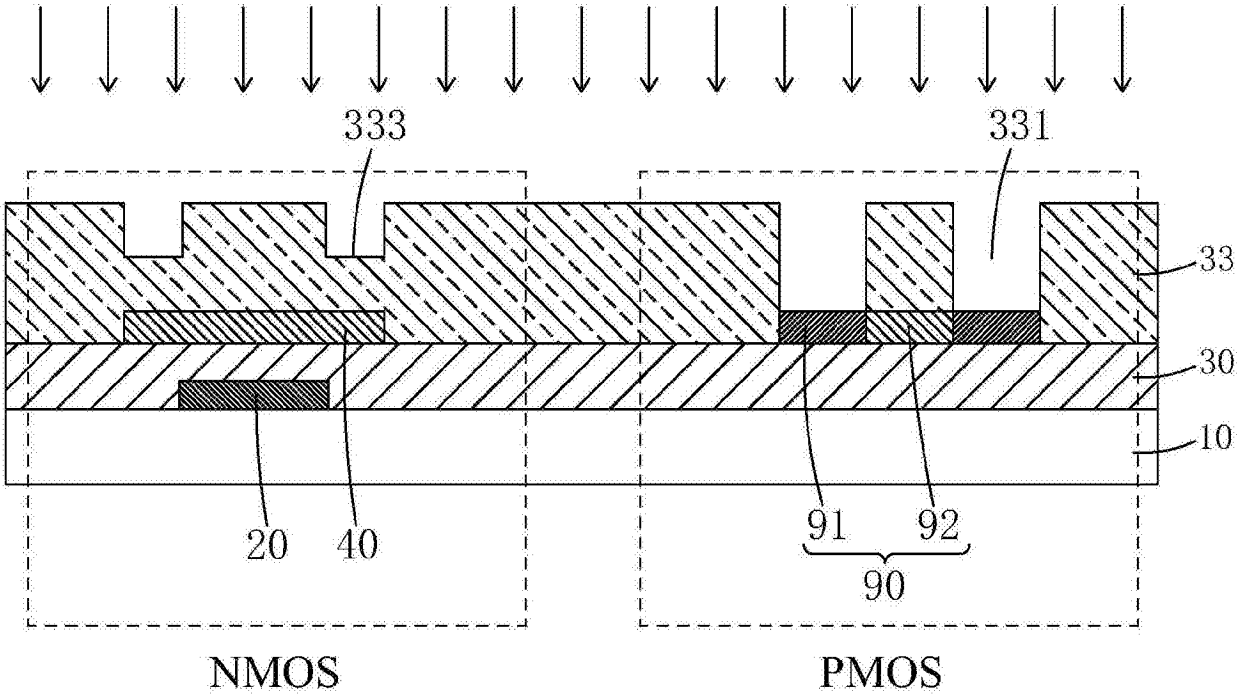

333
331
33
30
10
20
40
91
92
90
NMOS
PMOS

图9A

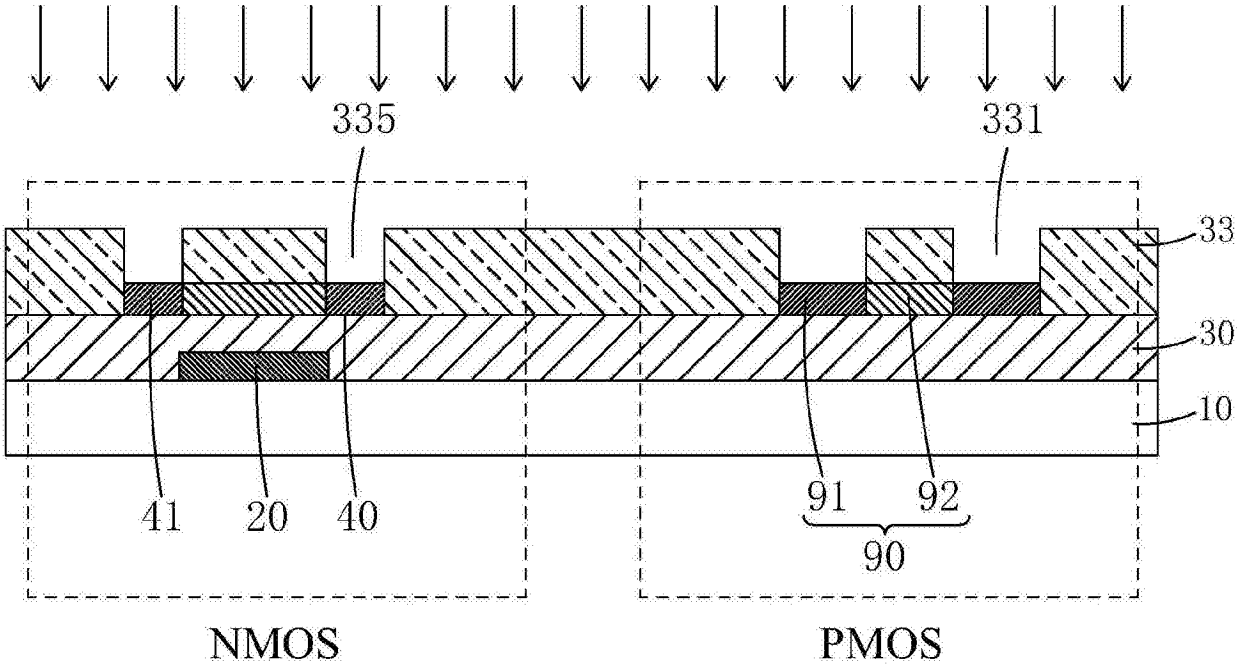

335
331
33
30
10
41
20
40
91
92
90
NMOS
PMOS

图9B

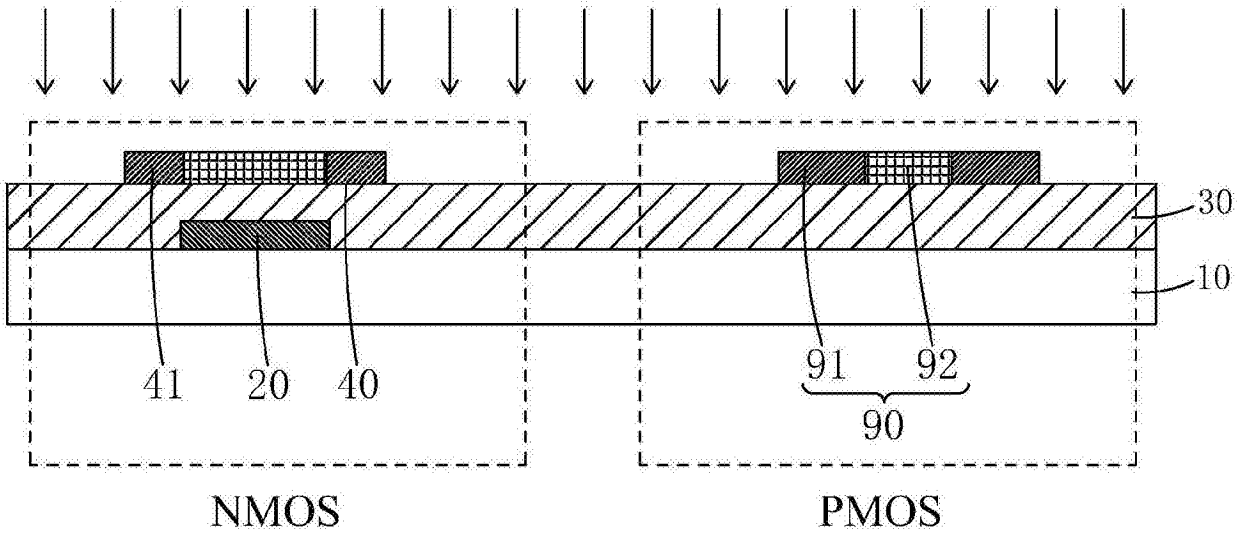

30
10
41
20
40
91
92
90
NMOS
PMOS

图9C

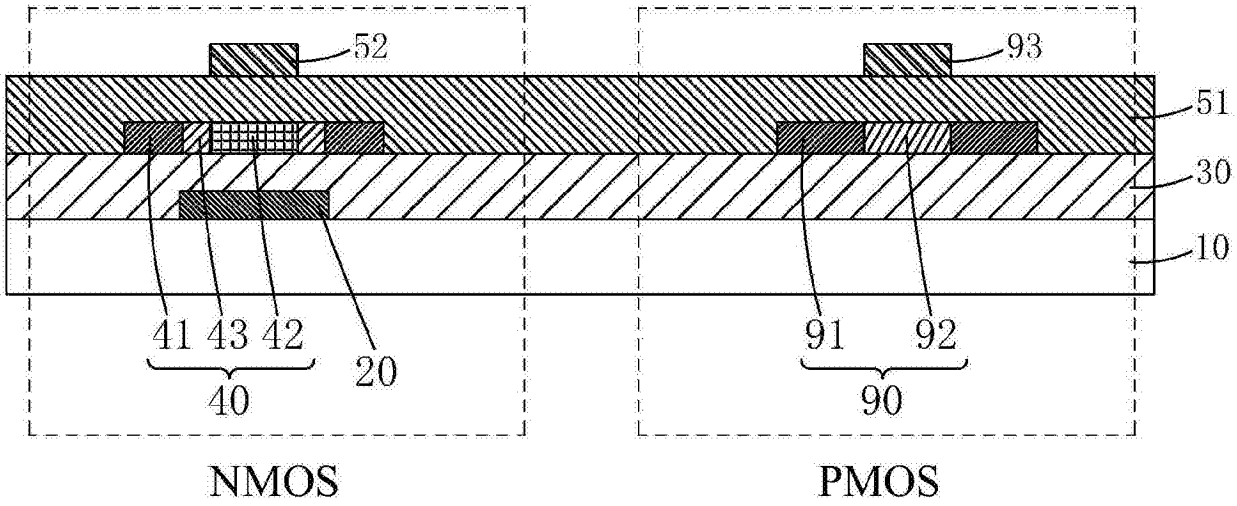

52
93
51
30
10
41
43
42
20
40
91
92
90
NMOS
PMOS

图10

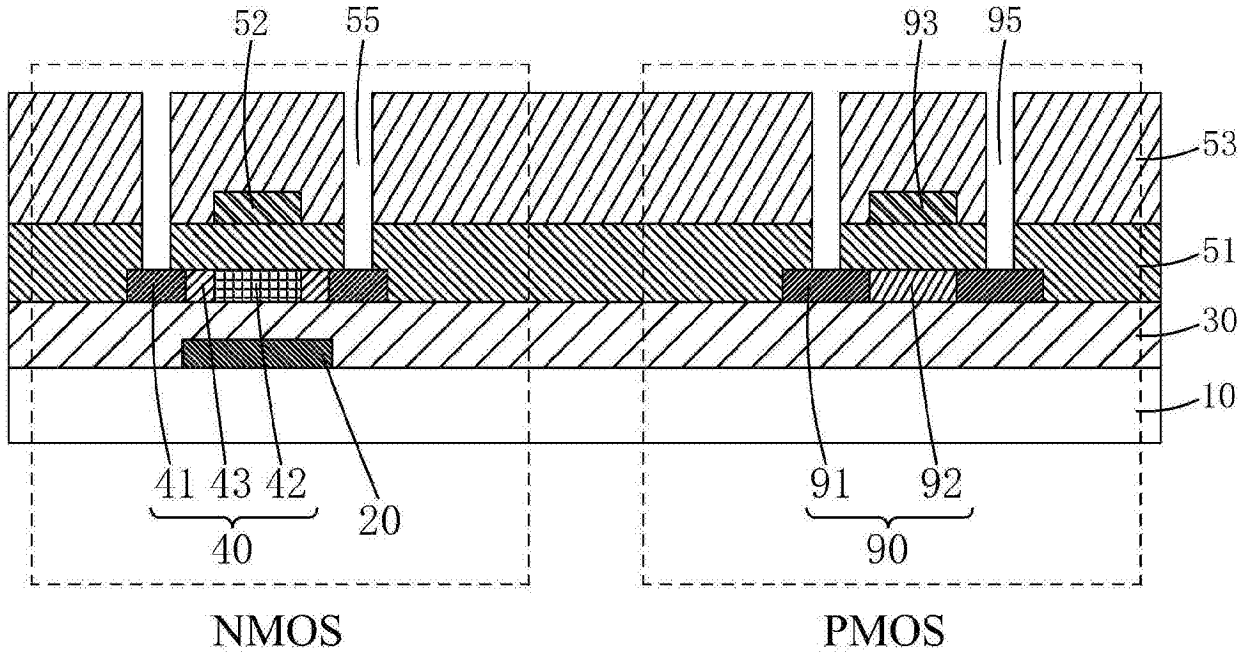

52
55
93
95
53
51
30
10
41 43 42
40
20
91
92
90
NMOS
PMOS

图11

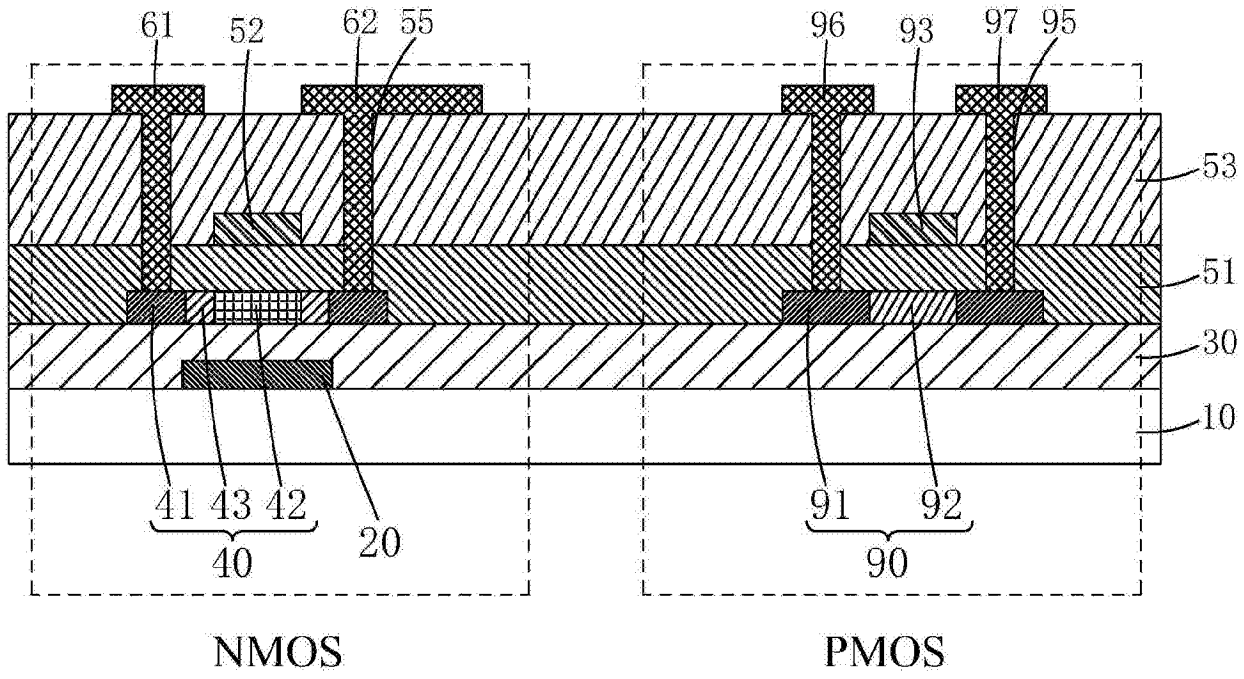

61
52
62
55
96
93
97
95
53
51
30
10
41 43 42
40
20
91
92
90
NMOS
PMOS

图12

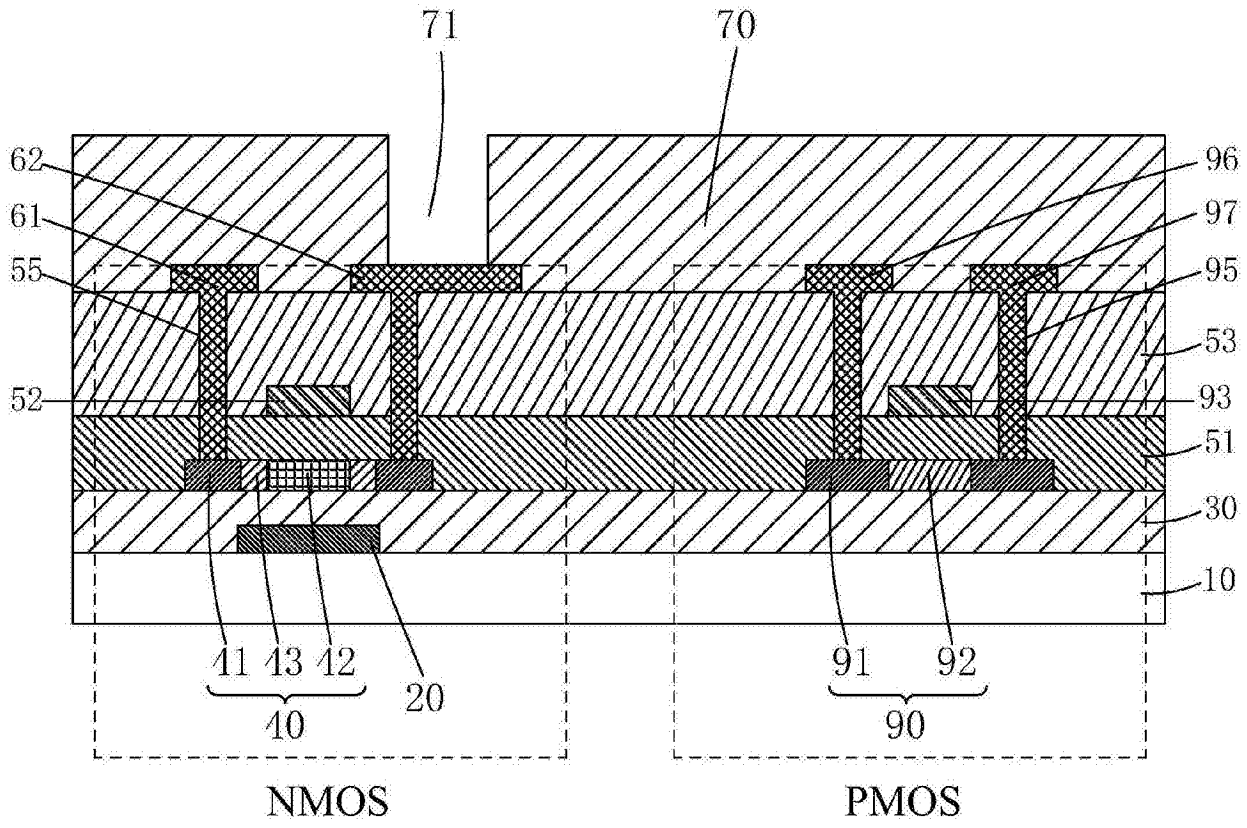

71
70
62
61
55
52
96
97
95
53
93
51
30
10
11
13
12
20
91
92
40
90
NMOS
PMOS

图13

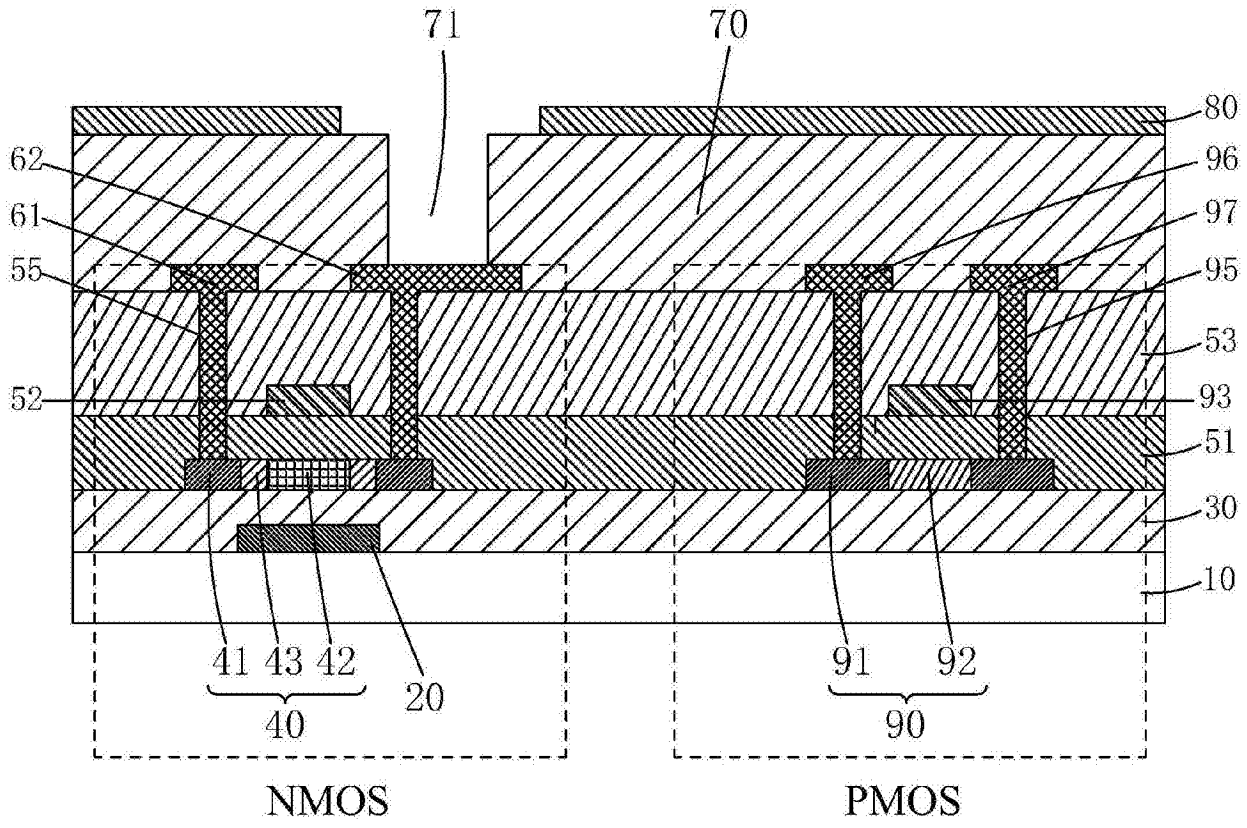

71
70
80
62
96
61
97
55
95
53
52
93
51
30
10
41
43
42
20
91
92
40
90
NMOS
PMOS

图14

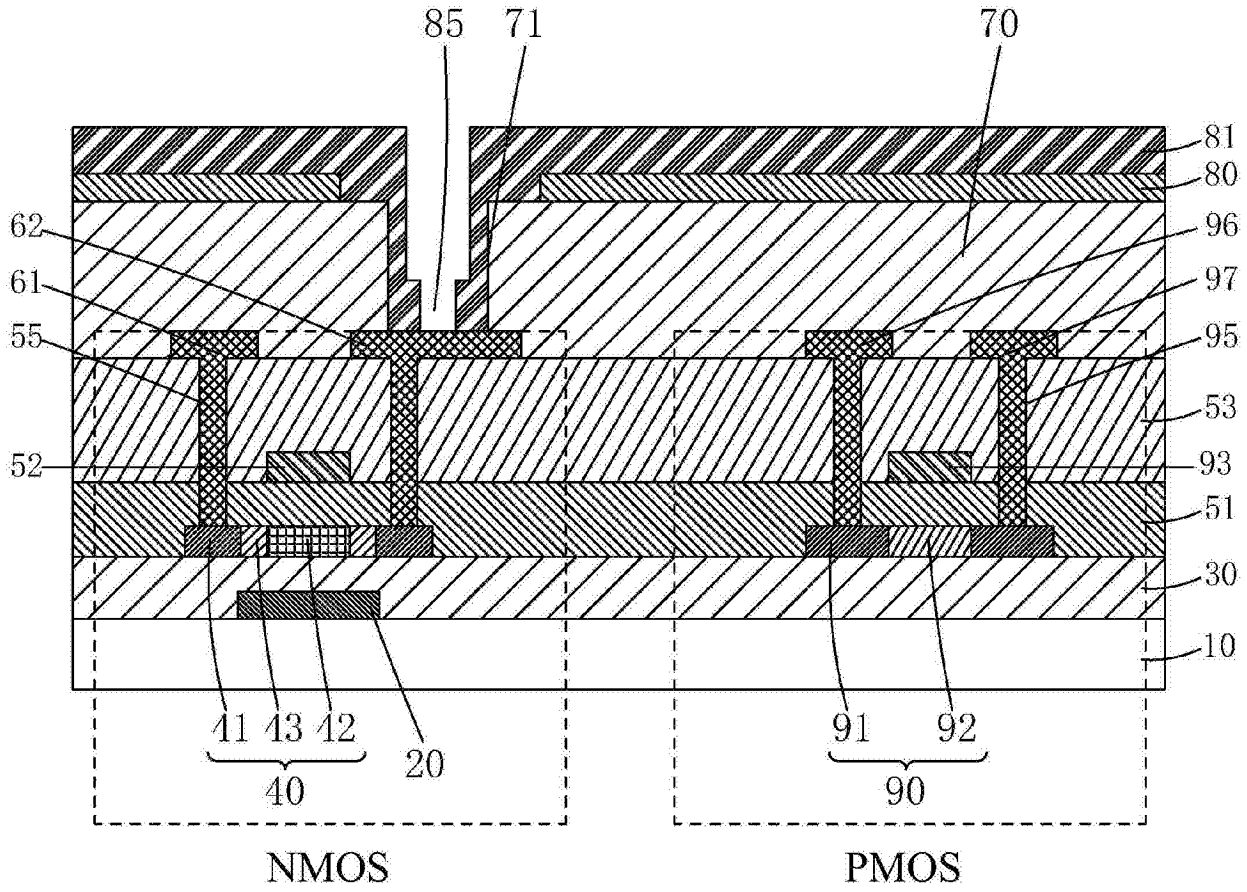

85
71
70
81
80
62
96
61
97
55
95
53
52
93
51
30
10
41
43
42
20
91
92
40
90
NMOS
PMOS

图15

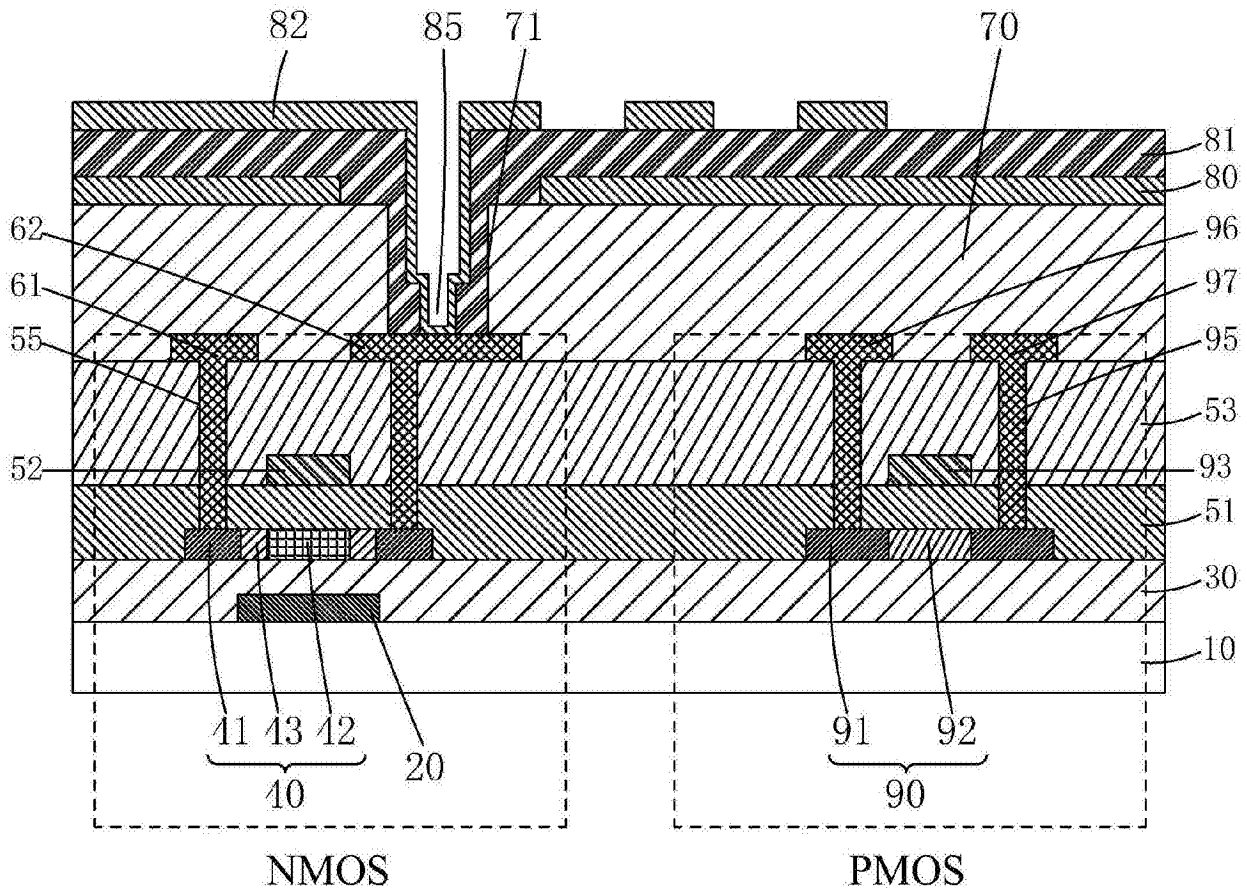

82
85
71
70
81
80
62
96
61
97
55
95
53
52
93
51
30
10
11
13
12
20
91
92
10
90
NMOS
PMOS

图16