

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-12896

(P2007-12896A)

(43) 公開日 平成19年1月18日(2007.1.18)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 23/14 (2006.01)	H01L 23/14 S	5E338
H01L 23/32 (2006.01)	H01L 23/32 D	5E346
H05K 1/02 (2006.01)	H05K 1/02 N	
H05K 3/46 (2006.01)	H05K 3/46 G	
	H05K 3/46 N	

審査請求 未請求 請求項の数 20 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2005-192318 (P2005-192318)
 (22) 出願日 平成17年6月30日 (2005.6.30)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 301079420
 (71) 出願人 301079420
 関東三洋セミコンダクターズ株式会社
 群馬県邑楽郡大泉町仙石二丁目2468番地1
 (74) 代理人 100091605
 弁理士 岡田 敬
 (72) 発明者 梅本 光雄
 群馬県邑楽郡大泉町仙石二丁目2468番地1 関東三洋セミコンダクターズ株式会社内
 Fターム(参考) 5E338 AA03 BB02 BB19 BB28 BB75
 CC04 CC06 EE13 EE26
 最終頁に続く

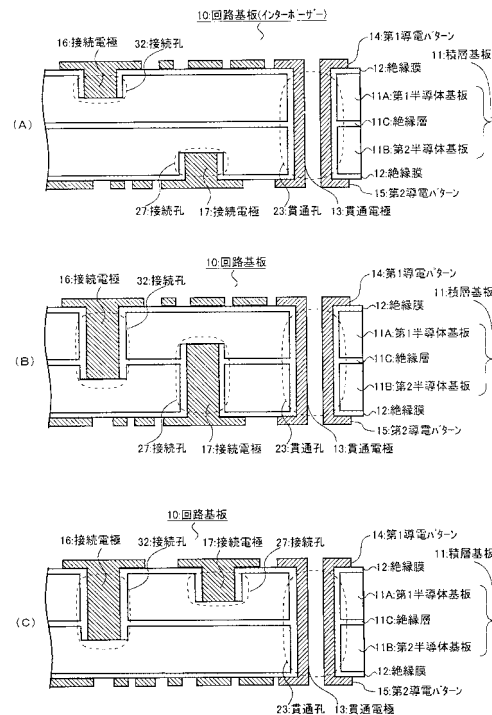
(54) 【発明の名称】 回路基板、回路基板の製造方法および半導体装置

(57) 【要約】

【課題】 実装される回路素子との接続信頼性が確保され、更に、寄生容量の低減およびノイズ対策が施された多層の回路基板およびその製造方法を提供する。

【解決手段】 本発明の回路基板10は、絶縁層11Cを介して積層された第1半導体基板11Aおよび第2半導体基板11Bから成る積層基板11を有する。積層基板11の上には、第1導電パターン14が形成され、裏面には第2導電パターン15が形成される。接続電極16を介して、第1導電パターン14と第1半導体基板11Aとを電気的に接続することが出来る。更に、接続電極17を介して、第2導電パターン15と第2半導体基板11Bとを電気的に接続することが出来る。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁層を介して積層された第 1 半導体基板および第 2 半導体基板から成る積層基板を有し、

前記第 1 半導体基板または前記第 2 半導体基板のいずれか一方を貫通し、他方まで延在して電氣的に接続された接続電極を具備することを特徴とする回路基板。

【請求項 2】

絶縁層を介して積層された第 1 半導体基板および第 2 半導体基板から成る積層基板を有し、

前記第 1 半導体基板と電氣に接続された第 1 接続電極または、

前記第 2 半導体基板と電氣的に接続された第 2 接続電極を具備することを特徴とする回路基板。

【請求項 3】

前記第 1 接続電極は、前記第 1 半導体基板側から前記第 1 半導体基板を厚み方向に途中まで延在することを特徴とする請求項 2 記載の回路基板。

【請求項 4】

前記第 1 接続電極は、前記第 2 半導体基板を貫通して前記第 1 半導体基板まで延在し、前記第 1 接続電極の側面を絶縁膜により被覆し、

前記絶縁膜により前記第 1 接続電極と前記第 2 半導体基板とを絶縁することを特徴とする請求項 2 記載の回路基板。

【請求項 5】

前記第 1 半導体基板または前記第 2 半導体基板の一方は接地電位に接続され、他方は電源電位に接続されることを特徴とする請求項 1 または請求項 2 記載の回路基板。

【請求項 6】

前記第 1 半導体基板および第 2 半導体基板は、不純物が導入された半導体から成ることを特徴とする請求項 1 または請求項 2 記載の回路基板。

【請求項 7】

絶縁層を介して積層された第 1 半導体基板および第 2 半導体基板から成る積層基板と、前記積層基板を厚み方向に貫通して設けられた貫通電極と、

前記第 1 半導体基板と電氣的に接続された第 1 接続電極と、

前記第 2 半導体基板と電氣的に接続された第 2 接続電極と、

前記積層基板の表面に形成された導電パターンとを具備し、

前記第 1 半導体基板は電源電位に接続され、前記第 2 半導体基板は接地電位に接続され

、前記導電パターンは、接地電位と接続される接地パターンおよび、電源電位と接続される電源パターンを含み、

前記電源パターンは、前記第 1 接続電極を介して前記第 1 半導体基板に接続され、

前記接地パターンは、前記第 2 接続電極を介して前記第 2 半導体基板に接続されることを特徴とする回路基板。

【請求項 8】

前記第 2 接続電極は、前記第 1 半導体基板を貫通して前記第 2 半導体基板まで延在することを特徴とする請求項 7 記載の回路基板。

【請求項 9】

前記第 1 接続電極は、前記第 1 半導体基板の厚み方向の途中まで延在することを特徴とする請求項 7 記載の回路基板。

【請求項 10】

前記第 1 半導体基板と接続された第 3 接続電極および、前記第 2 半導体基板と接続された第 4 接続電極を具備し、

前記第 1 半導体基板は前記第 3 接続電極を介して外部の電源電位と接続され、前記第 2 半導体基板は前記第 4 接続電極を介して外部の電源電位と接続されることを特徴とする請

10

20

30

40

50

求項 7 記載の回路基板。

【請求項 1 1】

第 1 半導体基板および第 2 半導体基板が絶縁層を介して積層された積層基板を用意する工程と、

前記積層基板の一主面をエッチングレジストにより被覆し、前記エッチングレジストに開口径が異なる第 1 開口部および第 2 開口部を形成する工程と、

前記エッチングマスクを介して前記積層基板をエッチングし、底部に前記第 1 半導体基板または前記第 2 半導体基板が露出する接続孔を前記第 1 開口部から形成し、前記積層基板を貫通する貫通孔を前記第 2 開口部から形成する工程と、

前記接続孔および前記貫通孔の内部に導電材料を形成し、前記第 1 半導体基板または前記第 2 半導体基板と接続された接続電極および、貫通電極を形成する工程とを具備することを特徴とする回路基板の製造方法。

10

【請求項 1 2】

前記第 1 開口部を前記第 2 開口部よりも小さく形成することを特徴とする請求項 1 1 記載の回路基板の製造方法。

【請求項 1 3】

前記接続孔を前記第 1 半導体基板の厚み方向の途中まで延在させて、前記接続電極を前記第 1 半導体基板と電氣的に接続することを特徴とする請求項 1 1 記載の回路基板の製造方法。

【請求項 1 4】

前記接続孔を、前記第 1 半導体基板および前記絶縁層を貫通して、前記第 2 半導体基板まで延在させて、前記接続電極と前記第 2 半導体基板とを電氣的に接続することを特徴とする請求項 1 1 記載の回路基板の製造方法。

20

【請求項 1 5】

第 1 半導体基板および第 2 半導体基板が絶縁層を介して積層された積層基板を用意する工程と、

前記積層基板の一主面をエッチングレジストにより被覆し、前記エッチングレジストに開口径が異なる第 1 開口部、第 2 開口部および第 3 開口部を形成する工程と、

前記エッチングマスクを介して前記積層基板をエッチングし、底部に前記第 1 半導体基板が露出する第 1 接続孔を前記第 1 開口部から形成し、底部に第 2 半導体基板が露出する第 2 接続孔を前記第 2 開口部から形成し、前記積層基板を貫通する貫通孔を前記第 3 開口部から形成する工程と、

30

前記第 1 接続孔、前記第 2 接続孔および前記貫通孔の内部に導電材料を形成し、前記第 1 半導体基板と電氣的に接続された第 1 接続電極、前記第 2 半導体基板と電氣的に接続された第 2 接続電極および、貫通電極を形成する工程とを具備することを特徴とする回路基板の製造方法。

【請求項 1 6】

前記第 2 開口部は、前記第 1 開口部よりも大きく且つ前記第 3 開口部よりも小さく形成されることを特徴とする請求項 1 5 記載の回路基板の製造方法。

【請求項 1 7】

前記第 1 接続孔を前記第 1 半導体基板の厚み方向の途中まで延在させて、前記第 1 接続電極を前記第 1 半導体基板と電氣的に接続することを特徴とする請求項 1 5 記載の回路基板の製造方法。

40

【請求項 1 8】

前記第 2 接続孔を、前記第 1 半導体基板および前記絶縁層を貫通して前記第 2 半導体基板まで延在させて、前記第 2 接続電極を前記第 2 半導体基板と電氣的に接続することを特徴とする請求項 1 5 記載の回路基板の製造方法。

【請求項 1 9】

前記貫通孔、前記第 1 接続孔および前記第 2 接続孔の内壁を絶縁膜により被覆する工程を具備し、

50

前記第1接続孔の底辺に位置する前記絶縁膜を除去した後に、前記第1接続電極を形成して、前記第1接続孔の底辺に露出する前記第1半導体基板と前記第1接続電極とを接続し、

前記第2接続孔の底辺に位置する前記絶縁膜を除去した後に、前記第2接続電極を形成して、前記第2接続孔の底辺に露出する前記第2半導体基板と前記第2接続電極とを接続することを特徴とする請求項15記載の回路基板の製造方法。

【請求項20】

回路基板と、前記回路基板の主面に固着された半導体素子を具備する半導体装置に於いて、

前記回路基板は、

絶縁層を介して積層された第1半導体基板および第2半導体基板から成る積層基板を有し、

前記第1半導体基板または前記第2半導体基板のいずれか一方を貫通し、他方まで延在して電気的に接続された接続電極を具備することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は回路基板、回路基板の製造方法および半導体装置に関し、特に、回路素子が実装されてインターポージャーとして用いられる回路基板、回路基板の製造方法および半導体装置に関する。

【背景技術】

【0002】

従来に於いて回路装置は、例えば表面に導電路が形成された実装基板に、ICチップ等の半導体素子を搭載することにより形成されていた。実装基板上の導電路と、半導体素子とを接続する構造としては、フェイスアップおよびフェイスダウン（フリップチップ法）の2つの実装構造がある。

【0003】

半導体素子が実装基板にフェイスアップで実装される場合は、半導体素子の裏面が実装基板に固着される。そして、半導体素子の上面に形成されたパッドと実装基板の導電路とは、金属細線によりワイヤボンディングされる。しかしながらワイヤボンディングを用いた接続方法では、金属細線を形成するための領域を半導体素子の周辺部に確保する必要があるため、半導体素子の実装に必要な面積が増大してしまう問題があった。

【0004】

フェイスダウンにて半導体素子が実装基板に実装される場合は、下面に配置された半導体素子のパッド電極と実装基板上の導電路とは、半田バンプ等を用いて接続される。フェイスダウンにて半導体素子を実装することにより、実装に必要な面積を素子の大きさと同等にすることができる。しかしながら、実装基板と半導体素子とは熱膨張係数が異なるので、両者を接合させる半田バンプには、温度変化に伴い熱応力が作用する。この熱応力により半田バンプにクラックが発生し、半導体素子の接続信頼性が低下してしまう問題があった。

【0005】

この問題を解決するために、チップと同等の線膨張係数を持つインターポージャーを介して、半導体素子と実装基板とを接続する構造が提案されている。

【0006】

図9の断面図を参照して、インターポージャーとしての回路基板を用いた半導体素子の接続構造を説明する。ここでは、多数のパッドを有するLSIチップである半導体素子101が、回路基板100を介して、実装基板104に実装されている。半導体素子101の裏面に位置するパッドと回路基板100とは、接続電極102により接続されている。また、実装基板104の上面に形成された導電路105と回路基板100とは、外部電極103により接続されている。更に、回路基板100の上面および裏面には、絶縁層107

10

20

30

40

50

により絶縁された導電パターン106が形成されている。

【0007】

インターポージャーである回路基板100の材料として、熱膨張係数が実装基板104よりも半導体素子101に近い材料を採用すると、接続電極102に採用する熱応力が低減される。従って、接続電極102の熱応力に対する接続信頼性を向上させることができる。回路基板100の具体的な材料としては、樹脂、金属、セラミック等が採用される。回路基板100の材料として、シリコン等の半導体を採用した技術が特許文献1に記載されている。

【特許文献1】特開2001-326305号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0008】

しかしながら、回路基板100を用いた上述の構造では、導電パターン106と回路基板100との間に寄生容量や電圧低下が発生し、グラウンドが不安定になる事により半導体素子101の誤動作等を招く恐れがあった。具体的には、回路基板100はフローティング状態となっており、電位が固定されていない。従って、導電パターン106と回路基板100との間に電位差が生じ易く、両者の間に寄生容量が発生する。特に半導体素子101が数GHz程度の高周波にて動作する素子である場合、回路基板100に発生する寄生容量により素子の性能が低下してしまう問題が発生する。

【0009】

20

更に、回路基板100ではノイズ対策が施されていないので、回路基板100を透過したノイズが半導体素子101に侵入して、半導体素子101が誤動作してしまう問題があった。特に、ノイズに敏感なアナログ回路が半導体素子101に形成された場合、外部から侵入したノイズにより、半導体素子101が誤動作してしまう恐れがあった。更に、半導体素子101から発生するノイズが、回路基板100を透過して外部に伝搬し、他の回路素子に悪影響を与えてしまう問題もあった。このような問題も、半導体素子101が高周波デバイスである場合顕著に発生する。

【0010】

更に、回路基板100の上面には、接地電位や電源電位と接続された導電パターン106を形成する必要があったので、回路基板100の小型化が困難であった問題があった。

30

【0011】

本発明は、上記問題点を鑑みてなされ、本発明の主な目的は、実装される回路素子との接続信頼性が確保され、更に、寄生容量の低減およびノイズ対策が施された回路基板、回路基板の製造方法および半導体装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明の回路基板は、絶縁層を介して積層された第1半導体基板および第2半導体基板から成る積層基板を有し、前記第1半導体基板または前記第2半導体基板のいずれか一方を貫通し、他方まで延在して電氣的に接続された接続電極を具備することを特徴とする。

【0013】

40

更に本発明の回路基板は、絶縁層を介して積層された第1半導体基板および第2半導体基板から成る積層基板を有し、前記第1半導体基板と電氣的に接続された第1接続電極または、前記第2半導体基板と電氣的に接続された第2接続電極を具備することを特徴とする。

【0014】

更に本発明の回路基板は、絶縁層を介して積層された第1半導体基板および第2半導体基板から成る積層基板と、前記積層基板を厚み方向に貫通して設けられた貫通電極と、前記第1半導体基板と電氣的に接続された第1接続電極と、前記第2半導体基板と電氣的に接続された第2接続電極と、前記積層基板の表面に形成された導電パターンとを具備し、前記第1半導体基板は電源電位に接続され、前記第2半導体基板は接地電位に接続され、

50

前記導電パターンは、接地電位と接続される接地パターンおよび、電源電位と接続される電源パターンを含み、前記電源パターンは、前記第1接続電極を介して前記第1半導体基板に接続され、前記接地パターンは、前記第2接続電極を介して前記第2半導体基板に接続されることを特徴とする。

【0015】

本発明の回路基板の製造方法は、第1半導体基板および第2半導体基板が絶縁層を介して積層された積層基板を用意する工程と、前記積層基板の一主面をエッチングレジストにより被覆し、前記エッチングレジストに開口径が異なる第1開口部および第2開口部を形成する工程と、前記エッチングマスクを介して前記積層基板をエッチングし、底部に前記第1半導体基板または前記第2半導体基板が露出する接続孔を前記第1開口部から形成し、前記積層基板を貫通する貫通孔を前記第2開口部から形成する工程と、前記接続孔および前記貫通孔の内部に導電材料を形成し、前記第1半導体基板または前記第2半導体基板と接続された接続電極および、貫通電極を形成する工程とを具備することを特徴とする。

10

【0016】

更に、本発明の回路基板の製造方法は、第1半導体基板および第2半導体基板が絶縁層を介して積層された積層基板を用意する工程と、前記積層基板の一主面をエッチングレジストにより被覆し、前記エッチングレジストに開口径が異なる第1開口部、第2開口部および第3開口部を形成する工程と、前記エッチングマスクを介して前記積層基板をエッチングし、底部に前記第1半導体基板が露出する第1接続孔を前記第1開口部から形成し、底部に第2半導体基板が露出する第2接続孔を前記第2開口部から形成し、前記積層基板を貫通する貫通孔を前記第3開口部から形成する工程と、前記第1接続孔、前記第2接続孔および前記貫通孔の内部に導電材料を形成し、前記第1半導体基板と電氣的に接続された第1接続電極、前記第2半導体基板と電氣的に接続された第2接続電極および、貫通電極を形成する工程とを具備することを特徴とする。

20

【0017】

本発明の半導体装置は、回路基板と、前記回路基板の主面に固着された半導体素子を具備する半導体装置に於いて、前記回路基板は、絶縁層を介して積層された第1半導体基板および第2半導体基板から成る積層基板を有し、前記第1半導体基板または前記第2半導体基板のいずれか一方を貫通し、他方まで延在して電氣的に接続された接続電極を具備することを特徴とする。

30

【発明の効果】

【0018】

本発明によれば、積層された第1半導体基板または第2半導体基板を貫通する接続電極を有するので、接続電極を介して積層された各半導体基板の電位を任意の箇所に取り出すことができる。

【0019】

更に、本発明の回路基板によれば、積層された第1半導体基板および第2半導体基板と電氣的に接続された第1接続電極および第2接続電極を設けることにより、第1半導体基板および第2半導体基板の電位を固定することができる。従って、積層基板と、その表面に形成された導電パターンとの間に発生する寄生容量を低減させることができる。

40

【0020】

更に、本発明によれば、第1半導体基板を接地電位とし、第2半導体基板を電源電位とすることで、上記した第1接続電極および第2接続電極を介して、積層基板の表面に形成された導電パターンを任意の箇所、接地電位または電源電位と接続することができる。従って、接地電位または電源電位と接続された導電パターンを、積層基板の表面で引き回す必要が無いので、導電路の配線密度を抑制し、信号伝播に伴う遅延を抑制できる。その上、配線密度の抑制は等長配線などのタイミング調整の為に必要なエリアを確保し、さらなる高い信頼性を持った電気回路を実現できる。また、第1半導体基板および第2半導体基板は、基板全体が接地電位または電源電位と接続された導電路として機能するので、接地インピーダンスおよび電源インピーダンスを低減させることができる。

50

【0021】

更に、第1半導体基板を接地電位とし、第2半導体基板を電源電位とすることで、回路基板のシールド効果を向上させることができる。従って、外部からのノイズを遮断して、回路基板に実装される回路素子の動作を安定させることができる。

【0022】

本発明の製造方法によれば、開口径が異なる複数の開口部を有するエッチングマスクを用いて、第1半導体基板と第2半導体基板とが絶縁層を介して積層された積層基板をエッチングしている。このことにより、底部から第1半導体基板または第2半導体基板が露出される接続孔と、積層基板を貫通する貫通孔とを同時に形成することができる。従って、エッチングの工程を簡素化して、回路基板を形成することが可能となる。

10

【0023】

また、上記したエッチングマスクに、開口径が異なる第1開口部、第2開口部および第3開口部を設けることにより、深さが異なる3つの孔を積層基板に形成することができる。具体的には、最も開口径が小さい第1開口部から、第1半導体基板の厚み方向の途中まで延在する第1接続孔が形成される。次いで開口径が小さい第2開口部から、第1半導体基板および絶縁層を貫通して第2半導体基板まで延在する第2接続孔が形成される。最も開口径が大きい第3開口部から、積層基板全体を貫通する貫通孔が形成される。従って、エッチングの工程を更に簡素化することが可能となる。

【発明を実施するための最良の形態】

【0024】

< 第1実施の形態 >

本形態では、図1から図4を参照して、回路基板の構造を説明する。

20

【0025】

図1を参照して、インターポージャーである回路基板10の基本的な構成を説明する。図1(A)、図1(B)および図1(C)は回路基板10の断面図である。

【0026】

図1(A)を参照して、本形態の回路基板10では、絶縁層11Cを介して積層された第1半導体基板11Aおよび第2半導体基板11Bから積層基板11が形成されている。更に、積層基板11を貫通する貫通電極13、第1半導体基板11Aと電氣的に接続された接続電極16、第2半導体基板11Bと電氣的に接続された接続電極17が形成されている。更に、積層基板11の上面および裏面には、第1導電パターン14および第2導電パターン15が形成されている。本形態に於いて回路基板10はインターポージャーとして用いられる。インターポージャーとは、半導体素子等の回路素子と実装基板との間に位置して、回路装置等を構成するために用いられる基板である。

30

【0027】

積層基板11は、絶縁層11Cを介して張り合わされた第1半導体基板11Aおよび第2半導体基板11Bから形成されている。積層基板11の材料としては、貼り合わせSOI(Silicon On Insulator)基板を採用することができる。積層基板11の厚みは、例えば100 μ m~200 μ m程度である。

【0028】

第1半導体基板11Aは、厚みが50 μ m~100 μ m程度のシリコン等の半導体から成る。第1半導体基板11Aの材料としては、真性半導体または不純物半導体を採用することができる。不純物半導体としては、ボロン等のP型不純物が導入されたP型半導体、リン等のN型不純物が導入されたN型半導体が採用される。特に不純物半導体基板を、第1半導体基板11Aとして採用すれば、第1半導体基板11Aの電気導電性や熱伝導性が高まり、金属基板の機能に近づく。つまりシールド機能、放熱機能等の色々な機能を第1半導体基板11Aに持たせることが可能となる。またグラウンド配線が設けられた場合、グラウンド配線と第1半導体基板11Aとを同電位にすることができ、グラウンド配線に寄生する容量を無くすることも可能である。不純物半導体を第1半導体基板11Aの材料として用いることで、第1半導体基板11Aの電気抵抗が低くなり、接続電極16との導通を容易に

40

50

することができる。

【0029】

第2半導体基板11Bは、上述した第1半導体基板11Aと同様の材料から成り、絶縁層11Cを介して、第1半導体基板11Aと積層されている。積層された第1半導体基板11Aおよび第2半導体基板11Bより、積層基板11が形成されている。また、第2半導体基板11Bの厚みは、第1半導体基板11Aと同様でよい。

【0030】

上述した第1半導体基板11Aおよび第2半導体基板11Bは、接地電位または電源電位に接続することが出来る。この場合は、第1半導体基板11Aが接地電位に接続されて第2半導体基板11Bが電源電位に接続されても良いし、第1半導体基板11Aが電源電位に接続されて第2半導体基板11Bが接地電位に接続されても良い。

10

【0031】

絶縁層11Cは、SiO₂や樹脂膜等の絶縁性の材料から成り、第1半導体基板11Aおよび第2半導体基板11Bを貼り合わせ且つ両者を絶縁させる機能を有する。

【0032】

更に、シリコンから成る本形態の回路基板10は、LSIチップ等の半導体素子と同じ材料から成る。従って、実装される半導体素子の熱膨張係数と、回路基板10の熱膨張係数とは等しくなるので、両者の接続信頼性を向上させることができる。例えば、半導体素子がフェイスアップで回路基板10に実装された場合、金属細線やリード板等の接続手段を使って接続するため、接続手段と半導体素子との接続箇所の信頼性が向上する。また、

20

【0033】

絶縁膜12は、シリコン酸化膜、シリコン窒化膜またはポリイミド等の樹脂膜から成り、積層基板11の上面及び裏面を被覆している。絶縁膜12により、第1導電パターン14および第2導電パターン15と、積層基板11とが絶縁されている。また、貫通孔23の側面も絶縁膜12により被覆されている。更に、接続孔27、32に関しては、側面は絶縁膜12により被覆され、底面は半導体基板が露出するため絶縁膜12により覆われていない。

30

【0034】

第1導電パターン14および第2導電パターン15は、積層基板11の上面および裏面に形成されている。これらの導電パターンは、銅(Cu)、アルミニウム(Al)または金(Au)を主材料とする金属から成る。第1導電パターン14は、積層基板11の上面に形成されて、半導体素子等が接続されるパッド(例えばダイパッドまたはボンディングパッド)や、パッドどうしを接続する配線等を形成している。第2導電パターン15は、積層基板11の裏面に延在されて、実装基板等との接続に用いられるパッドや、これらのパッドどうしを接続する配線等を形成している。

【0035】

ここでは、単層の第1導電パターン14および第2導電パターン15が形成されているが、これらの導電パターンを多層に形成することも可能である。

40

【0036】

貫通電極13は、積層基板11を厚み方向に貫通して設けた貫通孔23に設けられた導電材料から成る。貫通電極13により、第1導電パターン14と第2導電パターン15とが接続される。貫通電極13と積層基板11とは、貫通孔23の内壁に設けた絶縁膜12により絶縁されている。貫通電極13は、例えば、後述するメッキ法で形成され、第1導電パターン14および第2導電パターン15と電気的に接続された金属膜により形成することができる。ここでは、幅が40μm程度の貫通孔23の内壁に、厚みが数μm程度の金属膜から成る貫通電極13が形成されている。また、貫通孔23に完全に埋め込まれた導電材料により、貫通電極13を構成しても良い。

50

【0037】

接続電極16は、積層基板11の上面から形成されて第1半導体基板11Aと電氣的に接続された電極である。接続電極16により、積層基板11の上面に形成された第1導電パターン14と、上層の第1半導体基板11Aとを電氣的に接続することができる。具体的には、接続電極16は、第1半導体基板11Aの厚み方向の途中まで延在する接続孔32に埋め込まれた導電材料から成る。接続電極16の底部が、接続孔23の底面に露出する第1半導体基板11Aにオーミック接触することで、接続電極16と第1半導体基板11Aとは電氣的に接続される。接続電極16の幅は、貫通電極13と同等かそれ以下が好ましく、例えば40 μm ~10 μm 程度に設定される。接続電極16の深さは、第1半導体基板11Aを貫通しない程度であれば良く、例えば50 μm 程度である。接続電極16は、第1導電パターン14と一体に形成される金属膜により形成することができる。ここでは、接続孔32に導電材料が埋め込まれ、接続電極16が形成されている。接続電極16は、接続孔32を完全に埋め込むタイプでも良いし、接続孔32の側壁に被着された金属膜から成るタイプでも良い。

10

【0038】

接続電極17は、積層基板11の下面から形成され、下層の第2半導体基板11Bと電氣的に接続された電極である。接続電極17により、積層基板11の下面に形成された第2導電パターン15と、下層の第2半導体基板11Bとが電氣的に接続される。具体的には、接続電極17は、第2半導体基板11Bの厚み方向の途中まで延在する接続孔27に埋め込まれた導電材料から成る。接続電極17の基本的な構成は、上述した接続電極16と同様である。

20

【0039】

本形態では、上述した接続電極16を介して、第1半導体基板11Aを接地電位または電源電位に接続することができる。更に、接続電極17を介して、第2半導体基板11Bを接地電位または電源電位に接続することもできる。更には、接続電極16および接続電極17を介して、積層基板11の任意の箇所、接地電位または電源電位を取り出すこともできる。この事項の詳細は、図3を参照して後述する。

【0040】

ここで、図1(A)では、第1半導体基板11Aおよび第2半導体基板11Bから成る2層の半導体基板が積層されているが、3層以上の半導体基板を積層させ、各層の半導体基板を異なる電位に接続しても良い。

30

【0041】

図1(B)を参照して、接続電極16、17の形状が異なる回路基板10を説明する。ここでは、接続電極16が第2半導体基板11Bと接続され、接続電極17が第1半導体基板11Aと接続されている。

【0042】

接続電極16は、積層基板11の上面から、第1半導体基板11Aおよび絶縁層11Cを貫通して、第2半導体基板11Bまで延在している。換言すると、積層基板11の上面から、第1半導体基板11Aおよび絶縁層11Cを貫通して、第2半導体基板11Bの途中まで延在する接続孔32の内部に接続電極16が形成されている。接続孔32の底部に露出した第2半導体基板11Bに、接続電極16の端部が接触している。接続孔32の側壁に形成された絶縁膜12により、接続電極16と第1半導体基板11Aとは絶縁されている。このような形状の接続電極16を形成することで、積層基板11の上面に形成された第1導電パターン14と、下層の第2半導体基板11Bとを任意の箇所と接続することができる。

40

【0043】

接続電極17は、積層基板11の下面から、第2半導体基板11Bおよび絶縁層11Cを貫通して、第1半導体基板11Aまで延在している。接続電極17の基本的な構成は、上述した接続電極16と同様である。即ち、接続電極17の端部は、上層の第1半導体基板11Aに接触している。更に、接続孔27の内部に接続電極17が形成され、接続孔2

50

7の内壁を被覆する絶縁膜12により、接続電極17と第2半導体基板11Bとが絶縁されている。接続電極17により、上層に位置する第1半導体基板11Aと、積層基板11の下面に形成された第2導電パターン15とを任意の箇所を電気的に接続することができる。

【0044】

図1(C)を参照して、更なる他の形態の回路基板10の構成を説明する。ここでは、接続電極16、17が、積層基板11の上面から内部に延在している。

【0045】

接続電極16は、積層基板11の上面から、第1半導体基板11Aおよび絶縁層11Cを貫通して第2半導体基板11Bまで延在している。この接続電極16の構成は図1(B)の場合と同様である。 10

【0046】

接続電極17は、接続電極16と同様に積層基板11の上面から形成され、第1半導体基板11Aと接続されている。ここでは、接続電極17は接続電極16よりも浅く形成され、その先端部は第1半導体基板11Aの途中でストップしている。

【0047】

積層基板11の上面に接続電極16、17を設けることにより、積層基板11の表面に形成された第1導電パターン14を、任意の箇所にて、第1半導体基板11Aまたは第2半導体基板11Bと接続することが可能となる。従って、第1半導体基板11Aおよび第2半導体基板11Bが接地電位や電源電位と接続された場合は、接続電極16、17を介して、積層基板11上の任意の箇所にて、第1導電パターン14を接地電位や電源電位と接続することができる。 20

【0048】

接続電極16、17を設けることによる利点を説明する。例えば図1(A)を参照すると、接続電極16を介して第1導電パターン14と第1半導体基板11Aとを電気的に接続することで、第1導電パターン14と第1半導体基板11Aとの間に発生する寄生容量を低減させることができる。具体的には、第1導電パターン14は、絶縁膜12を介して第1半導体基板11Aの上面に形成されている。換言すると、第1導電パターン14と第1半導体基板11Aとの間には、誘電体としての絶縁膜12が位置している。従って、第1導電パターン14と第1半導体基板11Aとの電位が異なると、電位差に応じた寄生容量が発生する。そこで、本形態では、接続電極16を介して、第1半導体基板11Aと第1導電パターン14とを電気的に接続することで、両者の電位を等しくして寄生容量の発生を抑制している。寄生容量が低減されることにより、回路基板10に実装される回路素子の誤動作を防止することができる。以上の事項は、接続電極17を介して接続される第2半導体基板11Bと第2導電パターン15についても同様である。 30

【0049】

更に、第1半導体基板11Aが接地電位に固定されると、接地電位と接続された第1導電パターン(GNDライン)14と、第1半導体基板11Aとの間に生じる寄生容量がなくなる。更にまた、第1半導体基板11Aを接地電位に接続すると、第1半導体基板11Aの電位を常に同電位(0V)に固定することができるので、第1半導体基板11Aの電位が変動することを防止することもできる。また、接地電位の代わりに、電源電位(Vcc)を採用しても良い。 40

【0050】

更にまた、積層基板11のまとまった領域を接地電位にできるので、シールド効果が向上され、回路基板11を透過するノイズの伝搬が防止されている。特に積層基板11全体をGNDに落とせば、ノイズの吸収、遮断に効果を有する。

【0051】

次に、図2を参照して、接続電極および貫通電極の詳細な構造を説明する。

【0052】

図2(A)を参照して、接続電極16は、バリア膜35を介して第1半導体基板11A 50

と接続される。バリア膜 35 を形成することにより、接続電極 16 の材料である銅 (Cu) が、シリコンから成る第 1 半導体基板 11A に拡散してしまうのを防止することができる。バリア層 35 の材料としては、チタン (Ti)、チタンナイトライド (TiN)、チタンタングステン (TiW)、タンタルナイトライド (TaN) 等の高融点金属や高融点金属を含んだ化合物が採用される。また、図 1 に示した接続電極 17 および貫通電極 13 に関しても、貫通孔 16 と同様にバリア膜 35 が形成されている。

【0053】

図 2 (B) を参照して、貫通電極 13 の構造を更に説明する。ここでは、貫通孔 23 下端付近の内壁に、内壁から積層基板 11 の内部に向かった凹部 24 が形成されている。この構造は、貫通孔 23 の内壁がオーバーエッチングされることにより形成される。この凹部 24 が設けられた部分の貫通孔 23 は、他の部分よりも幅が広がっている。この凹部 24 にも充填されるように、貫通孔 23 の内部に貫通電極 13 が形成されることで、貫通電極 13 と貫通孔 23 内部の間にアンカー効果が発生し、貫通電極 13 が積層基板 11 から剥がれにくい構造となっている。

【0054】

図 2 (C) を参照して、接続電極 16 は、必ずしも第 1 半導体基板 11A の厚み方向に延在する必要はなく、通常の半導体プロセスで採用するコンタクトの如き構造でも良い。即ち、絶縁膜 12 のみが除去される程度の深さの接続孔 32 に、接続電極 16 が形成されても良い。このような構造でも、接続電極 16 は第 1 半導体基板 11A に接触しているので、接続電極 16 を介して、第 1 導電パターン 14 と第 1 半導体基板 11A を接続することができる。

【0055】

図 3 を参照して、他の形態の回路基板 10 の構成を説明する。この図に示す回路基板 10 では、上層の第 1 半導体基板 11A が電源電位に接続され、下層の第 2 半導体基板 11B が接地電位に接続されるものとして説明する。ここで、上層の第 1 半導体基板 11A を接地電位と接続し、下層の第 2 半導体基板 11B を電源電位と接続しても良い。

【0056】

本形態の回路基板 10 では、積層基板 11 の上面に形成される第 1 導電パターン 14 は、制御信号等が通過する信号パターン 14A と、接地電位と接続される接地パターン 14B と、電源と接続される電源パターン 14C とから成る。そして、接地パターン 14B および電源パターン 14C は、第 1 半導体基板 11A、第 2 半導体基板 11B および各接続電極を介して、接地電位または電源電位と接続されている。

【0057】

積層基板 11 の上面からは接続電極 16、51 が形成されている。接続電極 16 は、積層基板 11 の上面から、第 1 半導体基板 11A および絶縁層 11C を貫通して、下層の第 2 半導体基板 11B まで延在している。従って、接地電位に電位が固定された下層の第 2 半導体基板 11B を、接続電極 16 を介して、接地パターン 14B と接続することが可能となる。一方、接続電極 51 は、積層基板 11 の上面から第 1 半導体基板 11A まで延在している。従って、電源電位に電位が固定された上層の第 1 半導体基板 11A を、接続電極 51 を介して、電源パターン 14C と接続することができる。

【0058】

積層基板 11 の下面からは、接続電極 17、52 が形成されている。接続電極 17 は、積層基板 11 の下面から、第 2 半導体基板 11B および絶縁層 11C を貫通して、上層の第 1 半導体基板 11A まで延在している。従って、接続電極 17 を介して、第 1 半導体基板 11A を、外部に位置する電源電位と接続することが可能となる。また、接続電極 52 は、積層基板 11 の下面から第 2 半導体基板 11B まで延在している。従って、接続電極 52 を介して、第 2 半導体基板 11B を、外部に位置する接地電位に接続することができる。ここで、接続電極 17、52 を介して、積層基板 11 の下面に位置する第 2 導電パターン 15 を、接地電位または電源電位に接続することも可能である。

【0059】

10

20

30

40

50

上記した本形態の構成により、積層基板 11 の任意の箇所にて、電源電位に電位が固定された第 1 半導体基板 11 A に、接続電極 51 を介して電源パターン 14 C を接続することができる。更には、接地電位に電位が固定された第 2 半導体基板 11 B に、接続電極 16 を介して、接地パターン 14 B を接続することもできる。従って、積層基板 11 の表面に於いて、電源パターン 14 C および接地パターン 14 B を引き回す必要が無いことから、回路基板 11 表面の配線密度を抑制することができる。また、電源パターン 14 C および接地パターン 14 B の面積を小さくできるので、信号パターン 14 A を形成するためのエリアを大きく確保することができる。従って、信号パターン 14 A を等長配線して、タイミング調整をすることができる。更には、第 1 半導体基板 11 A および第 2 半導体基板 11 B の全面を、電源電位または接地電位と接続された経路として用いることが可能であるので、電源インピーダンスおよび接地インピーダンスを低減させることができる。

【0060】

図 4 (A) を参照して、本形態の回路基板がインターポージャーとして用いられた回路装置 (半導体装置) を説明する。ここでは、回路基板 10 の上面に回路素子 18 が実装されることで、回路装置 20 A が構成されている。回路基板 10 の裏面は、半田等の導電性材料から成る外部電極 21 を介して実装基板 30 の上面に形成された導電路 31 に固着されている。

【0061】

回路基板 10 の上面及び裏面に形成された第 1 導電パターン 14 および第 2 導電パターン 15 は、電氣的に接続される領域を除いて、被覆層 22 により被覆されている。回路基板 10 の上面に於いては、回路素子 18 と接続される領域の第 1 導電パターン 14 が、被覆層 22 から露出している。回路基板 10 の裏面に於いては、外部電極 21 が付着される箇所の第 2 導電パターン 15 が被覆層 22 から露出している。

【0062】

接続電極 17 と接続された第 2 導電パターン 15 は、実装基板 30 上の導電路 31 A に、外部電極 21 A を介して接続されている。従って、第 1 半導体基板 11 A は、接続電極 17、外部電極 21 A および導電路 31 A を介して、外部の接地電位または電源電位と接続される。同様に、第 2 半導体基板 11 B は、接続電極 52、外部電極 21 B および導電路 31 B を介して、外部の電源電位または接地電位と接続される。

【0063】

回路素子 18 は回路基板 10 に実装される素子であり、抵抗、コンデンサまたは / およびコイル等の受動素子や、ダイオード、トランジスタ、IC、LSI 等の能動素子を全般的に採用することができる。更に、複数個の回路素子 18 が回路基板 10 に実装されて、システム機能を一つの回路装置 20 A で実現しても良い。また光センサ、圧力センサ、磁気センサ等のセンサ類が実装されても良い。また、第 1 半導体基板 11 A または第 2 半導体基板 11 B の表面に、周知の拡散工程によりトランジスタ等が形成されても良い。

【0064】

半導体素子 18 B は、フリップチップ法により、回路基板 10 の上面に形成された第 1 導電パターン 14 に、 bumps 電極 19 を介して接続されている。上述したように、回路基板 10 は、半導体素子の材料と同じようにシリコンから成る。従って、回路基板 10 と半導体素子 18 B との熱膨張係数は等しいことから、両者を接続する bumps 電極 19 に作用する熱応力は極めて小さくなり、接続信頼性が向上されている。また、半導体素子 18 B と回路基板 10 との間には、両者の接続信頼性を更に向上される為に、アンダーフィル 36 が充填されても良い。

【0065】

本形態では、上述したように、回路基板に発生する寄生容量を低減させているので、高周波で動作する半導体素子 18 B の特性を劣化させずに、回路基板 10 の上面にて動作させることができる。また、このような形態の導電路 (マイクロ・ストリップ・ライン) では、高速伝送で一般的な特性インピーダンスと整合する事で誘電損失を防止する事が可能になる。

10

20

30

40

50

【0066】

更に、半導体素子18Bと回路基板10との間に位置する絶縁材料を、低誘電材料とすることにより、半導体素子18Bと回路基板10との間に発生する寄生容量を低減させることが可能となる。ここでは、両者の間に位置している被覆層22およびアンダーフィル36を、低誘電材料であるブラックダイヤモンドまたはフッ化ポリイミドにて構成することで、寄生容量を低減させ、特性インピーダンスを整合させている。

【0067】

また、実装基板30の配線等から発生する不要輻射また半導体素子18Bから発生する不要輻射は、第1半導体基板11Aおよび第2半導体基板11Bにて遮断することができる。従って、ノイズに対して敏感なアナログ回路が設けられた半導体素子18Bも安定した動作を実現できる。 10

【0068】

図4(B)を参照して、他の形態の回路装置20Bの構成を説明する。回路装置20Bでは、フェイスアップの状態半導体素子18Bが回路基板10の上面に実装されている。また、半導体素子18Bが封止されるように回路基板10の上面に封止樹脂37が形成されている。このようにフェイスアップにて半導体素子18Bを実装した場合でも、上記した効果を得ることができる。

【0069】

半導体素子18Bの裏面は、接合材26を介して、回路基板10の上面に固着されている。半導体素子18Bの上面に形成された電極は、第1導電パターン14と金属細線25を介して接続されている。 20

【0070】

半導体素子18Bの固着に用いる接合材26としては、上述したように低誘電材料が好ましい。このことにより、半導体素子18Bとその下方に位置する第1導電パターン14との間に発生する寄生容量を低減させることができる。

【0071】

ここで、図4(A)に於いて、実装基板30として、ガラスエポキシ基板、セラミック基板、ガラス基板、金属基板、フレキシブル基板等が考えられる。しかしながら回路基板10と半導体素子18Bは、シリコン(Si)により構成され、Siの構成比率が高いことを考えると、実装基板30としては、フレキシブル基板が好ましい。 30

【0072】

更には、半導体素子18Bとしてメモリチップを採用し、メモリ容量の拡大を考慮し、チップを上層に何枚も積層したスタック構造でも良い。この際、メモリチップは、貫通電極でチップの表面からチップ裏面に電極が延在されたものを採用してスタックさせれば、コンパクトで信頼性の高いモジュールが実現できる。

【0073】

<第2実施の形態>

本形態では、図5および図6を参照して、図1(A)に示した構成の回路基板10の製造方法を説明する。

【0074】

図5(A)を参照して、先ず、積層基板11を用意して、開口部を設けたエッチングマスク40により積層基板11の上面を被覆する。 40

【0075】

積層基板11は、シリコンから成る第1半導体基板11Aおよび第2半導体基板11Bが、絶縁層11Cを介して積層されて形成されている。積層基板11としては、貼り合わせSOI(Silicon On Insulator)基板を採用することができる。厚みが50 μm ~100 μm 程度の第1半導体基板11Aおよび第2半導体基板11Bを積層させることにより、厚みが100 μm ~200 μm 程度の積層基板11が形成される。第1半導体基板11Aおよび第2半導体基板11Bとしては、不純物が拡散された不純物半導体が好適である。 50

【0076】

エッチングマスク40は、一般には、ホトレジストを採用するが、シリコン酸化膜、シリコン窒化膜を採用することができる。後のエッチング方法としてリアクティブイオンエッチング(RIE)を行う場合は、耐エッチング性に優れたシリコン酸化膜またはレジストが好適である。ここで、前もって積層基板11の外周面を酸化膜により被覆しても良い。エッチングマスク40には、開口部41および開口部42が形成されている。

【0077】

開口部41からは、積層基板11を厚み方向に貫通する貫通孔23が形成される領域が露出される。開口部41の平面的な形状は、例えば円形または矩形であり、その幅W1は例えば40 μ m程度に形成される。

10

【0078】

開口部42からは、接続孔27が形成される領域が露出される。開口部42の幅W2は、開口部W1よりも狭く、例えば10 μ m~20 μ m程度である。更には、開口部42の幅は、開口部41の半分以下が好ましい。このようにすることにより、開口部42のエッチングレートを、開口部41の半分以下にすることが出来る。従って、積層基板11を貫通する貫通孔23が形成されるまでドライエッチングを行っても、開口部42から形成される接続孔27は、厚み方向の中央部に位置する絶縁層11Cまで到達しない。このことから、ドライエッチングにより形成される接続孔27の先端部を、第1半導体基板11Aの厚み方向の途中でストップさせることが出来る。

【0079】

図5(B)を参照して、次に、エッチングマスク40を介して積層基板11をエッチングすることで、貫通孔23および接続孔27を形成する。本工程で行うエッチングとしては、プラズマエッチング、スパッタエッチング、RIE、ECR等のドライエッチングが採用される。これらのドライエッチングには、SF₆、O₂、C₄F₈等を含むエッチングガスが用いられる。ここでは、エッチングを積層基板11の上面から下方に進行させている。また、ウェットエッチングにより、貫通孔23および接続孔27を形成しても良い。

20

【0080】

更に本形態では、第1半導体基板11Aおよび第2半導体基板11Bをエッチングする場合と、絶縁膜11Cをエッチングする場合とは、異なるエッチングガスを用いる。シリコンから成る第1半導体基板11Aおよび第2半導体基板11Bをエッチングする際には、CF₄とO₂の混合ガス、CF₆とO₂の混合ガスを用いてエッチングを行うことができる。また、酸化膜(SiO₂)から成る絶縁層11Cをエッチングする際には、CF₄とH₂の混合ガス、CHF₄またはC₂F₆等を用いてエッチングを行うことができる。

30

【0081】

しかしながら、エッチングガスを替えずに、第1半導体基板11A、第2半導体基板11Bおよび絶縁層11Cをエッチングすることも可能である。この場合は、SiF₄およびCOを用いてドライエッチングが行われる。

【0082】

本工程では、積層基板11を厚み方向に貫通する貫通孔23が形成されるまで、エッチングマスク40を介して積層基板11をエッチングする。前述したように、径の小さい開口部42のエッチングレートが遅いために、接続孔27は第1半導体基板11Aの下面まで到達しない。即ち、接続孔27は、第1半導体基板11の厚み方向の途中まで延在している。

40

【0083】

本工程は、接続孔27を第1半導体基板11Aの途中で止めることで、第1半導体基板11Aを所定の電位に固定する接続電極(不図示)が形成できる。また開口部41と開口部42との大きさを異ならせることにより、深さ方向の進むエッチングレートが異なり、貫通孔23と接続孔27とを、一度のエッチングにより形成することができる。従って、

50

貫通孔 2 3 と接続孔 2 7 とを別々の工程にて形成する必要が無いことから、製造コストを安くすることができる。本工程が終了した後に、エッチングマスク 4 0 は、積層基板 1 1 から剥離される。

【 0 0 8 4 】

図 5 (C) を参照して、次に、第 2 半導体基板 1 1 B に接続孔 3 2 を形成する。ここでは、積層基板 1 1 の上下を反転させて図示している。即ち、下層に位置する第 1 半導体基板 1 1 A が、接着剤 4 3 を介して支持基板 4 4 に貼着されている。そして、上層に位置する第 2 半導体基板 1 1 B の上面は、開口部 5 7 が設けられたエッチングマスク 3 4 により被覆されている。開口部 5 7 の径は、上述した開口部 4 2 と同様の $10 \mu\text{m} \sim 20 \mu\text{m}$ 程度でよい。開口部 5 7 から露出する第 2 半導体基板 1 1 B をエッチングすることにより、接続孔 3 2 が形成される。接続孔 3 2 は、第 2 半導体基板 1 1 B の下面までは到達せずに、その厚み方向の途中でストップしている。本工程が終了した後に、エッチングマスク 3 4 は積層基板 1 1 から剥離され、積層基板 1 1 は支持基板 4 4 から分離される。

10

【 0 0 8 5 】

図 6 (A) を参照して、次に、接続孔 2 7、接続孔 3 2 および貫通孔 2 3 の内壁も含む積層基板 1 1 の表面に、シリコン酸化膜またはシリコン窒化膜等から成る絶縁膜 1 2 を形成する。

【 0 0 8 6 】

図 6 (B) を参照して、次に、接続孔 2 7 の底部を被覆する絶縁膜 1 2 を除去することにより、第 1 半導体基板 1 1 A を接続孔 2 7 の底部から露出させる。接続孔 2 7 の底部を被覆する絶縁膜 1 2 のエッチングには、異方性エッチングが好ましい。つまり接続孔 2 7 の側壁よりも底部をエッチングするため、底部のみを露出させることができる。またエッチング方法によっては、積層基板 1 1 表面の絶縁膜 1 2 を残し、接続孔 2 7 の底部及び側壁を被覆する絶縁膜 1 2 を取り除いても良い。このようにすれば後の接続電極のコンタクト抵抗を大きく低下できる。同様に、接続孔 3 2 の底面を被覆する絶縁膜 1 2 を除去して、接続孔 3 2 の底面に第 2 半導体基板 1 1 B を露出させる。

20

【 0 0 8 7 】

接続孔 2 7 の底部を被覆する絶縁膜 1 2 を除去する方法としては、エッチングマスクを用いる場合と用いない場合がある。

【 0 0 8 8 】

エッチングマスクを用いる場合は、積層基板 1 1 の主面に形成された絶縁膜 1 2 をエッチングマスク (不図示) にて被覆した後に、異方性ドライエッチングを行うことで、接続孔 2 7 の底部に位置する絶縁膜 1 2 を除去する。

30

【 0 0 8 9 】

エッチングマスクを用いない場合は、以下の方法が好ましい。つまり図面では絶縁膜 1 2 の膜厚は均一に示されているが、実際は、接続孔 2 7 の内部に形成される絶縁膜 1 2 は、積層基板 1 1 の上面に形成される絶縁膜 1 2 よりも薄い。例えば、接続孔 2 7 の底部を被覆する絶縁膜 1 2 の厚みは、積層基板 1 1 の上面に形成される絶縁膜 1 2 の半分程度である。従って、エッチングマスクを用いずにドライエッチングを積層基板 1 1 の上面から一様に行うと、積層基板 1 1 の上面に形成された絶縁膜 1 2 が除去される前に、接続孔 2 7 底部の絶縁膜 1 2 を除去することができる。

40

【 0 0 9 0 】

図 6 (C) を参照して、貫通孔 2 3、接続孔 2 7 および接続孔 3 2 の内部、積層基板 1 1 の上面および裏面が被覆されるように例えば銅 (C u) から成る金属膜 2 9 を形成する。

【 0 0 9 1 】

具体的には、先ず、銅 (C u) の拡散を防止するために、貫通孔 2 3、接続孔 2 7 および接続孔 3 2 の内壁および積層基板 1 1 の上面及び裏面にバリア層を形成する。このバリア層は、チタン (T i)、チタンナイトライド (T i N)、チタンタンゲステン (T i W)、タンタルナイトライド (T a N) 等からなり、スパッタ法または C V D 法等により形

50

成される。更に、このバリア層の上面に、スパッタ法またはCVD法等により、厚みが数百nm程度の金属膜から成るシード層を形成し、このシード層を電極として用いて電解メッキを行うことで、厚みが数 μm 程度の金属膜29を形成する。金属膜29により、接続電極16、接続電極17および貫通電極13が形成される。

【0092】

ここでは、接続孔27、32は金属膜により埋め込まれているが、貫通孔23に示すように、接続孔27、32の側壁に薄膜の状態の金属膜が形成されても良い。即ち、接続孔27、32の内壁が金属膜により被覆されて内部に空洞が形成されている状態でも良い。

【0093】

図6(D)を参照して、次に、積層基板11の上面および裏面に形成された金属膜29をエッチング等によりパターンングすることで、第1導電パターン14および第2導電パターン15を形成する。更に、電氣的接続箇所を除いて、第1導電パターン14および第2導電パターン15は、被覆樹脂(不図示)により被覆される。上記の工程により、インターポザーとして使用可能な回路基板が形成される。

【0094】

ここでは、導電パターンが1層で構成されているが、この後絶縁膜の形成、導電材料の形成、パターンングを何回か繰り返し、積層された複数層の導電パターンを形成しても良い。

【0095】

<第3の実施の形態>

本形態では、図7を参照して、図1(B)に構造を示した回路基板の製造方法を説明する。本工程の基本的な製造方法は、上述した第2の実施の形態と同様であるので、相違点を中心に説明する。

【0096】

図7(A)を参照して、先ず、接続孔27、接続孔32および貫通孔23を、積層基板11に形成する。具体的には、第1半導体基板11A側から接続孔27および貫通孔23を形成した後に、更に、第2半導体基板11B側から接続孔32を形成する。ここでは、接着剤43を介して積層基板11を支持基板44に貼着した後に、エッチングマスク34を用いて、接続孔32を形成した状態を示す。接続孔27、接続孔32および貫通孔23は、第2の実施の形態と同様にドライエッチングにより形成することができる。

【0097】

本形態では、接続孔27および接続孔32を、接続層11Cを貫通して形成している。具体的には、接続孔27は、第1半導体基板11Aおよび絶縁層11Cを貫通して、第2半導体基板11Bまで延在するように形成される。更に、接続孔32は、第2半導体基板11Bおよび絶縁層11Cを貫通して、第1半導体基板11Aまで延在するように形成される。即ち、第2の実施の形態と比較すると、接続孔27および接続孔32は深く形成されている。

【0098】

接続孔27、32を上記のように深く形成するためには、2つの方法が考えられる。第1の方法は、エッチングマスクに設けられる開口部57の開口径を大きくすることである。例えば、開口部57の開口径を20~30 μm 程度に大きくすることにより、エッチングレートが大きくなり、より深い貫通孔23を形成することができる。第2の方法は、ドライエッチングを行う時間を長くすることで、接続孔27および接続孔32を深く形成する方法である。

【0099】

図7(B)を参照して、次に、積層基板11の表面にシリコン酸化膜またはシリコン窒化膜から成る絶縁膜12を形成する。具体的には、積層基板11の上面および裏面が絶縁膜12により被覆されると共に、接続孔27、接続孔32および貫通孔23の内壁も絶縁膜12により被覆される。

【0100】

10

20

30

40

50

一般に絶縁膜 12 を形成する場合は、例えば CVD 法等の被膜が一般的である。この場合、チャンバー内のウェハテーブルに積層基板 11 と成るウェハが載置されるため裏面には、膜が着かない。よってこの場合は、表と裏に分けて 2 回の成膜工程が必要になる。実質同じ条件で成膜すれば、接続孔 27、32 の側壁に形成される膜は、実質同じ膜厚で、積層基板 11 の上面と裏面の絶縁膜 12 の膜厚も実質同じである。しかし貫通孔 23 の側壁は、二度の成膜を経るため、接続孔 27、32 の膜厚よりも厚く形成される。

【0101】

更に、接続孔 27 および接続孔 32 の底部を被覆する絶縁膜 12 は、エッチングにより除去される。従って、接続孔 27 の底部には第 2 半導体基板 11B が露出し、接続孔 32 の底部には第 1 半導体基板 11A が露出する。

10

【0102】

図 7 (C) を参照して、貫通孔 23 および接続孔 27、32 の内部、積層基板 11 の上面および裏面が被覆されるように金属膜 29 を形成する。この工程により、接続孔 27 の内部に接続電極 17 が形成され、接続孔 32 の内部に接続電極 16 が形成される。また、貫通孔 23 の内部には、貫通電極 13 が形成される。金属膜 29 は、第 2 の実施の形態と同様に、バリア膜およびメッキ膜から成る。

【0103】

ここでも、前述したように、チャンバー内のウェハテーブルに置いて、バリア膜を形成する場合は、貫通孔 23 に形成されるバリア膜は、接続孔 27、32 に形成されるバリア膜よりも厚く形成される。

20

【0104】

図 7 (D) を参照して、積層基板 11 の上面および下面に形成された金属膜 29 をエッチングすることにより、積層基板 11 の上面に第 1 導電パターン 14 を形成し、下面に第 2 導電パターン 15 を形成する。

【0105】

上記工程により、図 1 (B) に示す構造の回路基板 10 が形成される。ここでは、積層基板 11 の上面に形成された第 1 導電パターン 14 が、接続電極 17 を介して下層の第 2 半導体基板 11B と接続される。また、積層基板 11 の下面に形成された第 2 導電パターン 15 が、接続電極 16 を介して上層の第 1 半導体基板 11A と電氣的に接続される。

【0106】

< 第 4 の実施の形態 >

本形態では、図 8 を参照して、図 3 に示した構造の回路基板 10 の製造方法を説明する。本形態では、各々の深さが異なる接続孔 27、接続孔 32 および貫通孔 23 を一度のエッチングにより形成している。

30

【0107】

図 8 (A) を参照して、先ず、積層基板 11 の上面を被覆するエッチングマスク 34 を介してドライエッチングを行い、接続孔 27、接続孔 32 および貫通孔 23 を形成する。本工程では、エッチングマスク 34 には、開口径が異なる開口部 42、51、41 が形成されている。そして、積層基板 11 を厚み方向に貫通する貫通孔 23 が形成されるまでドライエッチングを行うことにより、同時に接続孔 27、32 が形成される。

40

【0108】

開口部 41 からは、積層基板 11 を貫通する最も深い貫通孔 23 が形成されるので、その径 W_1 は最も大きく形成され例えば $40 \mu\text{m}$ 程度である。

【0109】

開口部 42 の開口径 W_2 は、開口部 41 の径 W_1 および開口部 51 の径 W_3 よりも小さく形成される。更には、開口径 W_2 は、開口部 41 の開口径 W_1 の半分以下が好適である。このようにすることで、開口部 42 から進行するエッチングスピードを、開口部 41 の半分以下にすることができる。従って、開口部 42 から形成される接続孔 27 は、絶縁層 11C まで到達せず、その先端は第 1 半導体基板 11A の途中に位置している。具体的には、開口部 41 の開口径 W_1 が $40 \mu\text{m}$ の場合は、開口部 42 の開口径 W_2 は $20 \mu\text{m}$ 以

50

下が好ましい。

【0110】

開口部51の開口径W3は、開口部41の径W1よりも小さく且つ、開口部42の開口径W2よりも大きく形成される。更には、開口径W3は、開口部41の開口径W1の半分以上が好適である。このようにすることにより、開口部51から進行するエッチングスピードが開口部41の半分以上に調節される。従って、開口部51から形成される接続孔32は、第1半導体基板11Aおよび絶縁層11Cを貫通し、第2半導体基板11Bの厚み方向の途中まで到達する。

【0111】

図8(B)を参照して、次に、第1半導体基板11Aを下面にして、積層基板11を接着剤43を介して支持基板44に貼着する。更に、第2半導体基板11Bの上面を、開口部53、54を設けたエッチングマスク40により被覆して、ドライエッチングを行うことにより、接続孔55、56を形成する。

10

【0112】

エッチングマスク40には、開口径が異なる2つの開口部53、54が形成されている。開口部53と開口部54とを比較すると、開口部54の方が開口径が大きく形成されている。例えば、開口部54の開口径W4が20 μ m~40 μ m程度であり、開口部53の開口径W3は、10 μ m~20 μ m程度である。従って、エッチングマスク40を介してドライエッチングを行うと、開口部54から進行するエッチングスピードが開口部53よりも速いので、開口部54から成される接続孔56は、開口部53から形成される接続孔55よりも深く形成される。

20

【0113】

ここでは、接続孔56は、第2半導体基板11Bおよび絶縁層11Cを貫通して、第1半導体基板11Aまで延在している。また、接続孔55は、第2半導体基板11Bの途中まで延在している。

【0114】

上述の説明では、積層基板11の上面および下面から個別にドライエッチングを行ったが、積層基板11の上面および下面から同時にドライエッチングを行うことも可能である。

【0115】

図8(C)を参照して、次に、積層基板11の表面にシリコン酸化膜またはシリコン窒化膜から成る絶縁膜12を形成する。絶縁膜12は、接続孔32、27、55、56および貫通孔23の内壁にも形成される。更に、接続孔32、27、55、56の底面に位置する絶縁膜12は除去される。

30

【0116】

図8(D)を参照して、積層基板11の表面を金属膜により被覆した後に、エッチングを行い、積層基板11の表面に第1導電パターン14を形成し、積層基板11の裏面には第2導電パターン15を形成する。また、積層基板11の上面から設けた接続孔32、27にも金属膜が形成されて、接続電極17、52が形成される。更に、積層基板11の下面から設けた接続孔55、56にも金属膜が形成されて、接続電極51、16が形成される。更に、貫通孔23の内壁も金属膜が形成されて貫通電極13が形成される。

40

【0117】

以上の工程により、図3に示す回路基板10が形成される。

【図面の簡単な説明】

【0118】

【図1】本発明の回路基板を示す図であり、(A)-(C)は断面図である。

【図2】本発明の回路基板を示す図であり、(A)-(C)は断面図である。

【図3】本発明の回路基板を示す断面図である。

【図4】本発明の回路基板が採用された回路装置の構成を示す図であり、(A)および(B)は断面図である。

50

【図5】本発明の回路基板の製造方法を示す図であり、(A) - (C) は断面図である。

【図6】本発明の回路基板の製造方法を示す図であり、(A) - (D) は断面図である。

【図7】本発明の回路基板の製造方法を示す図であり、(A) - (D) は断面図である。

【図8】本発明の回路基板の製造方法を示す図であり、(A) - (D) は断面図である。

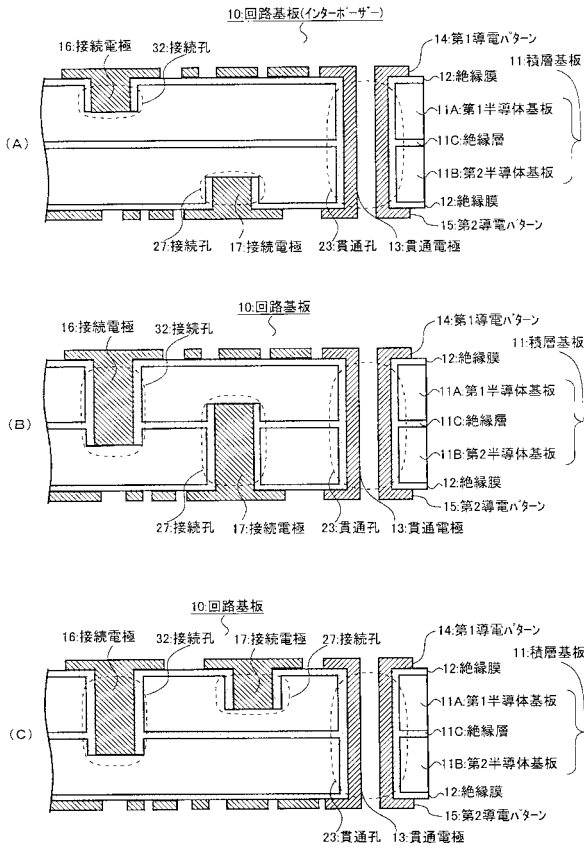
【図9】従来の回路基板を示す断面図である。

【符号の説明】

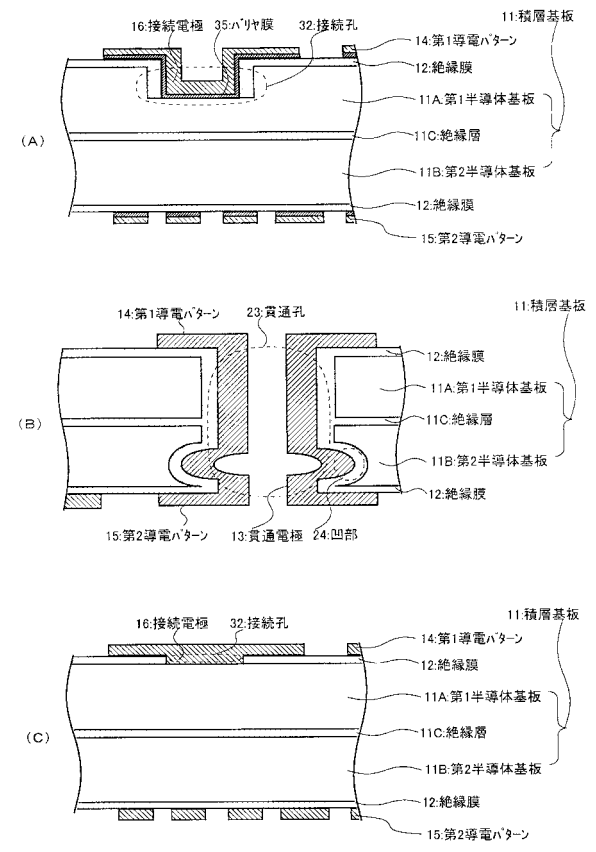
【0119】

10	回路基板	
11	積層基板	
12	絶縁膜	10
13	貫通電極	
14	第1導電パターン	
15	第2導電パターン	
16	接続電極	
17	接続電極	
18	回路素子	
18A	チップ素子	
18B	半導体素子	
19	パンプ電極	
20A、20B	回路装置	20
21	外部電極	
22	被覆層	
23	貫通孔	
24	凹部	
25	金属細線	
26	接合材	
27	接続孔	
29	金属膜	
30	実装基板	
31	導電路	30
32	接続孔	
34	エッチングマスク	
35	バリア膜	
36	アンダーフィル	
37	封止樹脂	
40	エッチングマスク	
41、42	開口部	
43	接着剤	
44	支持基板	
51	接続電極	40
52	接続電極	
53、54、57	開口部	
55、56	接続孔	

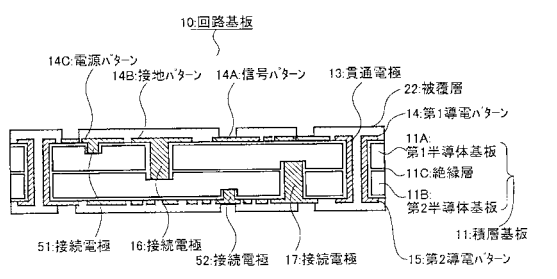
【図1】



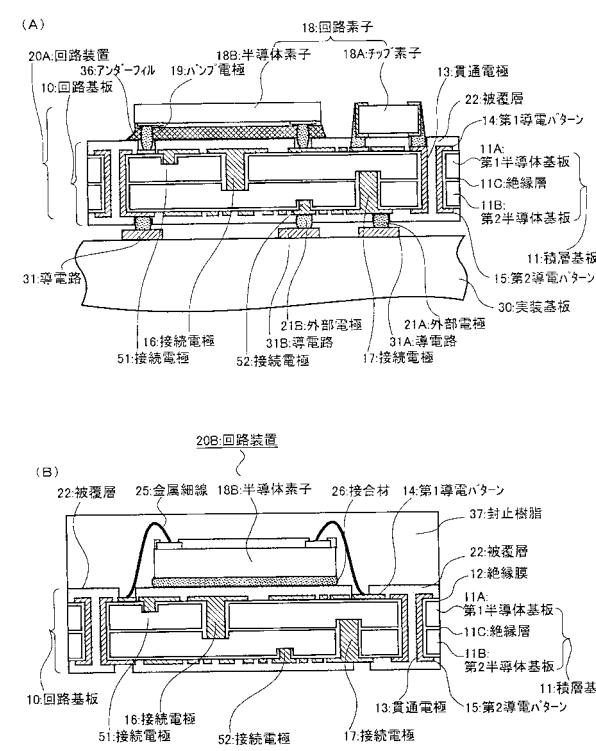
【図2】



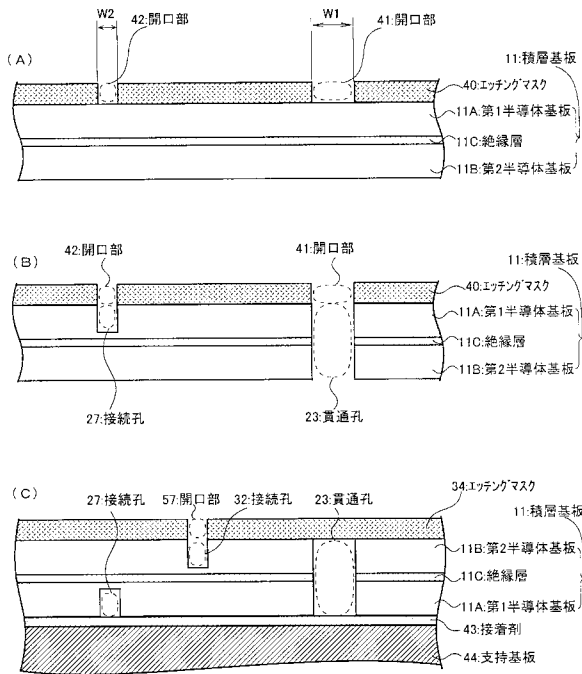
【図3】



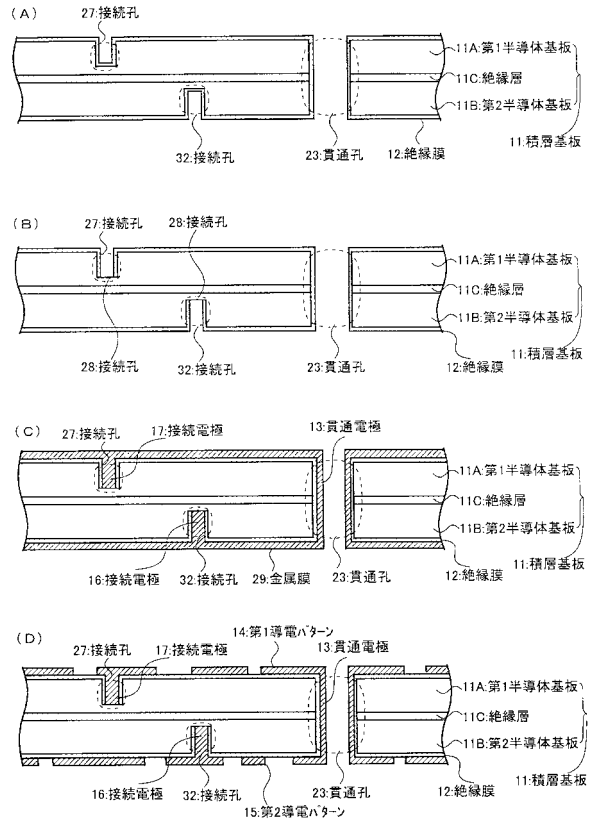
【図4】



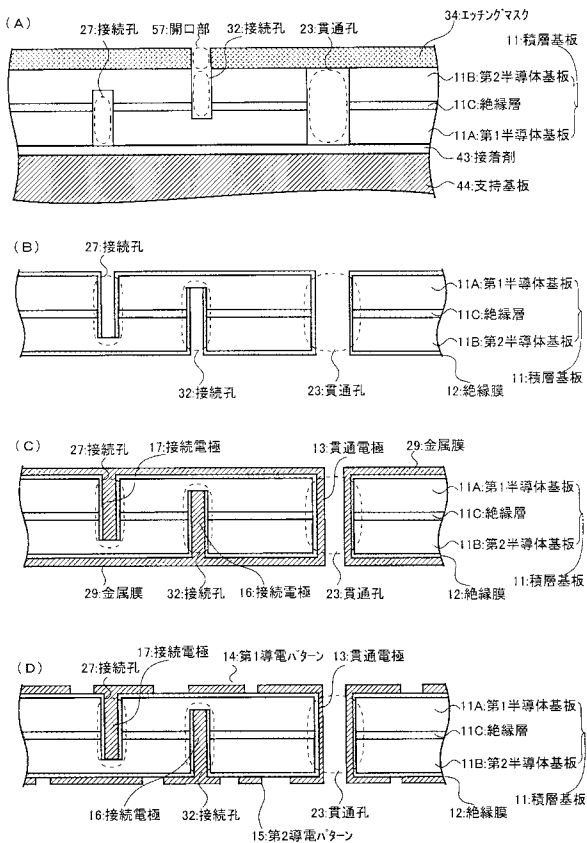
【図5】



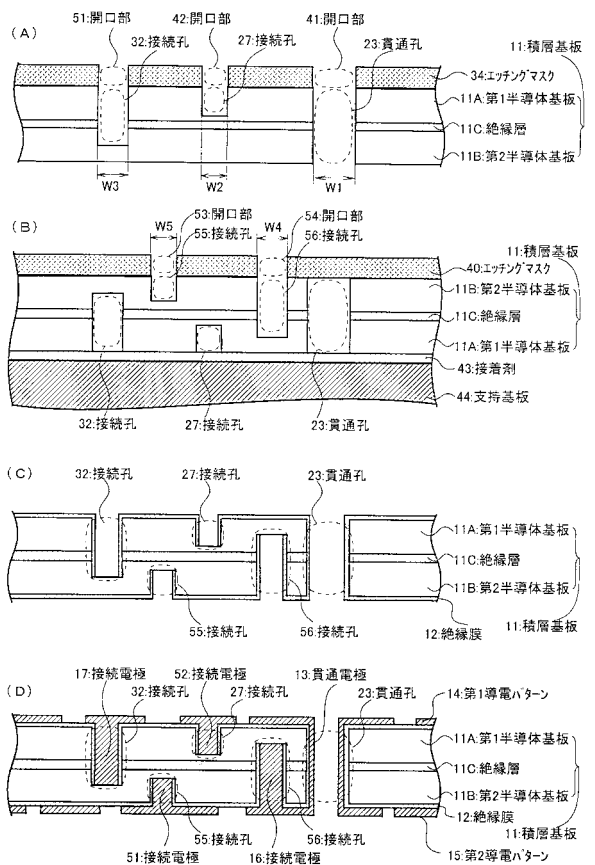
【図6】



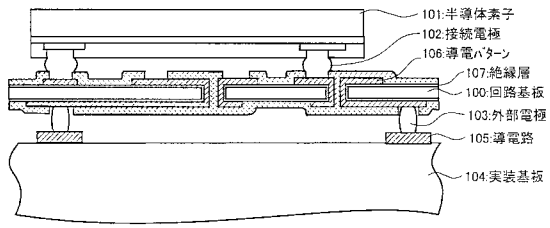
【図7】



【図8】



【 図 9 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 K 3/46

Z

Fターム(参考) 5E346 AA12 AA22 AA32 AA35 AA42 AA43 AA51 BB03 BB04 BB06
BB11 DD02 EE06 GG15 GG28 HH04 HH06 HH11