

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 20 日 (20.10.2016)



(10) 国际公布号
WO 2016/165183 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) G02F 1/1362 (2006.01)
- (21) 国际申请号: PCT/CN2015/079425
- (22) 国际申请日: 2015 年 5 月 21 日 (21.05.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510176251.X 2015 年 4 月 14 日 (14.04.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 韩佰祥 (HAN, Baixiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 石龙强 (SHI, Longqiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: TFT LAYOUT STRUCTURE

(54) 发明名称: TFT 布局结构

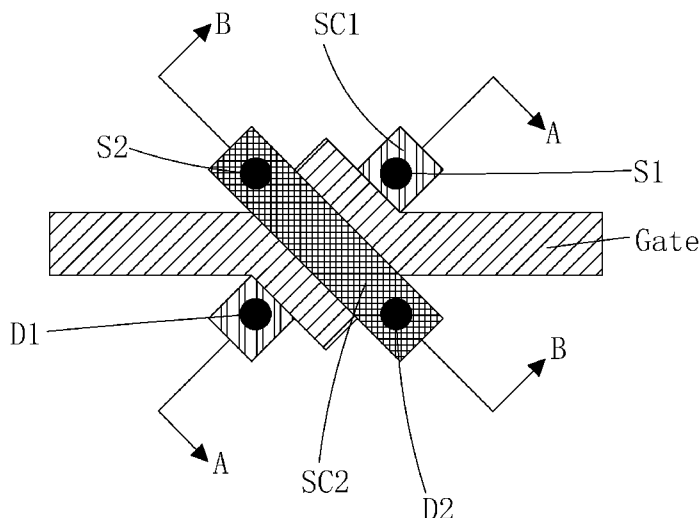


图3

(57) Abstract: Provided is a TFT layout structure comprising a first thin-film transistor and a second thin-film transistor controlled by a same control signal line. A first active layer (SC1) of the first thin-film transistor and a second active layer (SC2) of the second thin-film transistor are arranged at different layers and are spatially in a stacked arrangement. A first source (S1) and a first drain (D1) of the first thin-film transistor are formed on the first active layer (SC1). A second source (S2) and a second drain (D2) of the second thin-film transistor are formed on the second active layer (SC2). A gate layer is electrically connected to the control signal line to control the opening and closing of the first and second thin-film transistors. The TFT layout structure is capable of reducing the footprint of a circuit layout, increasing the aperture ratio of a display panel, and satisfying requirements for a narrow edge frame and high resolution on the display panel.

(57) 摘要: 提供一种 TFT 布局结构, 包括受同一控制信号线控制的第一薄膜晶体管与第二薄膜晶体管; 第一薄膜

晶体管的第一有源层 (SC1) 与第二薄膜晶体管的第二有源层 (SC2) 位于不同层别, 并在空间上层叠设置, 第一薄膜晶体管的第一源极 (S1) 及第一漏极 (D1) 形成于第一有源层 (SC1) 上, 第二薄膜晶体管的第二源极 (S2) 及第二漏极 (D2) 形成于第二有源层 (SC2) 上; 栅极层 (Gate) 电性连接控制信号线控制第一、第二薄膜晶体管的打开与关闭。该 TFT 布局结构能够缩小电路布局的空间, 增加显示面板的开口率, 满足显示面板窄边框及高分辨率的要求。



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

TFT 布局结构

技术领域

本发明涉及显示技术领域，尤其涉及一种 TFT 布局结构。

5

背景技术

平板显示装置具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有的平板显示装置主要包括液晶显示装置 (Liquid Crystal Display, LCD) 及有机发光二极管显示装置 (Organic Light Emitting Display, OLED)。

10 薄膜晶体管 (Thin Film Transistor, TFT) 是平板显示装置的重要组成部分。TFT 可形成在玻璃基板或塑料基板上，通常作为开关部件和驱动部件用在诸如 LCD、OLED 等平板显示装置上。对于 LCD 来说，需要由多个 TFT 构成的 GOA (Gate Drive On Array) 电路将栅极驱动器 (Gate Drive IC) 整合在薄膜晶体管阵列 (Array) 基板上，以实现逐行扫描对液晶面板进行
15 驱动。对于有源矩阵型 OLED (Active Matrix OLED, AMOLED) 来说，需要由多个 TFT 构成的像素补偿电路来对驱动薄膜晶体管的阈值电压进行补偿，以使得 AMOLED 的显示亮度均匀。

随着全球显示面板竞争日趋激烈，各大显示器生产厂商对窄边框、高分辨率的追求也是越来越高，尤其是在移动显示装置领域，目前搭载的显示面板边框已做到 2mm 以下、像素密度 (Pixels Per Inch, PPI) 已高达 500
20 以上。对于显示面板的设计来说，更窄的边框意味着更窄的 GOA 布局空间，更高的 PPI 意味着更小的子像素面积，在制程能力不变的情况下，电路有效布局的面积就越小，尤其是对于 AMOLED 显示面板，通常一个子像素里包含有 2~7 个 TFT，这就对电路布局提出了更高的要求。

25 现有的 GOA 电路、及 AMOLED 像素补偿电路通常会涉及到一条控制信号线控制两颗 TFT 的情况，如图 1 所示，第一、第二薄膜晶体管 T10、T20 的栅极均电性连接于一控制信号线 G，即所述第一、第二薄膜晶体管 T10、T20 均受该控制信号线 G 的控制；图 2 为图 1 所示电路的 TFT 布局结构图，所述第一薄膜晶体管 T10 的源极 S10、漏极 D10 均形成于图案化的有源层 SC 上，所述第二薄膜晶体管 T20 的源极 S20、漏极 D20 同样均形成于图案化的有源层 SC 上，连接于一控制信号线的同一栅极层 Gate 同时对第一、第二薄膜晶体管 T10、T20 进行控制。由于所述第一薄膜晶体管 T10 的源极 S10、漏极 D10 及第二薄膜晶体管 T20 的源极 S20、漏极 D20
30

均形成于同一层图案化的有源层 SC 上，所述第一、第二薄膜晶体管 T10、T20 只能沿有源层 SC 的图案化排布方向进行平行间隔布局，占用的布局空间较大，不利于窄边框、及高分辨率显示面板的开发。

5 发明内容

本发明的目的在于提供一种 TFT 布局结构，适用于 GOA 电路、及 AMOLED 像素补偿电路，能够在保证电路功能的情况下缩小电路布局的空间，增加显示面板的开口率，满足显示面板窄边框、及高分辨率的要求。

为实现上述目的，本发明提供一种 TFT 布局结构，包括受同一控制信号线控制的第一薄膜晶体管、与第二薄膜晶体管；

所述第一薄膜晶体管包括栅极层、第一有源层、第一源极、及第一漏极，所述第二薄膜晶体管包括栅极层、第二有源层、第二源极、及第二漏极；

所述第一有源层、与第二有源层位于不同层别，并在空间上层叠设置，所述第一源极、及第一漏极形成于第一有源层上，所述第二源极、及第二漏极形成于第二有源层上；

所述栅极层电性连接所述控制信号线控制第一、第二薄膜晶体管的打开与关闭。

所述第一有源层、与第二有源层在空间上相互交叉。

所述 TFT 布局结构，还包括基板、第一绝缘层、及第二绝缘层；

所述第一有源层设于所述基板上，所述第一源极、及第一漏极分别覆盖所述第一有源层的两端，所述第一绝缘层设于所述第一有源层、第一源极、第一漏极、及基板上，所述栅极层设于所述第一绝缘层上，所述第二绝缘层设于所述栅极层、及第一绝缘层上，所述第二有源层设于所述第二绝缘层上，所述第二源极、及第二漏极分别覆盖所述第二有源层的两端。

所述基板为玻璃基板或塑料基板。

所述第一源极、第一漏极、第二源极、第二漏极、及栅极层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述第一有源层、及第二有源层的材料为非晶硅基半导体、多晶硅基半导体、氧化锌基半导体中的一种。

所述第一绝缘层、及第二绝缘层的材料为氮化硅、或氧化硅、或二者的组合。

所述第一有源层、与第二有源层均为 n 型半导体或均为 p 型半导体。

所述第一有源层、与第二有源层的其中之一为 p 型半导体，另一个为 n

型半导体。

所述 TFT 布局结构适用于 GOA 电路、及 AMOLED 像素补偿电路。

本发明还提供一种 TFT 布局结构，包括受同一控制信号线控制的第一薄膜晶体管、与第二薄膜晶体管；

5 所述第一薄膜晶体管包括栅极层、第一有源层、第一源极、及第一漏极，所述第二薄膜晶体管包括栅极层、第二有源层、第二源极、及第二漏极；

所述第一有源层、与第二有源层位于不同层别，并在空间上层叠设置，所述第一源极、及第一漏极形成于第一有源层上，所述第二源极、及第二漏极形成于第二有源层上；

所述栅极层电性连接所述控制信号线控制第一、第二薄膜晶体管的打开与关闭；

其中，所述第一有源层、与第二有源层在空间上相互交叉；

还包括基板、第一绝缘层、及第二绝缘层；

15 所述第一有源层设于所述基板上，所述第一源极、及第一漏极分别覆盖所述第一有源层的两端，所述第一绝缘层设于所述第一有源层、第一源极、第一漏极、及基板上，所述栅极层设于所述第一绝缘层上，所述第二绝缘层设于所述栅极层、及第一绝缘层上，所述第二有源层设于所述第二绝缘层上，所述第二源极、及第二漏极分别覆盖所述第二有源层的两端；

20 其中，所述基板为玻璃基板或塑料基板；

其中，所述第一源极、第一漏极、第二源极、第二漏极、及栅极层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；

其中，所述第一有源层、及第二有源层的材料为非晶硅基半导体、多晶硅基半导体、氧化锌基半导体中的一种；

25 其中，所述第一绝缘层、及第二绝缘层的材料为氮化硅、或氧化硅、或二者的组合。

本发明的有益效果：本发明提供的一种 TFT 布局结构，通过增加第二有源层，并将第一有源层、与第二有源层设于不同层别，使二者在空间上层叠设置，使得由同一控制信号线控制的两颗 TFT 在空间上层叠设置，能够在保证电路功能的情况下缩小电路布局的空间，增加显示面板的开口率，满足显示面板窄边框、及高分辨率的要求。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

- 5 附图中，
图 1 为一种现有的 TFT 布局电路图；
图 2 为图 1 所示电路的 TFT 布局结构图；
图 3 为本发明的 TFT 布局结构的俯视图；
图 4 为对应于图 3 中 A-A 处的剖面图；
10 图 5 为对应于图 3 中 B-B 处的剖面图；
图 6 为对应于图 3 所示 TFT 布局结构的电路图。

具体实施方式

- 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的
15 的优选实施例及其附图进行详细描述。

请同时参阅图 3、图 4、及图 5，本发明提供一种 TFT 布局结构，包括受同一控制信号线控制的第一薄膜晶体管 T1、与第二薄膜晶体管 T2。

- 所述第一薄膜晶体管 T1 包括栅极层 Gate、第一有源层 SC1、第一源极 S1、及第一漏极 D1；所述第二薄膜晶体管 T2 包括栅极层 Gate、第二有源层 SC2、第二源极 S2、及第二漏极 D2。
20

- 所述第一有源层 SC1、与第二有源层 SC2 位于不同层别，并在空间上层叠设置，所述第一源极 S1、及第一漏极 D1 形成于第一有源层 SC1 上，所述第二源极 S2、及第二漏极 D2 形成于第二有源层 SC2 上，从而使得所述第一薄膜晶体管 T1、与第二薄膜晶体管 T2 这两颗 TFT 在空间上层叠设置。
25

所述栅极层 Gate 电性连接所述控制信号线控制第一、第二薄膜晶体管 T1、T2 的打开与关闭。

- 如图 6 所示，本发明的 TFT 布局结构实现了所述第一薄膜晶体管 T1、与第二薄膜晶体管 T2 在空间上层叠设置，相比于现有技术将受控于同一控制信号线的两颗 TFT 沿有源层 SC 的图案化排布方向进行平行间隔布局，能够大幅度缩小电路布局的空间，从而增加显示面板的开口率，满足显示面板窄边框、及高分辨率的要求。
30

进一步地，如图 3 所示，所述第一有源层 SC1、与第二有源层 SC2 在空间上相互交叉，以进一步缩小电路布局的空间，并便于区分第一源极 S1、

与第一漏极 D1 在第一有源层 SC1 上的引出点、及第二源极 S2、与第二漏极 D2 在第二有源层 SC2 上的引出点。

具体地，如图 4、图 5 所示，本发明的 TFT 布局结构还包括基板 1、第一绝缘层 3、及第二绝缘层 5。所述第一有源层 SC1 设于所述基板 1 上，所述第一源极 S1、及第一漏极 D1 分别覆盖所述第一有源层 SC1 的两端，使得所述第一源极 S1、及第一漏极 D1 分别与第一有源层 SC1 形成电性接触；所述第一绝缘层设于所述第一有源层 SC1、第一源极 S1、第一漏极 D1、及基板 1 上；所述栅极层 Gate 设于所述第一绝缘层 3 上；所述第二绝缘层 5 设于所述栅极层 Gate、及第一绝缘层 3 上；所述第二有源层 SC2 设于所述第二绝缘层 5 上，所述第二源极 S2、及第二漏极 D2 分别覆盖所述第二有源层 SC2 的两端，使得所述第二源极 S2、及第二漏极 D2 分别与第二有源层 SC2 形成电性接触。

可选地，所述基板 1 为玻璃基板或塑料基板。

所述第一源极 S1、第一漏极 D1、第二源极 S2、第二漏极 D2、及栅极层 Gate 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述第一有源层 SC1、及第二有源层 SC2 的材料为非晶硅基半导体、多晶硅基半导体、氧化锌基半导体中的一种。

所述第一有源层 SC1、与第二有源层 SC2 可均为 n 型半导体或均为 p 型半导体。此种情况下，所述栅极层 Gate 受控制信号线控制，使第一薄膜晶体管 T1 与第二薄膜晶体管 T2 同时打开或关闭。

或者，所述第一有源层 SC1、与第二有源层 SC2 的其中之一为 p 型半导体，另一个为 n 型半导体。此种情况下，第一薄膜晶体管 T1 与第二薄膜晶体管 T2 具有相反的阈值电压，所述栅极层 Gate 受控制信号线控制，当第一薄膜晶体管 T1 打开时，第二薄膜晶体管 T2 关闭，而当第一薄膜晶体管 T1 关闭时，第二薄膜晶体管 T2 打开。

所述第一绝缘层 3、及第二绝缘层 5 的材料为氮化硅、或氧化硅、或二者的组合。

上述 TFT 布局结构适用于 GOA 电路、及 AMOLED 像素补偿电路，能够在保证电路功能的情况下缩小电路布局的空间，增加显示面板的开口率，满足显示面板窄边框、及高分辨率的要求。

综上所述，本发明的 TFT 布局结构，通过增加第二有源层，并将第一有源层、与第二有源层设于不同层别，使二者在空间上层叠设置，使得由同一控制信号线控制的两颗 TFT 在空间上层叠设置，能够在保证电路功能的情况下缩小电路布局的空间，增加显示面板的开口率，满足显示面板窄

边框、及高分辨率的要求。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 TFT 布局结构,包括受同一控制信号线控制的第一薄膜晶体管、与第二薄膜晶体管;

5 所述第一薄膜晶体管包括栅极层、第一有源层、第一源极、及第一漏极,所述第二薄膜晶体管包括栅极层、第二有源层、第二源极、及第二漏极;

 所述第一有源层、与第二有源层位于不同层别,并在空间上层叠设置,所述第一源极、及第一漏极形成于第一有源层上,所述第二源极、及第二漏极形成于第二有源层上;

10 所述栅极层电性连接所述控制信号线控制第一、第二薄膜晶体管的打开与关闭。

 2、如权利要求 1 所述的 TFT 布局结构,其中,所述第一有源层、与第二有源层在空间上相互交叉。

15 3、如权利要求 2 所述的 TFT 布局结构,还包括基板、第一绝缘层、及第二绝缘层;

 所述第一有源层设于所述基板上,所述第一源极、及第一漏极分别覆盖所述第一有源层的两端,所述第一绝缘层设于所述第一有源层、第一源极、第一漏极、及基板上,所述栅极层设于所述第一绝缘层上,所述第二绝缘层设于所述栅极层、及第一绝缘层上,所述第二有源层设于所述第二绝缘层上,所述第二源极、及第二漏极分别覆盖所述第二有源层的两端。

 4、如权利要求 3 所述的 TFT 布局结构,其中,所述基板为玻璃基板或塑料基板。

25 5、如权利要求 3 所述的 TFT 布局结构,其中,所述第一源极、第一漏极、第二源极、第二漏极、及栅极层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

 6、如权利要求 3 所述的 TFT 布局结构,其中,所述第一有源层、及第二有源层的材料为非晶硅基半导体、多晶硅基半导体、氧化锌基半导体中的一种。

30 7、如权利要求 3 所述的 TFT 布局结构,其中,所述第一绝缘层、及第二绝缘层的材料为氮化硅、或氧化硅、或二者的组合。

 8、如权利要求 6 所述的 TFT 布局结构,其中,所述第一有源层、与第二有源层均为 n 型半导体或均为 p 型半导体。

9、如权利要求 6 所述的 TFT 布局结构，其中，所述第一有源层、与第二有源层的其中之一为 p 型半导体，另一个为 n 型半导体。

10、如权利要求 1 所述的 TFT 布局结构，其中，所述 TFT 布局结构适用于 GOA 电路、及 AMOLED 像素补偿电路。

5 11、一种 TFT 布局结构，包括受同一控制信号线控制的第一薄膜晶体管、与第二薄膜晶体管；

所述第一薄膜晶体管包括栅极层、第一有源层、第一源极、及第一漏极，所述第二薄膜晶体管包括栅极层、第二有源层、第二源极、及第二漏极；

10 所述第一有源层、与第二有源层位于不同层别，并在空间上层叠设置，所述第一源极、及第一漏极形成于第一有源层上，所述第二源极、及第二漏极形成于第二有源层上；

所述栅极层电性连接所述控制信号线控制第一、第二薄膜晶体管的打开与关闭；

15 其中，所述第一有源层、与第二有源层在空间上相互交叉；

还包括基板、第一绝缘层、及第二绝缘层；

所述第一有源层设于所述基板上，所述第一源极、及第一漏极分别覆盖所述第一有源层的两端，所述第一绝缘层设于所述第一有源层、第一源极、第一漏极、及基板上，所述栅极层设于所述第一绝缘层上，所述第二绝缘层设于所述栅极层、及第一绝缘层上，所述第二有源层设于所述第二绝缘层上，所述第二源极、及第二漏极分别覆盖所述第二有源层的两端；

其中，所述基板为玻璃基板或塑料基板；

其中，所述第一源极、第一漏极、第二源极、第二漏极、及栅极层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；

25 其中，所述第一有源层、及第二有源层的材料为非晶硅基半导体、多晶硅基半导体、氧化锌基半导体中的一种；

其中，所述第一绝缘层、及第二绝缘层的材料为氮化硅、或氧化硅、或二者的组合。

30 12、如权利要求 11 所述的 TFT 布局结构，其中，所述第一有源层、与第二有源层均为 n 型半导体或均为 p 型半导体。

13、如权利要求 11 所述的 TFT 布局结构，其中，所述第一有源层、与第二有源层的其中之一为 p 型半导体，另一个为 n 型半导体。

14、如权利要求 11 所述的 TFT 布局结构，其中，所述 TFT 布局结构适用于 GOA 电路、及 AMOLED 像素补偿电路。

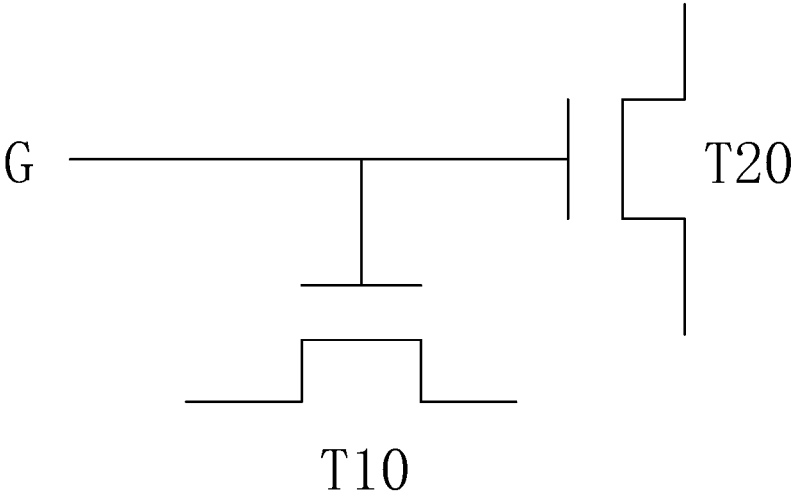


图1

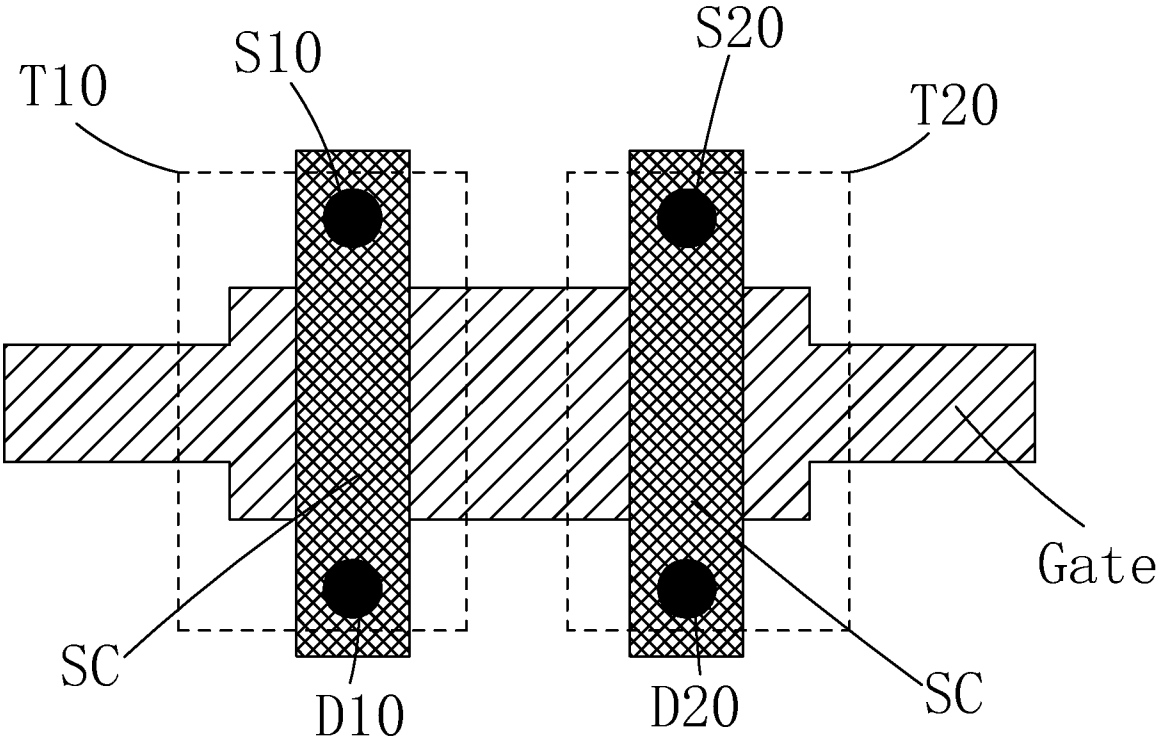


图2

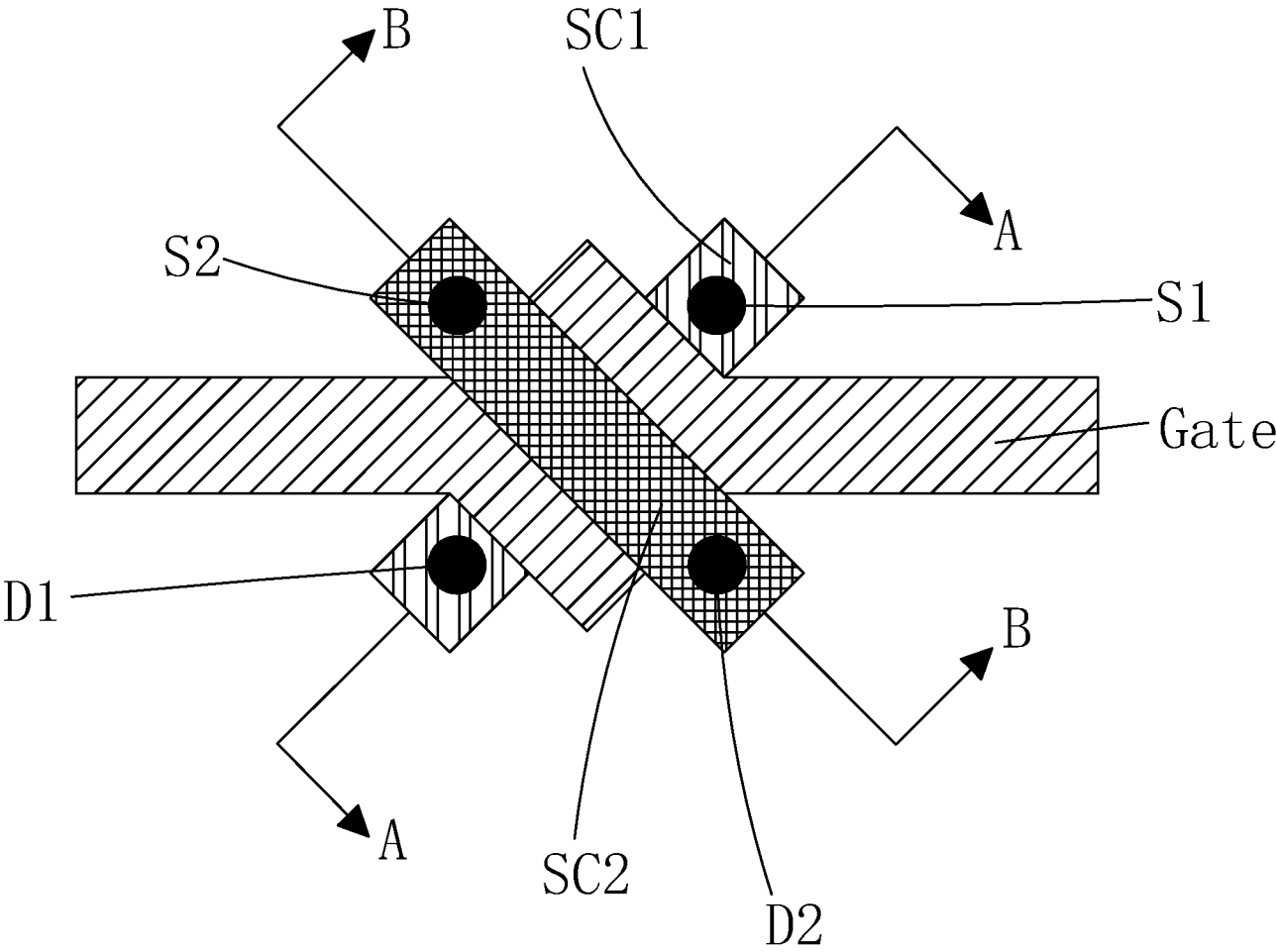


图3

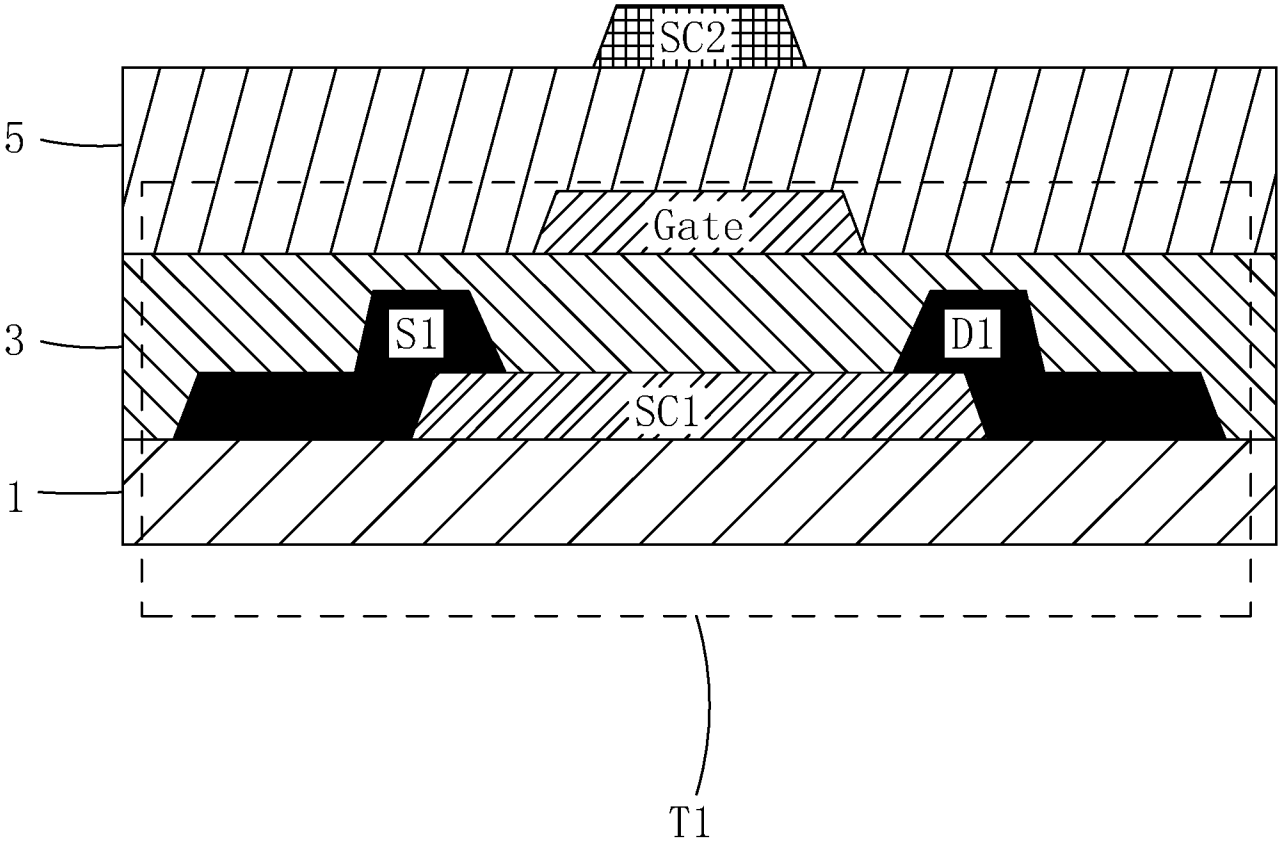


图4

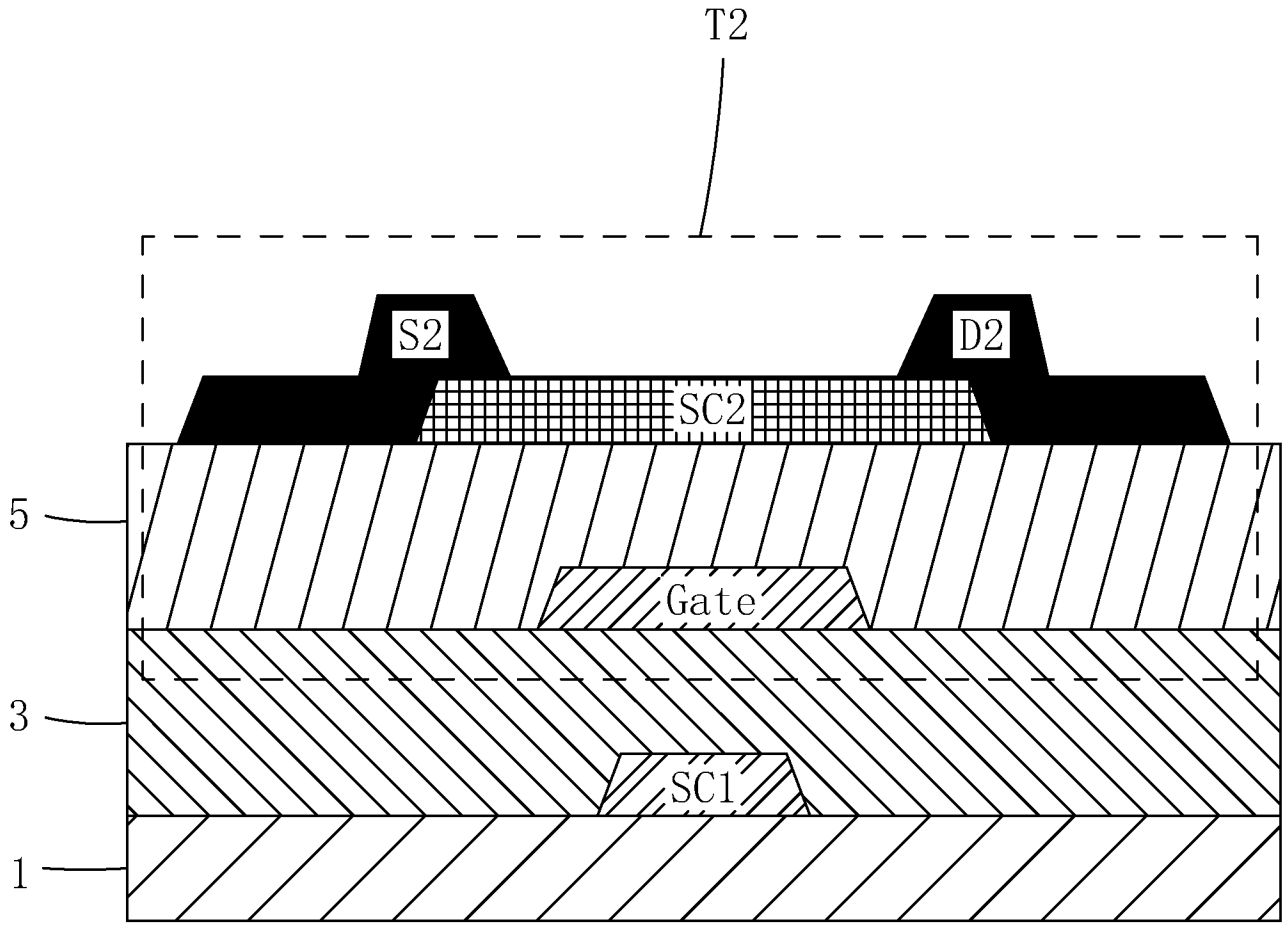


图5

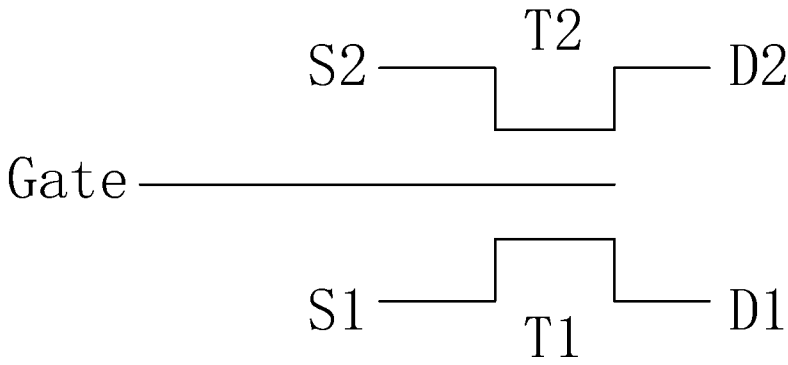


图6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079425

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: thin film transistor, open ratio, TFT, first, second, open, rate, stack, laminate, share, common, gate, cross

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103367353 A (DONGGUAN MASSTOP LIQUID CRYSTAL DISPLAY CO., LTD. et al.), 23 October 2013 (23.10.2013), description, pages 3-6, and figures 1-7	1-14
X	CN 104317126 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 28 January 2015 (28.01.2015), description, pages 2-4, and figures 1-2	1-14
X	CN 104409514 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 11 March 2015 (11.03.2015), description, pages 3-5, and figures 1-4	1-14
X	US 2009014799 A1 (SEMICONDUCTOR ENERGY LAB), 15 January 2009 (15.01.2009), description, paragraphs 43-54, and figures 1-2	1-14
A	CN 101546079 A (SAMSUNG ELECTRONICS CO., LTD.), 30 September 2009 (30.09.2009), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 January 2016 (04.01.2016)	Date of mailing of the international search report 13 January 2016 (13.01.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer XU, Jian Telephone No.: (86-10) 62411591

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/079425

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103367353 A	23 October 2013	None	
CN 104317126 A	28 January 2015	None	
CN 104409514 A	11 March 2015	None	
US 2009014799 A1	15 January 2009	JP 2009038368 A	19 February 2009
		US 2013249009 A1	26 September 2013
		US 2012018808 A1	26 January 2012
		US 8470688 B2	25 June 2013
		US 8049253 B2	01 November 2011
		US 8841730 B2	23 September 2014
CN 101546079 A	30 September 2009	US 8184220 B2	22 May 2012
		US 2009244424 A1	01 October 2009
		CN 101546079 B	03 April 2013
		KR 101475297 B1	23 December 2014
		KR 20090102147 A	30 September 2009

国际检索报告

国际申请号

PCT/CN2015/079425

A. 主题的分类

H01L 27/12(2006.01)i; G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L;G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, VEN: 薄膜晶体管, 第一, 第二, 开口率, 层叠, 堆叠, 共用, 栅, 交叉, TFT, first, second, open, rate, stack, laminate, share, common, gate, cross

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103367353 A (东莞万士达液晶显示器有限公司 等) 2013年 10月 23日 (2013 - 10 - 23) 说明书第3-6页, 图1-7	1-14
X	CN 104317126 A (京东方科技集团股份有限公司 等) 2015年 1月 28日 (2015 - 01 - 28) 说明书第2-4页, 图1-2	1-14
X	CN 104409514 A (京东方科技集团股份有限公司 等) 2015年 3月 11日 (2015 - 03 - 11) 说明书第3-5页, 图1-4	1-14
X	US 2009014799 A1 (SEMICONDUCTOR ENERGY LAB) 2009年 1月 15日 (2009 - 01 - 15) 说明书第43-54段, 图1-2	1-14
A	CN 101546079 A (三星电子株式会社) 2009年 9月 30日 (2009 - 09 - 30) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 1月 4日

国际检索报告邮寄日期

2016年 1月 13日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

徐健

传真号 (86-10)62019451

电话号码 (86-10)62411591

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/079425

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103367353	A	2013年 10月 23日	无			
CN	104317126	A	2015年 1月 28日	无			
CN	104409514	A	2015年 3月 11日	无			
US	2009014799	A1	2009年 1月 15日	JP	2009038368	A	2009年 2月 19日
				US	2013249009	A1	2013年 9月 26日
				US	2012018808	A1	2012年 1月 26日
				US	8470688	B2	2013年 6月 25日
				US	8049253	B2	2011年 11月 1日
				US	8841730	B2	2014年 9月 23日
CN	101546079	A	2009年 9月 30日	US	8184220	B2	2012年 5月 22日
				US	2009244424	A1	2009年 10月 1日
				CN	101546079	B	2013年 4月 3日
				KR	101475297	B1	2014年 12月 23日
				KR	20090102147	A	2009年 9月 30日

表 PCT/ISA/210 (同族专利附件) (2009年7月)