

①⑨ RÉPUBLIQUE FRANÇAISE  
—  
**INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE**  
—  
COURBEVOIE  
—

①① N° de publication : **3 064 781**  
(à n'utiliser que pour les  
commandes de reproduction)  
②① N° d'enregistrement national : **17 52704**  
⑤① Int Cl<sup>8</sup> : **G 06 F 21/54 (2017.01)**

①②

## BREVET D'INVENTION

B1

⑤④ PROCÉDE DE PROTECTION D'UN DISPOSITIF ELECTRONIQUE CONTRE DES ATTAQUES PAR INJECTION DE FAUTE PENDANT L'EXECUTION D'UN PROGRAMME.

②② Date de dépôt : 30.03.17.

③③ Priorité :

④③ Date de mise à la disposition du public de la demande : 05.10.18 Bulletin 18/40.

④⑤ Date de la mise à disposition du public du brevet d'invention : 05.04.19 Bulletin 19/14.

⑤⑥ Liste des documents cités dans le rapport de recherche :

*Se reporter à la fin du présent fascicule*

⑥⑥ Références à d'autres documents nationaux apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : *SAFRAN IDENTITY & SECURITY  
Société par actions simplifiée — FR.*

⑦② Inventeur(s) : *SERE AHMADOU, PEPIN CYRILLE  
et BENCHETRIT MICHEL.*

⑦③ Titulaire(s) : *SAFRAN IDENTITY & SECURITY  
Société par actions simplifiée.*

⑦④ Mandataire(s) : *REGIMBEAU.*

FR 3 064 781 - B1



## DOMAINE DE L'INVENTION

La présente invention concerne un procédé d'exécution d'un programme dans un dispositif électronique tel qu'une carte à puce, ainsi qu'un tel dispositif électronique.

L'invention trouve avantageusement application dans le domaine des programmes destinés à être interprétés par une machine virtuelle de haut niveau.

## ETAT DE LA TECHNIQUE

De façon connue, une attaque par injection de faute consiste à perturber l'environnement physique d'un dispositif électronique, de sorte à modifier des données mémorisées par le dispositif. De telles perturbations peuvent être produites de différentes manières : variation d'une tension d'alimentation, variation d'une fréquence d'horloge du dispositif, émission de rayonnement électromagnétique ou laser, etc.

Ces données peuvent par exemple être des instructions de code d'un programme destiné à être exécuté par le dispositif électronique.

Pour protéger un dispositif électronique contre de telles attaques, il a été proposé dans le document US 2006/0047955 A1 de calculer une donnée d'intégrité relative à un bloc d'instructions de code d'un programme, avant qu'une exécution de ce programme ne commence. Ces données d'intégrité sont mémorisées dans une mémoire du dispositif.

Ultérieurement, le programme est lancé par le processeur. Au cours de l'exécution du programme, l'intégrité d'un bloc du programme est contrôlée sur la base de la donnée d'intégrité correspondante, précédemment calculée et mémorisée avant le lancement du programme. Si, à l'issue de ce contrôle, le bloc est considéré comme non intègre, une erreur est signalée.

Or, la durée de la période entre l'instant auquel la donnée d'intégrité est calculée et l'instant ultérieur auquel le contrôle d'intégrité a été mis en œuvre sur la base de cette donnée d'intégrité peut être longue. Une attaque mise en œuvre au cours de cette période peut corrompre une donnée d'intégrité mémorisée et/ou le bloc correspondant, rendant inefficace la protection conférée par le procédé du document US 2006/0047955 A1.

## EXPOSE DE L'INVENTION

Un but de l'invention est de protéger plus efficacement les instructions de code d'un programme destiné à être exécuté par un dispositif électronique contre des attaques par injection de faute.

Il est dès lors proposé, selon un premier aspect de l'invention, un procédé d'exécution d'un programme dans un dispositif électronique tel qu'une carte à puce, comprenant des étapes de :

- 5 • calcul d'une donnée d'intégrité relative à un ensemble d'instructions de code du programme, l'ensemble comprenant une seule instruction de code ou une suite d'instructions de code destinées à être exécutées consécutivement,
- après le calcul de la donnée d'intégrité, exécution d'une dernière instruction de code de l'ensemble par un processeur du dispositif électronique,
- 10 • après l'exécution de la dernière instruction de code, contrôle d'intégrité de l'ensemble sur la base de la donnée d'intégrité calculée, de sorte à générer un résultat,
- signalement ou non d'une erreur en fonction du résultat généré,

dans lequel la donnée d'intégrité est calculée au cours de l'exécution du programme.

15 Le procédé selon ce premier aspect de l'invention peut en outre comprendre les caractéristiques suivantes, prises seules ou en combinaison lorsque cela est techniquement possible.

La donnée d'intégrité peut être calculée après l'exécution par un processeur du dispositif électronique :

- 20 • d'au moins une première instruction de code du programme par un processeur du dispositif électronique, ou
- d'au moins une instruction de code de l'ensemble différente de la dernière instruction de code, ou
- de chaque instruction de code de l'ensemble excepté la dernière instruction de code de l'ensemble.

25 Le procédé selon le premier aspect de l'invention peut comprendre en outre les étapes suivantes :

- 30 • après l'exécution de la dernière instruction de code de l'ensemble, vérification d'au moins une condition prédéterminée susceptible d'être remplie ou non par une instruction de code suivante du programme à exécuter après la dernière instruction de code,
- dans lequel le contrôle d'intégrité est mis en œuvre seulement si au moins une des conditions est remplie, avant une exécution de l'instruction de code suivante par un processeur du dispositif électronique.

Le contrôle d'intégrité de l'ensemble d'instructions de code peut être mis en œuvre seulement lorsqu'au moins une des conditions suivantes est remplie :

- l'instruction de code suivante soit un branchement,
- 5     • l'instruction de code suivante participe, lors de son exécution par un processeur du dispositif électronique, à une communication de données entre le dispositif électronique et un dispositif extérieur au dispositif électronique,
- l'instruction de code suivante participe, lors de son exécution par un processeur du dispositif électronique, à une écriture de données dans une mémoire non volatile 8 du dispositif électronique.

10     Par ailleurs, le contrôle d'intégrité de l'ensemble d'instructions de code peut en outre être mis en œuvre lorsque l'instruction de code suivante n'est pas entièrement contenue dans une zone mémoire prédéterminée du dispositif électronique.

Le procédé selon le premier aspect de l'invention peut comprendre en outre les étapes suivantes :

- 15     • au cours de l'exécution du programme, calcul d'une donnée d'intégrité relative à une zone mémoire prédéterminée du dispositif électronique contenant l'ensemble d'instructions de code,
- après l'exécution de la dernière instruction de code de l'ensemble, contrôle d'intégrité de la zone mémoire prédéterminée sur la base de la donnée d'intégrité relative à la zone mémoire prédéterminée, de sorte à générer un deuxième résultat,
- 20     • signalement ou non d'une erreur en fonction du deuxième résultat.

Après l'exécution de la dernière instruction de code de l'ensemble, il peut être mis en œuvre une vérification d'au moins une condition prédéterminée susceptible d'être remplie ou non par une instruction de code suivante du programme à exécuter après la dernière instruction de code, auquel cas le contrôle d'intégrité de la zone mémoire prédéterminée est mis en œuvre seulement si au moins une des conditions prédéterminées est remplie, avant une exécution de l'instruction de code suivante par un processeur du dispositif électronique.

30     Le contrôle d'intégrité de la zone mémoire prédéterminée peut être mis en œuvre seulement lorsque le contrôle d'intégrité de l'ensemble d'instructions de code est mis en œuvre.

Le procédé peut en outre comprendre un chargement de l'ensemble d'instructions de code depuis une zone prédéterminée d'une mémoire non volatile du dispositif électronique vers un cache dans une mémoire volatile du dispositif électronique, dans lequel les étapes de calcul, d'exécution et de contrôle d'intégrité étant alors mises en œuvre depuis le cache.

35

Le procédé selon le premier aspect de l'invention peut comprendre en outre une sélection d'un mode d'exécution de l'ensemble d'instructions de code dans une pluralité de modes d'exécution comprenant :

- 5 • un mode d'exécution caché, dans lequel le chargement de l'ensemble d'instructions de code dans le cache est mis en œuvre, et dans lequel les étapes de calcul, d'exécution et de contrôle d'intégrité sont mises en œuvre depuis le cache, et
- un mode d'exécution non caché, dans lequel les étapes de calcul, d'exécution et de contrôle d'intégrité sont mise en œuvre directement depuis la zone prédéterminée de la mémoire non volatile.

10 L'étape de sélection d'un mode d'exécution peut alors être répétée pour au moins une instruction de code du programme qui n'est pas entièrement contenu dans la zone prédéterminée de la mémoire non volatile, le mode d'exécution sélectionné étant variable d'une mise en œuvre à l'autre.

La sélection du mode d'exécution est par exemple aléatoire.

15 Le procédé selon le premier aspect de l'invention peut comprendre en outre les étapes suivantes :

- après l'exécution de la dernière instruction de code de l'ensemble, ajout dans l'ensemble d'une instruction de code suivante du programme à exécuter après la dernière instruction de code,
- 20 • après l'ajout, répétition itérative des étapes de calcul, d'exécution, et, le cas échéant, de contrôle d'intégrité et de signalement.

Le procédé selon le premier aspect de l'invention peut comprendre en outre les étape suivantes :

- 25 • après l'exécution de la dernière instruction de code de l'ensemble, redéfinition de l'ensemble à la seule instruction de code suivante lorsque l'instruction de code suivante n'est pas entièrement contenue dans une zone mémoire prédéterminée du dispositif électronique,
- après la redéfinition de l'ensemble, répétition itérative des étapes de calcul, d'exécution, et, le cas échéant, de contrôle d'intégrité et de signalement.

30 Le procédé selon le premier aspect de l'invention peut comprendre en outre les étape suivantes :

- mémorisation d'une donnée d'intégrité relative à l'ensemble calculée au cours d'une mise en œuvre de l'étape de calcul d'instructions de code dans un emplacement mémoire prédéterminé du dispositif électronique,

- mémorisation d'une donnée d'intégrité relative à l'ensemble calculée au cours d'une mise en œuvre ultérieure de l'étape de calcul à l'emplacement mémoire prédéterminé, de sorte à remplacer la donnée d'intégrité précédemment mémorisée.

5 Un contrôle d'intégrité de données de référence pour lesquelles une donnée d'intégrité a été précédemment calculée peut comprendre des sous-étapes de :

- répétition de l'étape de calcul précédente de sorte à produire une nouvelle donnée de contrôle d'intégrité relative aux données de référence,
  - comparaison entre les deux données de contrôle d'intégrité relatives aux données de référence, une erreur étant signalée seulement si les deux données de contrôle
- 10 d'intégrité comparées sont identiques.

Les étapes peuvent être mises en œuvre par une machine virtuelle de haut niveau, telle qu'une machine virtuelle Java Card, le programme étant interprétable par la machine virtuelle de haut niveau.

15 Il est également proposé, selon un deuxième aspect de l'invention, un produit programme d'ordinateur comprenant des instructions de code de programme pour l'exécution des étapes du procédé selon le premier aspect de l'invention, lorsque ce procédé est exécuté par au moins un processeur.

Ce programme peut être une machine virtuelle de haut niveau.

20 Il est également proposé, selon un troisième aspect de l'invention, un dispositif électronique, tel qu'une carte à puce, comprenant :

- une mémoire adaptée pour mémoriser un programme comprenant un ensemble d'instructions de code, l'ensemble comprenant une seule instruction de code ou une suite d'instructions de code du programme destinées à être exécutées consécutivement,
  - au moins un processeur configuré pour :
    - calculer une donnée d'intégrité relative à l'ensemble d'instructions de code,
    - après le calcul de la donnée d'intégrité, exécuter une dernière instruction de code de l'ensemble par un processeur du dispositif électronique,
    - après l'exécution de la dernière instruction de code, contrôler l'intégrité de
- 25
- 30 l'ensemble d'instructions de code sur la base de la donnée d'intégrité calculée, de sorte à générer un résultat,
- signaler ou non une erreur en fonction du résultat généré,

dans lequel la donnée d'intégrité est calculée au cours de l'exécution du programme.

D'autres caractéristiques, buts et avantages de l'invention ressortiront de la description qui suit, qui est purement illustrative et non limitative, et qui doit être lue en regard des dessins annexés sur lesquels :

- 5 • La figure 1 représente schématiquement un dispositif électronique selon un mode de réalisation de l'invention.
- La figure 2, représente schématiquement une mémoire du dispositif schématiquement représenté en figure 1 contenant un programme cible P destiné à être exécuté par ce dispositif.
- 10 • La figure 3 est un organigramme d'étapes du procédé d'exécution d'un programme selon un premier mode de réalisation de l'invention.
- Les figures 4 et 5 représentent le contenu de mémoires du dispositif à des instants différents au cours de la mise en œuvre du procédé selon le premier mode de réalisation de l'invention.
- 15 • La figure 6 est un organigramme d'étapes d'un procédé d'exécution d'un programme selon un deuxième mode de réalisation de l'invention.
- La figure 7 est un organigramme d'étapes d'un procédé d'exécution d'un programme selon un deuxième mode de réalisation de l'invention.
- La figure 8 représente le contenu de mémoires du dispositif au cours de la mise en œuvre du procédé selon le troisième mode de réalisation de l'invention.
- 20 • La figure 9 représente le contenu de mémoires du dispositif au cours de la mise en œuvre du procédé selon le troisième mode de réalisation de l'invention.

Sur l'ensemble des figures, les éléments similaires portent des références identiques.

## DESCRIPTION DETAILLEE DE L'INVENTION

### 25 **Dispositif électronique protégé contre des attaques par injection de faute**

En référence à la **figure 1**, un dispositif électronique 1 comprend au moins un processeur 2 et au moins une mémoire 4.

Le dispositif électronique 1 est par exemple une carte à puce, telle qu'une carte SIM.

30 Le ou chaque processeur 2 est adapté pour exécuter des instructions de code de programme appartenant à un jeu d'instructions de code prédéterminées, dites dans la suite instructions de code « natives ».

La mémoire 4 comprend au moins une mémoire volatile 6, par exemple de type RAM. La mémoire volatile 6 a pour fonction de mémoriser temporairement des données, par exemple des données calculées par le processeur 2. Le contenu de la mémoire volatile 6 est effacé lors d'une mise hors tension du dispositif électronique 1.

35

La mémoire 4 comprend en outre au moins une mémoire non volatile 8 (NVM en anglais), par exemple de type disque dur, SSD, flash, EEPROM, etc. La mémoire non volatile 8 a pour fonction de mémoriser des données de manière persistante, au sens où une mise hors tension du dispositif électronique 1 n'efface pas le contenu de la mémoire non volatile 8.

5 Le dispositif électronique 1 comprend par ailleurs une interface de communication 10 avec un dispositif tiers, extérieur au dispositif électronique 1. Cette interface de communication 10 peut comprendre un circuit de communication sans fil, par exemple une puce NFC, de sorte à établir un canal de communication radio entre le dispositif électronique et le dispositif tiers, et/ou comprendre au moins un port destiné à être mis en contact  
10 physique avec au moins un port du dispositif tiers, de sorte que des signaux électriques porteurs de données puissent être transférés entre les ports mis en contact physique.

En référence à la **figure 2**, sont mémorisés dans la mémoire non volatile 8 au moins deux programmes : au moins un programme cible P, et un programme M de contrôle d'intégrité du programme cible P.

15 Le programme cible P se présente sous la forme d'un fichier binaire ayant une adresse A de début et une adresse de fin B dans la mémoire non volatile 8.

Le programme cible P comprend K instructions de code Inst\_1 à Inst\_K. Chaque instruction de code Inst\_i du programme cible P est formée par une séquence de bits dans ce fichier binaire. Le programme cible P comprend notamment une première instruction de  
20 code Inst\_1, constituant un point d'entrée du programme cible P.

Comme on le verra dans la suite, le programme de contrôle d'intégrité M assure une fonction de contrôle d'intégrité des instructions de code du programme cible P au cours de l'exécution du programme cible P.

Les instructions de code du programme cible P peuvent être natives ou non natives.  
25 Lorsque les instructions de code du programme cible P ne sont pas natives, une machine virtuelle de haut niveau est mémorisée dans la mémoire non volatile 8 du dispositif 1. La machine virtuelle de haut niveau est un programme comprenant des instructions de code natives. Une fonction de la machine virtuelle est d'interpréter les instructions de code du programme cible P et de les traduire en instructions de code natives.

30 Par exemple, la machine virtuelle de haut niveau est une machine virtuelle Java Card. Elle est alors configurée pour interpréter un « bytecode » issue d'un code source dans le langage de programmation Java, qui est un langage de programmation orienté objet.

Le programme de contrôle d'intégrité M peut être la machine virtuelle de haut niveau. La machine virtuelle cumule alors les fonctions précitées d'interprétation/traduction et de

contrôle d'intégrité. Ce mode de réalisation non limitatif sera pris en exemple dans la suite de la présente description.

5 **Procédé de protection contre des attaques par injection de faute (premier mode de réalisation)**

En référence à la **figure 3**, un procédé de protection du dispositif électronique 1 contre des attaques par injection de faute selon un premier mode de réalisation comprend les étapes suivantes.

10 Le processeur 2 démarre l'exécution de la machine virtuelle M, par exemple lors d'une mise sous tension du dispositif électronique 1.

Ultérieurement, la machine virtuelle M reçoit un ordre de lancement du programme cible P (étape 100). Dans le présent texte, on considère que l'exécution du programme cible P débute lorsqu'un ordre d'exécution est reçu au sein du dispositif électronique 1.

15 En réponse à la réception de cet ordre, la machine virtuelle M détermine une première instruction de code du programme cible P à exécuter (Inst\_1 dans le cas de la figure 2) (étape 101). Cette étape 101 comprend une localisation de l'adresse de début A du programme cible P dans la mémoire non volatile 8 et en particulier de la séquence de bits formant la première instruction de code Inst\_1 dans la mémoire non volatile 8.

20 Par ailleurs, la machine virtuelle M initialise un ensemble E d'instructions de code à l'ensemble vide (étape 106). On verra dans la suite que cet ensemble E est destiné à comprendre des instructions de code du programme cible P dont l'intégrité est à contrôler. Cet ensemble est par exemple représenté par un tableau maintenu par la machine virtuelle M.

25 La machine virtuelle M ajoute la première instruction de code dans l'ensemble E d'instructions de code (étape 107). Après cet ajout, l'ensemble E ne contient donc qu'un seul élément : la première instruction de code Inst\_1.

Les deux étapes 106 et 107 peuvent être combinées en une seule d'étape de réduction de l'ensemble E à un singleton.

30 Après l'étape 107, la machine virtuelle M calcule une donnée d'intégrité relative à l'ensemble d'instructions de code E (étape 108).

L'étape de calcul de donnée d'intégrité 108 comprend l'application d'une fonction d'intégrité F prédéterminée aux bits de chaque instruction de code comprise dans l'ensemble E. La donnée d'intégrité relative à l'ensemble E est l'image de ces bits par la fonction d'intégrité F.

La fonction d'intégrité F peut être : la fonction identité, une fonction de hachage, une fonction générant un code de redondance longitudinal (« longitudinal redundancy check » ou LRC en anglais), une fonction générant un code de redondance cyclique (« cyclic redundancy check » ou CRC en anglais), etc.

5 A ce stade, est calculée au cours de l'étape 108 une donnée d'intégrité X1 relative uniquement à la première instruction de code Inst\_1, laquelle n'a pas encore été exécutée.

La donnée d'intégrité X1 résultant de ce calcul 108 est mémorisée dans la mémoire 4 à un premier emplacement mémoire. Le premier emplacement mémoire est de préférence dans la mémoire volatile 6 comme représenté en **figure 4** afin, notamment, d'éviter d'user  
10 la mémoire non volatile 8 dont la durée de vie dépend d'un nombre d'écritures effectuées dans celle-ci.

Le processeur 2 exécute ensuite la dernière instruction de code de l'ensemble d'instructions de code (étape 110). Par « dernière » instruction de code, on entend l'instruction de code à exécuter en dernier parmi les instructions de code comprises dans  
15 l'ensemble E.

A ce stade, l'ensemble E ne comprend que la première instruction de code Inst\_1 du programme cible P : la dernière instruction de code de l'ensemble E est donc Inst\_1. Au cours de l'étape d'exécution 110, la machine virtuelle M interprète la première instruction de code Inst\_1, de sorte à la traduire en au moins une instruction de code native, directement  
20 interprétable par le processeur 2, selon une méthode connue en elle-même.

Après l'exécution 110 de la dernière instruction de code de l'ensemble E, la machine virtuelle M détermine une instruction de code suivante du programme cible P, à exécuter juste après la dernière instruction de code de l'ensemble E (étape 112), sans toutefois encore exécuter cette instruction suivante.

25 Dans la plupart des cas, l'instruction de code suivante est localisée immédiatement en dessous de la dernière instruction de code de l'ensemble E dans la mémoire non volatile 8. Autrement dit, l'adresse de début de l'instruction de code suivante est égale à l'adresse de fin de la dernière instruction de code de l'ensemble E. Toutefois, dans certains cas, l'instruction de code suivante se trouve à une autre adresse. Ce cas se présente par exemple  
30 si la dernière instruction de code de l'ensemble E est un branchement. Dans cas, la dernière instruction de code de l'ensemble E comprend des données d'adressage permettant de déterminer l'adresse de l'instruction de code suivante (ces données d'adressage se présentant par exemple sous la forme d'une adresse relative ou offset).

On suppose ici que l'instruction de code suivant l'instruction de code Inst\_1 est  
35 l'instruction de code Inst\_2.

Au cours de l'étape de détermination 112, la machine virtuelle M vérifie si au moins une condition prédéterminée est remplie par l'instruction de code suivante, sans toutefois la faire exécuter par le processeur 2.

5 Après l'étape de détermination 112 de l'instruction de code suivante, la machine virtuelle M met en œuvre un contrôle d'intégrité de l'ensemble E d'instructions de code sur la base de la donnée d'intégrité calculée, de sorte à générer un résultat (étape 114).

Le contrôle d'intégrité 114 est mis en œuvre lorsque au moins une des conditions prédéterminées est remplie par l'instruction suivante déterminée (ici en fonction de l'instruction de code Inst\_2).

10 Le contrôle d'intégrité 114 est par exemple mis en œuvre sélectivement lorsqu'il est déterminé, au cours de l'étape de détermination 112 de l'instruction de code suivante, qu'au moins une des conditions suivantes est remplie :

- l'instruction de code suivante participe, lors de son exécution par le processeur 2, à une communication de données entre le dispositif électronique 1 et un dispositif extérieur au dispositif électronique 1,
- 15 • l'instruction de code suivante participe, lors de son exécution par le processeur 2, à une écriture de données dans la mémoire non volatile 8 du dispositif électronique 1,
- l'instruction de code suivante est un branchement.

20 Si aucune de ces conditions n'est remplie, le contrôle d'intégrité 114 de l'ensemble d'instructions de code E n'est pas mis en œuvre.

Le contrôle d'intégrité 114 de l'ensemble d'instructions de code E comprend des sous-étapes de :

- répétition de l'étape de calcul 108 en appliquant la fonction d'intégrité F à chaque instruction de code de l'ensemble E mémorisée dans la mémoire non volatile 8 (ici la seule instruction de code Inst\_1), de sorte à produire une nouvelle donnée d'intégrité X1',
- 25 • mémorisation de la nouvelle donnée d'intégrité X1' à un deuxième emplacement mémoire différent du premier emplacement mémoire où se trouve la donnée d'intégrité X1, de préférence dans la mémoire volatile 6 comme montré en figure 4,
- 30 • comparaison entre les deux données d'intégrité X1 et X1' calculées.

Lorsque les deux données d'intégrité X1 et X1' sont de valeurs différentes, une erreur est signalée par la machine virtuelle M (étape 116). Il est en effet possible qu'une attaque par injection de faute ait été mise en œuvre après le lancement du programme ; une telle différence de valeurs entre les deux données comparées peut être causée par la survenance d'une telle attaque.

35

A titre d'exemple, au cours de l'étape 116, la machine virtuelle M lève une exception de sécurité, cette exception étant indicative d'une telle erreur.

L'erreur est par exemple signalée 116 au sein de la machine virtuelle M (c'est-à-dire par une portion de programme de la machine virtuelle M à une autre portion de programme de la machine virtuelle M) et/ou est signalée par la machine virtuelle M à un programme tiers dans le dispositif électronique et/ou est signalée à un dispositif tiers via l'interface de communication 10.

Aucune erreur n'est signalée lorsque les deux données d'intégrité X1 et X1' sont identiques.

10 Lorsque l'étape de signalement d'erreur 116 est mise en œuvre, diverses mesures peuvent être prises : par exemple un arrêt de l'exécution du programme cible P, ou bien une mesure plus radicale, par exemple un arrêt complet du dispositif électronique 1.

Lorsqu'il n'est pas pris de décision d'arrêter l'exécution du programme cible P, la machine virtuelle M répète ensuite l'étape 107 : la machine virtuelle M ajoute dans l'ensemble E l'instruction de code suivante déterminée au cours de l'étape 112. A ce stade, l'ensemble E passe donc d'une seule instruction de code (Inst\_1) à une suite de deux instructions destinées à être exécutées consécutivement (Inst\_1, Inst\_2). Après l'ajout 15 107, l'instruction de code Inst\_2 remplace l'instruction de code Inst\_1 en tant que dernière instruction de code dans l'ensemble E.

20 L'étape de calcul 108 est ensuite répétée : une donnée d'intégrité X12 relative à l'ensemble E constitué de la suite Inst\_1, Inst\_2 est alors calculée. La donnée d'intégrité X12 est mémorisée au premier emplacement mémoire, de sorte à y remplacer la donnée X1 précédemment calculée, comme cela est représenté en **figure 5**.

L'étape 110 d'exécution de la dernière instruction de code de l'ensemble E est ensuite 25 répétée : autrement dit, est ici exécutée l'instruction de code Inst\_2.

Ensuite, l'étape de détermination 112 d'une instruction suivante du programme cible P à exécuter est à nouveau mise en œuvre. L'instruction suivante est par exemple Inst\_3.

Ensuite, l'étape de contrôle d'intégrité 114 est le cas échéant répétée pour contrôler l'intégrité de l'ensemble E formé par la suite d'instructions consécutives Inst\_1 et Inst\_2, en 30 fonction de l'instruction de code suivante Inst\_3, de sorte à produire un nouveau résultat. Cette nouvelle mise en œuvre de l'étape de contrôle d'intégrité 114 comprend ainsi :

- une répétition de l'étape de calcul 108 en appliquant la fonction d'intégrité F à l'ensemble E constitué des instructions de code Inst\_1 et Inst\_2 mémorisées dans la mémoire non volatile 8, de sorte à produire une nouvelle donnée de contrôle d'intégrité X12', et
- 35

- mémorisation de la donnée d'intégrité X12' est au deuxième emplacement mémoire, de sorte à y remplacer la donnée X1' calculée au cours de l'étape 108,
- comparaison entre les deux données d'intégrité X12 et X12'.

La première instruction de code Inst\_1 a déjà été exécutée par le processeur 2. Par conséquent, la machine virtuelle M effectue un retour en arrière dans le fichier binaire du programme P et relit à nouveau la séquence de bits formant la première instruction de code Inst\_1 et lit également la séquence de bits de la deuxième instruction de code Inst\_2 pour obtenir la donnée d'intégrité X12.

L'étape de signalement d'erreur 116 est répétée le cas échéant, c'est-à-dire mise en œuvre sélectivement lorsque les données d'intégrité X12 et X12' sont de valeurs différentes.

Les étapes 107, 108, 110, 112, et, le cas échéant 114 voire 116 sont ensuite répétées par la machine virtuelle M pour chaque instruction de code suivante du programme cible P. A chaque nouvelle mise en œuvre de l'étape de calcul 108, est calculée une donnée d'intégrité relative à un ensemble E d'instructions de code du programme P de plus en plus grand.

Il est possible de répéter les étapes 107 et suivantes jusqu'à une terminaison du programme cible P.

Une telle terminaison survient par exemple lorsqu'il est déterminé au cours d'une mise en œuvre de l'étape 112 qu'il n'existe pas d'instruction de code suivante du programme cible P à exécuter, ou bien lorsqu'il est reçu par la machine virtuelle M un ordre de terminaison du programme cible P.

### **Procédé de protection contre des attaques par injection de faute (deuxième mode de réalisation)**

Dans le premier mode de réalisation, l'ensemble E d'instructions de code dont l'intégrité est contrôlée ne fait que croître au cours de l'exécution du programme cible P.

Dans un deuxième mode de réalisation, les étapes additionnelles suivantes sont mises en œuvre afin de limiter la taille de cet ensemble E, et par conséquent réduire la durée maximale de mise en œuvre des étapes de calcul 108 et de contrôle d'intégrité 114.

En référence à la **figure 6**, la machine virtuelle M sélectionne une zone de la mémoire non volatile 8 ayant une taille prédéterminée de N bits, cette zone contenant l'instruction de code suivante du programme cible P à exécuter (étape 102). Typiquement, la zone sélectionnée a pour adresse de début l'adresse de début de l'instruction de code suivante à exécuter.

Cette étape 102 est mise en œuvre pour la première fois après l'étape 101 au cours de laquelle la première instruction de code du programme cible P a été déterminée (Inst\_1). La zone alors sélectionnée comprend l'instruction Inst\_1, qui est la suivante à exécuter.

Lorsqu'il est déterminé ultérieurement, au cours d'une mise en œuvre de l'étape 112, qu'une instruction de code suivante à exécuter juste après la dernière instruction de code de l'ensemble E n'est pas comprise dans la zone sélectionnée de N bits, ou n'est que partiellement contenue dans cette zone, alors la machine virtuelle M répète l'étape 102 : elle sélectionne une nouvelle zone de la mémoire non volatile 8 de taille N contenant l'instruction suivante à exécuter déterminée au cours de la dernière mise en œuvre de l'étape 112.

L'étape d'initialisation 106 est répétée pour vider l'ensemble E, puis l'étape 107, durant laquelle l'instruction suivante à exécuter est ajoutée dans l'ensemble E. Autrement dit, l'ensemble E est réduit à la seule instruction suivante du programme cible P à exécuter par application des étapes 106 et 107.

Les étapes 108, 110, 112, et, le cas échéant l'étape 114, voire l'étape 116, sont répétées comme dans le premier mode de réalisation jusqu'à ce qu'il soit nécessaire de sélectionner une nouvelle zone dans la mémoire non volatile 8.

### **Procédé de protection contre des attaques par injection de faute (troisième mode de réalisation)**

Dans le premier mode et le deuxième mode de réalisation décrits précédemment, la machine virtuelle M met en œuvre les étapes de calcul 108, d'exécution 110 de détermination 112 et de contrôle d'intégrité 114 directement depuis la mémoire non volatile 8.

En référence à la **figure 7**, un troisième mode de réalisation du procédé diffère du deuxième mode de réalisation précédemment décrit par les caractéristiques supplémentaires suivantes.

Après avoir sélectionné dans la mémoire non volatile 8 une zone Z de N bits au cours de l'étape 102, la machine virtuelle M calcule une donnée d'intégrité INT\_NVM relative à cette zone Z sélectionnée (étape 104). Dans l'exemple représenté en **figure 8**, la zone Z sélectionnée comprend uniquement les instructions de code Inst\_1, Inst\_2, et Inst\_3.

L'étape de calcul 104 comprend l'application d'une fonction d'intégrité G prédéterminée aux N bits de la zone Z sélectionnée. La donnée d'intégrité INT\_NVM est l'image de cette séquence de bits par la fonction d'intégrité F. La fonction d'intégrité G est identique ou différente de la fonction d'intégrité F.

La donnée d'intégrité INT\_NVM est mémorisée à un troisième emplacement mémoire différent du premier emplacement et du deuxième emplacement. Le troisième emplacement est de préférence en mémoire volatile 6, comme cela est montré en figure 8.

5 Après l'étape de calcul 104, le contenu de la zone Z sélectionnée est chargé dans un cache C en mémoire volatile 6 (étape 105).

La taille du cache C est identique à celle de la zone Z sélectionnée (N bits).

10 Le cache C a été précédemment alloué en mémoire volatile 6 au cours d'une étape préliminaire. Cette allocation est par exemple déclenchée après la mise en œuvre de l'étape de calcul 104 de la donnée d'intégrité INT\_NVM, ou bien sur réception par la machine virtuelle M de l'ordre de lancement du programme cible P, ou bien auparavant, lors du lancement de la machine virtuelle M ou bien encore auparavant, lors d'un démarrage du dispositif électronique 1.

15 Les étapes 107, 108, 110, 112, et, le cas échéant 114 voire 116 sont répétées comme dans le deuxième mode de réalisation jusqu'à ce qu'il soit nécessaire de sélectionner une nouvelle zone Z dans la mémoire non volatile 8, aux différences suivantes près.

Les étapes 108, 110, 112, 114 sont mises en œuvre depuis le cache C. L'ensemble E désigne des instructions de code chargées dans le cache C. En particulier :

- 20 • l'étape de calcul 108 prend comme donnée d'entrée les instructions de code se trouvant dans le cache C : par exemple, la donnée X1 est calculée à partir des bits de l'instruction Inst\_1 qui est présente dans le cache C.
- l'étape d'exécution 110 d'une instruction de code du programme cible P est faite en lisant cette instruction depuis le cache C (ce qui suppose que cette instruction a bel et bien été copiée dans le cache C).
- 25 • La nouvelle donnée d'intégrité calculée au cours de l'étape de contrôle d'intégrité 114 est calculée sur la base de la ou des instructions de code se trouvant dans le cache C et qui sont comprises dans l'ensemble E.

Par ailleurs, dans ce troisième mode de réalisation, l'étape de contrôle d'intégrité 114 est mise en œuvre sélectivement lorsqu'il est déterminé au cours de l'étape de détermination 112 qu'au moins une des conditions suivantes est remplie :

- 30 • l'instruction de code suivante participe, lors de son exécution par le processeur, à une communication de données entre le dispositif électronique et un dispositif extérieur au dispositif électronique,
- l'instruction de code suivante participe, lors de son exécution par le processeur, à une écriture de données dans une mémoire non volatile 8 du dispositif électronique,

- l'instruction de code suivante n'est pas présente dans le cache C ou n'est que partiellement dans le cache C.

Si aucune de ces conditions n'est remplie, le contrôle d'intégrité 114 n'est pas mis en œuvre.

5 Par ailleurs, dans ce troisième mode de réalisation, la machine virtuelle M met en œuvre un contrôle d'intégrité du contenu du cache C sur la base de la donnée d'intégrité INT\_NVM précédemment calculée au cours de l'étape 104 (étape 115), de sorte à générer un deuxième résultat.

10 Une erreur est signalée ou non en fonction de ce deuxième résultat généré, d'une façon similaire à l'étape 116.

Le contrôle d'intégrité 115 comprend des sous-étapes similaires à celles du contrôle d'intégrité 114 :

- une répétition de l'étape de calcul 104 en appliquant la fonction d'intégrité G à l'ensemble des N bits contenus dans le cache C, de sorte à produire une nouvelle donnée de contrôle d'intégrité INT\_CACHE,
- mémorisation de la donnée INT\_CACHE à un quatrième emplacement mémoire différent des premiers, deuxième et troisième emplacements mémoires précédemment discutés, et de préférence en mémoire volatile 6,
- comparaison entre les données d'intégrité INT\_NVM et INT\_CACHE.

20 Une erreur est sélectivement signalée lorsque les données comparées INT\_NVM et INT\_CACHE sont différentes.

Il est possible que certaines instructions de code du programme cible P, pourtant bien présentes dans le cache C, n'aient pas été exécutées car ont été sautées à cause d'une instruction de branchement exécutée depuis le cache C. C'est la raison pour laquelle les deux contrôles d'intégrité 114 et 115 ici mis en œuvre ne sont pas forcément relatifs aux mêmes données : dans un cas, ces données sont les N bits consécutifs présents dans le cache C, et dans l'autre cas, il s'agit de seulement certains bits présents dans le cache C, ne couvrant que les instructions de code chargées dans le cache C qui sont référencées dans l'ensemble E.

30 Lorsqu'il est déterminé que l'instruction de code suivante n'est pas dans le cache C ou n'est que partiellement dans le cache C, alors la machine virtuelle M répète l'étape 102, c'est-à-dire sélectionne une nouvelle zone Z de N bits dans la mémoire non volatile 8.

L'étape de chargement 105 est ensuite répétée pour la nouvelle zone Z sélectionnée, de même que les étapes suivantes 106, 107, 108, 110, 112, etc.

Le troisième mode de réalisation offre un niveau de sécurité accru par rapport au premier mode de réalisation et au deuxième mode de réalisation.

5 **Procédé de protection contre des attaques par injection de faute (quatrième mode de réalisation)**

Le premier mode de réalisation et le deuxième mode de réalisation mettent en œuvre un mode d'exécution « non caché » du programme, c'est-à-dire qu'aucun cache C en mémoire volatile 6 n'est utilisé. *A contrario*, le troisième mode de réalisation met en œuvre un mode d'exécution « caché » du programme, au travers du cache C alloué dans la mémoire volatile 6.

10 Ces deux modes d'exécution différents peuvent être combinées dans un quatrième mode de réalisation pour exécuter différentes portions du programme cible P, dont les étapes sont représentées sur l'organigramme de la **figure 9**.

L'étape de sélection 102 d'une zone Z de N bits est mise en œuvre comme dans le deuxième mode de réalisation.

La machine virtuelle M sélectionne par ailleurs un mode d'exécution du contenu de cette zone Z de N bits, parmi le mode d'exécution caché et le mode d'exécution non caché (étape 103).

20 Si le mode d'exécution non caché est sélectionné au cours de l'étape 103, le procédé met en œuvre l'étape 106 et les suivantes sont mises en œuvre sur la portion du programme cible P contenu dans la zone Z de N bits sélectionnée, comme dans le deuxième mode de réalisation, et ce jusqu'à ce qu'il soit déterminé au cours d'une mise en œuvre de l'étape 112 qu'une instruction suivante de code du programme cible P à exécuter n'est pas ou n'est que partiellement dans la zone Z de N bits sélectionnée.

25 Si le mode d'exécution caché est sélectionné au cours de l'étape 103, le procédé met en œuvre les étapes 104 et 105 avant de mettre en œuvre les étapes 106 et suivantes, comme dans le troisième mode de réalisation, et ce jusqu'à ce qu'il soit déterminé au cours d'une mise en œuvre de l'étape 112 qu'une instruction suivante de code du programme cible P à exécuter n'est pas ou n'est que partiellement dans le cache C.

30 Lorsque la machine virtuelle M sélectionne une nouvelle zone Z de N bits contenant une autre portion du programme cible P à exécuter, la machine virtuelle M répète également l'étape 103, c'est-à-dire qu'elle sélectionne un mode d'exécution pour exécuter cette autre portion du programme cible P.

35 La sélection 103 du mode d'exécution est variable d'une portion du programme cible P à l'autre.

De préférence, la sélection d'un mode d'exécution 103 est aléatoire. En variante, les deux modes d'exécution caché et non caché sont sélectionnés 103 en alternance (autrement dit, le mode d'exécution d'une portion donnée est toujours différent du mode d'exécution d'une portion suivante du programme cible P).

- 5 Le quatrième mode de réalisation offre un niveau de sécurité accru par rapport au troisième mode de réalisation. Il est en effet plus difficile pour un attaquant de savoir où sont les données lues par la machine virtuelle M (cache C ou zone Z) au cours du temps, et donc de les corrompre par une attaque d'injection de faute.

10

15

## REVENDEICATIONS

1. Procédé d'exécution d'un programme (P) dans un dispositif électronique (1) tel qu'une carte à puce, comprenant des étapes de :

- 5
- calcul (108) d'une donnée d'intégrité (X1, X12) relative à un ensemble (E) d'instructions de code du programme (P), l'ensemble (E) comprenant une seule instruction de code (Inst\_1) ou une suite d'instructions de code (P) destinées à être exécutées consécutivement (Inst\_1, Inst\_2),
  - après le calcul (108) de la donnée d'intégrité, exécution (110) d'une dernière
- 10
- instruction de code de l'ensemble (E) par un processeur (2) du dispositif électronique (1),
  - après l'exécution de la dernière instruction de code, contrôle d'intégrité (114) de l'ensemble (E) sur la base de la donnée d'intégrité (X1, X12) calculée, de sorte à générer un résultat,
- 15
- signalement (116) ou non d'une erreur en fonction du résultat généré,
- le procédé étant caractérisé en ce que la donnée d'intégrité est calculée (108) au cours de l'exécution du programme (P).

2. Procédé selon la revendication précédente, dans lequel la donnée d'intégrité (X12) est calculée (108) après l'exécution par un processeur (2) du dispositif électronique (1) :

- 20
- d'au moins une première instruction de code du programme (P) par un processeur (2) du dispositif électronique (1), ou
  - d'au moins une instruction de code (Inst\_1) de l'ensemble (E) différente de la dernière instruction de code (Inst\_2), ou
- 25
- de chaque instruction de code (Inst\_1) de l'ensemble (E) excepté la dernière instruction de code (Inst\_2) de l'ensemble (E).

3. Procédé selon l'une des revendications précédentes, comprenant :

- 30
- après l'exécution de la dernière instruction de code (Inst\_2) de l'ensemble (E), vérification (112) d'au moins une condition prédéterminée susceptible d'être remplie ou non par une instruction de code suivante (Inst\_3) du programme (P) à exécuter après la dernière instruction de code (Inst\_2),
  - dans lequel le contrôle d'intégrité (114) est mis en œuvre seulement si au moins une des conditions est remplie, avant une exécution de l'instruction de code suivante
- 35
- (Inst\_3) par un processeur (2) du dispositif électronique (1).

4. Procédé selon la revendication précédente, dans lequel le contrôle d'intégrité (114) de l'ensemble (E) d'instructions de code (E) est mis en œuvre lorsque l'instruction de code suivante (Inst\_3) est un branchement.

5

5. Procédé selon l'une des revendications 3 à 4, dans lequel le contrôle d'intégrité (114) de l'ensemble (E) d'instructions de code (E) est mis en œuvre lorsque l'instruction de code suivante (Inst\_3) participe, lors de son exécution par un processeur (2) du dispositif électronique (1), à une communication de données entre le dispositif électronique (1) et un  
10 dispositif extérieur au dispositif électronique (1).

6. Procédé selon l'une des revendications 3 à 5, dans lequel le contrôle d'intégrité (114) de l'ensemble (E) d'instructions de code (E) est mis en œuvre lorsque l'instruction de code  
15 suivante (Inst\_3) participe, lors de son exécution par un processeur (2) du dispositif électronique, à une écriture de données dans une mémoire non volatile (8) du dispositif électronique.

7. Procédé selon l'une des revendications 3 à 6, dans lequel le contrôle d'intégrité (114) de l'ensemble (E) d'instructions de code (E) est mis en œuvre lorsque l'instruction de code  
20 suivante (Inst\_3) n'est pas entièrement contenue dans une zone mémoire prédéterminée (Z, C) du dispositif électronique (1).

8. Procédé selon l'une des revendications précédentes, comprenant en outre des étapes de

- au cours de l'exécution du programme (P), calcul (104) d'une donnée d'intégrité  
25 (INT\_NVM) relative à une zone mémoire prédéterminée (Z, C) du dispositif électronique (1) contenant l'ensemble (E) d'instructions de code,
- après l'exécution (110) de la dernière instruction de code (Inst\_2) de l'ensemble (E), contrôle d'intégrité (115) de la zone mémoire prédéterminée (Z, C) sur la base de la donnée d'intégrité (INT\_NVM) relative à la zone mémoire prédéterminée (Z, C), de  
30 sorte à générer un deuxième résultat,
- signalement (116) ou non d'une erreur en fonction du deuxième résultat.

9. Procédé selon la revendication précédente, comprenant, après l'exécution de la dernière  
35 instruction de code (Inst\_2) de l'ensemble (E), vérification (112) d'au moins une condition prédéterminée susceptible d'être remplie ou non par une instruction de code suivante

(Inst\_3) du programme (P) à exécuter après la dernière instruction de code (Inst\_2), dans lequel le contrôle d'intégrité (115) de la zone mémoire prédéterminée (Z, C) est mis en œuvre seulement si au moins une des conditions prédéterminées est remplie, avant une exécution de l'instruction de code suivante (Inst\_3) par un processeur (2) du dispositif électronique (1).

10. Procédé selon l'une des revendications 8 à 9, dans lequel le contrôle d'intégrité (115) de la zone mémoire prédéterminée (Z, C) est mis en œuvre seulement lorsque le contrôle d'intégrité (114) de l'ensemble (E) d'instructions de code est mis en œuvre.

10  
11. Procédé selon l'une des revendications précédentes, comprenant un chargement (105) de l'ensemble (E) d'instructions de code depuis une zone prédéterminée (Z) d'une mémoire non volatile (8) du dispositif électronique (1) vers un cache (C) dans une mémoire volatile (6) du dispositif électronique (1), dans lequel les étapes de calcul (108), d'exécution (110) et de contrôle d'intégrité (114) sont mise en œuvre depuis le cache (C).

12. Procédé selon la revendication précédente, comprenant une sélection (103) d'un mode d'exécution de l'ensemble (E) d'instructions de code parmi une pluralité de modes d'exécution comprenant :

- 20
- un mode d'exécution caché, dans lequel le chargement (105) de l'ensemble (E) d'instructions de code dans le cache (C) est mis en œuvre, et dans lequel les étapes de calcul (108), d'exécution (110) et de contrôle d'intégrité (114, 115) sont mises en œuvre depuis le cache (C), et
  - un mode d'exécution non caché, dans lequel les étapes de calcul (108), d'exécution (110) et de contrôle d'intégrité (114, 115) sont mise en œuvre directement depuis la zone prédéterminée (Z) de la mémoire non volatile (8).
- 25

13. Procédé selon la revendication précédente, comprenant une répétition de l'étape de sélection (103) d'un mode d'exécution pour au moins une instruction de code du programme (P) qui n'est pas entièrement contenu dans la zone prédéterminée (Z) de la mémoire non volatile (8), le mode d'exécution sélectionné étant variable d'une mise en œuvre à l'autre.

14. Procédé selon l'une des revendications 12 à 13, dans lequel la sélection (103) du mode d'exécution est aléatoire.

35

15. Procédé selon l'une des revendications précédentes, comprenant en outre des étapes de
- après l'exécution (110) de la dernière instruction de code (Inst\_2) de l'ensemble (E), ajout dans l'ensemble (E) d'une instruction de code suivante (Inst\_3) du programme (P) à exécuter après la dernière instruction de code (Inst\_2),
- 5      • après l'ajout (107), répétition itérative des étapes de calcul (108), d'exécution (110), et, le cas échéant, de contrôle d'intégrité (114) et de signalement (116).
16. Procédé selon l'une des revendications précédentes, comprenant en outre des étapes de
- après l'exécution (110) de la dernière instruction de code (Inst\_2) de l'ensemble (E),
- 10      redéfinition (106, 107) de l'ensemble (E) à la seule instruction de code suivante (Inst\_3) lorsque l'instruction de code suivante (Inst\_3) n'est pas entièrement contenue dans une zone mémoire prédéterminée (Z, C) du dispositif électronique (1),- après la redéfinition (106, 107) de l'ensemble (E), répétition itérative des étapes de calcul (108), d'exécution (110), et, le cas échéant, de contrôle d'intégrité (114) et

15      de signalement (116).

17. Procédé selon l'une des revendications 15 à 16, comprenant des étapes de :

  - mémorisation d'une donnée d'intégrité (X1) relative à l'ensemble (E) calculée au cours d'une mise en œuvre de l'étape de calcul (108) d'instructions de code dans un

20      emplacement mémoire prédéterminé du dispositif électronique (1),- mémorisation d'une donnée d'intégrité (X12) relative à l'ensemble (E) calculée au cours d'une mise en œuvre ultérieure de l'étape de calcul (108) à l'emplacement mémoire prédéterminé, de sorte à remplacer la donnée d'intégrité (X1) précédemment mémorisée.

25

18. Procédé selon l'une des revendications précédentes, dans lequel un contrôle d'intégrité (114, 115) de données de référence (Z, C, E) pour lesquelles une donnée d'intégrité (X1, X12, INT\_NVM) a été précédemment calculée (104, 108) comprend des sous-étapes de :

  - répétition de l'étape de calcul précédente (104, 108) de sorte à produire une nouvelle

30      donnée de contrôle d'intégrité (X1', X12', INT\_CACHE) relative aux données de référence (Z, C, E),- comparaison entre les deux données de contrôle d'intégrité relatives aux données de référence (Z, C, E), une erreur étant signalée (116) seulement si les deux données de contrôle d'intégrité comparées sont identiques.

35

19. Procédé selon l'une des revendications précédentes, dont les étapes sont mises en œuvre par une machine virtuelle de haut niveau, telle qu'une machine virtuelle Java Card, le programme (P) étant interprétable par la machine virtuelle de haut niveau.
- 5 20. Produit programme d'ordinateur (M), par exemple de type machine virtuelle de haut niveau, comprenant des instructions de code de programme (P) pour l'exécution des étapes du procédé selon l'une des revendications précédentes, lorsque ce procédé est exécuté par au moins un processeur (2).
- 10 21. Dispositif électronique (1), tel qu'une carte à puce, comprenant :
- une mémoire (4) adaptée pour mémoriser un programme (P) comprenant un ensemble (E) d'instructions de code, l'ensemble (E) comprenant une seule instruction de code (Inst\_1) ou une suite d'instructions de code (Inst\_1, Inst\_2) du programme (P) destinées à être exécutées consécutivement,
  - 15 • au moins un processeur (2) configuré pour :
    - calculer une donnée d'intégrité (X1, X12) relative à l'ensemble (E) d'instructions de code,
    - après le calcul de la donnée d'intégrité, exécuter une dernière instruction de code (Inst\_2) de l'ensemble (E) par un processeur (2) du dispositif électronique
    - 20 ○ après l'exécution de la dernière instruction de code (Inst\_2), contrôler l'intégrité de l'ensemble (E) d'instructions de code sur la base de la donnée d'intégrité calculée (X1, X12), de sorte à générer un résultat,
    - signaler ou non une erreur en fonction du résultat généré,
- 25 le dispositif électronique (1) étant caractérisé en ce que la donnée d'intégrité (X1, X12) est calculée au cours de l'exécution du programme (P).

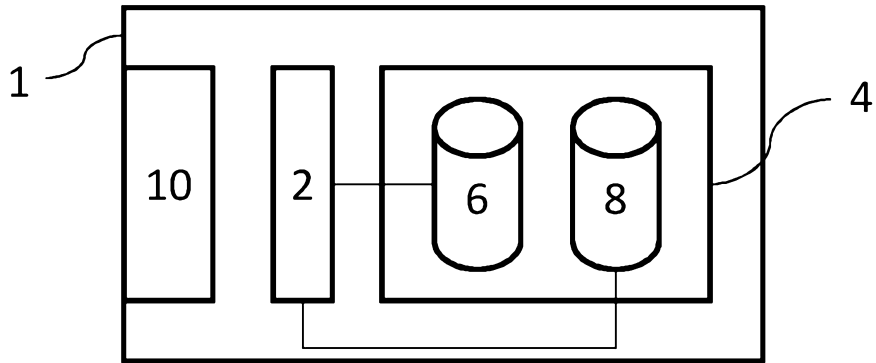


FIG. 1

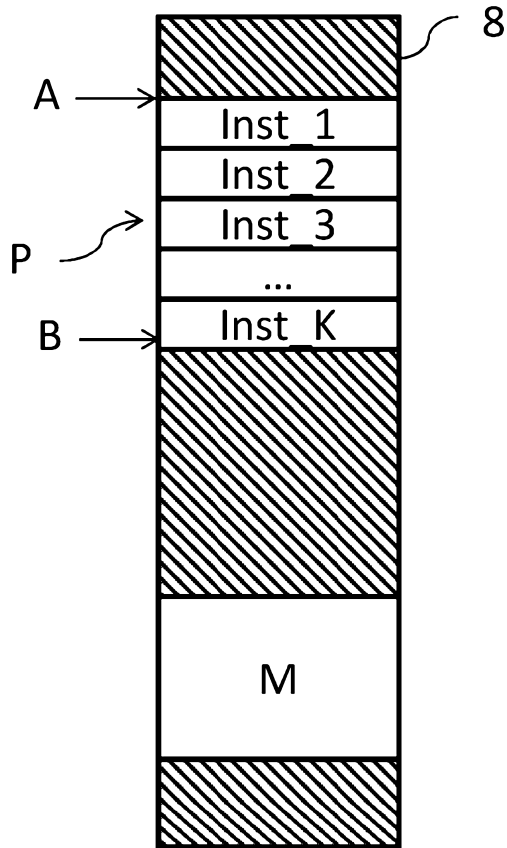


FIG. 2

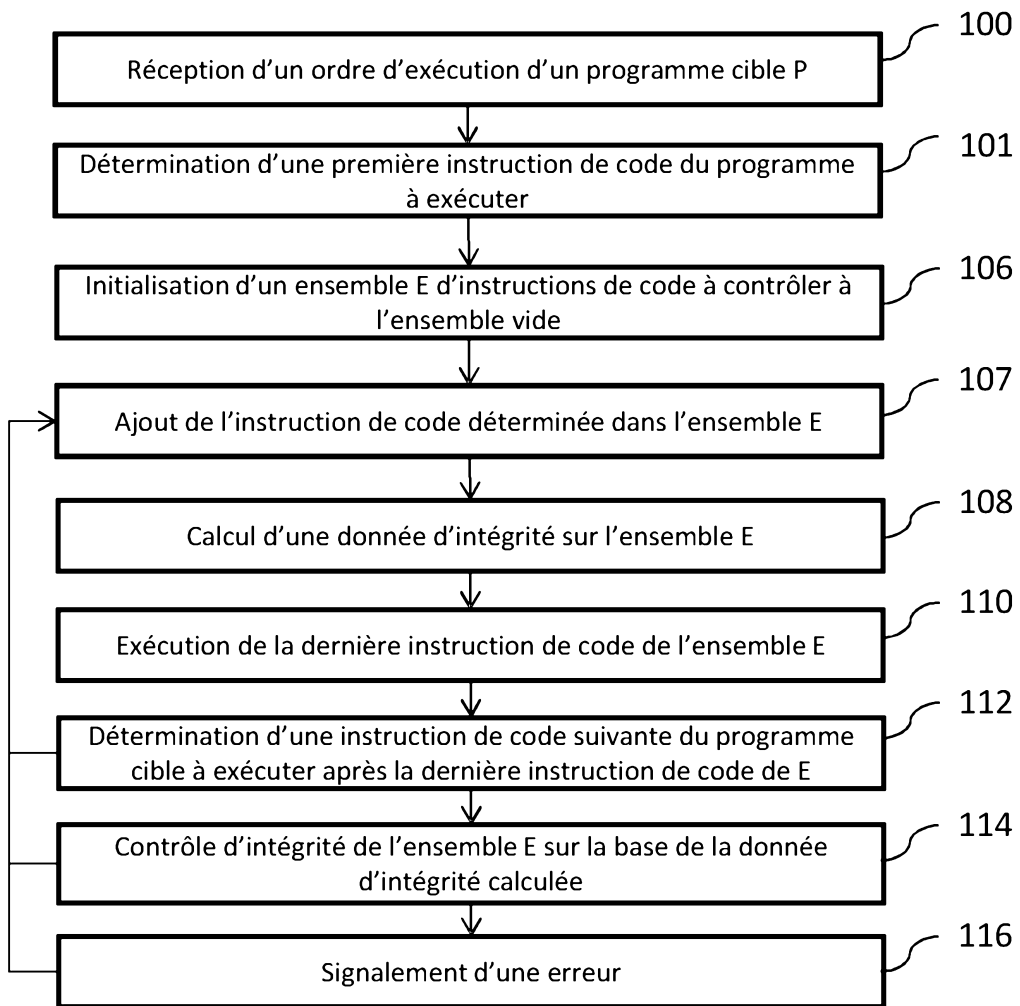


FIG. 3

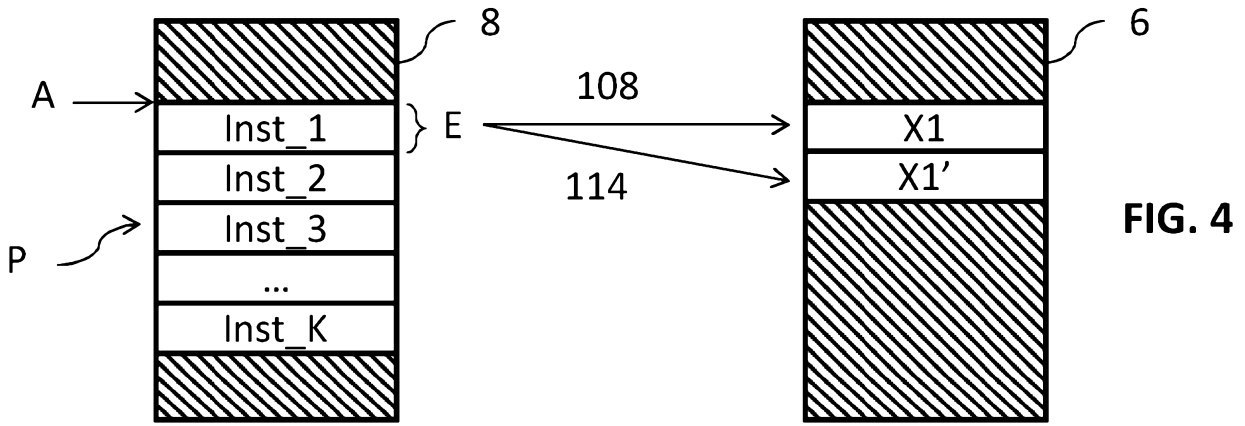


FIG. 4

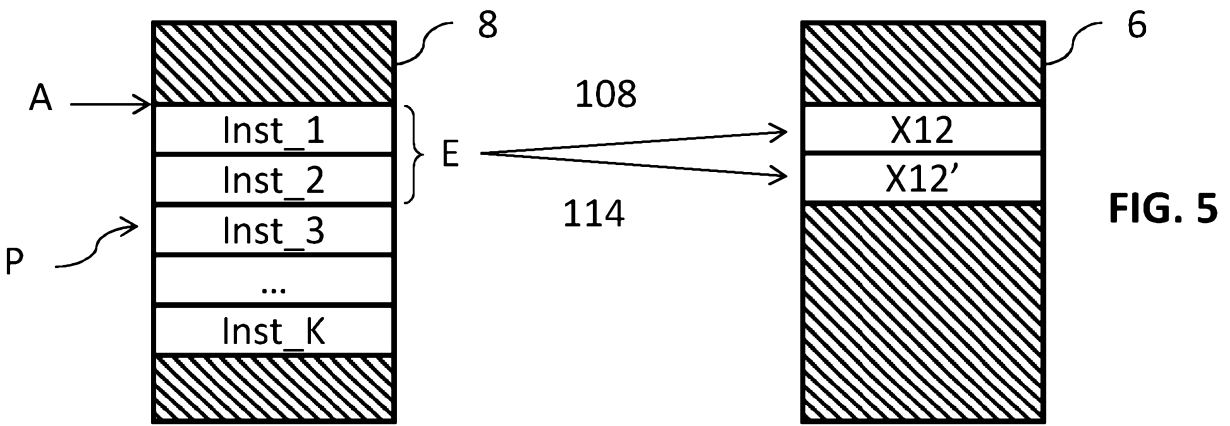


FIG. 5

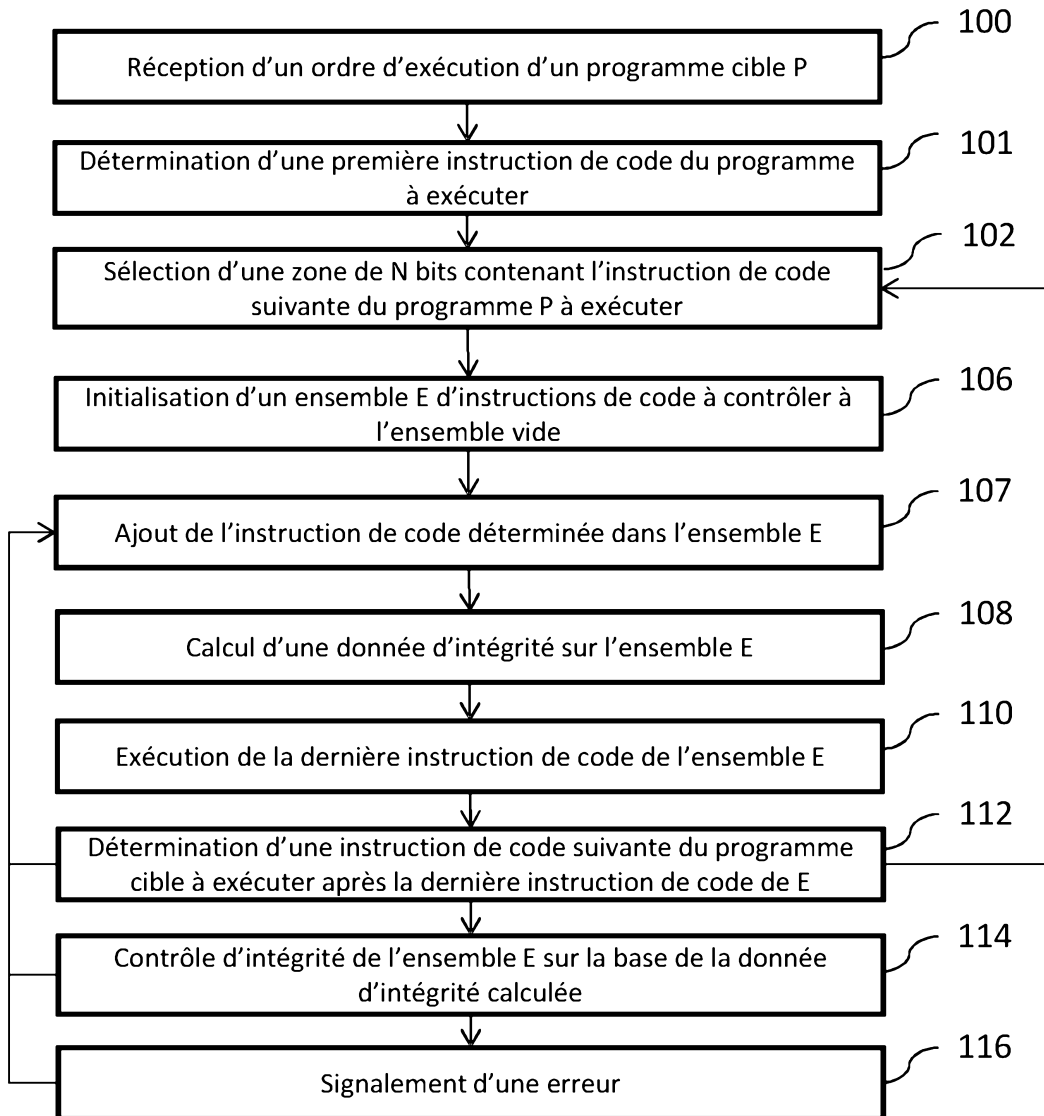


FIG. 6

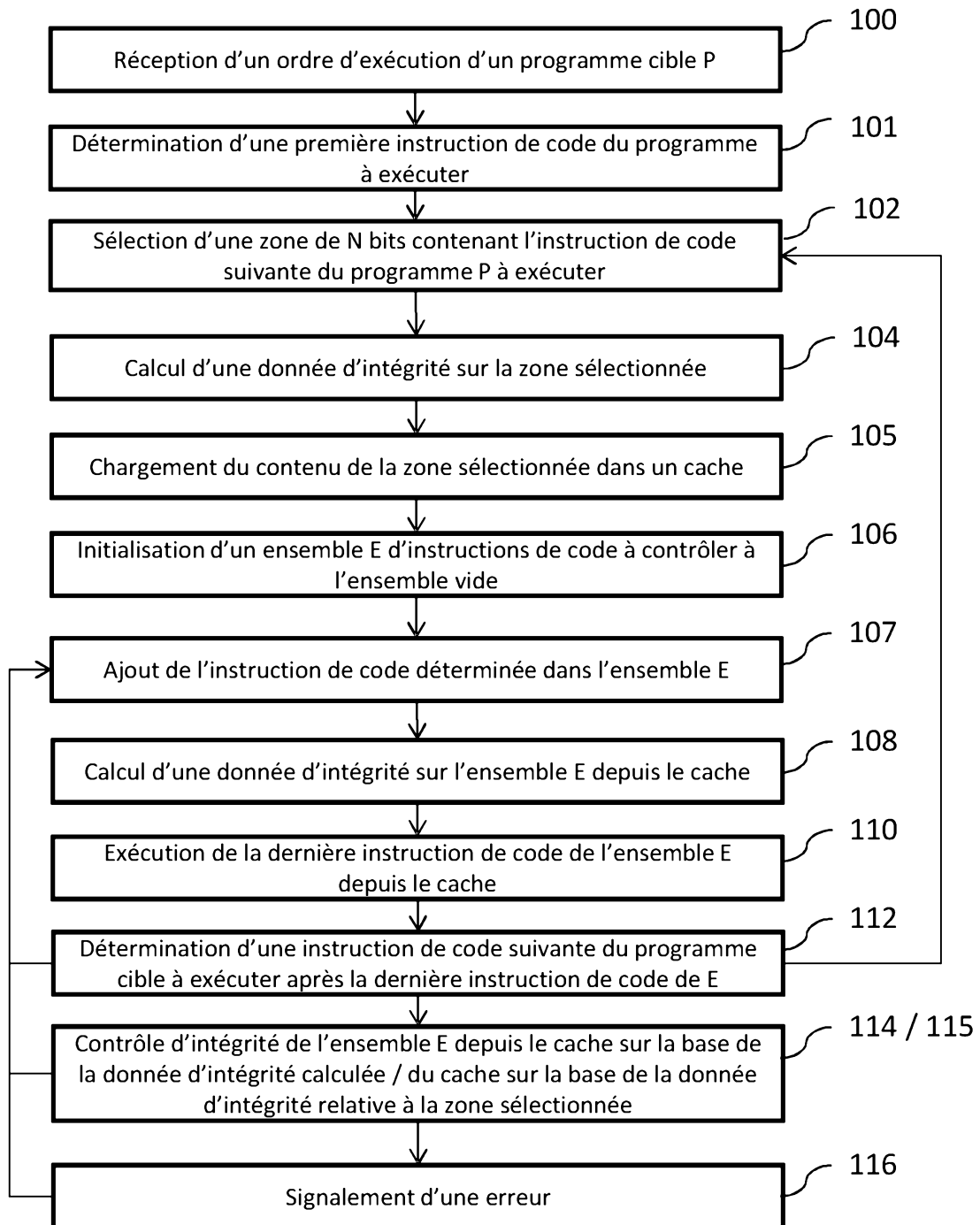


FIG. 7

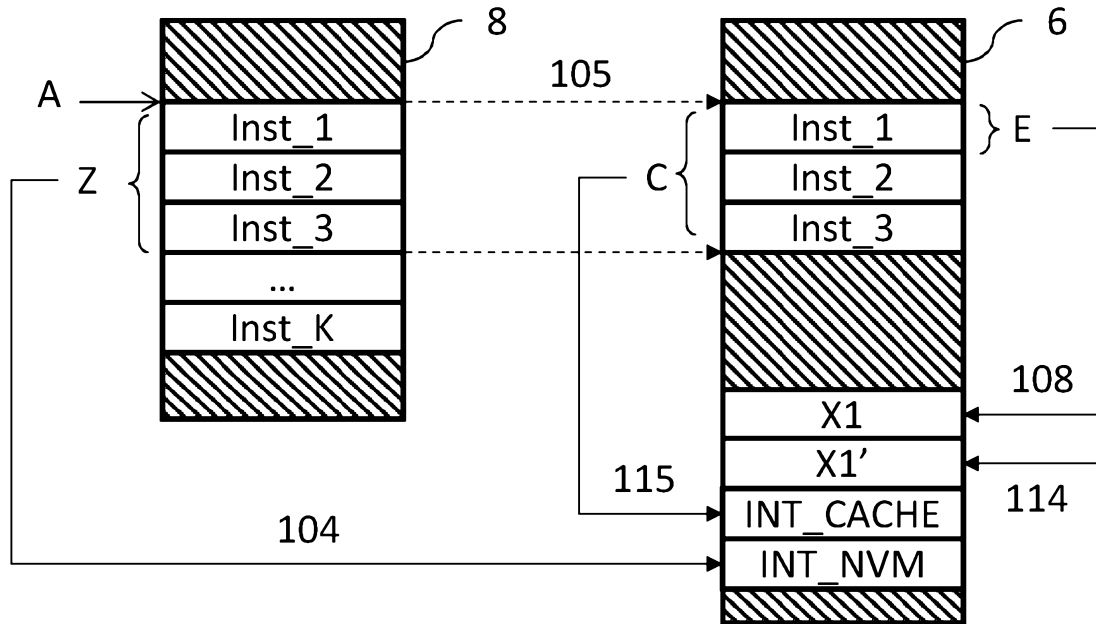


FIG. 8

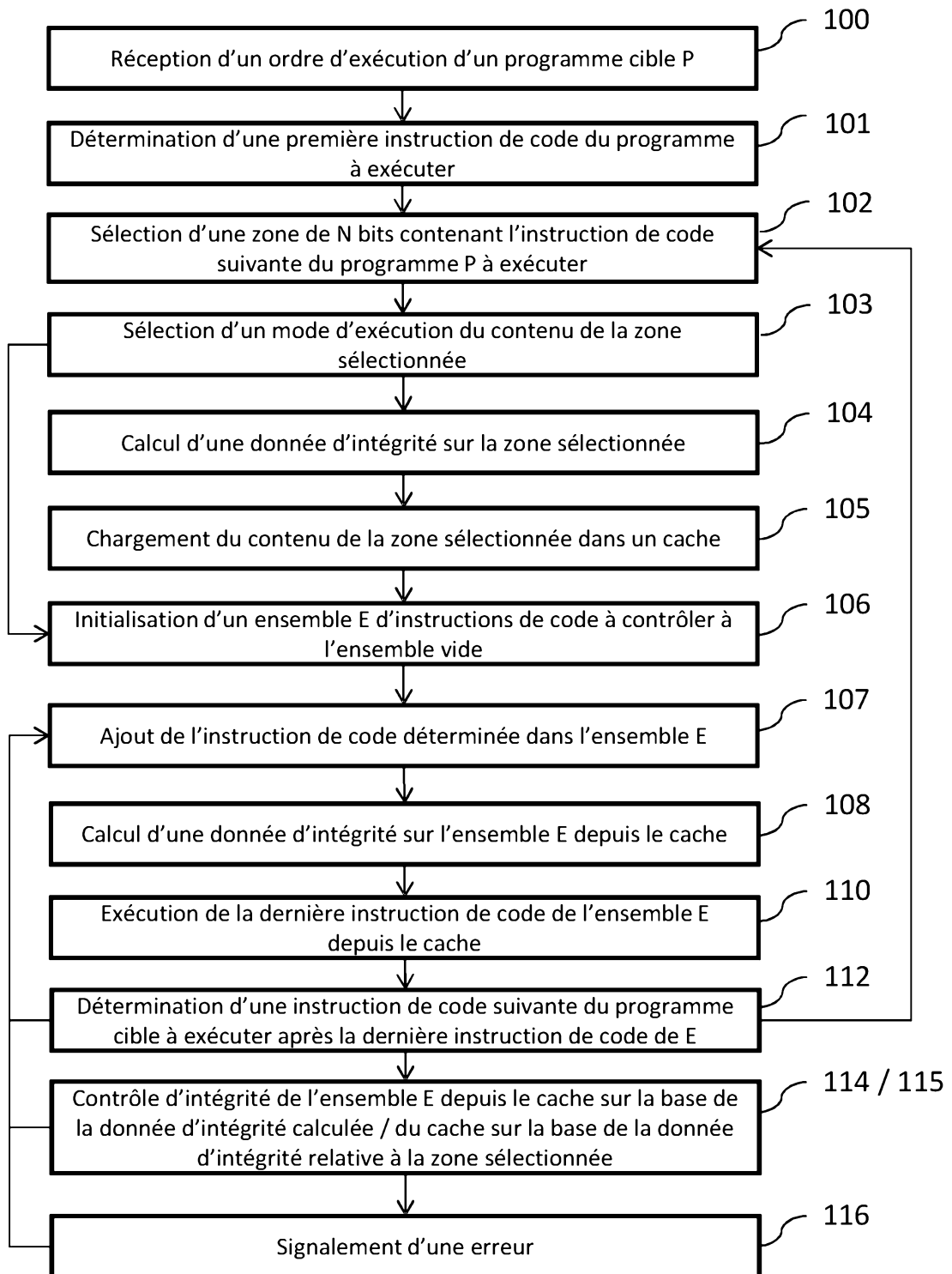


FIG. 9

# RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

## OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

## CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

## DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

US 2006/047955 A1 (PREVOST SYLVAIN [US] ET AL) 2 mars 2006 (2006-03-02)

EP 2 043 017 A1 (GEMPLUS [FR]) 1 avril 2009 (2009-04-01)

FR 2 864 655 A1 (TRUSTED LOGIC [FR]) 1 juillet 2005 (2005-07-01)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES**

NEANT