



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
23.09.2020 Bulletin 2020/39

(51) Int Cl.:
G06T 1/20 (2006.01)

(21) Numéro de dépôt: **20162648.8**

(22) Date de dépôt: **12.03.2020**

(84) Etats contractants désignés:
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR
Etats d'extension désignés:
BA ME
Etats de validation désignés:
KH MA MD TN

• **STMicroelectronics (Rousset) SAS**
13790 Rousset (FR)

(72) Inventeurs:
• **PINATEL, Christophe**
83136 GAREOULT (FR)
• **MAZER, Serge**
38430 ST JEAN DE MOIRANS (FR)
• **FERRAND, Olivier**
13620 CARRY LE ROUET (FR)

(30) Priorité: **22.03.2019 FR 1902966**

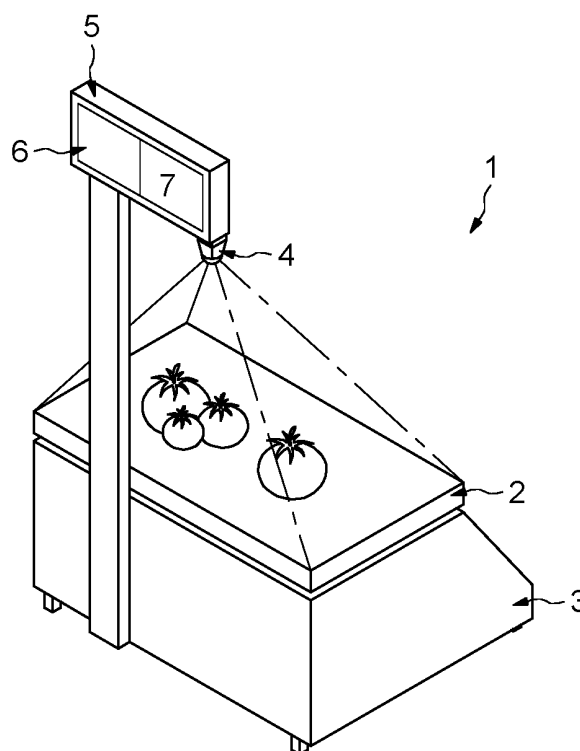
(71) Demandeurs:
• **STMicroelectronics (Grenoble 2) SAS**
38000 Grenoble (FR)

(74) Mandataire: **Casalonga**
Casalonga & Partners
Bayerstraße 71/73
80335 München (DE)

(54) **DISPOSITIF ÉLECTRONIQUE DE TRAITEMENT D'IMAGES**

(57) Le dispositif de traitement d'images, comprend au moins un pipeline (PP1, PP2). Chaque pipeline (PP1, PP2) est destiné à traiter des trames de données d'images au rythme d'un débit de trame (DT). Une mémoire interne (9) comporte pour chaque pipeline (PP1, PP2) un jeu de descripteurs (D1PP1, D2PP1, D3PP1, D4PP1, D1PP2, D2PP2, D3PP2) disposés selon un ordre (ORD1, ORD2), chaque descripteur (D1PP1, D2PP1, D3PP1, D4PP1, D1PP2, D2PP2, D3PP2) comportant des informations relatives à une fonction (PV1, PV2, PV3, PV4) destinée à être activée par le pipeline correspondant sur au moins une trame de données d'images, les fonctions associées aux différents descripteurs étant différentes. Des moyens de commande (MC) sont configurés pour, pour chaque pipeline (PP1, PP2), lire le jeu de descripteurs (D1PP1, D2PP1, D3PP1, D4PP1, D1PP2, D2PP2, D3PP2) correspondant de façon séquentielle et cyclique selon ledit ordre (ORD1, ORD2) au rythme d'un descripteur par au moins une trame de données d'images (F1, F2, F3, F4) et mémoriser les informations correspondantes au descripteur lu. Chaque pipeline (PP1, PP2) est configuré pour activer à chaque trame de données d'images (F1, F2, F3, F4) la fonction (PV1, PV2, PV3, PV4) correspondant aux informations mémorisées.

FIG.1



Description

[0001] Des modes de réalisation de l'invention concernent les dispositifs électroniques, plus particulièrement les dispositifs électroniques pour traitement d'images comportant des chaînes de traitement ou plus communément appelés des pipelines (« pipeline » en langue anglaise).

[0002] D'une façon générale, un dispositif électronique de traitement d'images comporte plusieurs pipelines destinés à recevoir un flux de données d'images émanant d'un appareil de capture d'images tel qu'une caméra.

[0003] En fonction d'applications envisagées, plusieurs pipelines sont généralement nécessaires pour traiter des données d'images de façon à les adapter pour des traitements ultérieurs, par exemple effectuer des redimensionnements et des recadrages des données d'images pour des affichages écrans, des analyses statiques d'images brutes sous format de fichier « RAW », ou des enregistrements d'images de qualité élevée et de haute définition.

[0004] Grâce à des puissances de calcul de plus en plus importantes associées à des caméras notamment susceptibles d'être intégrées dans des appareils électroniques mobiles tels que des téléphones intelligents (« Smart Phone » en langue anglaise), il devient désormais possible d'appliquer des algorithmes d'intelligence artificielle (« Artificial Intelligent » AI : en langue anglaise) en temps réel sur des données d'images émanant des dites caméras.

[0005] Pour ce faire, plusieurs pipelines sont classiquement utilisés en parallèle pour générer des données d'images adaptées de façon à les délivrer à un ou des réseaux de neurones artificiels configurés pour, par exemple, identifier des zones d'intérêt (« Region Of Interest » en langue anglaise) dans ces données d'images.

[0006] Cependant, de tels traitements sont généralement basés sur une image de qualité élevée enregistrée dans une mémoire externe située à l'extérieur dudit dispositif électronique car l'image enregistrée est généralement trop grande pour être stockée localement.

[0007] Plusieurs pipelines sont configurés pour effectuer respectivement des prétraitements (« pre-processing » en langue anglaise) distincts intermédiaires tels que

des prétraitements de ladite image enregistrée pour générer une nouvelle image de basse résolution adaptée à des traitements dits intelligents artificiels, par exemple des traitements d'identification d'une ou de plusieurs zones d'intérêt,

des prétraitements de la ou des zones d'intérêt identifiées pour des traitements de reconnaissance d'objets dans la ou les zones d'intérêt identifiées, et

des prétraitements de ladite image enregistrée pour afficher ladite image enregistrée et/ou les zones d'intérêt identifiées en basse définition.

[0008] Néanmoins, ces prétraitements distincts intermédiaires exigent des mémoires de tampon intermédiaires supplémentaires et demandent des bandes passantes importantes entre le dispositif électronique et la mémoire externe, qui conduit généralement à un coût très élevé notamment au niveau de la surface silicium occupée et de la consommation énergétique.

[0009] De surcroît, comme certains prétraitements dépendent directement de résultats de sortie d'autres prétraitements, il y a un risque de cumul des latences propagées parmi tous ces prétraitements.

[0010] Il existe ainsi un besoin de proposer une solution technique à faible complexité, à faible surface silicium ainsi qu'à faible consommation d'énergie permettant de réaliser, quasiment en temps réel, des prétraitements et des traitements d'images sans aucune mémoire tampon intermédiaire.

[0011] Selon un aspect, il est ainsi proposé un dispositif électronique de traitement d'images.

[0012] Le dispositif électronique comprend au moins un pipeline, chaque pipeline étant destiné à traiter des trames de données d'images au rythme d'un débit de trame (« frame rate » en langue anglaise), une mémoire interne comportant pour chaque pipeline un jeu de descripteurs disposés selon un ordre, chaque descripteur comportant des informations relatives à une fonction destinée à être activée par le pipeline correspondant sur au moins une trame de données d'image, les fonctions associées aux différents descripteurs étant différentes, et des moyens de commande configurés pour, pour chaque pipeline, lire le jeu de descripteurs correspondant de façon séquentielle et répétitive dans ledit ordre au rythme d'un des descripteurs par trame de données d'images et mémoriser les informations correspondant au descripteur lu, chaque pipeline étant configuré pour activer sur chaque trame de données d'images la fonction correspondant aux informations mémorisées.

[0013] Chaque pipeline du dispositif électronique est avantageusement configuré pour activer une fonction correspondant aux informations d'un des descripteurs par trame de données d'images selon ledit ordre. Comme les informations des descripteurs sont différentes, les fonctions correspondantes sont aussi différentes.

[0014] Autrement dit, chaque pipeline est configuré pour activer de façon séquentielle et cyclique les différentes fonctions au rythme dudit débit de trame.

[0015] La lecture séquentielle et cyclique du jeu de descripteurs s'effectue au rythme d'un descripteur par au moins une trame de données.

[0016] En effet on peut avoir un descripteur par trame ou bien un descripteur valable pour plusieurs trames (le nombre de trames pouvant être programmé par l'utilisateur à l'intérieur du descripteur).

[0017] Autrement dit, dans le cas où l'on a un descripteur par trame, pour une trame de données courante, on lit un descripteur. Puis pour la trame de données suivante, on lit le descripteur suivant compte tenu de l'ordre. Et

ainsi de suite jusqu'à la lecture du dernier descripteur du jeu de descripteurs.

[0018] Dans le cas où un descripteur est valable pour plusieurs trames, on attend le nombre de trames correspondant avant de lire le descripteur suivant compte tenu de l'ordre.

[0019] Une fois que les informations du dernier descripteur dudit jeu selon l'ordre sont lues, les moyens de commande sont configurés pour lire, pour la prochaine trame de données d'images, les informations du premier descripteur dudit jeu de descripteur selon l'ordre et répéter le cycle.

[0020] De ce fait, chaque pipeline crée ainsi plusieurs pipelines « virtuels » fonctionnant en mode de multiplexage temporel au rythme du débit de trame.

[0021] Avantagusement, un seul pipeline peut déjà être suffisant pour traiter toutes les trames de données d'images et aucune mémoire tampon intermédiaire n'est nécessaire, ce qui réduit considérablement le coût de fabrication, la surface silicium occupée et la consommation énergétique dudit dispositif électronique.

[0022] Il convient de noter qu'il est également possible d'utiliser un nombre quelconque de pipelines physiques pour créer un nombre quelconque de pipelines « virtuels » en fonction de la performance escomptée.

[0023] De surcroît, le fait que les pipelines « virtuels » peuvent fonctionner de façon indépendante en mode multiplexage temporel permet d'éviter d'éventuelles latences liées aux prétraitements dépendants décrits ci-avant.

[0024] Selon un mode de réalisation, les moyens de commande comportent en outre pour chaque pipeline une mémoire de recopie et un registre.

[0025] Les moyens de commande sont en outre configurés pour, pour chaque pipeline, lire, entre la fin de la trame de données d'images précédente et la fin de la trame de données d'images actuelle, un des descripteurs et mémoriser ensuite les informations correspondantes dans la mémoire de recopie, et transférer les informations mémorisées de la mémoire de recopie au registre dès la fin de la trame de données d'images actuelle.

[0026] Le pipeline correspondant est configuré pour activer la fonction correspondant aux informations mémorisées dans le registre dès le début de la prochaine trame de données d'images.

[0027] Une telle utilisation de la mémoire de recopie permet avantagusement de charger de façon asynchrone, à la suite de la fin de la trame de données d'images précédente mais avant la fin de la trame de données d'images actuelle, les informations du prochain descripteur suivant ledit ordre.

[0028] Comme le transfert de données entre la mémoire de recopie et le registre est intrinsèquement rapide, les informations du prochain descripteur selon l'ordre sont avantagusement transférées au registre dès la fin de la trame de données d'images actuelle de façon à permettre d'assurer l'activation synchrone de la fonction

correspondante par le pipeline correspondant dès le début de la prochaine trame de données d'images.

[0029] Par conséquent, tous les traitements des trames de données d'images peuvent avantagusement être réalisés à la volée sans exiger des mémoires intermédiaires car des trames de données d'images peuvent directement être taillées à des dimensions et/ou à des résolutions souhaitées pour des traitements ultérieurs.

[0030] Selon un mode de réalisation, les moyens de commande comprennent un contrôleur du type d'accès direct à la mémoire (« Direct Memory Access » : DMA en langue anglaise).

[0031] Avantagusement, aucun processeur (« central processing unit » : CPU en langue anglaise) ou aucune intervention d'utilisateur n'est nécessaire car toutes les fonctions à activer dans les trames de données d'images sont enregistrées sous formes d'informations dans le jeu de descripteurs disposés selon ledit ordre.

[0032] Et aucun processeur n'est nécessaire pour reconfigurer le pipeline ni pour transférer les données dans le cadre de l'utilisation d'un système DMA.

[0033] Selon encore un autre mode de réalisation, le contrôleur du type d'accès direct à la mémoire est un contrôleur intégré dédié audit au moins un pipeline.

[0034] Un tel mode de réalisation permet encore d'économiser la surface silicium occupée du dispositif électronique.

[0035] A titre d'exemple mais non limitatif, le débit de trame peut par exemple être configurable.

[0036] En d'autres termes, un utilisateur dudit dispositif électronique peut avantagusement régler le débit de trame pour obtenir une performance souhaitée du dispositif électronique en fonction d'applications envisagées.

[0037] En outre, le nombre de descripteurs de chaque jeu de descripteurs et ledit ordre peuvent par exemple aussi être configurables.

[0038] Il convient de noter que non seulement la position relative de chaque descripteur mais également le nombre de répétitions de chaque descripteur dans chaque jeu de descripteurs disposés selon l'ordre sont configurables afin de permettre des possibilités de créer une combinaison quelconque des fonctions de pipeline.

[0039] A titre indicatif mais non limitatif, le dispositif électronique comporte en outre des moyens de traitement basés sur un ou des réseaux de neurones artificiels couplés audit au moins un pipeline.

[0040] Ces moyens de traitement permettent par exemple d'identifier des zones d'intérêt et de reconnaître d'éventuels objets apparus dans ces zones d'intérêt, notamment pour des applications de l'intelligence artificielle (« Artificial Intelligence » : AI en langue anglaise).

[0041] Le dispositif électronique peut par exemple comporter en outre un contrôleur d'affichage couplé audit au moins un pipeline.

[0042] Selon un autre aspect, il est proposé un appareil électronique comportant un dispositif électronique tel que défini ci-avant, une caméra configurée pour délivrer

audit au moins un pipeline les trames de données d'images.

[0043] Selon un mode de réalisation, l'appareil électronique comporte en outre des moyens d'affichage couplés au contrôleur d'affichage du dispositif électronique.

[0044] D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

[fig.1] illustre schématiquement un mode de réalisation de l'invention.

[fig.2] illustre schématiquement un mode de réalisation de l'invention.

[fig.3] illustre schématiquement un mode de réalisation de l'invention.

[fig.4] illustre schématiquement un mode de réalisation de l'invention.

[fig.5] illustre schématiquement un mode de mise en œuvre et de réalisation de l'invention.

[0045] La référence 1 sur la figure 1 désigne un appareil électronique tel qu'une balance intelligente (« Smart Balance » en langue anglaise) pour les commerces.

[0046] La balance intelligente 1 comporte un plateau de balance 2 destiné à recevoir des produits à peser, par exemple des fruits tels que des tomates, des moyens de mesure 3 configurés pour déterminer le poids des produits déposés sur le plateau de balance 2 une caméra 4 dont le champ de vision couvre le plateau de balance 2, des moyens d'affichage 5 comportant au moins un écran, ici par exemple un écran 6, et un système de traitement 7 couplé entre la caméra 4 et les moyens d'affichage 5 et configuré pour traiter des données d'images générées par la caméra 4 de façon à délivrer des images adaptées pour les moyens d'affichage 5.

[0047] On se réfère maintenant à la figure 2 pour illustrer plus en détails un exemple de mode de réalisation du système de traitement 7.

[0048] Le système de traitement 7 comprend un dispositif électronique 8, ici par exemple un microcontrôleur 32-bits et des mémoires externes MEXT, par exemple du type mémoire vive statique (« Static Random Access Memory » : SRAM en langue anglaise).

[0049] Le dispositif électronique 8 comprend au moins un pipeline, autrement dit chaîne de traitement, ici par exemple un premier pipeline PP1 et un deuxième pipeline PP2, une mémoire interne 9, ici par exemple également du type mémoire vive statique, comportant pour chaque pipeline PP1, PP2 un jeu de descripteurs, ici par exemple quatre descripteurs D1PP1, D2PP1, D3PP1, D4PP1 pour le premier pipeline PP1 et trois descripteurs D1PP2, D2PP2, D3PP2 pour le deuxième pipeline PP2, et des moyens de commande MC, ici par exemple un contrôleur du type d'accès direct à la mémoire (« Direct Memory Access » : DMA en langue anglaise) couplés audit

au moins un pipeline PP1, PP2 et configuré pour contrôler des fonctionnements dudit au moins un pipeline PP1, PP2.

[0050] A titre d'exemple, ce contrôleur DMA peut également être un contrôleur DMA intégré dédié audit au moins un pipeline du dispositif électronique 8.

[0051] Chaque pipeline PP1, PP2 est configuré pour recevoir, au rythme d'un débit de trame DT, des trames de données d'images à traiter. Les trames de données d'images émanent de la caméra 4.

[0052] Ledit débit de trame DT est configurable de façon à permettre d'ajuster une durée allouée au traitement de chaque trame de données d'images.

[0053] Il convient de noter que, dans certains cas, l'utilisation d'un seul pipeline PP1 peut déjà être adéquate pour les traitements des trames de données d'images.

[0054] On illustre ici les premier et deuxième pipelines PP1, PP2 afin de montrer que les moyens de commande MC peuvent être configurés pour contrôler en parallèle les premier et deuxième pipelines PP1, PP2 de façon à créer respectivement des pipelines « virtuels » au sein des premier et deuxième pipelines PP1, PP2 pour renforcer la performance des traitements des trames de données d'images.

[0055] Le dispositif électronique 8 comprend en outre des moyens de traitement 10 couplés aux premier et deuxième pipelines PP1, PP2 via la mémoire interne 9.

[0056] Les moyens de traitement 10 sont par exemple implémentés ici sous forme d'un accélérateur de réseaux de neurones artificiels (« Artificial Neuron Network Accelerator » en langue anglaise) connu de l'homme du métier.

[0057] Les moyens de traitement 10 sont configurés pour identifier éventuellement une ou des zones d'intérêt ROI (« Region Of Interest » : ROI en langue anglaise) dans chaque trame de données d'images à traiter en utilisant un premier algorithme d'apprentissage AA1, et reconnaître des objets apparus dans la ou les zones d'intérêt identifiées en utilisant un deuxième algorithme d'apprentissage AA2.

[0058] Il convient de noter que les premier et deuxième algorithmes d'apprentissage peuvent être identiques ou différents.

[0059] Tous les types de réseaux de neurones artificiels connus tels que les réseaux de neurone à convolution dits « AlexNet » et « ConvNet » peuvent être implémentés dans les moyens de traitement 10 de façon à améliorer la performance du dispositif électronique 8.

[0060] Le dispositif électronique 8 comprend en outre un contrôleur d'affichage 11 couplé aux premier et deuxième pipelines PP1, PP2 via les mémoires externes MEXT.

[0061] Le contrôleur d'affichage 11 est configuré pour recevoir des données d'images de prévision émanant des premier et deuxième pipelines PP1, PP2 via les mémoires externes MEXT et les délivrer auxdits moyens d'affichage 5 pour visualiser une ou des images de pré-

vision sur les moyens d'affichage 5.

[0062] Il convient de noter que chaque pipeline PP1, PP2 peut avoir autant de descripteurs correspondants que nécessaire. Ces descripteurs correspondants sont enregistrés dans la mémoire interne 9.

[0063] Autrement dit, le nombre de descripteurs de chaque jeu de descripteurs D1PP1, D2PP1, D3PP1, D4PP1, D1PP2, D2PP2, D3PP2 pour chaque pipeline PP1, PP2 n'est pas limité.

[0064] Les informations de chaque descripteur sont relatives à une fonction de pipeline destinée à être activée sur une trame de données d'images. De ce fait, chaque pipeline PP1, PP2 peut créer autant de pipelines dits « virtuels » que de descripteurs correspondants.

[0065] Dans l'exemple illustré sur la figure 2, les quatre descripteurs D1PP1, D2PP1, D3PP1, D4PP1 du premier pipeline PP1 correspondent à quatre pipelines virtuels PV1, PV2, PV3, PV4 créés par le premier pipeline PP1.

[0066] On se réfère maintenant à la figure 3 pour illustrer un exemple de fonctionnement de ces quatre pipelines virtuels PV1, PV2, PV3, PV4.

[0067] Sous contrôle des moyens de commande MC, le premier pipeline PP1 est configuré pour créer le premier pipeline virtuel PV1 dans lequel on effectue des redimensionnements et/ou des recadrages de données d'images d'une première trame F1 de façon à délivrer à la mémoire interne 9 une première image IMG1 de basse définition, par exemple de 220 pixels X 220 pixels, comme illustrée sur la figure 3.

[0068] Cette première image IMG1 est de basse définition afin de pouvoir être stockée dans la mémoire interne 9 et de faciliter des traitements ultérieurs d'identification de zones d'intérêt.

[0069] A titre d'exemple, cette première image IMG1 peut par exemple être une image contenant quatre tomates sur le plateau de balance 2.

[0070] Les moyens de commande MC sont ensuite configurés pour délivrer cette première image IMG1 aux moyens de traitement 10.

[0071] Les moyens de traitement 10 sont configurés pour appliquer un ou des algorithmes de reconnaissance de réseaux de neurones adaptés pour identifier une ou des zones d'intérêt ROI dans ladite première image IMG1, ici par exemple une zone ROI carrée autour d'une tomate sur ladite première image IMG1.

[0072] Les moyens de traitement 10 sont en outre configurés pour créer le deuxième pipeline virtuel PV2 dans lequel on effectue des recadrages de données d'images d'une deuxième trame F2 de façon à délivrer à la mémoire interne 9 une deuxième image IMG2 de haute définition.

[0073] En supposant que les tomates sur le plateau de balance 2 sont statiques, la deuxième image IMG2 peut être une version haute résolution de la première image IMG1.

[0074] Les moyens de commande MC sont configurés pour créer le troisième pipeline virtuel PV3 dans lequel on effectue des redimensionnements et des recadrages

de données d'images d'une troisième trame F3 de façon à délivrer à la mémoire externe MEXT une troisième image IMG3 de haute définition correspondant à la zone d'intérêt ROI identifiée par les moyens de traitement 10.

[0075] Il convient de noter que les informations du troisième descripteur du premier pipeline PP1 peuvent par exemple être modifiées ici à la volée en tenant compte des résultats de l'identification de la zone d'intérêt réalisée par les moyens de traitement 10.

[0076] Les moyens de commande MC sont configurés pour délivrer ces deuxième et troisième images IMG2 et IMG3 aux moyens d'affichage 5 via la mémoire externe MEXT et le contrôleur d'affichage 11.

[0077] Comme illustré sur la figure 2, ces images IMG2 et IMG3 sont séparément illustrées sur l'écran 6.

[0078] Une fois la zone d'intérêt ROI identifiée, les moyens de commande MC sont en outre configurés pour créer le quatrième pipeline virtuel PV4 dans lequel on effectue des redimensionnements et des recadrages de données d'images d'une quatrième trame F4 de façon à délivrer aux moyens de traitement 11 via la mémoire interne 9 une quatrième image IMG4 de basse définition correspondant à la zone d'intérêt ROI identifiée par les moyens de traitement 10.

[0079] Ces moyens de traitement 10 sont ensuite configurés pour reconnaître un ou des objets apparus dans la quatrième image IMG4 à l'aide des algorithmes de reconnaissance de réseaux de neurones artificiels.

[0080] Ainsi, une tomate est reconnue dans la quatrième image IMG4 et les moyens de commande MC sont configurés pour faire afficher le prix unitaire de la tomate sur les moyens d'affichage 11 et éventuellement le prix total en prenant en compte le poids des tomates mesuré par les moyens de mesure 3.

[0081] On se réfère maintenant à la figure 4 pour illustrer un exemple de mode de réalisation des moyens de commande MC selon l'invention.

[0082] Afin de lire et mémoriser les informations des descripteurs correspondants de chaque pipeline PP1, PP2, les moyens de commande MC comportent en outre une première mémoire de recopie MR1 et un premier registre R1 pour le premier pipeline PP1, et une deuxième mémoire de recopie MR2 et un deuxième registre R2 pour le deuxième pipeline PP2.

[0083] Les première et deuxième mémoires de recopie MR1, MR2 sont communément connues de l'homme du métier sous terme anglo-saxon « Shadow Memory ou Shadow Register » en langue anglaise.

[0084] Comme son nom l'indique, les première et deuxième mémoires de recopie MR1, MR2 sont configurées pour suivre les premier et deuxième registres R1, R2 au sujet de données stockées.

[0085] En effet, la latence de transfert de données entre la première ou deuxième mémoire de recopie MR1 ou MR2 et le premier ou deuxième registre R1 ou R2 correspondant est très courte, par exemple dans l'ordre de quelques microsecondes.

[0086] La figure 5 illustre en diagramme de temps un

signal de contrôle SC destiné à être utilisé pour contrôler le fonctionnement des première et deuxième mémoires de recopie MR1, MR2 et des premier et deuxième registres R1, R2.

[0087] On suppose dans cet exemple qu'un descripteur ou pipeline virtuel est valable pour une seule trame.

[0088] A des fins de simplifications, on n'illustre ici que le fonctionnement de la première mémoire de recopie MR1 et du premier registre R1 correspondant au premier pipeline PP1.

[0089] Comme on peut observer sur la figure 5, le premier pipeline PP1 est destiné à recevoir un signal de contrôle SC.

[0090] Chaque front descendant du signal de contrôle SC marque la fin d'une trame de donnée d'image et chaque front montant du signal de contrôle SC correspond au début d'une trame de donnée d'image.

[0091] Par conséquent, on peut constater sur la figure 5 que les quatre trames F1, F2, F3, F4 de données d'images correspondent aux quatre pipelines virtuels PV1, PV2, PV3, PV4 du premier pipeline PP1.

[0092] Supposons que l'on soit actuellement au traitement de la troisième trame F3, les moyens de commande MC sont configurés pour, pour le premier pipeline PP1, lire entre la fin de la trame de données d'images précédente F2 et la fin de la trame de données d'images actuelle F3, les informations d'un des descripteurs dans la première mémoire de recopie MR1.

[0093] Selon le premier ordre ORD1 illustré sur la figure 4, le premier pipeline PP1 est configuré pour créer le quatrième pipeline virtuel PV4 dès le début de la quatrième trame F4. En conséquence, ce sont les informations du quatrième descripteur D4PP1 qui doivent être lues et mémorisées dans la première mémoire de recopie MR1 entre la fin de la trame de données d'images précédente F2 et la fin de la trame de données d'images actuelle F3.

[0094] Les moyens de commande MC sont en outre configurés pour transférer les informations du quatrième descripteur D4PP1 dans le premier registre R1 dès la fin de la troisième trame de données d'images F3.

[0095] Enfin, le pipeline correspondant, ici le premier pipeline PP1 est configuré pour activer la fonction correspondant aux informations du quatrième descripteur D4PP1, autrement dit le quatrième pipeline virtuel PV4, dès le début de la quatrième trame F4.

[0096] De ce fait, un seul pipeline peut réaliser des fonctions différentes au rythme d'un débit de trame. En d'autres termes, plusieurs pipelines virtuels peuvent être créés en utilisant un seul pipeline.

Revendications

1. Dispositif électronique de traitement d'images, comprenant au moins un pipeline (PP1, PP2), chaque pipeline (PP1, PP2) étant destiné à traiter des trames de données d'images au rythme d'un débit de trame (DT),

une mémoire interne (9) comportant pour chaque pipeline (PP1, PP2) un jeu de descripteurs (D1PP1, D2PP1, D3PP1, D4PP1, D1PP2, D2PP2, D3PP2) disposés selon un ordre (ORD1, ORD2), chaque descripteur (D1PP1, D2PP1, D3PP1, D4PP1, D1PP2, D2PP2, D3PP2) comportant des informations relatives à une fonction (PV1, PV2, PV3, PV4) destinée à être activée par le pipeline correspondant sur au moins une trame de données d'images, les fonctions associées aux différents descripteurs étant différentes, et

des moyens de commande (MC) configurés pour, pour chaque pipeline (PP1, PP2), lire le jeu de descripteurs (D1PP1, D2PP1, D3PP1, D4PP1, D1PP2, D2PP2, D3PP2) correspondant de façon séquentielle et cyclique selon ledit ordre (ORD1, ORD2) au rythme d'un descripteur par au moins une trame de données d'images (F1, F2, F3, F4) et mémoriser les informations correspondant au descripteur lu, chaque pipeline (PP1, PP2) étant configuré pour activer sur chaque trame de données d'images (F1, F2, F3, F4) la fonction (PV1, PV2, PV3, PV4) correspondant aux informations mémorisées.

2. Dispositif selon la revendication 1, dans lequel les moyens de commande (MC) comportent pour chaque pipeline (PP1, PP2) une mémoire de recopie (MR1, MR2) et un registre (R1, R2), et sont en outre configurés pour, pour chaque pipeline (PP1, PP2), lire, entre la fin de la trame de données d'images précédente (F2) et la fin de la trame de données d'images actuelle (F3), un des descripteurs (D4PP1) et mémoriser ensuite les informations correspondantes dans la mémoire de recopie (MR1), et transférer les informations mémorisées de la mémoire de recopie (MR1) au registre (R1) dès la fin de la trame de données d'images actuelle (F3), le pipeline (PP1, PP2) correspondant étant configuré pour activer la fonction correspondant aux informations mémorisées dans le registre (R1) dès le début de la prochaine trame de données d'images (F4).
3. Dispositif selon la revendication 1 ou 2, dans lequel les moyens de commande (MC) comprennent un contrôleur du type d'accès direct à la mémoire.
4. Dispositif selon la revendication 3, dans lequel le contrôleur du type d'accès direct à la mémoire est un contrôleur intégré dédié audit au moins un pipeline.
5. Dispositif selon l'une quelconque des revendications précédentes, dans lequel le débit de trame (DT) est configurable.
6. Dispositif selon l'une quelconque des revendications précédentes, dans lequel le nombre de descripteurs de chaque jeu de descripteurs (D1PP1, D2PP1,

D3PP1, D4PP1, D1PP2, D2PP2, D3PP2) et ledit ordre (ORD1, ORD2) sont configurables.

7. Dispositif selon l'une quelconque des revendications précédentes, comportant en outre des moyens de traitement (10) basés sur un ou des réseaux de neurones artificiels couplés audit au moins un pipeline (PP1, PP2). 5
8. Dispositif selon l'une quelconque des revendications précédentes, comportant en outre un contrôleur d'affichage (11) couplé audit au moins un pipeline (PP1, PP2). 10
9. Appareil électronique comportant un dispositif électronique selon l'une quelconque des revendications précédentes, une caméra (4) configurée pour délivrer audit au moins un pipeline (PP1, PP2) les trames de données d'images (F1, F2, F3, F4). 15
20
10. Appareil selon les revendications 8 et 9, comportant en outre des moyens d'affichage (5) couplés au contrôleur d'affichage (11) du dispositif électronique (8). 25

25

30

35

40

45

50

55

FIG.1

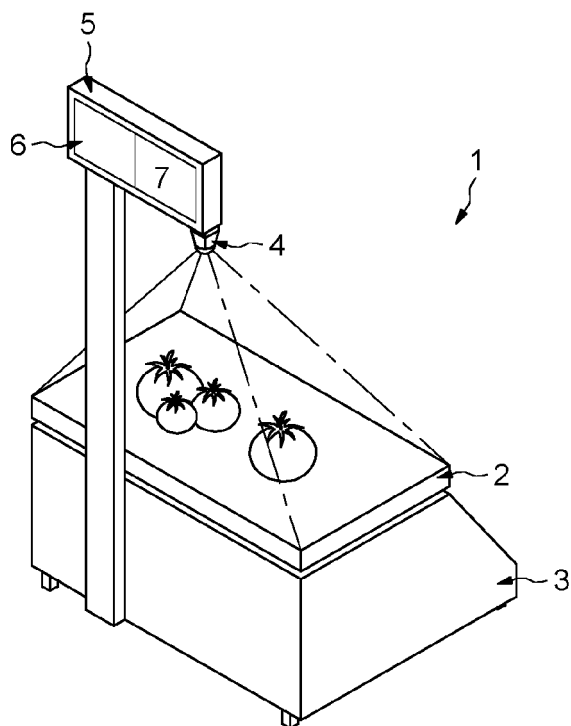


FIG.2

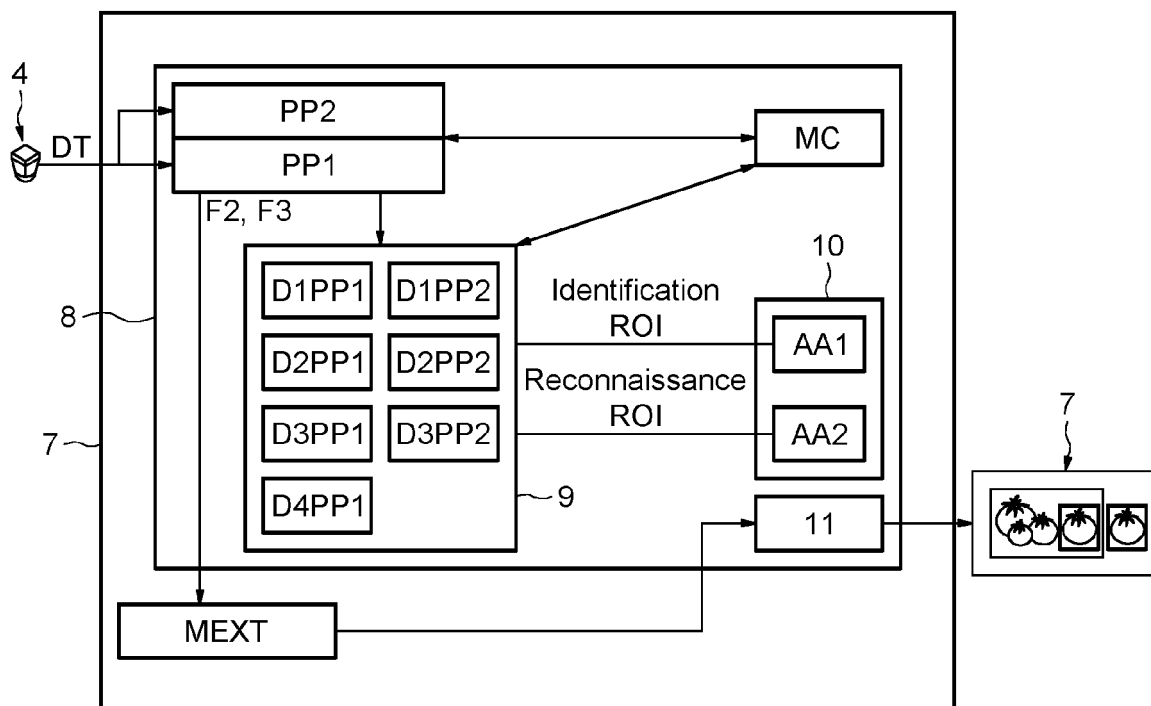


FIG.3

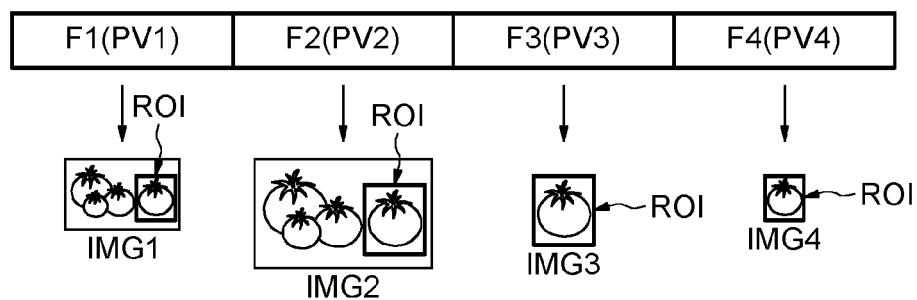


FIG.4

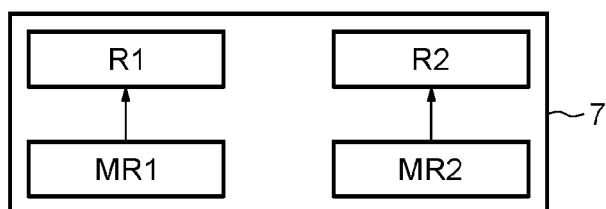
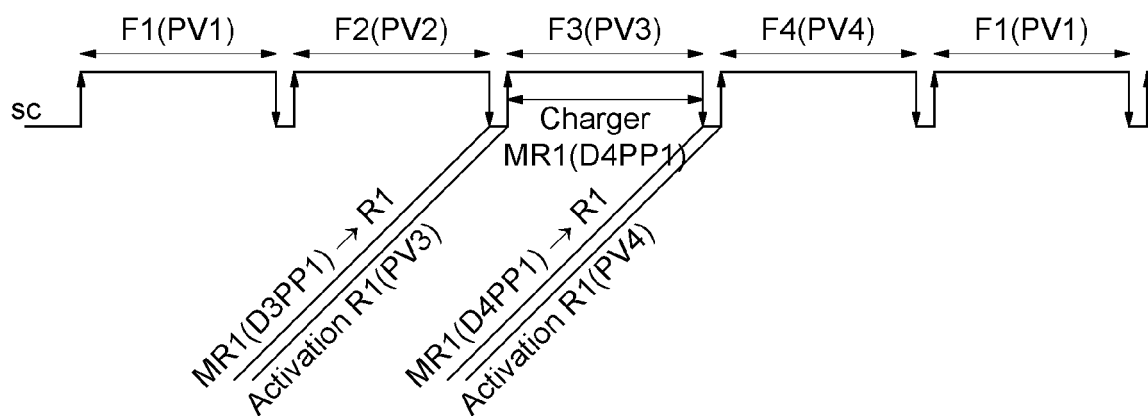


FIG.5





RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande

EP 20 16 2648

5

10

15

20

25

30

35

40

45

50

55

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (IPC)
X	JAMES HEGARTY ET AL: "Darkroom: Compiling High-Level Image Processing Code into Hardware Pipeliness", ACM TRANSACTIONS ON GRAPHICS, ACM, 2 PENN PLAZA, SUITE 701NEW YORKNY10121-0701USA, vol. 33, no. 4, 27 juillet 2014 (2014-07-27), pages 1-11, XP058051988, ISSN: 0730-0301, DOI: 10.1145/2601097.2601174 1. Introduction; * abrégé; figure 1 * * 3 Programming Model et 4 Generating Line-buffered Pipelines; figure 10 * * 5 Implenetation et 6 Result *	1-10	INV. G06T1/20
A	JOHANNES KNEIP ET AL: "Single-chip highly parallel architecture for image processing applications", PROCEEDINGS OF SPIE, vol. 2308, 16 septembre 1994 (1994-09-16), pages 1753-1764, XP055645168, 1000 20th St. Bellingham WA 98225-6705 USA ISSN: 0277-786X, DOI: 10.1117/12.185932 ISBN: 978-1-5106-2687-4 * le document en entier *	1-10	DOMAINES TECHNIQUES RECHERCHES (IPC) G06T
A	US 2016/283801 A1 (OKUMURA SHUNSUKE [JP]) 29 septembre 2016 (2016-09-29) * le document en entier *	1-10	
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche Munich		Date d'achèvement de la recherche 28 juillet 2020	Examineur Blaszczyk, Marek
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

EPO FORM 1503 03.82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 20 16 2648

5 La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.
28-07-2020

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2016283801 A1	29-09-2016	JP 2016186703 A	27-10-2016
		US 2016283801 A1	29-09-2016

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82