

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-236105
(P2006-236105A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int. Cl.

G06F 12/06 (2006.01)

F I

G06F 12/06 515B

テーマコード(参考)

5B060

審査請求 未請求 請求項の数 8 O L (全 17 頁)

(21) 出願番号 特願2005-51369 (P2005-51369)
(22) 出願日 平成17年2月25日(2005.2.25)

(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100076428
弁理士 大塚 康德
(74) 代理人 100112508
弁理士 高柳 司郎
(74) 代理人 100115071
弁理士 大塚 康弘
(74) 代理人 100116894
弁理士 木村 秀二
(72) 発明者 青木 恒治
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
Fターム(参考) 5B060 MM13

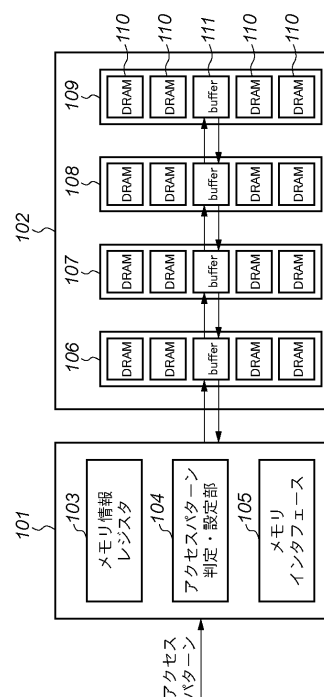
(54) 【発明の名称】 アクセス制御装置及びその制御方法

(57) 【要約】 (修正有)

【課題】 高速動作可能なメモリモジュールに対するアクセス性能の低下を防止する。

【解決手段】 複数のメモリモジュール106, 107, 108, 109に対するアクセスを制御するアクセス制御装置であって、複数のメモリモジュールへのアクセス状況を判定する判定手段と、判定の結果に基づいて各メモリモジュールに対応するメモリ空間上のアドレス設定を変更するアドレス設定変更手段とを有する。また、複数のメモリモジュールに対するアクセスを制御するアクセス制御装置の制御方法であって、複数のメモリモジュールへのアクセス状況を判定する判定工程と、判定の結果に基づいて各メモリモジュールに対応するメモリ空間上のアドレス設定を変更するアドレス設定変更工程とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のメモリモジュールに対するアクセスを制御するアクセス制御装置であって、
複数のメモリモジュールへのアクセス状況を判定する判定手段と、
前記判定の結果に基づいて各メモリモジュールに対応するメモリ空間上のアドレス設定
を変更するアドレス設定変更手段とを有することを特徴とするアクセス制御装置。

【請求項 2】

前記判定手段は、前記アクセス状況として各メモリモジュールへのアクセスパターンを
判定し、前記アドレス設定変更手段は、前記アクセスパターンに基づいて各メモリモジ
ュールに対応するメモリ空間上のアドレス設定を変更することを特徴とする請求項 1 記載の
アクセス制御装置。

10

【請求項 3】

前記判定手段は、前記アクセス状況として各メモリモジュールへのアクセス回数を計数
し、前記アドレス設定変更手段は、前記アクセス回数に基づいて各メモリモジュールに対
応するメモリ空間上のアドレス設定を変更することを特徴とする請求項 1 記載のアクセス
制御装置。

【請求項 4】

前記判定手段は、前記アクセス状況として各メモリモジュールのページに対するページ
遷移数を計数し、前記アドレス設定変更手段は、前記ページ遷移数に基づいて各メモリモ
ジュールに対応するメモリ空間上のアドレス設定を変更することを特徴とする請求項 1 記
載のアクセス制御装置。

20

【請求項 5】

前記アドレス設定変更手段で前記アドレス設定を変更する際に、前記メモリモジ
ュールのデータを変更されたメモリモジュールに複写することを特徴とする請求項 3 又は請求項
4 記載のアクセス制御装置。

【請求項 6】

複数のメモリモジュールに対するアクセスを制御するアクセス制御装置の制御方法であ
って、

複数のメモリモジュールへのアクセス状況を判定する判定工程と、

前記判定の結果に基づいて各メモリモジュールに対応するメモリ空間上のアドレス設定
を変更するアドレス設定変更工程とを有することを特徴とするアクセス制御装置の制御方
法。

30

【請求項 7】

請求項 6 記載のアクセス制御装置の制御方法をコンピュータに実行させるためのプログ
ラム。

【請求項 8】

請求項 7 記載のプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のメモリモジュールに対するアクセスを制御する技術に関する。

40

【背景技術】

【0002】

一般的に、主記憶メモリとして使用されている DRAM 内のメモリセルはバンク、行、列に
分割されており、バンクと行を組み合わせたページ単位でページの活性化を行い（ページ
オープン、オープン）、活性化を行った後に、列アドレスに対して Read/Write のコマ
ンドを発行する。そして、ページオープンされているページに対して、プリチャージコマ
ンドを発行することでページの非活性化（ページクローズ、クローズ）を行う（例えば、特許
文献 1）。

【0003】

50

また、あるページがページオープン状態では、そのページ内の列アドレスに対してはページオープンすることなくアクセスを行うことが可能であり、高速なメモリアクセスが可能となる。

【0004】

尚、バンク毎に活性化されるページは1つであり、同一バンクで別の行にアクセスする場合は、活性化されているページをクローズし、アクセスを発行するページを活性化してからアクセスを行う列にRead/Writeコマンドを発行する。

【0005】

また、クローズ状態のページに対してアクセスを発行する場合、ページをオープンした後に、アクセスする列に対してRead/Writeコマンドを発行する。

10

【0006】

同一バンクで異なるページにアクセスする際に、ページオープンされていないページに対してアクセスする場合を「ページミス」といい、その際に要する時間、即ち、ページをクローズしてアクセスするページをオープンするまでの時間を「ページミスペナルティ」と呼んでいる。

【0007】

ところで、近年の半導体技術の向上に伴い、プロセッサやLSIの内部の動作周波数が飛躍的に高速化しており、LSIの外部に接続されるメモリ、特にDRAMを使用した主記憶メモリに対しても動作周波数の向上が要求され、近年メモリモジュールの高速化が進んでいる。

20

【0008】

このような状況下において、DRAMを使用したメモリモジュールも高速化に応じて構造、構成の変更が必要となり、従来PC133(133MHzのクロック周波数で動作するSDRAMと、それを差し込むためのDIMMの規格)等のメモリモジュールではUnbufferedの構成(バッファ・チップが接続(使用)されない構成)でコマンド、データ共にコントローラから出力された信号をそのままモジュール内のメモリモジュールに分配しても問題は生じなかったが、DDR400(DDR SDRAM規格の一つで、400MHz(200MHzのDDR)までのメモリクロックに対応する仕様)等のメモリモジュールでは問題が生じている。

【0009】

即ち、DDR400等のメモリモジュールを複数、構成する際に、コマンド系の信号が多くのメモリモジュールに分配されて供給されると、基板上の信号の負荷が大きくなることから信号の伝播遅延が大きくなり、Unbufferedの構成では高速動作が保証できなくなる。

30

【0010】

そこで、コマンド系の信号を各メモリモジュール内に実装されたレジスタにてラッチし、各メモリモジュールに分配することにより基板上の信号負荷を低減し、高速動作を保証している。

【0011】

このときデータはコマンド系の信号と比較し基板上の信号負荷が小さいため、高速動作に対する影響は小さかった。

【0012】

しかしながら、DDR2/DDR3といった更なる高速化の実現を可能とするメモリモジュールを複数用いて構成したシステムを構築すると、各データ信号の分配による基板上の負荷が無視できなくなり、高速動作に影響してしまう。

40

【0013】

この高速動作を保証する仕組みとして、例えば図14に示すような、Point to Pointの高速シリアルインターフェース技術を用いてコマンド、データの伝送を行い、それぞれのメモリモジュール内のバッファでコマンド、データを一旦バッファリングして、伝送する仕組みが実現に向けて検討されている。以下、図14を用いて本構成のメモリモジュールの動作を説明する。

【0014】

50

メモリ制御回路1401から発行されるメモリコマンドは、メモリモジュール1406～1409内のバッファ1411へ伝達される。各バッファ1411は自モジュールへのアクセスか、或いは他のモジュールへのアクセスかを判定する。ここで、自モジュールへのアクセスであった場合は、モジュール内のDRAM1410へそのコマンドを分配し、他のモジュールへのアクセスであった場合は、次のモジュールへそのコマンドを伝達する。

【0015】

また、書き込みデータに関しては、メモリコマンドと一緒に伝達される。尚、読み込みデータに関しては、バッファ1411を介してメモリコマンドとは逆に、メモリ制御回路1401側へとデータを伝播する。

【0016】

図14に示す構成では、接続されるモジュール間でコマンド、データがシリアルに伝送されることになり、コマンドや書き込みデータはLSIからの距離の遠いモジュールへの到達サイクルが遅れる。また、読み込みデータはLSIからの距離の遠いモジュールからのレイテンシが長くなる傾向にある。

【0017】

例えば、図14に示すメモリ制御回路1401に一番近いメモリモジュール1406に対するメモリアクセスはコマンド、書き込みデータに対してはバッファ1411一段分、また読み出しデータは更に一段分のメモリアクセスレイテンシとなる。

【0018】

一方、メモリ制御回路1401から一番遠いメモリモジュール1409に対するメモリアクセスはコマンド、書き込みデータに対してはバッファ1411四段分、また読み出しデータは更に四段分のメモリアクセスレイテンシとなるため、メモリモジュールの物理的位置によりアクセスレイテンシが大幅に異なる。

【特許文献1】特開平10-3785号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

上述した図14に示すシステムに対して、従来のメモリモジュールを使用したシステムの場合、図15に示すように、各メモリモジュール1506～1509に対してコマンド、データが分配されるため、それぞれのDRAM1510に対するアクセスレイテンシは均一であり、如何なる領域にメモリアクセスを発行してもアクセス性能は均一であった。

【0020】

しかし、図14に示すようなメモリモジュールを使用した場合、アクセスされる対象のメモリモジュールに依存してアクセスレイテンシが大幅に異なることになる。

【0021】

例えば、図14においてアクセスレイテンシの一番小さいメモリモジュール1406に対してメモリアクセスが多く発行された場合と、アクセスレイテンシの一番大きいメモリモジュール1409に対してメモリアクセスが多く発行された場合とでは、そのアクセス応答性が大きく異なっているため、メモリアクセスに依存したシステム性能に大きな影響を与えてしまう。

【0022】

即ち、図14に示すようなメモリモジュールを搭載したシステムにおいて、例えばアクセスレイテンシの少ないメモリモジュール1406に対するメモリアクセス数が少なく、アクセスレイテンシの大きいメモリモジュール1409に対するメモリアクセスが多数発行される場合と、アクセスレイテンシの少ないメモリモジュール1406に対するメモリアクセスが多数発行され、アクセスレイテンシの大きいメモリモジュール1409に対するメモリアクセス数が少ない場合とでは、後者に対して前者のメモリアクセス性能が悪くなる、という問題がある。

【0023】

この場合、メモリアクセスが多数発行されるメモリ空間をアクセスレイテンシの少ない

10

20

30

40

50

メモリモジュール 1 4 0 6 にアドレス割り当てを行うことによって性能の低下を防ぐことができる。

【 0 0 2 4 】

しかしながら、システムに複数の機能やアプリケーションが動作している場合、各々のメモリ空間に対するアクセス頻度は時系列的に変化するため、ある時点でメモリアクセス性能の低下を防ぐメモリ空間の割り当てを行っても、機能及びアプリケーションの変化によりアクセスパターンが変化し、アクセス頻度が高いメモリ空間がアクセスレイテンシの大きいメモリモジュールが割り当てられている空間に遷移した場合、メモリアクセス性能が低下してしまう、という問題がある。

【 0 0 2 5 】

本発明は上記課題を解決するためになされたもので、高速動作可能なメモリモジュールに対するアクセス性能の低下を防止することを目的とする。

【課題を解決するための手段】

【 0 0 2 6 】

本発明は、複数のメモリモジュールに対するアクセスを制御するアクセス制御装置であって、複数のメモリモジュールへのアクセス状況を判定する判定手段と、前記判定の結果に基づいて各メモリモジュールに対応するメモリ空間上のアドレス設定を変更するアドレス設定変更手段とを有することを特徴とする。

【 0 0 2 7 】

また、本発明は、複数のメモリモジュールに対するアクセスを制御するアクセス制御装置の制御方法であって、複数のメモリモジュールへのアクセス状況を判定する判定工程と、前記判定の結果に基づいて各メモリモジュールに対応するメモリ空間上のアドレス設定を変更するアドレス設定変更工程とを有することを特徴とする。

【発明の効果】

【 0 0 2 8 】

本発明によれば、高速動作可能なメモリモジュールに対するアクセス性能の低下を防止することができる。

【発明を実施するための最良の形態】

【 0 0 2 9 】

以下、図面を参照しながら発明を実施するための最良の形態について詳細に説明する。本実施形態として、図 1 1 に示したメモリ制御回路 1 1 0 1 から 4 組のメモリモジュール 1 1 0 6 ~ 1 1 0 9 が鎖状に接続され、各メモリモジュールはコマンド、データを受け取り、下流へと伝達するバッファ 1 1 1 1 と複数の DRAM 1 1 1 0 とを有するシステムを例に説明する。

【 0 0 3 0 】

尚、ここではメモリ制御回路 1 1 0 1 から物理的距離が一番近いメモリモジュール 1 1 0 6 に対するアクセスレイテンシが一番小さく、物理的距離が一番遠いメモリモジュール 1 1 0 9 に対するアクセスレイテンシが一番大きいものとする。

【 0 0 3 1 】

[第 1 の実施形態]

図 1 は、第 1 の実施形態におけるメモリシステムの構成の一例を示す図である。図 1 に示すように、メモリモジュール部 1 0 2 は図 1 1 に示したメモリモジュール部 1 1 0 2 に相当するものである。そして、第 1 の実施形態では、メモリ制御回路 1 0 1 がメモリ情報レジスタ 1 0 3、アクセスパターン判定・設定部 1 0 4、メモリインタフェース 1 0 5 を含むものである。

【 0 0 3 2 】

ここで、図 2 を用いて第 1 の実施形態におけるメモリ制御回路 1 0 1 の構成及び制御について説明する。

【 0 0 3 3 】

図 2 は、第 1 の実施形態におけるメモリ制御回路 1 0 1 の構成の一例を示す図である。

10

20

30

40

50

図2において、202はメモリアクセスインタフェースであり、201のメモリアクセスバスを介してメモリモジュール部102の各メモリモジュール106～109とアクセスコマンド、データの授受を行う。205はメモリ情報レジスタであり、203のレジスタアクセスバスを介してメモリモジュール部102の各メモリモジュール106～109への動作設定や状態を保持する。

【0034】

このメモリ情報レジスタ205は、各メモリモジュール106～109へのリード時のアクセスレイテンシを指定して保持するメモリ構成情報レジスタ209と、メモリ空間と各メモリモジュール106～109のアドレス割り当てを指定するメモリアドレス設定レジスタ210とから構成されている。

10

【0035】

204はアクセスパターン判定・設定部であり、各メモリモジュール106～109に対して行われたアクセスの内容をアクセスパターン211として入力し、その解析の結果に基づいてメモリ情報レジスタ205に設定を行う。このアクセスパターン判定・設定部204は、メモリへのアクセスパターン211を判定するメモリアクセスパターン判定部207と、メモリアドレス設定部208とから構成されている。

【0036】

アクセスパターン判定部207では、入力されたアクセスパターン211からメモリへアクセスしたアクセス内容の解析を行う。そして、メモリアドレス設定部208が、その解析の結果に基づいてチップ上のメモリ空間と各メモリモジュール106～109の物理

20

【0037】

212はメモリ制御コア部であり、各メモリモジュール106～109の各DRAM110へのメモリアクセス内容を制御する。また、メモリ制御コア部212は、不図示のCPUからのアクセス指示により、メモリモジュール部102に書き込むメモリ書き込みデータ213を受信し、メモリモジュール部102から読み出したメモリ読み出しデータ214を送信する。

【0038】

ここで、図3を用いてメモリ情報レジスタ205の構成について説明する。尚、第1の実施形態では、メモリ制御回路101に4組のメモリモジュール106、107、108

30

【0039】

図3は、第1の実施形態におけるメモリ情報レジスタ205の構成及び設定例を示す図である。図3に示す(A)はメモリ構成情報レジスタ209の構成及び設定例を示す図、同(B)はメモリアドレス設定レジスタ210の構成及び設定例を示す図である。

【0040】

まず、メモリ構成情報レジスタ209は、接続するメモリモジュールの構成情報としてメモリモジュールが有効か無効かを表すフラグ301、メモリバンクの個数302を設定する領域と、アドレス情報として行アドレス個数303、列アドレス個数304を設定する領域と、メモリモジュール毎のレイテンシとして物理的距離情報305を設定する領域とを有する。

40

【0041】

例えば、メモリバンクの個数302の設定はフラグにより行われ、「0」は4バンクのモジュールが接続され、「1」は8バンクのモジュールが接続されることを示している。また、メモリモジュール毎の物理的距離情報305は、メモリ制御回路101と各メモリモジュール106～109との物理的距離が近いものから順に「0」、「1」、「2」、「3」と設定する。

【0042】

次に、メモリアドレス設定レジスタ210は、メモリ領域下位アドレスレジスタフィー

50

ルド306と、メモリ領域上位アドレスレジスタフィールド307とを有する。アドレス領域の指定はメモリモジュール毎に、下限領域の開始アドレスのMSB8ビットと、上限領域の終了アドレスのMSB8ビットを指定する。

【0043】

例えば、メモリモジュールの構成として、バンク個数が4、行アドレス個数が13、列アドレス個数が10の場合、図3に示す(A)のように、バンク個数4の情報からメモリバンクの個数302のレジスタ設定値が「0」、行アドレス個数303のレジスタ設定値が「0xd」、列アドレス個数304のレジスタ設定値が「0xa」に設定される。

【0044】

また、メモリアドレスマップが図4に示す401~404のように構成されている場合、図3に示す(B)のように、メモリアドレス設定レジスタ210の各メモリモジュール106~109に対応するメモリ領域下位アドレスレジスタフィールド306及びメモリ領域上位アドレスレジスタフィールド307には、「0x00」及び「0x10」、「0x10」及び「0x20」、「0x20」及び「0x30」、「0x30」及び「0x40」が設定される。

10

【0045】

ここで、アクセスパターン判定・設定部204が入力されたアクセスパターン211に基づいてメモリ情報レジスタ205に設定を行う処理について説明する。

【0046】

アクセスパターン判定・設定部204は、メモリモジュール106~109のどの領域のアドレスを読み書きしているかといったアクセス内容をアクセスパターン211として入力し、そのアクセス内容を解析した結果に基づいてメモリ情報レジスタ205のメモリ構成情報レジスタ209及びメモリアドレス設定レジスタ210に書き込む値を生成して設定する。

20

【0047】

具体的には、アクセスパターン判定部207が入力されたアクセスパターン211からメモリモジュール106よりもメモリモジュール108を物理的に距離に近い方が良いと判定すると、メモリアドレス設定部208がメモリアドレスの変更対象となるメモリモジュール106の物理的距離情報305に書き込む値「2」を生成し、メモリモジュール108の物理的距離情報305に書き込む値「0」を生成し、新たなメモリアドレス設定値としてメモリ構成情報レジスタ209に設定する。

30

【0048】

従って、アクセスパターン211を解析することにより、メモリへのアクセス頻度情報に応じてチップ上のメモリ空間と各メモリモジュールを割り当てるアドレスとを変更することにより、メモリモジュール毎にリード時のアクセスレイテンシが異なるメモリシステムでメモリ制御回路101のレイテンシ増加を抑えることができ、メモリアクセス性能の低下を防ぐことができる。

【0049】

尚、第1の実施形態は、アクセスパターン判定部207、メモリアドレス設定部208をソフトウェアによって実現することも可能である。

【0050】

例えば、アクセスパターン判定部207、メモリアドレス設定部208を図2に示すようなハードウェア回路ではなく、プログラム等のソフトウェアで実現する場合には、アクセスパターン判定部207、メモリアドレス設定部208の処理内容はプロセッサで実現する。

40

【0051】

また、ソフトウェアで処理する場合は、メモリアドレス設定部208の実行結果である新しいメモリアドレス値を直接メモリアドレス設定レジスタ210に書き込むことで構成できる。特に、ソフトウェアで回路を実現する場合、ハードウェアの回路規模を削減することが可能であり、ハードウェアで構成した場合と同様に、アクセスレイテンシが異なるメモリシステムでメモリアドレスの割り当てを変更することができ、メモリアクセス性能

50

の低下を防ぐことができる。

【0052】

第1の実施形態によれば、メモリモジュール毎にアクセスレイテンシが異なるメモリに対するメモリ制御回路において、アクセスパターンに応じてメモリ空間と各メモリモジュールのアドレス割り当てを変更することにより、レイテンシの増加によるメモリアクセス性能の低下を防ぐことができる。

【0053】

[第2の実施形態]

次に、図面を参照しながら本発明に係る第2の実施形態について詳細に説明する。

【0054】

図5は、第2の実施形態におけるメモリ制御回路501の構成の一例を示す図である。尚、第1の実施形態で用いた図1と同様な機能を有するものには同一の符号を付し、その説明は省略する。

10

【0055】

図5において、502は第2の実施形態におけるアクセスパターン判定・設定部であり、図1に示したアクセスパターン判定部207、メモリアドレス設定部208に対応するアクセスパターン判定部503、メモリアドレス設定部504と、更にメモリモジュールへのアクセス頻度を検出するアクセスカウンタ505とを備えている。

【0056】

ここで、第2の実施形態におけるアクセスカウンタ505の構成及び動作について説明する。アクセスカウンタ505は、Nビット（Nは任意の自然数）のカウンタで、メモリアクセス要求をメモリ制御コア部212で受け取る毎に1加算（インクリメント）され、カウント値が最大値になると再度0から計数を開始する。尚、カウント値が0から最大値になる間をアクセス計測単位とする。

20

【0057】

尚、このアクセスカウンタ505は、メモリモジュールの個数及び各メモリモジュールのバンクの数による領域分割個数に対応したメモリアクセスカウンタを有する。

【0058】

即ち、図6に示すように、アクセスカウンタ505は複数のメモリアクセスカウンタで構成され、メモリアクセスカウンタ601はメモリモジュール106のバンク0、メモリアクセスカウンタ602はメモリモジュール107のバンク0、メモリアクセスカウンタ603はメモリモジュール108のバンク0、メモリアクセスカウンタ604はメモリモジュール109のバンク0といったように、メモリモジュール及びバンクにそれぞれ対応するものである。

30

【0059】

従って、本実施形態のように、メモリモジュールが4個でそれぞれ4バンク構成である場合には、メモリアクセスカウンタ505として合計16個のカウンタが用意されることになる。

【0060】

そして、各メモリモジュールのバンク毎にメモリアクセス頻度を計測することで、より物理的距離が近い場所に配置すべきメモリモジュールの領域を検出し、メモリ領域に割り当てるメモリアドレスを変更するための情報として利用する。

40

【0061】

図7は、メモリ領域毎に対応するメモリモジュール及びバンクとメモリアクセス回数の具体例を示す図である。図7は、説明を簡単にするために、各メモリモジュール106～109のバンク0のみを示している。

【0062】

図7に示すように、チップ内のメモリ領域として、メモリ領域1～メモリ領域4が定義され、物理アドレスとして、メモリモジュール106のバンク0領域～メモリモジュール109のバンク0領域に対応するものである。また、各メモリアドレスにおけるメモリが

50

活性化したメモリアクセス回数701が示されている。

【0063】

即ち、図7に示す例では、メモリ領域1に対応するメモリモジュール106のバンク0領域に対するメモリアクセスが15回であったことを示している。

【0064】

また、チップ内アドレスと物理アドレスとが、例えば図8に示すような対応関係にあるとすれば、チップ内アドレスのメモリ領域1は物理アドレスのメモリモジュール106のバンク0領域を、メモリ領域2はメモリモジュール107のバンク0領域を、メモリ領域3はメモリモジュール108のバンク0領域を、メモリ領域4はメモリモジュール109のバンク0領域を、それぞれアクセスすることになる。

10

【0065】

そこで、第2の実施形態では、図7に示すメモリモジュールのバンク領域へのアクセス回数701からアクセスの多いメモリ領域を物理的に近いメモリアドレス領域に変換することでアクセスレイテンシの改善を図るものである。

【0066】

即ち、メモリアクセス回数により、メモリモジュールへのアクセスが多い場合には物理的距離が近いメモリモジュールにチップ内アドレスを変更し、またメモリモジュールへのアクセスが少ない場合には物理的距離が遠いメモリモジュールにチップ内アドレスを変更する。

【0067】

具体的には、図7に示したようなメモリアクセス回数701の場合、図8に示すチップ内アドレスと物理アドレスの対応は、図9に示すチップ内アドレスと物理アドレスの対応に変換される。従って、チップ内アドレスのメモリ領域2及びメモリ領域4は、変換前後で変わらず、物理アドレスのメモリモジュール107のバンク0領域及びメモリモジュール109のバンク0領域をそれぞれ参照するが、メモリ領域1はメモリモジュール106のバンク0領域からメモリモジュール108のバンク0領域へと変更され、メモリ領域3はメモリモジュール108のバンク0領域からメモリモジュール106のバンク0領域へと変更される(図9に示す破線)。

20

【0068】

このように、メモリアクセスの回数に応じて適宜チップ内アドレスの物理アドレスへのアドレス割り当てを変更することで、アクセスレイテンシによる性能低下を削減することができる。

30

【0069】

第2の実施形態によれば、メモリ制御回路が実際に発行された分割された各メモリ空間毎のメモリアクセスの回数を計数し、メモリアクセスが多数発行されているメモリ空間をレイテンシの少ないメモリモジュールへとアドレス割り当て変更を行うことにより、動作状況に応じてレイテンシ増加によるメモリアクセス性能の低下を防ぐことができる。

【0070】

[第3の実施形態]

次に、図面を参照しながら本発明に係る第3の実施形態について詳細に説明する。

40

【0071】

図10は、第3の実施形態におけるメモリ制御回路1001の構成の一例を示す図である。尚、第1の実施形態で用いた図1と同様な機能を有するものには同一の符号を付し、その説明は省略する。

【0072】

図10において、1002は第3の実施形態におけるアクセスパターン判定・設定部であり、図1に示したアクセスパターン判定部207、メモリアドレス設定部208に対応するアクセスパターン判定部1003、メモリアドレス設定部1004と、更にメモリモジュールにおけるページ遷移を計数するページ遷移カウンタ1005とを備えている。

【0073】

50

ここで、第3の実施形態におけるページ遷移カウンタ1005の構成及び動作について説明する。ページ遷移カウンタ1005は、Nビット（Nは任意の自然数）のカウンタで、メモリモジュールの各領域のページ遷移回数をカウントする。具体的には、メモリ制御コア部212でメモリアクセス要求を受けると、該当アドレスのページが活性化されているか、非活性化されているかを判定し、非活性化されている場合には、ページ遷移と判定してページ遷移回数として1加算（インクリメント）され、カウント値が最大値になると再度0から計数を開始する。尚、カウント値が0から最大値になる間をアクセス計測単位とする。

【0074】

尚、このページ遷移カウンタ1005は、メモリモジュールの個数及び各メモリモジュールのバンクの数による領域分割個数に対応したページ遷移カウンタを有する。 10

【0075】

即ち、図11に示すように、ページ遷移カウンタ1005は複数のページ遷移アクセスカウンタで構成され、ページ遷移カウンタ1101はメモリモジュール106のバンク0、ページ遷移カウンタ1102はメモリモジュール107のバンク0、ページ遷移カウンタ1103はメモリモジュール108のバンク0、ページ遷移カウンタ1104はメモリモジュール109のバンク0といったように、メモリモジュール及びバンクにそれぞれ対応するものである。

【0076】

従って、本実施形態のように、メモリモジュールが4個でそれぞれ4バンク構成である場合には、ページ遷移カウンタ1005として合計16個のカウンタが用意されることになる。 20

【0077】

そして、各メモリモジュールのバンク毎にページ遷移回数を計数することで、より物理的距離が近い場所に配置すべきメモリモジュールの領域を検出し、メモリ領域に割り当てるメモリアドレスを変更するための情報として利用する。

【0078】

図12は、メモリ領域毎に対応するメモリモジュール及びバンクと、ページ遷移回数の具体例を示す図である。図12は、説明を簡単にするために、各メモリモジュール106～109のバンク0のみを示している。 30

【0079】

図12に示すように、チップ内のメモリ領域として、メモリ領域1～メモリ領域4が定義され、物理アドレスとして、メモリモジュール106のバンク0領域～メモリモジュール109のバンク0領域に対応するものである。また、各メモリアドレスにおけるメモリのページ遷移回数1201が示されている。

【0080】

即ち、図12に示す例では、メモリ領域1に対応するメモリモジュール106のバンク0領域に対するページ遷移が15回であったことを示している。

【0081】

また、チップ内アドレスと物理アドレスとが、第2の実施形態で用いた図8に示すような対応関係にあるとすれば、チップ内アドレスのメモリ領域1は物理アドレスのメモリモジュール106のバンク0領域を、メモリ領域2はメモリモジュール107のバンク0領域を、メモリ領域3はメモリモジュール108のバンク0領域を、メモリ領域4はメモリモジュール109のバンク0領域を、それぞれアクセスすることになる。 40

【0082】

そこで、第3の実施形態では、図12に示すメモリモジュールのバンク領域へのページ遷移回数1201からページ遷移の多いメモリ領域を物理的に近いメモリアドレス領域に変換することでアクセスレイテンシの改善を図るものである。

【0083】

即ち、ページ遷移回数により、メモリモジュールのページ遷移が多い場合には物理的距 50

離が近いメモリモジュールにチップ内アドレスを変更し、またメモリモジュールのページ遷移が少ない場合には物理的距離が遠いメモリモジュールにチップ内アドレスを変更する。

【0084】

具体的には、図12に示したようなページ遷移回数1201の場合、図8に示すチップ内アドレスと物理アドレスの対応は、図9に示すチップ内アドレスと物理アドレスの対応に変換される。従って、チップ内アドレスのメモリ領域2及びメモリ領域4は、変換前後で変わらず、物理アドレスのメモリモジュール107のバンク0領域及びメモリモジュール109のバンク0領域をそれぞれ参照するが、メモリ領域1はメモリモジュール106のバンク0領域からメモリモジュール108のバンク0領域へと変更され、メモリ領域3はメモリモジュール108のバンク0領域からメモリモジュール106のバンク0領域へと変更される(図9に示す破線)。

10

【0085】

尚、各メモリモジュールが複数のバンク(複数のページ)で構成されている場合には、複数のページにおけるページ遷移を考慮して上述したチップ内アドレスを変更することは言うまでもない。

【0086】

また、ページ管理について詳細な説明は省略するが、従来のメモリモジュールに対して行われるページ管理方法をそのまま適用し、高速アクセスと低消費電力を実現するようにしても良い。

20

【0087】

第3の実施形態では、複数のページに対するメモリ制御回路101からの距離に応じてページ非活性化時に距離の遠いページの優先度を下げ、また距離の近いページを優先的に非活性化するように制御する。具体的には、以下のように制御する。

- ・常に距離の近いページをクローズする
- ・重み付けを行い、距離の近いページをクローズする優先度を上げる(距離の遠いページをクローズする場合の条件(アクセス回数や頻度)を設定する)
- ・距離の遠いメモリモジュールをオープンページモードとする

このように、メモリの活性化領域、非活性化領域のページ遷移回数に応じて適宜チップ内アドレスの物理アドレスへのアドレス割り当てを変更することで、アクセスレイテンシによる性能低下を削減することができる。

30

【0088】

第3の実施形態によれば、メモリ制御回路が実際に発行された分割された各メモリ空間毎のページ遷移数を計数し、ページ遷移数の多いメモリ空間をレイテンシの少ないメモリモジュールへとアドレス割り当て変更を行うことにより、レイテンシ増によるページミスペナルティの影響を削減すると共に、ページ遷移の少ないメモリ空間の転送幅を維持し、メモリアクセス性能の最適化を実現することができる。

【0089】

[第4の実施形態]

次に、図面を参照しながら本発明に係る第4の実施形態について詳細に説明する。

40

【0090】

第1乃至第3の実施形態では、アクセスパターン判定部がアクセスパターン、アクセス回数、ページ遷移回数に基づいてメモリアドレスの変更が必要と判定した場合に、メモリ制御コア部212でメモリへのアクセスを停止させ、チップ内アドレスの物理アドレスへのアドレス割り当てを変更したが、第4の実施形態では更にメモリモジュールのデータの複写動作を行うものである。

【0091】

図7に示すように、メモリモジュール毎にメモリへのアクセス回数が計数され、メモリアクセス回数701によりメモリ領域1とメモリ領域3のメモリデータを入れ替える必要が発生した場合、メモリ情報レジスタ205におけるメモリアドレス設定レジスタ210

50

のメモリ領域下位アドレスレジスタフィールド306とメモリ領域上位アドレスレジスタフィールド307で決定させるメモリモジュールの特定の領域に入っているメモリデータの置き換えを実行する。

【0092】

図13は、第4の実施形態におけるメモリデータの複写を示す図である。図13に示すように、メモリモジュール108のバンク0領域と、メモリモジュール106のバンク0領域との割り当てを変更する場合、メモリデータを一時的に保持するための任意バッファ領域1301を設け、メモリモジュール108のバンク0領域1302及びメモリモジュール106のバンク0領域1303のメモリデータを一時的に複写し、新しく割り当てたメモリモジュールの変更先メモリアドレスへ複写することにより、メモリデータの互換性を保つようにしている。

10

【0093】

従って、メモリアドレスの置き換え対象となったメモリアドレスへのデータ複写作業が終了した段階で、メモリ制御コア部212がメモリモジュールへのアクセスを再開させることにより、問題なく新しいメモリアドレスでメモリデータの読み書きが可能となる。

【0094】

第4の実施形態によれば、メモリ空間とメモリモジュールのアドレス割り当て変更時に、メモリ複写を行うことにより、割り当て変更後も変更以前に該空間に保持されたメモリデータを使用することが可能となる。

【0095】

尚、本発明は複数の機器（例えば、ホストコンピュータ、インターフェース機器、リーダ、プリンタなど）から構成されるシステムに適用しても、1つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用しても良い。

20

【0096】

また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記録媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（CPU若しくはMPU）が記録媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。

【0097】

この場合、記録媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記録媒体は本発明を構成することになる。

30

【0098】

このプログラムコードを供給するための記録媒体としては、例えばフロッピー（登録商標）ディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

【0099】

また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部又は全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

40

【0100】

更に、記録媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部又は全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【図面の簡単な説明】

【0101】

50

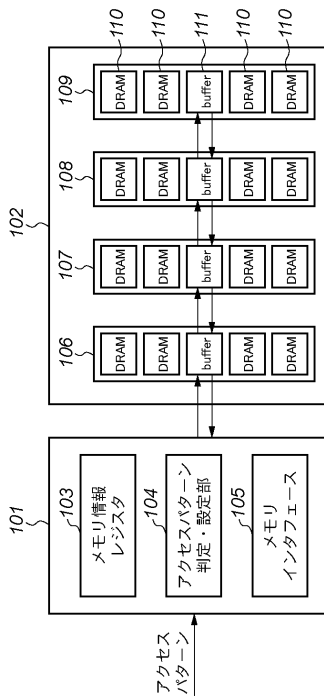
- 【図 1】第 1 の実施形態におけるメモリシステムの構成の一例を示す図である。
- 【図 2】第 1 の実施形態におけるメモリ制御回路 1 0 1 の構成の一例を示す図である。
- 【図 3】第 1 の実施形態におけるメモリ情報レジスタ 2 0 5 の構成及び設定例を示す図である。
- 【図 4】メモリモジュールのアドレスマップを示す図である。
- 【図 5】第 2 の実施形態におけるメモリ制御回路 5 0 1 の構成の一例を示す図である。
- 【図 6】図 5 に示すアクセスカウンタ 5 0 5 の構成の一例を示す図である。
- 【図 7】メモリ領域毎に対応するメモリモジュール及びバンクとメモリアクセス回数の具体例を示す図である。
- 【図 8】チップ内アドレスと物理アドレスとの対応関係を示す図である。 10
- 【図 9】変換後のチップ内アドレスと物理アドレスとの対応関係を示す図である。
- 【図 1 0】第 3 の実施形態におけるメモリ制御回路 1 0 0 1 の構成の一例を示す図である。
- 【図 1 1】図 1 0 に示すページ遷移カウンタ 1 0 0 5 の構成の一例を示す図である。
- 【図 1 2】メモリ領域毎に対応するメモリモジュール及びバンクと、ページ遷移回数の具体例を示す図である。
- 【図 1 3】第 4 の実施形態におけるメモリデータの複写を示す図である
- 【図 1 4】高速動作可能なメモリモジュールを用いたシステムの構成の一例を示す図である。
- 【図 1 5】従来のメモリモジュールを用いたシステムの構成の一例を示す図である。 20
- 【符号の説明】
- 【 0 1 0 2 】
- 1 0 1 メモリ制御回路
- 1 0 2 メモリモジュール部
- 1 0 3 メモリ情報レジスタ
- 1 0 4 アクセスパターン判定・設定部
- 1 0 5 メモリインタフェース
- 1 0 6 メモリモジュール
- 1 0 7 メモリモジュール
- 1 0 8 メモリモジュール 30
- 1 0 9 メモリモジュール
- 1 1 0 DRAM
- 1 1 1 buffer
- 2 0 1 メモリアクセスバス
- 2 0 2 メモリアクセスインタフェース
- 2 0 3 レジスタアクセスバス
- 2 0 4 アクセスパターン判定・設定部
- 2 0 5 メモリ情報レジスタ
- 2 0 7 アクセスパターン判定部
- 2 0 8 メモリアドレス設定部 40
- 2 0 9 メモリ構成情報レジスタ
- 2 1 0 メモリアドレス設定レジスタ
- 2 1 1 アクセスパターン
- 2 1 2 メモリ制御コア部
- 2 1 3 メモリ書き込みデータ
- 2 1 4 メモリ読み出しデータ
- 3 0 1 メモリモジュール有効フラグ
- 3 0 2 メモリバンク個数
- 3 0 3 行アドレス個数
- 3 0 4 列アドレス個数 50

- 3 0 5 物理的距離情報
- 3 0 6 メモリ領域下位アドレスレジスタフィールド
- 3 0 7 メモリ領域上位アドレスレジスタフィールド
- 4 0 1 メモリモジュール106領域
- 4 0 2 メモリモジュール107領域
- 4 0 3 メモリモジュール108領域
- 4 0 4 メモリモジュール109領域
- 5 0 5 アクセスカウンタ
- 6 0 1 メモリアクセスカウンタ(メモリ領域1)
- 6 0 2 メモリアクセスカウンタ(メモリ領域2)
- 6 0 3 メモリアクセスカウンタ(メモリ領域3)
- 6 0 4 メモリアクセスカウンタ(メモリ領域4)
- 7 0 1 メモリアクセス回数
- 1 0 0 5 ページ遷移カウンタ
- 1 1 0 1 ページ遷移カウンタ(メモリ領域1)
- 1 1 0 2 ページ遷移カウンタ(メモリ領域2)
- 1 1 0 3 ページ遷移カウンタ(メモリ領域3)
- 1 1 0 4 ページ遷移カウンタ(メモリ領域4)
- 1 2 0 1 ページ遷移回数
- 1 3 0 1 バッファ領域
- 1 3 0 2 メモリモジュール108のバンク0
- 1 3 0 3 メモリモジュール106のバンク0

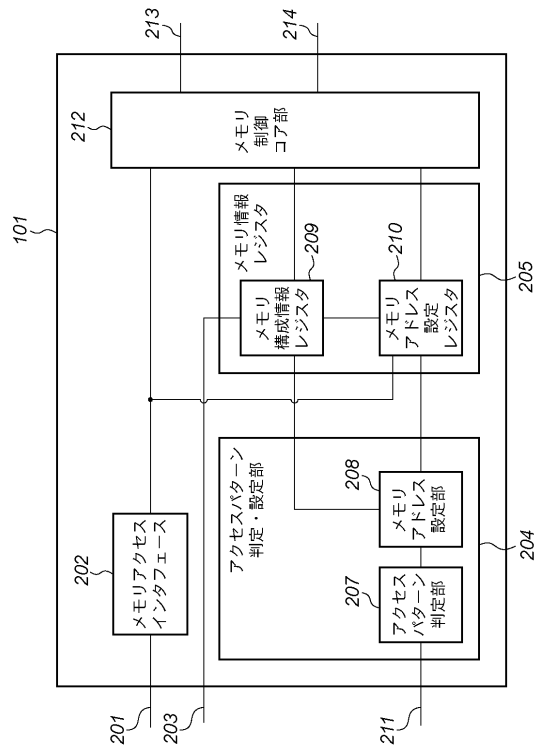
10

20

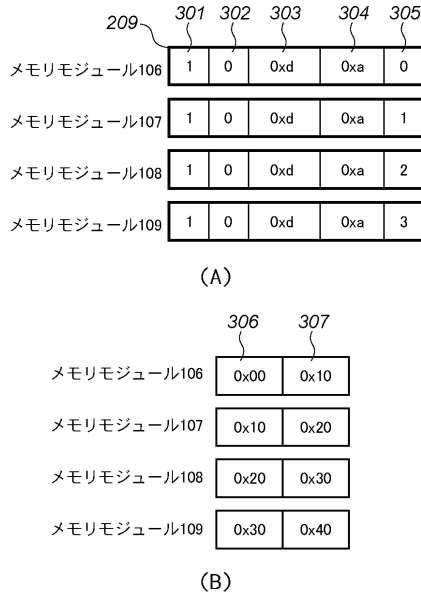
【図1】



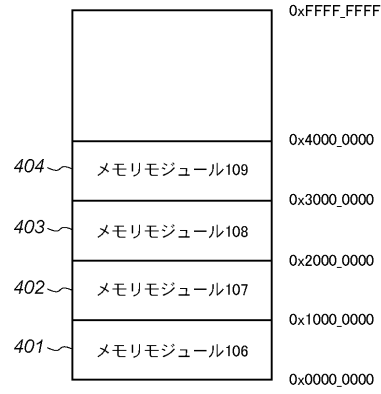
【図2】



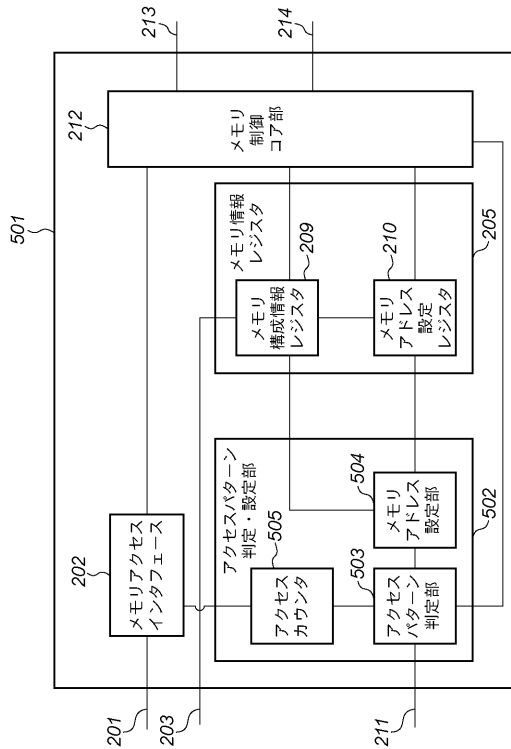
【 図 3 】



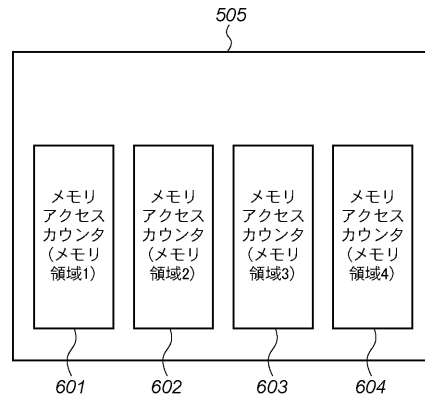
【 図 4 】



【 図 5 】



【 図 6 】

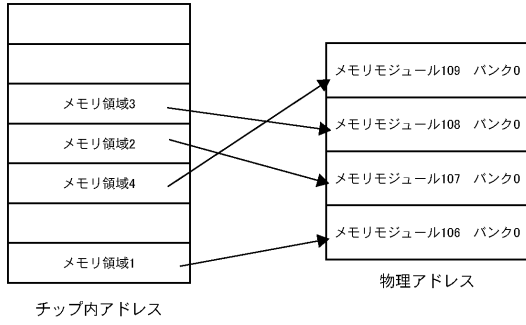


【 図 7 】

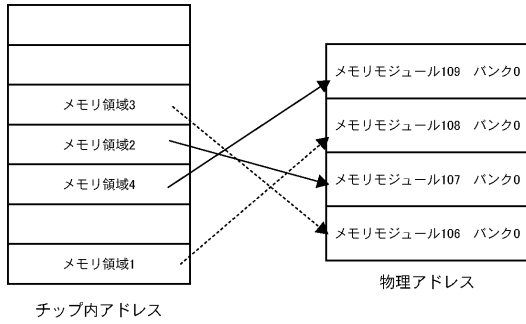
701

| メモリ領域 | メモリモジュール | メモリバンク | メモリアクセス回数 |
|--------|-------------|--------|-----------|
| メモリ領域4 | メモリモジュール109 | バンク0 | 5 |
| メモリ領域3 | メモリモジュール108 | バンク0 | 60 |
| メモリ領域2 | メモリモジュール107 | バンク0 | 20 |
| メモリ領域1 | メモリモジュール106 | バンク0 | 15 |

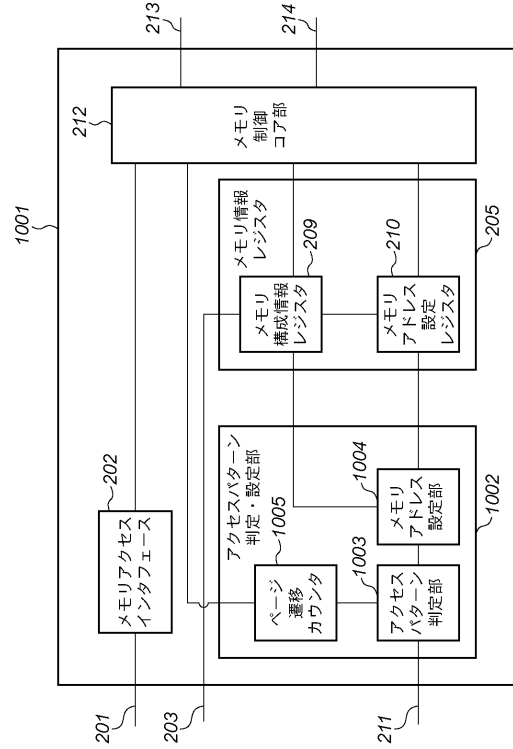
【図 8】



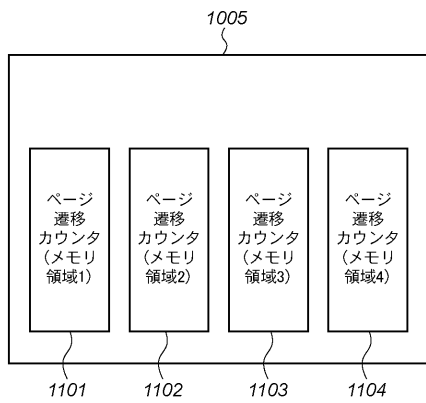
【図 9】



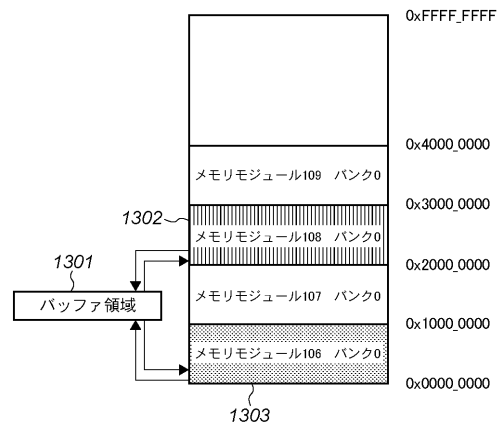
【図 10】



【図 11】



【図 13】

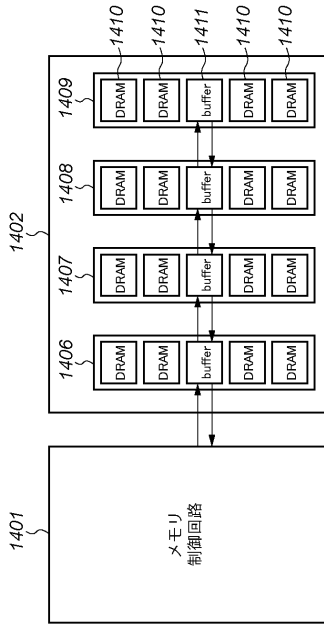


【図 12】

1201

| メモリ領域 | メモリモジュール | メモリバンク | ページ遷移回数 |
|--------|-------------|--------|---------|
| メモリ領域4 | メモリモジュール109 | バンク0 | 5 |
| メモリ領域3 | メモリモジュール108 | バンク0 | 60 |
| メモリ領域2 | メモリモジュール107 | バンク0 | 20 |
| メモリ領域1 | メモリモジュール106 | バンク0 | 15 |

【図 14】



【図 15】

