

發明專利說明書

200523864

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93122597

※申請日期： 93-07-28

※IPC 分類：

G09G 3/36

一、發明名稱：(中文/英文)

延時補正電路、視頻資料處理電路及平型顯示裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

安藤 國威

ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 村瀨 正樹

MURASE, MASAKI

2. 仲島 義晴

NAKAJIMA, YOSHIHARU

3. 木田 芳利

KIDA, YOSHITOSHI

國 籍：(中文/英文)

1.-3. 均日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年07月28日；特願2003-280583

2. 日本；2003年10月07日；特願2003-347803

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種延時補正電路、視頻資料處理電路及平型顯示裝置，例如可適用於於絕緣基板上一體化形成有驅動電路之液晶顯示裝置。本發明藉由介插虛設資料至輸入資料，強制性切換輸入資料之邏輯位準，從而可於TFT等之邏輯電路中有效避免延時之變化。

【先前技術】

近年，於例如適用於PDA、行動電話等之行動終端裝置之平型顯示裝置之液晶顯示裝置中，可提供一種於構成液晶顯示面板之絕緣基板即玻璃基板上，一體集成化構成液晶面板之驅動電路者。

即該種液晶顯示裝置將包含液晶胞、該液晶胞之開關元件即低溫多晶矽TFT(Thin Film Transistor，薄膜電晶體)、以及保持電容之像素配置為矩陣狀從而形成顯示部，並藉由配置於該顯示部之周圍的各種驅動電路驅動顯示部從而顯示各種影像。

於如此之液晶顯示裝置中，例如將顯示被依次輸入為光柵掃描順序之各像素的灰階之灰階資料分離為奇數行及偶數行之灰階資料，以該等奇數行及偶數行之灰階資料為依據，以分別配置於顯示部之上下之奇數行用及偶數行用之水平驅動電路來驅動顯示部，藉此，可有效地布局顯示部中之佈線圖案並高精度地配置像素。

如此於各水平驅動電路之灰階資料之處理中，以與輸入

至液晶顯示裝置之灰階資料之排列之關係，例如日本專利特開平10-17371號公報、日本專利特開平10-177368號公報等中，建議有各式各樣方法。

於適用於如此之液晶顯示裝置之低溫多晶矽TFT之該種邏輯電路中，較長期間存在有以下之問題，當輸入值保持為L位準時，於連續之邏輯位準之啟動之應答中延時變長，藉此對應於近前之邏輯位準之長度，延時產生變化。

即如第1圖及第2圖所示，於該種邏輯電路中，例如，於輸入與主時脈MCK(第2圖(A))同步之輸入資料D1(第2圖(B))至位準移動器1，並將由0~3[V]引起之振幅切換為0~6[V]而輸出之情形時，於輸入資料D1之邏輯位準藉由工作比50[%]而切換之期間T1中，延時td大致成為固定。對此藉由如期間T2所示般，當輸入資料D1之邏輯位準長時間保持於L位準時，於隨後之延時td1中，變得長於於期間T1之延時td(圖2(C))。

藉此如第3圖所示，於使灰階資料之各位元D1(第3圖(B1)及(B2))位準移動並藉由次時脈SCK(第3圖(A))門鎖之情形中，當該灰階資料係高速傳送之資料時，於在該灰階資料之各位元D1中邏輯位準藉由工作比50[%]而切換之期間TI，相對於藉由該次時脈SCK可正確門鎖位準移動器1之輸出資料D2A(第3圖(B1)及(C1))，例如於垂直消隱期間VBL之隨後，將無法正確地門鎖位準移動器1之輸出資料D2(第3圖(B2)及(C2))。

於如此般無法正確地門鎖資料之情形時，於液晶顯示裝

置中，如上述般，當將灰階資料分離為偶數行與奇數行，驅動高析象清晰度之顯示部時，於垂直消隱期間之隨後，會出現藉由局部性錯誤之灰階而驅動像素之情形。又例如於黑色之背景中藉由視窗形狀顯示白色之區域之情形時，即使於該白色區域之掃描開始端側，亦會同樣出現藉由錯誤之灰階而驅動像素之情形。又於液晶顯示裝置中，如此之灰階資料D1藉由對應於顯示部之灰階數之例如6位元並聯而輸入，並於如此之延時之變化中，產生於灰階資料之各位元，藉此亦於閃鎖灰階資料之僅僅特定位元產生錯誤之資料之情形時而產生，依據由此等所提供顯示之影像，則非常難以觀看。

【發明內容】

本發明係考慮到以上方面開發而成者，係欲建議於TFT等之邏輯電路中可有效避免延時之變化之延時補正電路，如此之延時補正電路之視頻資料處理電路及平型顯示裝置者。

為解決相關課題於本發明中，對於適用於延時補正電路，處理具有保持為固定週期之間，固定邏輯位準之休止期間的輸入資料之資料處理電路，於休止期間之間的特定之時序，介插與固定邏輯位準相反之邏輯位準的虛設資料至輸入資料。

藉由本發明之構成，對於適用於延時補正電路，處理以固定週期，於固定期間之間，具有保持於固定邏輯位準之休止期間之輸入資料的資料處理電路，若於休止期間之間

的特定之時序，介插與固定邏輯位準相反之邏輯位準的虛設資料至輸入資料，則與未介插任何虛設資料之情形相比較，可縮短於連續之邏輯位準之變化中之延時，相應地，於TFT等之邏輯電路中可有效避免延時之變化。

又，於本發明中，適用於處理以固定週期，於固定期間之間、具有保持於固定邏輯位準之休止期間之輸入資料的資料處理電路，於休止期間之間的特定之時序，介插與固定邏輯位準相反之邏輯位準的虛設資料至輸入資料。

藉此根據本發明之構成，於TFT等之邏輯電路中可有效避免延時之變化，故可有效避免由該延時之變化而引起的各種影響從而可進行資料處理。

又於本發明中，適用於平型顯示裝置，於灰階資料之水平消隱期間之間之特定的時序，將與水平消隱期間之邏輯位準相反之邏輯位準之虛設資料介插至灰階資料，從而處理灰階資料。

藉此根據本發明之構成，於TFT等之邏輯電路中可有效避免延時之變化，故可有效避免該延時之變化而產生之各種影響，從而可顯示所期望之影像。

根據本發明，可提供一種於TFT等之邏輯電路中，可有效避免延時之變化的視頻資料處理電路及平型顯示裝置。

【實施方式】

以下參照適宜之圖式加以詳細說明本發明之實施例。

(1)延時補正原理

第4圖係藉由對比第1圖，提供本發明之延時補正原理之

說明之方塊圖。於該補正原理中，對於於固定週期中，處理保持為固定期間之間，固定邏輯位準之輸入資料之資料處理電路，於保持為該固定邏輯位準之期間之間之特定的時序，將與該固定之邏輯位準相反之邏輯位準之虛設資料介插至輸入資料。再者，於此如此般於固定週期中，保持為固定期間內、固定邏輯位準之期間，例如如同於視頻資料中之水平消隱期間般，係未提供可用之資料的傳送之期間，以下，適當地將該期間稱為休止期間。

即該資料處理電路為例如位準移動器1，且如第5圖所示，於將與主時脈MCK(第5圖(A))同步之灰階資料D1自振幅0~3[V]補正為振幅0~6[V]，並輸出輸出資料D2之情形時(第5圖(B)及(D))，於固定週期，該灰階資料D1保持為固定期間之間，固定邏輯位準之水平消隱期間T2之間，將自邏輯L位準啟動之虛設資料DD介插至灰階資料D1。因此，例如介以OR電路4，將該虛設資料DD之重設脈衝HDrst介插至灰階資料D1(第5圖(C))。

藉此於該補正原理中，與未介插任何虛設資料DD之情形相比，可使於該水平消隱期間T2之隨後的邏輯位準之啟動的延時 $td1$ 縮短，故相應於近前之邏輯位準之長度，延時產生變化之問題可得以解決。即當如此般介插虛設資料DD時，強制性切換為輸入資料之邏輯位準，與未介插有任何之虛設資料DD之情形相比，可縮短將輸入資料之邏輯位準保持為邏輯L位準之期間，相應地，於該輸入資料D1之資料行中，可減少延時之變動。因此相應地，可有效避免錯

誤資料之閃鎖等。

即，藉由與第3圖之對比，如第6圖所示，即使於以次時脈SCK(第6圖(A))取樣如此之邏輯電路之情形時，藉由於垂直消隱期間VBL之間的水平消隱期間中介插有虛設資料DD，可縮短於垂直消隱期間VBL連續之邏輯位準之啟動中之輸出資料D2之延時，故藉由與於有效影像期間之情形同樣之時序可將輸出資料D2取樣並閃鎖(第6圖(B1)~(C2))，藉此從而可藉由正確之灰階顯示對應於垂直消隱期間VBL之啟動之像素。又即使於黑位準連續數行列啟動於白位準之情形，進而即使於複數位元之特定位元連續數行列保持於L位準而啟動之情形時，亦可正確閃鎖輸入資料D1，並藉此可適用於液晶顯示裝置，正確地顯示各像素之灰階。

就第2圖所述之延時之變化中，於輸入資料D1長時間保持為邏輯L位準之隨後，邏輯位準已啟動之情形時，該啟動之邏輯位準之結束係延遲者。然而，詳細研究如此之邏輯位準之啟動之時序後，獲知如下之情形，於輸入資料D1長時間保持為邏輯L位準之情形時，於啟動之時序方面，藉由與第3圖之對比如第7圖所示，與結束之時序相反延時變短(第7圖(A)~(C2))。藉此係取樣輸入資料D1之時序，設定於邏輯位準切換之前之情形，於取樣之相位剩餘較少之情形時，即使藉由與該啟動之時序相關之延時之變化，亦將無法正確處理資料。

然而，即使於如此之設定之情形中，如若以與該補正原理相關之方式於休止期間介插虛設資料，則可就即使向如

此之啟動之延時的減少方向產生變化之延時予以補正，因而藉此可適用於例如液晶顯示裝置，並正確補正各像素之灰階。

(2)實施例1之構成

第8圖係顯示本發明之實施例1之液晶顯示裝置之方塊圖。於該液晶顯示裝置11中，該第8圖所示之各驅動電路係一體化製成於顯示部12之絕緣基板即玻璃基板上，並於下述水平驅動電路、時序產生器等之驅動電路中，藉由低溫多晶矽之TFT而製成。

於此處顯示部12係藉由液晶胞、該液晶胞之開關元件即TFT、以及保持電容而形成各像素，並將該各像素配置為矩陣狀藉由矩形形狀而形成。

垂直驅動電路13係藉由自時序產生器14所輸出之各種時序訊號，驅動該顯示部12之閘極線，藉此以行列單位，依次選擇設置於顯示部12之像素。水平驅動電路15O及15E，分別設置於顯示部12之上下，於依次循環地門鎖自位元串並聯(SP)切換電路16所輸出之奇數行及偶數行之灰階資料Dod及Dev之後，將各門鎖輸出進行數位類比變換處理，其結果藉由所獲得之驅動訊號，驅動顯示部12之各訊號線。藉此水平驅動電路15O及15E，分別驅動顯示部12之奇數行及偶數行之訊號線，將於垂直驅動電路13中所選擇之各像素設定為對應於灰階資料Dod及Dev之灰階。

時序產生器14係藉由自該液晶顯示裝置11之上位之裝置所供給之各種基準訊號，生成並輸出對於該液晶顯示裝置

11之動作所必需之各種時序訊號。位元串並聯切換電路16係將自該液晶顯示裝置11之上位之裝置所輸出之灰階資料D1分離為奇數行及偶數行之灰階資料Dod及Dev並輸出。此處灰階資料D1係顯示各像素之灰階的資料，藉由以對應於顯示部12之像素之陣列的紅色、藍色、綠色之顏色資料的光柵掃描順序之連續而引起的視頻資料而形成。

第9圖係同時顯示與該位元串並聯切換電路16關聯之構成之方塊圖。該位元串並聯電路16係於藉由位準移動器21將由0~3[V]所引起之灰階資料D1之振幅切換為0~6[V]之振幅之後，藉由閃鎖電路22、23交互閃鎖並分離為奇數行及偶數行之灰階資料Dod及Dev，並藉由降頻轉換器24、25恢復為原來之振幅從而輸出。藉此位元串並聯切換電路16，藉由位準移動器21之位準移動擴大並處理灰階資料D1之振幅，從而將高傳送率之灰階資料D1可靠地分離為2系統之灰階資料。

於該灰階資料D1之處理中，位元串並聯切換電路16係於位準移動器21之輸出段設置OR電路27，藉由該OR電路27於灰階資料D1之水平消隱期間中，介插虛設資料DD至灰階資料D1。藉此於該液晶顯示裝置11中，可防止由灰階資料D1長時間保持為L位準之情形而引起之延時之變化，且於連續之閃鎖電路22、23中，可正確閃鎖灰階資料D1。另，該液晶顯示裝置11中，僅於位準移動器21所產生之延時變化時，藉由不閃鎖錯誤之灰階資料D1，如此般於位準移動器21之輸出段中介插虛設資料DD。

因此於時序產生器(TG)14，於各水平消隱期間之間輸出訊號位準所啟動之重設脈衝HDrst並供給至OR電路27。

第10圖係顯示閃鎖電路22之連接圖。於閃鎖電路22及23中，藉由控制閃鎖之時序之取樣脈衝sp及xsp係分別除自時序產生器14所供給之點以外同一地構成，於以下，僅關於閃鎖電路22之構成予以說明，且關於閃鎖電路23省略說明。又，關於重設脈衝rst之處理省略記載而顯示。

於該閃鎖電路22中，輸入取樣脈衝sp至反相器31，並生成該取樣脈衝sp之反轉訊號。閃鎖電路22係藉由反相器32輸入灰階資料D1，該反相器32藉由P通道MOS電晶體Q1，其藉由該取樣脈衝sp切換為開狀態，以及N通道MOS電晶體Q2，其藉由由反相器31所輸出之閃鎖脈衝sp之反轉訊號切換為開狀態，而分別連接於正側及負側之電源VDD及VSS。又連接反相器33之輸出與反相器32之輸出，該反相器33之輸出係藉由P通道MOS電晶體Q3，其藉由取樣脈衝sp之反轉訊號切換為開之狀態，以及N通道MOS電晶體Q4，其藉由取樣脈衝sp切換為開之狀態，分別連接於正側及負側電源VDD及VSS，該等反相器33、32之輸出，連接於反相器34，其與反相器33共通連接輸入。藉此閃鎖電路22構成閃鎖胞，故可藉由取樣脈衝sp閃鎖灰階資料D1。

又於閃鎖電路22中，將反相器34之輸出供給至反相器35，該反相器35藉由P通道MOS電晶體Q5，其藉由取樣脈衝sp之反轉訊號切換為開之狀態，以及N通道MOS電晶體Q6，其藉由取樣脈衝sp切換為開之狀態，而分別連接於正

側及負側電源VDD及VSS。又將反相器36之輸出與反相器35之輸出連接，反相器36藉由p通道MOS電晶體Q7，其藉由取樣脈衝sp切換為開之狀態，以及N通道MOS電晶體Q8，其藉由取樣脈衝sp之反轉訊號切換為開狀態，而分別連接與正側及負側之電源VDD及VSS，該等反相器35、36之輸出連接於反相器37，其與反相器36共通連接輸入。閃鎖電路22，介以緩衝38輸出該反相器37之輸出。藉次閃鎖電路22可輸出藉由奇數行及偶數行分別分離有灰階資料D1之振幅0~6[V]之灰階資料Dod1及Dev1。

第11圖係顯示降頻轉換器24之連接圖。降頻轉換器24、25係藉由除處理對象之資料為相異之外而同一構成，於以下，僅關於降頻轉換器24予以說明構成，省略關於降頻轉換器25之說明。

該降頻轉換器24包含反相器41，其藉由6[V]之正側電源VDD2及0[V]之負側電源VSS動作；位準移動器42，其將該反相器41之負側位準結束於-3[V]；反相器之43及44之串聯電路，其藉由6[V]之正側電源VDD2及-3[V]之負側電源VSS2動作，並將該位準移動器42之輸出緩衝從而輸出；反相器45，其藉由3[V]之正側電源VDD1及0[V]之負側電源VSS動作，輸出反相器44之輸出之反轉訊號，藉此以原來之振幅輸出奇數行及偶數行之灰階資料Dod及Dev。

具體而言，該位準移動器42係P通道MOS電晶體Q11、N通道MOS電晶體Q12之串聯電路，P通道MOS電晶體Q13、N通道MOS電晶體Q14之串聯電路，分別連接於6[V]之正側電

源VDD2、-3[V]之負側電源VSS2，P通道MOS電晶體Q11及Q13之汲極輸出分別連接於N通道MOS電晶體Q14及Q12之閘極。又反相器41之輸出直接輸入至P通道MOS電晶體Q11，又介以反相器47，輸入至他方之P通道MOS電晶體Q13。位準移動器42係介以緩衝48輸出P通道MOS電晶體Q13之汲極輸出，藉此使灰階資料Dod及Dev位準移動從而輸出。

(3)實施例1之動作

於以上之構成中，於該液晶顯示裝置11(第8圖)，輸入為水平掃描順序之灰階資料D1，藉由位元串並聯切換電路16分離為偶數行及奇數行之灰階資料Dod及Dev，並藉由該偶數行之奇數行之灰階資料Dod及Dev，水平驅動電路15O及15E中分別驅動顯示部12之偶數行及奇數行之訊號線。又藉由對應於該灰階資料D1之時序訊號，以垂直驅動電路13驅動顯示部12之閘極線，藉此以此方式於水平電路15O及15E驅動訊號線之顯示部12之像素以行列單位依次選擇，藉此於高效布局布線圖案高精度配置像素之顯示部12將顯示灰階資料D1之影像。

於液晶顯示裝置11中，於該灰階資料D1分離為2系統之灰階資料Dod及Dev時(第9圖)，藉由位準移動器21灰階資料D1之振幅被擴大，並分離為2系統之資料，藉此對應於顯示部12之析象清晰度之高傳送率之灰階資料D1可靠地分離為2系統之灰階資料Dod及Dev。

於該處理中，於該液晶顯示裝置11，藉由於門鎖電路22、

23交互門鎖灰階資料D1並分離為2系統之灰階資料Dod及Dev，又藉由包含該位元串並聯切換電路16之驅動電路於顯示部12之絕緣基板即玻璃基板上一體化形成，並以低溫多晶矽而製成，當灰階資料之各位元長時間保持為L位準時，於連續邏輯位準之啟動之後的結束延時變大，藉此於門鎖電路22、23變得無法正確門鎖灰階資料D1。又於如此之邏輯位準之啟動中，與此相反地延時變短，此情形中根據條件，於門鎖電路22、23亦變得無法正確門鎖灰階資料D1。

因此於該實施例中，藉由設置於位準移動器21之輸出段之OR電路27，如此般於固定週期，對於具有保持為固定期間之間，固定邏輯位準之休止期間之輸入資料即灰階資料，以該休止期間即水平消隱期間之間之特定之時序，將與該固定邏輯位準相反之邏輯位準之虛設資料DD介插至灰階資料D1(第5圖及第6圖)。

其結果，於該液晶顯示裝置11中，與未介插任何虛設資料DD之情形相比，於連續於水平消隱期間之邏輯位準之啟動中，可消除延時之變化，從而藉由其他之工作比50[%]可確保與邏輯位準反轉期間同樣之延時。藉此於該實施例，於TFT等之邏輯電路中可有效避免延時之變化。又於視頻資料之資料處理電路即液晶顯示裝置中，可有效避免由如此之延時之變化所造成之錯誤灰階之顯示。

即，藉此於液晶顯示裝置11中，關於連續於垂直消隱之邏輯位準之啟動，可補正與輸入至門鎖電路22、23之灰階資料D1之切換相關的延時之變化，藉此於門鎖電路22、23

中，可藉由於有效映像期間之情形同樣之時序，取樣灰階資料D1，且正確分離為2系統之灰階資料Dod及Dev。因此，可藉由正確之灰階顯示對應於垂直消隱期間VBL之啟動之像素。又於黑位準連續數行列於白位準啟動之情形時，進而，於複數位元之特定位元連續數行列保持為L位準而啟動之情形時，亦可正確地門鎖輸入資料D1，藉此，可適用於液晶顯示裝置且正確顯示各像素之灰階。

另於關於如此之延時之補正的方面，即使於水平驅動電路15O及15E中之門鎖之處理，亦可擴大於各門鎖處理中之時間軸方向之邊限，即使如此，於該液晶顯示裝置11，可穩定地動作從而可靠地顯示所期待之影像。

(4)實施例1之效果

根據以上構成，藉由介插虛設資料DD至輸入資料之灰階資料D1，強制性切換灰階資料D1之邏輯位準，從而於TFT之邏輯電路可有效避免延時之變化。藉此可適用於視頻資料之處理並正確處理視頻資料，從而於液晶顯示裝置中，可藉由正確之灰階顯示所期望之影像。

又於視頻資料即灰階資料之處理中，藉由於水平消隱期間中介插虛設資料DD，於垂直消隱期間之隨後的邏輯位準啟動，數個行列之期間之間，邏輯位準結束之隨後的邏輯位準啟動等，故可補正延時之變化從而正確處理視頻資料。

(5)實施例2

係於上述實施例1中，若於休止期間介插虛設資料，則可防止於TFT等之邏輯電路中之延時變化，以此見解為依據，

設定為於水平消隱期間介插虛設資料，防止與連續於水平消隱期間之邏輯位準之結束相關的延時之增大者。

對此如上述之延時補正原理般，於TFT邏輯電路中之邏輯位準之啟動中，與如此之邏輯位準之結束相反，於如下之構成之方面，於之前，當固定期間，輸入資料之邏輯位準保持為固定值時延時將減少於休止期間介插虛設資料，亦可防止如此之延時之減少之延時之變動。

應再次以此等之認識為依據，驗證實施例1之構成之效果，於第9圖之構成中，藉由中止重設脈衝HDrst之供給，於中止虛設資料之介插，鑲邊為黑色並以正方形形狀顯示白色後，於第12圖中，如箭頭A所示，該正方形形狀之白色區域以於掃描開始端側在水平方向跳出1像素份之方式顯示。

又於此狀態中，於觸發取樣脈衝sp，詳細地波形觀測OR電路27之輸出資料D27之後，得以知悉，於該水平方向，1像素份所跳出之處，邏輯位準之啟動之時序前進，藉此原本邏輯位準應藉由L位準所閃鎖之近前之像素，藉由連續像素之邏輯H位準而閃鎖。

然後，由此於切換輸入資料D1並進行波形觀測之後，如第13圖所示，於長期間保持輸入資料之邏輯位準為固定值之情形時，可確認於對應於連續像素j+1之邏輯位準之啟動，僅其之啟動之時序前進，則於結束之時序方面，並無任何變化(第13圖(B1)~(C2))。再者，於該第13圖中，符號2sp(第13圖(A))係藉由輸入至閃鎖電路22、23之閃鎖脈衝

sp、xsp的2倍週期之該等閃鎖脈衝sp、xsp之生成基準訊號。

藉此於第9圖所示之構成方面，可知悉雖係於休止期間介插虛設資料，從而防止於TFT之邏輯電路中延時之變化之構成，該延時之變化並非係取決於邏輯位準之結束的延時之增大者，而係取決於邏輯位準之啟動的延時之減少者。

藉此根據該實施例，如所述之延時補正原理般，可確認可確實有效地防止即使係由邏輯位準之啟動的延時之減少所引起的延時變化，

(6)其他實施例

再者於上述實施例中，雖就於位準移動器之輸出段中介插虛設資料之情形予以了說明，但本發明並不僅限於此，進而，於高速度處理灰階資料之情形時，直至於位準移動器中之延時之變化產生問題時，皆可以於位準移動器之輸入側介插虛設資料之方式處理。

又於上述實施例中，雖就於水平消隱期間介插虛設脈衝之情形予以了說明，但本發明並不僅限於此，亦可按照需要於垂直消隱期間進行介插。

又於上述實施例中，雖就將本發明適用於液晶顯示裝置於灰階資料之處理中補正延時之情形予以了說明，但本發明並非僅限於此，可廣泛適用於各種視頻資料之處理電路。

又於上述實施例中，雖就將本發明適用於視訊資料之處理電路之情形予以了說明，但本發明並不僅限於此，可廣泛適用於各種資料處理電路中補正延時之情形。

又於上述實施例，雖就將本發明適用於低溫多晶矽之主

動元件的液晶顯示裝置之情形予以了說明，但本發明並非僅限於此，可廣泛適用於高溫多晶矽之主動元件之液晶顯示裝置，CGS(Continuous Grain Silicon，連續粒狀結晶矽)之主動元件之液晶顯示裝置等，各種液晶顯示裝置，進而於EL(Electro Luminescence，電激發光)顯示裝置等，各種平型顯示裝置，進而於各種邏輯電路。

[產業上之可利用性]

本發明係例如可適用於於絕緣基板上一體化形成有驅動電路之液晶顯示裝置。

【圖式簡單說明】

圖式簡單說明：

第1圖係提供延時之變化的說明之方塊圖。

第2(A)~(C)圖係提供延時之變化的說明之時序圖。

第3(A)、(B1)、(C1)、(B2)、(C2)圖係顯示垂直消隱期間與延時之關係的時序圖。

第4圖係提供本發明之延時的補正原理之說明之方塊圖。

第5(A)~(D)圖係提供第4圖之補正原理之說明的時序圖。

第6(A)、(B1)、(C1)、(B2)、(C2)圖係顯示垂直消隱期間與延時之關係之時序圖。

第7(A)、(B1)、(C1)、(B2)、(C2)圖係就延時減少之情形，提供延時之變化的說明之時序圖。

第8圖係顯示本發明之實施例1之液晶顯示裝置之方塊圖。

第9圖係與周邊構成同時地顯示於第8圖之液晶顯示裝置

中之位元串並聯切換電路的方塊圖。

第10圖係顯示第9圖之位元串並聯切換電路中之門鎖電路之連接圖。

第11圖係顯示於第9圖之位元串並聯切換電路中之降頻轉換器之連接圖。

第12圖係提供實施例2之延時的變化之說明之略線圖。

第13(A)、(B1)、(C1)、(B2)、(C2)圖係提供第12圖之延時的變化之說明之時序圖。

【主要元件符號說明】

1, 21, 42	位準移動器
4, 27	OR電路
11	液晶顯示裝置
12	顯示部
13	垂直驅動電路
14	時序產生器
15O, 15E	水平驅動電路
16	位元串並聯切換電路
22, 23	門鎖電路
24, 25	降頻轉換器
31~37, 41, 43~47	反相器
38, 48	緩衝
Q1~Q14	電晶體

五、中文發明摘要：

本發明係例如適用於於絕緣基板上一體化形成有驅動電路之液晶顯示裝置，並介插虛設資料至輸入資料D1，從而強制性切換輸入資料D1之邏輯位準。

六、英文發明摘要：

十、申請專利範圍：

1. 一種延時補正電路，其特徵在於：處理以固定週期，於固定期間之間，具有保持於固定邏輯位準之休止期間之輸入資料之資料處理電路，其特徵在於：於上述休止期間之間之特定的時序中，將與上述固定邏輯位準相反之邏輯位準之虛設資料介插至上述輸入資料。
2. 一種資料處理電路，其係處理以固定週期，於固定期間之間，具有保持於固定邏輯位準之休止期間之輸入資料者，其特徵在於：於上述休止期間之間之特定的時序中，將與上述固定之邏輯位準相反之邏輯位準之虛設資料介插至上述輸入資料。
3. 如請求項2之資料處理電路，其中上述輸入資料係視頻資料，上述休止期間係水平消隱期間或垂直消隱期間。
4. 一種平型顯示裝置，其係於基板上一體化形成有顯示部，其將像素配置為矩陣狀；垂直驅動電路，其藉由閘極線順次選擇上述顯示部之像素；以及水平驅動電路，其順次取樣顯示上述像素之灰階的灰階資料並切換為類比訊號，以上述類比訊號驅動上述顯示部之訊號線，藉此驅動由上述閘極線所選擇之像素，其特徵在於：於上述灰階資料之水平消隱期間之間之特定的時序，將與上述水平消隱期間之邏輯位準相反之邏輯位準之虛設資料介插至上述灰階資料，處理上述灰階資料。
5. 如請求項4之平型顯示裝置，其中形成有藉由低溫多晶矽處理上述灰階資料之主動元件。

6. 如請求項4之平型顯示裝置，其中形成有藉由CGS處理上述灰階資料之主動元件。

十一、圖式：

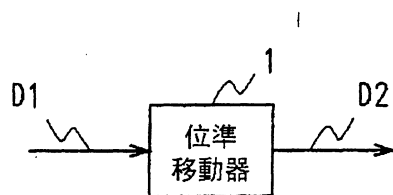


圖 1

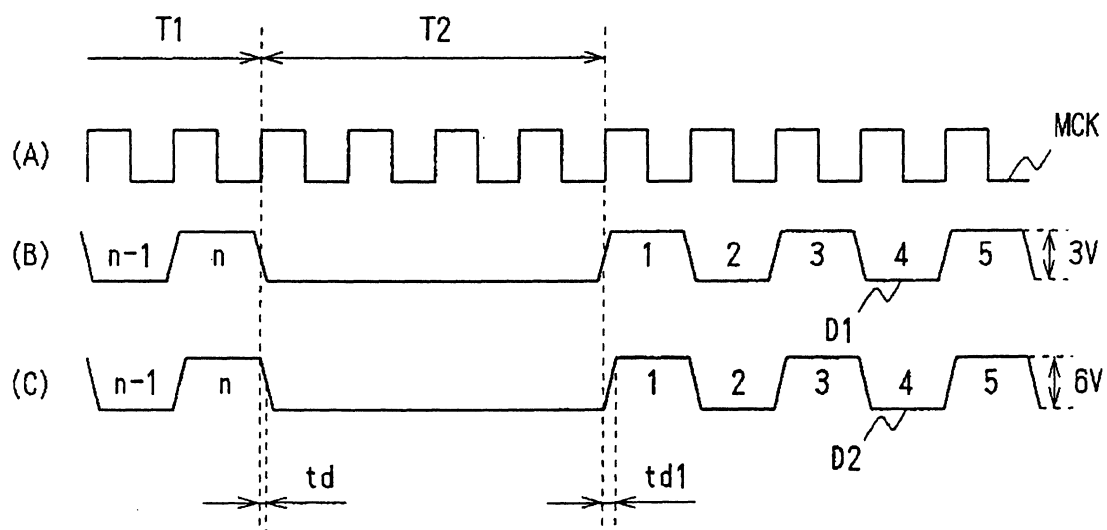


圖 2

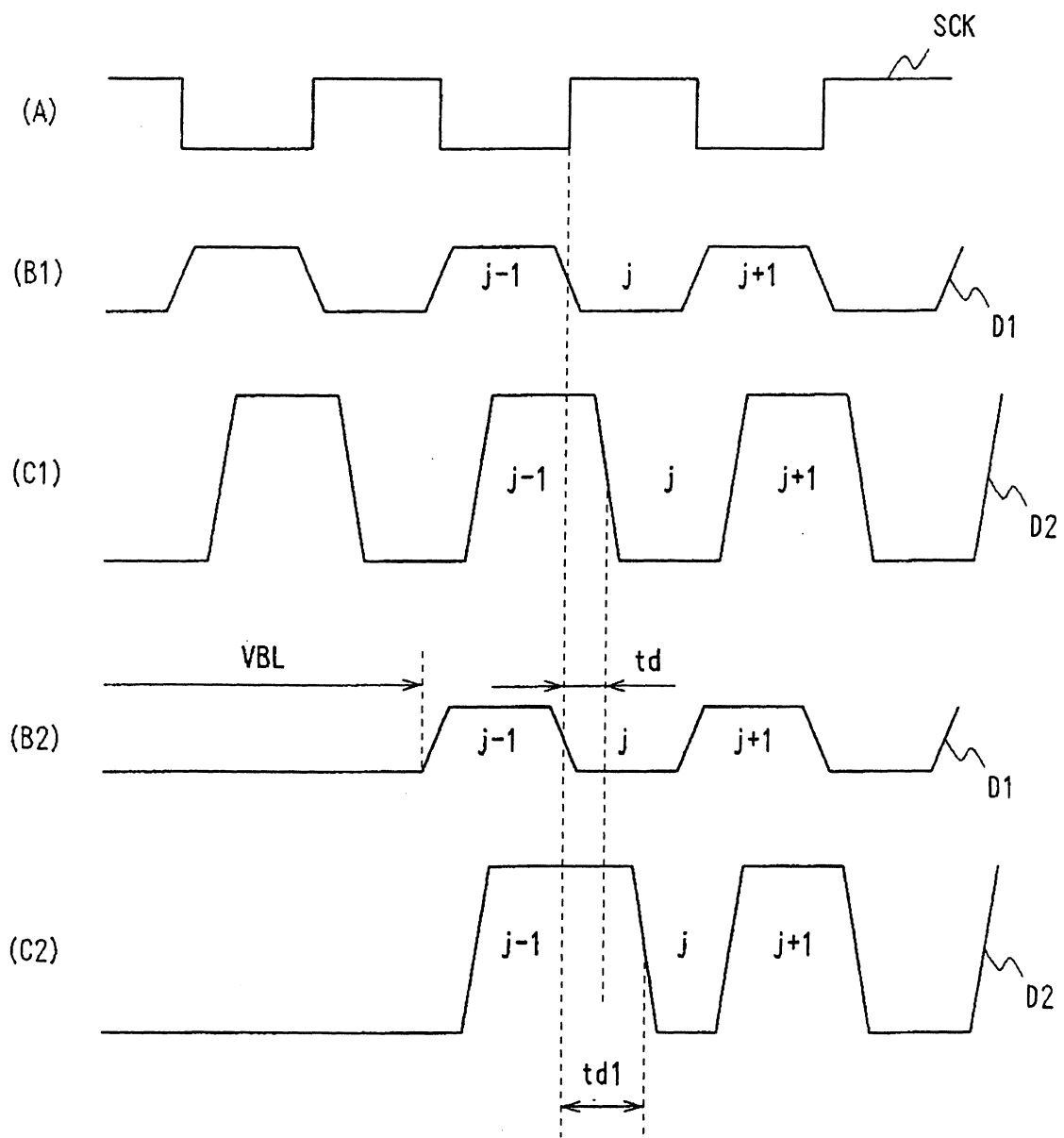


圖 3

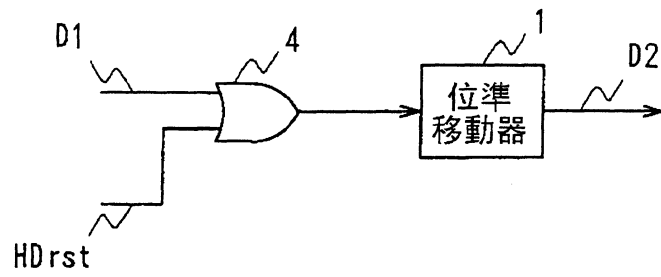


圖 4

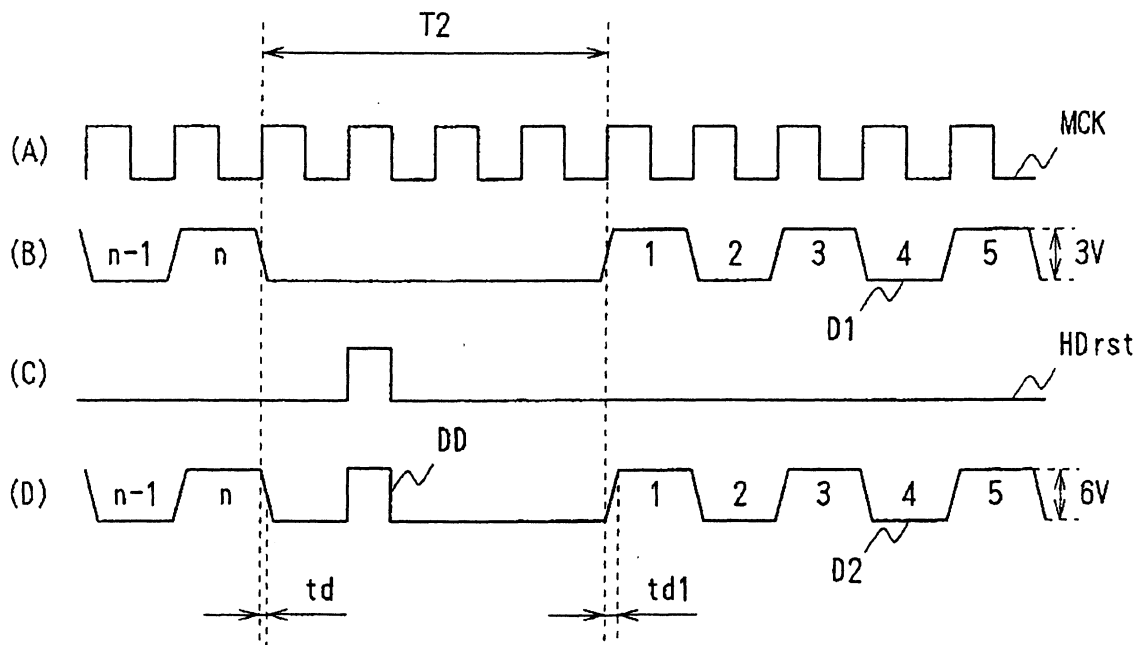


圖 5

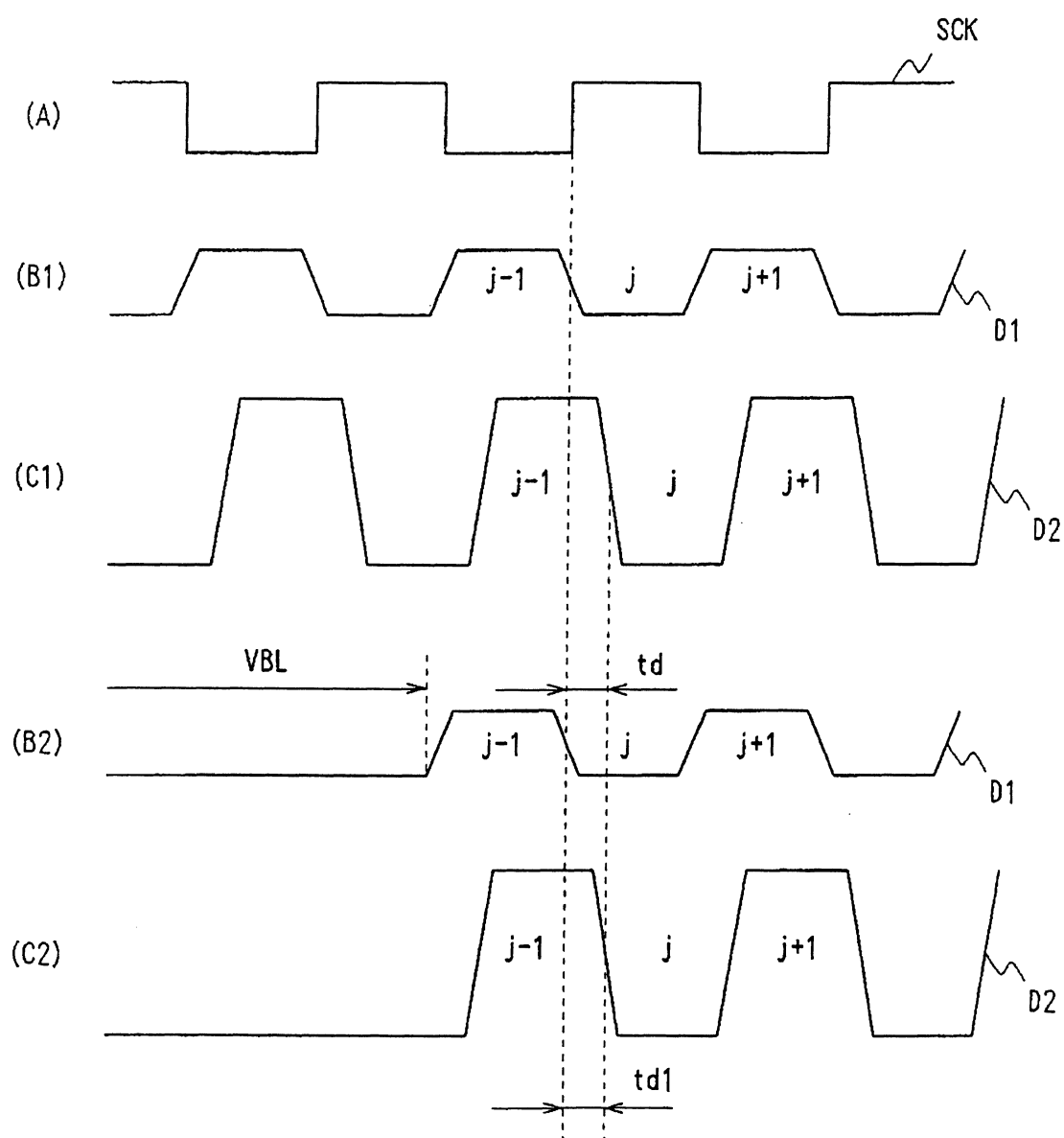


圖 6

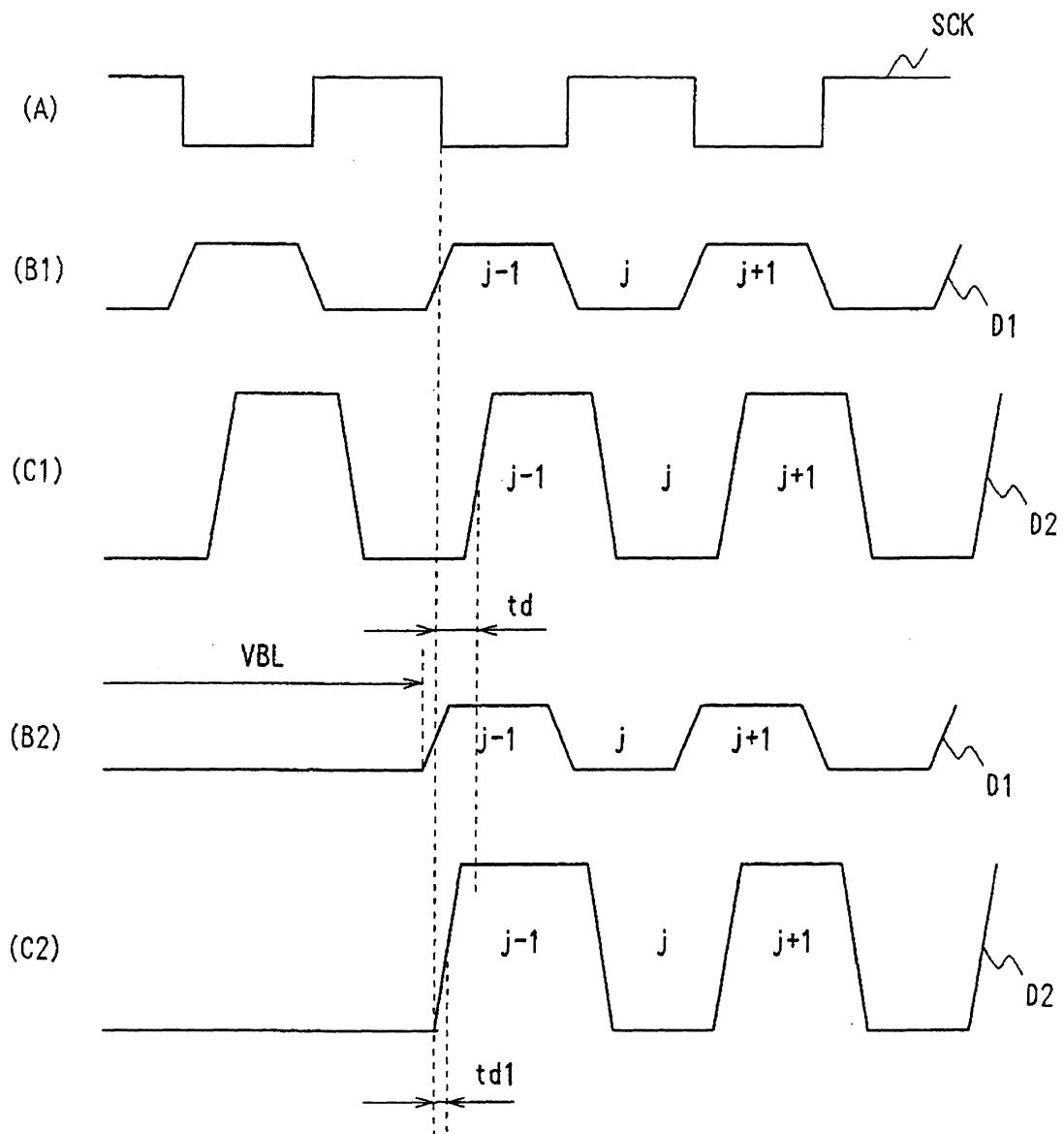


圖 7

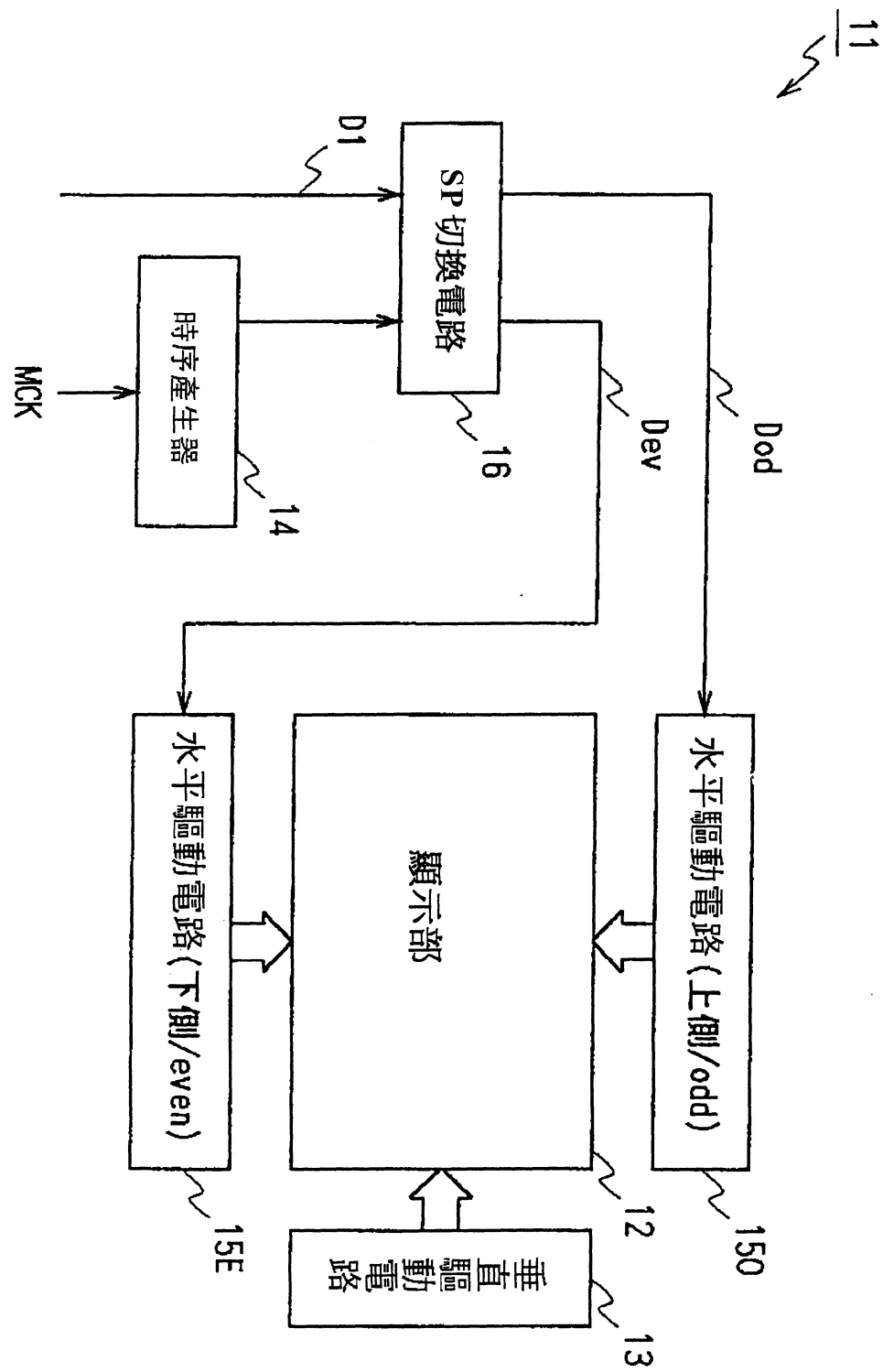


圖 8

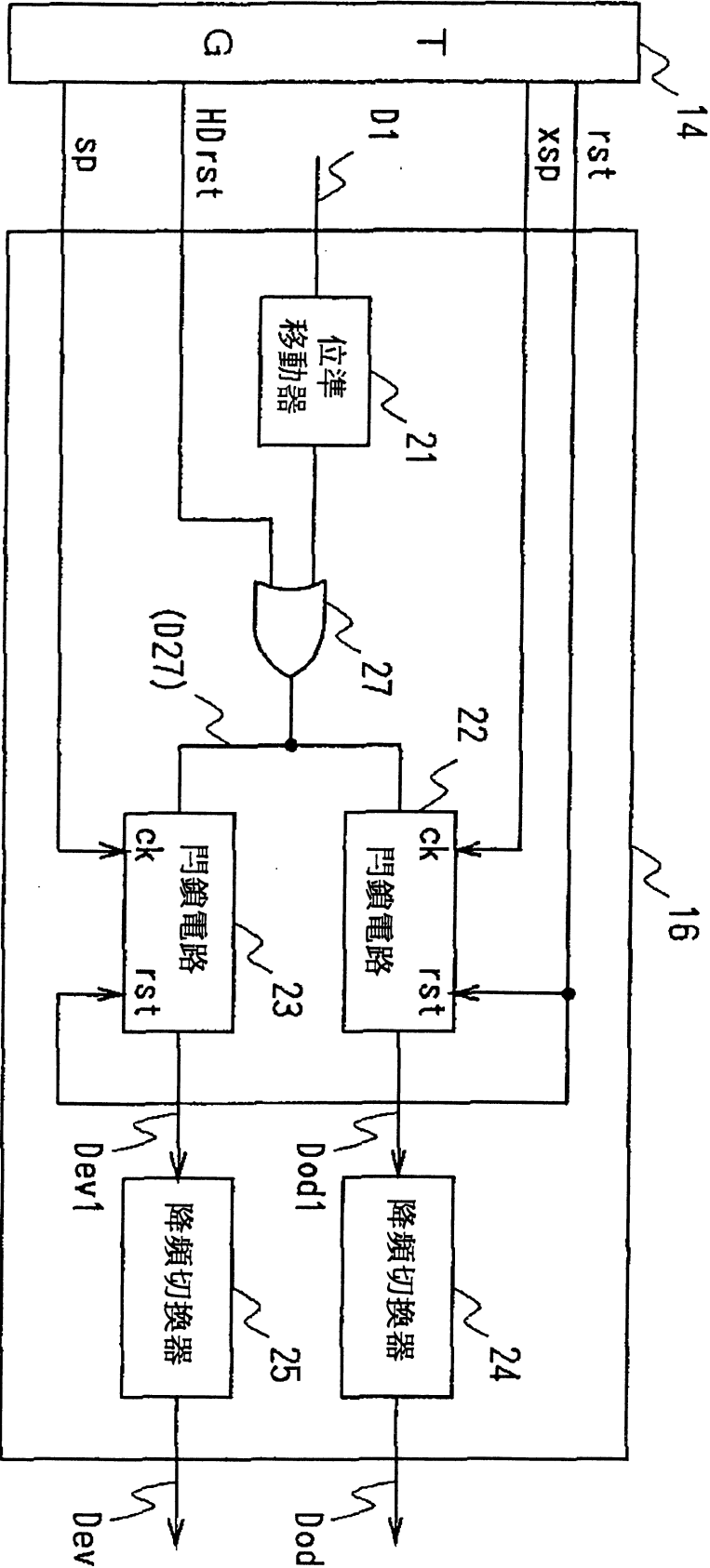


圖 9

22, (23)

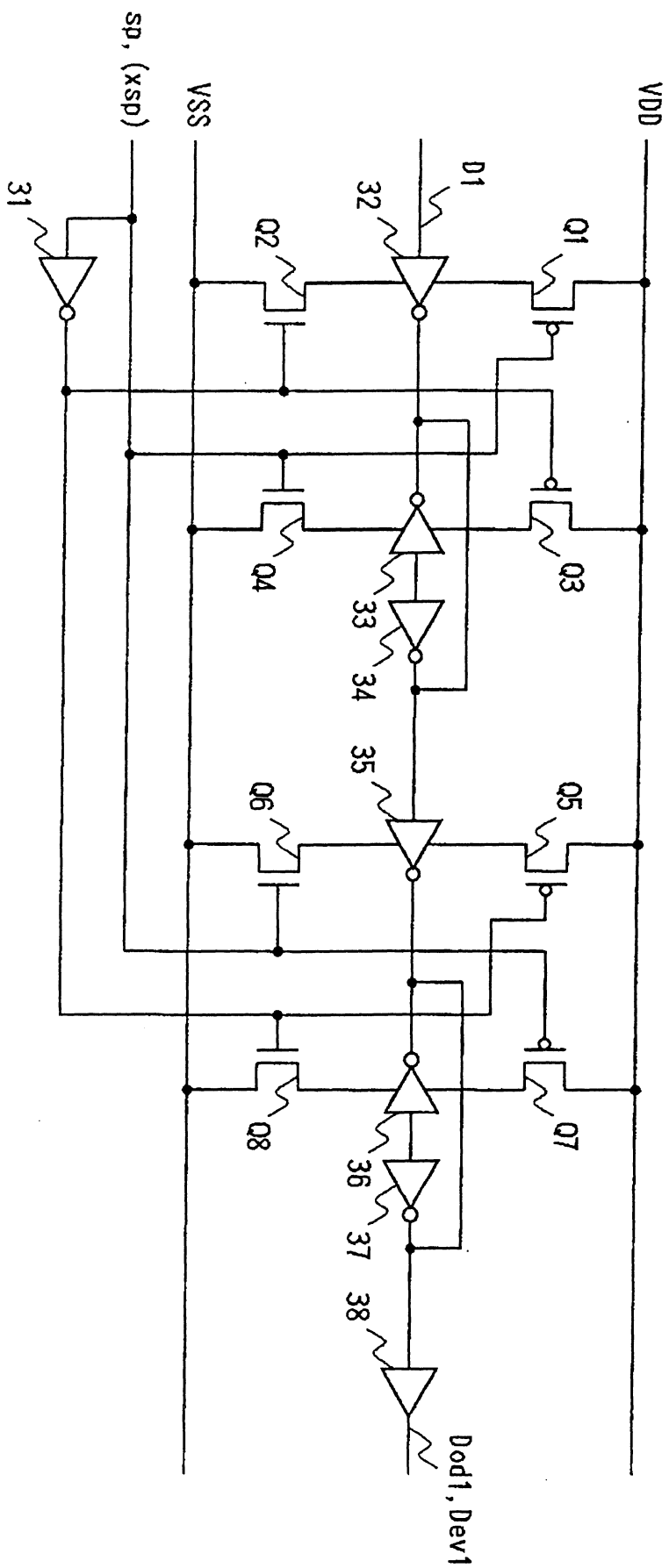


圖 10

24, (25)
↗

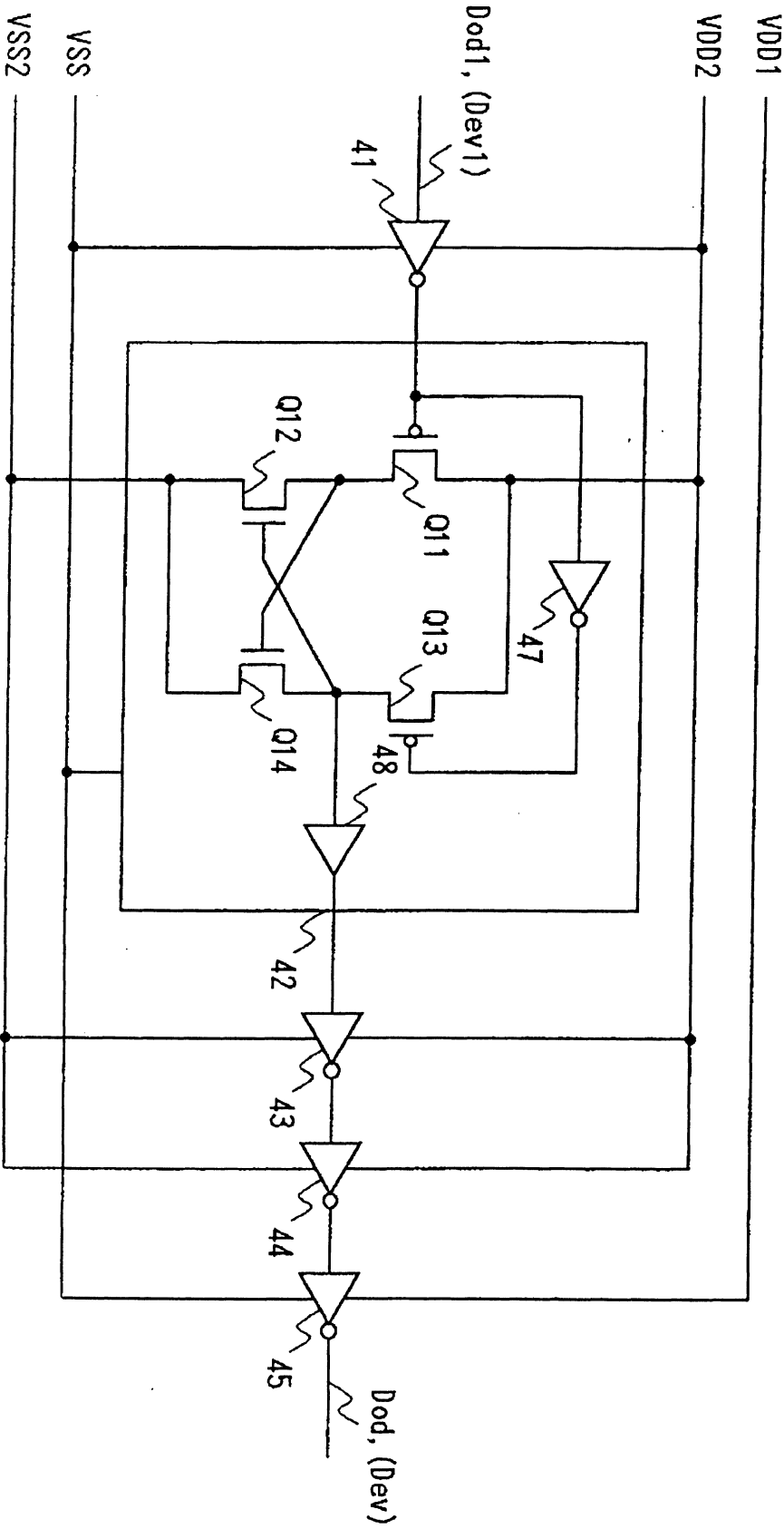


圖 11

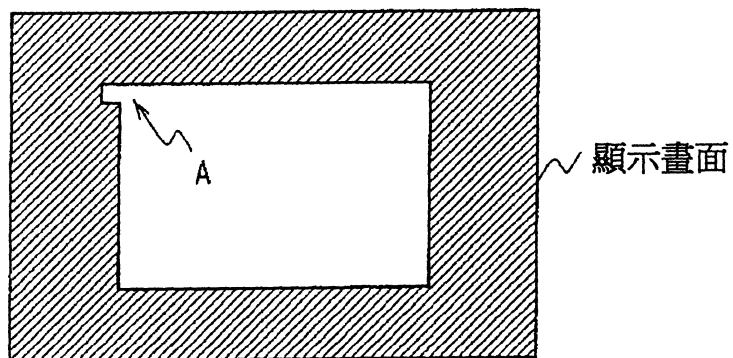


圖 12

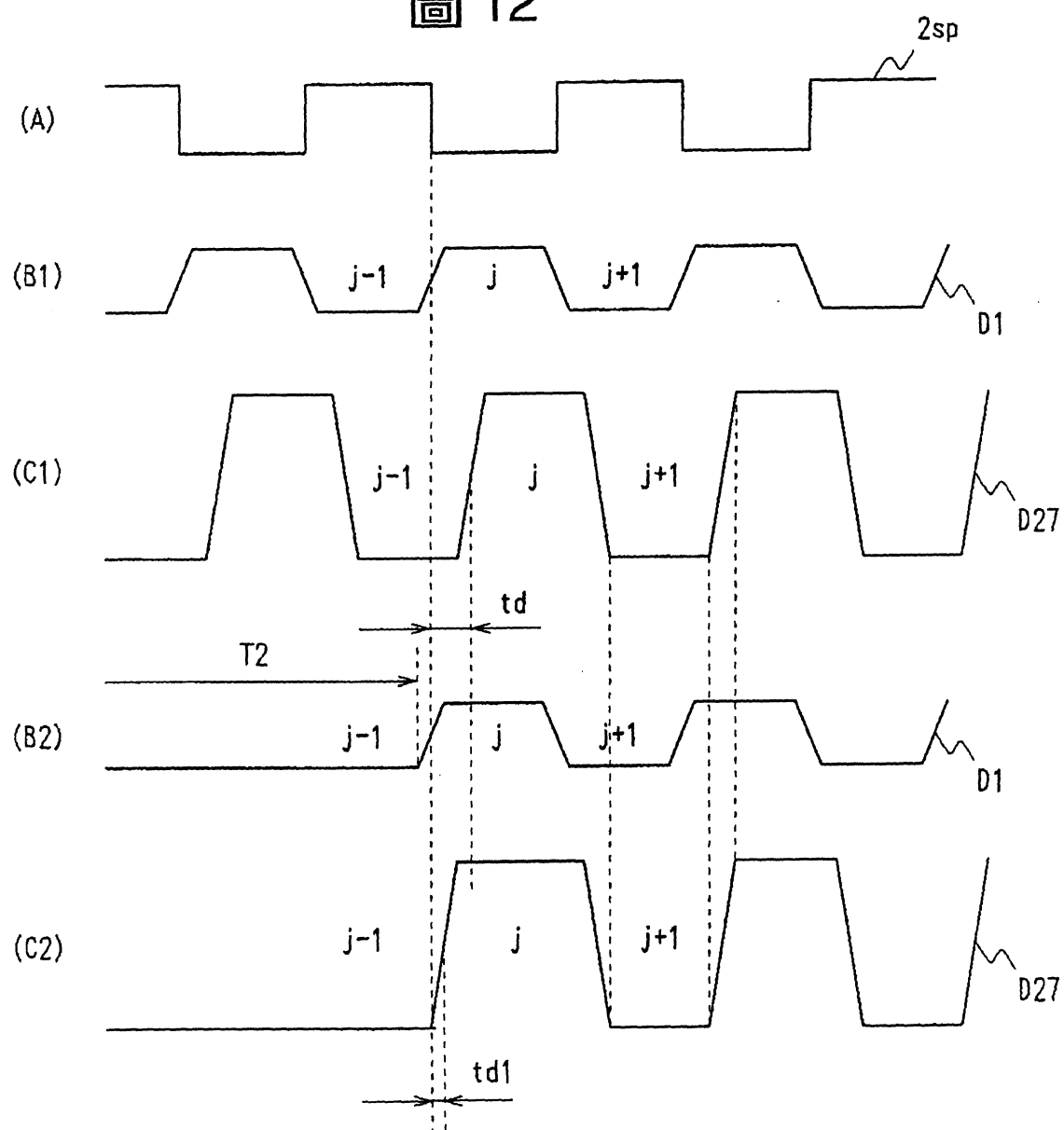


圖 13

七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

1	位準移動器
4	OR 電路
D1 , D2	輸入資料
HDrst	重設脈衝

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)