

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年2月12日 (12.02.2009)

PCT

(10) 国際公開番号
WO 2009/020073 A1

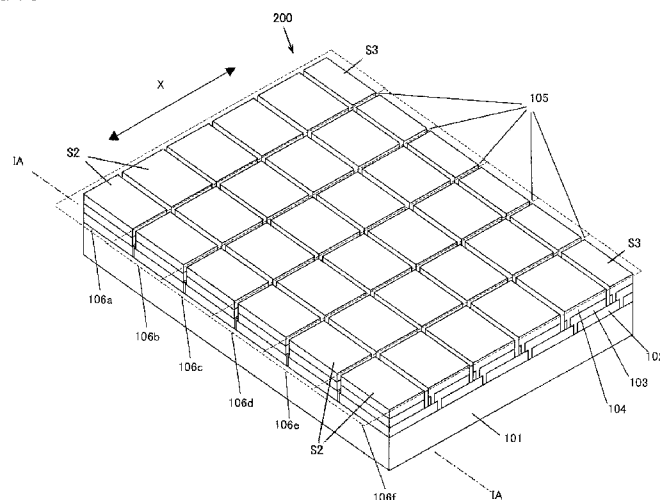
- (51) 国際特許分類:
H01L 31/18 (2006.01)
- (21) 国際出願番号: PCT/JP2008/063889
- (22) 国際出願日: 2008年8月1日 (01.08.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-204426 2007年8月6日 (06.08.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 立花 伸介 (TACHIBANA, Shinsuke). 中野 孝紀 (NAKANO, Takanori).
- (74) 代理人: 野河 信太郎 (NOGAWA, Shintaro); 〒5300047 大阪府大阪市北区西天満5丁目1-3 南森町パークビル 野河特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,

[続葉有]

(54) Title: METHOD AND APPARATUS FOR MANUFACTURING THIN FILM PHOTOELECTRIC CONVERSION MODULE

(54) 発明の名称: 薄膜光電変換モジュールの製造方法および製造装置

[図2]



(57) Abstract: A thin film photoelectric conversion element is provided by sequentially laminating a first electrode layer, a photoelectric conversion layer and a second electrode layer on the surface of an insulating substrate. A string wherein the thin film photoelectric conversion elements are electrically connected in series is divided into a plurality of strings by means of dividing grooves, which electrically insulate and separate the first electrode layer and the second electrode layer one from the other and extend in a serial connection direction. A method for manufacturing the thin film photoelectric conversion module has a step (A) of forming the divided strings, and a step (B) of performing reverse biasing by applying a reverse bias voltage to each thin film photoelectric conversion element of the divided string.

(57) 要約: 絶縁基板の表面上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が互いに電氣的に直列接続されたストリングを、前記第1電極層と前記第2電極層を電氣的に絶縁分離する直列接続方向に延びる分割溝によって複数に分割して、複数の分割ストリングを形成する工程(A)と、前記分割

[続葉有]



WO 2009/020073 A1



SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

添付公開書類:
— 国際調査報告書

明 細 書

薄膜光電変換モジュールの製造方法および製造装置

技術分野

- [0001] 本発明は、薄膜光電変換モジュールの製造方法および製造装置に関し、さらに詳しくは、直列接続された薄膜光電変換素子に逆バイアス電圧を印加して逆バイアス処理を行う薄膜光電変換モジュールの製造方法および製造装置に関する。

背景技術

- [0002] 近年、ガスを原料としてプラズマCVD法により形成される薄膜太陽電池が注目されている。この薄膜太陽電池の例として、シリコン系薄膜からなるシリコン系薄膜太陽電池やCISあるいはCIGS化合物薄膜太陽電池等が挙げられ、開発および生産量の拡大が進められている。

これらの薄膜太陽電池は、プラズマCVD法、スパッタ法または真空蒸着法等により、基板上に透明電極、光電変換層および裏面電極を積層して形成される。薄膜太陽電池は、2つの電極に挟まれた光電変換層の層厚が薄いため、光電変換層中にピンホールが発生すると容易に電極間に短絡が生じ、これによって発電特性が低下する。

このような薄膜太陽電池の特性回復を目的として、太陽電池セルの電極間に逆バイアス電圧を印加することにより、その際に発生したジュール熱により短絡部(ピンホール部分)を飛散させて除去するあるいは酸化して絶縁する逆バイアス処理方法および装置が提案されている。

- [0003] 例えば、特許文献1には、絶縁基板上に第1の電極層、光電変換層、第2の電極層が順次形成された複数の帯状太陽電池セルが直列接続された太陽電池において、太陽電池セルの正負の両極に対し、逆方向に耐電圧以下の電圧を印加し、短絡部を除去する太陽電池の短絡部除去方法および装置が開示されている。この場合、隣接する2つの太陽電池セルの裏面電極に、複数の点状、若しくは1または複数の線状、または1または複数の面状の接触部を有する印加部材を接触させる。一方の太陽電池セルの裏面電極は、他方の太陽電池セルの透明電極と接続されているため、

他方の太陽電池セルに逆方向の耐電圧以下の電圧が印加されることとなる。

- [0004] この短絡部除去方法および装置によると、複数のプローブからなる印加部材や、1または複数の線状あるいは面状の印加部材を用いることによって、印加部材から短絡部までの距離が短くなり、第1の電極および第2の電極における電圧降下が少なくなるため、印加電圧の設定と制御が容易で且つ安定したものとなり、短絡部の除去を確実に行うことができるとされている。

特許文献1:特開平10-4202号公報

発明の開示

発明が解決しようとする課題

- [0005] しかしながら、上述の短絡部除去方法および装置によれば、逆バイアス電圧を印加する太陽電池セルに複数の短絡部が存在し、その複数の短絡部のなかに抵抗値が非常に低く逆バイアス電圧印加によって除去不可能な短絡部が存在した場合、以下の問題を生じる。

つまり、太陽電池セルに逆バイアス電圧を印加すると抵抗値が非常に低い短絡部に電流が集中し、その短絡部より抵抗値の大きな他の短絡部が除去されず、逆バイアス電圧を印加したにも関わらず短絡部が残存してしまうという問題が生じる。また、帯状の太陽電池セルは面積が広いいため、短絡箇所の特定制が困難であり、不良解析に時間を要する。

- [0006] 特に、太陽電池を量産する場合や大きな基板上に太陽電池を形成する場合にこのような問題が生じ易い。太陽電池を量産する場合、基板上に連続して光電変換層が形成され、成膜装置内には光電変換層を形成する材料からなる膜やパウダーが堆積することとなる。このような成膜装置内に堆積した膜やパウダーが成膜前の基板上に付着した場合、この付着物は光電変換層の膜厚に対して大きいものであるため、光電変換層形成後に付着物が剥がれると光電変換層に比較的面積の大きな欠陥部(ピンホール)が形成され、その部分に抵抗値の非常に小さな短絡部が形成されることとなる。また、大きな基板上に太陽電池を形成する場合にも、上述した抵抗値の小さな短絡部が発生する確率が高くなる。このような短絡部は、光電変換層の両側の電極が直接接触し、かつ、両電極の接触面積も比較的大きいものとなるため、抵抗値

が小さく、そのため逆バイアス電圧を印加して局所的に電流を流しても十分なジュール熱を得ることができず、その短絡部を除去できない場合が多い。

[0007] 発明者らは、大きなサイズの基板(例えば1m×1m以上)の上に薄膜太陽電池を形成する量産化技術開発において、上述した抵抗値の小さな短絡部が発生することを発見し、当該短絡部の太陽電池モジュール全体の出力に与える影響を低減することを目的として鋭意技術開発を重ね本発明を完成するに至った。

課題を解決するための手段

[0008] かくして、本発明によれば、絶縁基板の表面上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が互いに電氣的に直列接続されたストリングを、前記第1電極層と前記第2電極層を電氣的に絶縁分離する直列接続方向に延びる分割溝によって複数の分割して、複数の分割ストリングを形成する工程(A)と、前記分割ストリングにおける各薄膜光電変換素子に逆バイアス電圧を印加して逆バイアス処理する工程(B)とを備えた薄膜光電変換モジュールの製造方法が提供される。

また、本発明の別の観点によれば、絶縁基板上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が互いに電氣的に直列接続されたストリングを複数の分割して、複数の分割ストリングを形成する分割手段と、前記分割ストリングにおける各薄膜光電変換素子に逆バイアス電圧を印加して逆バイアス処理する逆バイアス処理手段とを備えた薄膜光電変換モジュールの製造装置が提供される。

発明の効果

[0009] 本発明によれば、薄膜光電変換素子が互いに直列接続されたストリングを複数のストリングに分割して複数の分割ストリングを形成するため、1個当りの薄膜光電変換素子の面積が小さくなる。この結果、1個当りの薄膜光電変換素子中に存在する抵抗値の小さな短絡部の割合(確率)が低減し、1個当りの薄膜光電変換素子中に存在する抵抗値の大きな短絡部の割合(確率)が増加する。

したがって、面積を小さくした薄膜光電変換素子に逆バイアス処理することにより、薄膜光電変換素子中の抵抗値の大きな短絡部を容易かつ効率よく除去することがで

き、薄膜光電変換素子モジュールの出力を向上することができる。

図面の簡単な説明

- [0010] [図1]本発明の実施形態1の薄膜光電変換モジュールの製造方法を説明する図であって、第1ストリングを示す概略斜視図である。
- [図2]本発明の実施形態1の薄膜光電変換モジュールの製造方法を説明する図であって、第2ストリングを示す概略斜視図である。
- [図3]図2中に示したIA－IAに沿った模式的な断面図である。
- [図4]実施形態1における逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。
- [図5]図4のIB－IBに沿った模式的な第2ストリングの断面図である。
- [図6]本発明の実施形態2の薄膜光電変換モジュールの製造方法を説明する図であって、逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。
- [図7]本発明の実施形態3の薄膜光電変換モジュールの製造方法を説明する図であって、逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。
- [図8]実施形態3に係る直列接続された1つの分割ストリングの等価回路である。
- [図9]本発明の実施形態5の薄膜光電変換モジュールの製造方法を説明する図であって、逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。
- [図10]本発明の実施形態6に係る逆バイアス処理方法を示す直列接続された光電変換層の等価回路を示す図である。
- [図11]実施形態2における逆バイアス処理工程で使用可能な本発明の実施形態7としての逆バイアス処理手段を示す概略斜視図である。
- [図12]実施形態7における逆バイアス処理手段の電源を示す概念図である。
- [図13]実施形態7における逆バイアス処理手段の電圧印加ユニットの配置図である。
- [図14]実施形態7における逆バイアス処理手段の移動機構の第1例を示す概略構成図である。

[図15]実施形態7における逆バイアス処理手段の移動機構の第2例を示す概略構成図である。

[図16]実施形態7における逆バイアス処理手段の移動機構の第3例を示す概略構成図である。

[図17]実施形態7における逆バイアス処理手段の移動機構の第4例を示す概略構成図である。

[図18]実施形態2における逆バイアス処理工程で使用可能な本発明の実施形態8としての逆バイアス処理手段を示す概略斜視図である。

[図19]実施形態8における逆バイアス処理手段の電圧印加ユニットの配置図である。

[図20]本発明の実施形態9における逆バイアス処理手段の電源を示す概念図である。

符号の説明

- [0011] 101 絶縁基板(透明絶縁基板)
 102 第1電極層(透明電極層)
 103 光電変換層
 104 第2電極層(裏面電極層)
 100 スtring(第1String)
 105 分割溝
 106a、106b、106c、106d、106e、106f 分割String
 200 第2String
 501、1501、2501 出力端子
 502、1502、2502 電源
 505、1505、2505 導電性部材
 505a1、505a2 電極接続部
 601 昇降駆動部
 602 保持部
 604 導電性板材
 512、1512、2512 逆バイアス処理手段

1604 配線(導電性板材)

2109 切換回路部

S1 帯状セル(薄膜光電変換素子)

S2 単位セル

S3 セル

T、T1、T2、T3、T4 移動機構

U1、U2 電圧印加ユニット

発明を実施するための最良の形態

[0012] 本発明の薄膜光電変換モジュールの製造方法は、絶縁基板の表面上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が互いに電氣的に直列接続されたストリングを、前記第1電極層と前記第2電極層を電氣的に絶縁分離する直列接続方向に延びる分割溝によって複数に分割して、複数の分割ストリングを形成する工程(A)と、前記分割ストリングにおける各薄膜光電変換素子に逆バイアス電圧を印加して逆バイアス処理する工程(B)とを備えたことを特徴とする。

[0013] ここで、逆バイアス処理について説明する。

薄膜光電変換素子を逆バイアス処理をすることによって、その部分に短絡部が存在するか否か、短絡部がどの程度のものであるかを判断することができる。

逆バイアス電圧を印加した場合において、短絡部が存在しないときは電流がほとんど流れないが、短絡部が存在するときは電流が流れて短絡部が除去される。しかし、短絡部の抵抗値が非常に小さい場合には、電流が流れても発熱が十分でなく、その短絡部を除去できない。

逆バイアス電圧を印加したときに流れる電流値の経時変化を測定することにより、以下のように被処理部である薄膜光電変換素子に存在する短絡部を分類したり、修復状況を判断することができる。

[0014] (1)一定値(例えば5V)の逆バイアス電圧印加時に流れる電流値が規定値以下であれば短絡部が存在しない。

(2)一定値(例えば5V)の逆バイアス電圧印加開始時には、規定値より大きな電流

が流れたが徐々に電流が減少し最終的には規定値以下となったときは、短絡部が除去されたと判断できる。また、逆バイアス電圧印加開始時に流れる電流値によって、短絡部の抵抗値を算出することができ、短絡の程度を分類することができる。

(3) 一定値(例えば5V)の逆バイアス電圧を所定時間(例えば数秒程度)印加しても電流値が規定値以下にならない場合には、短絡部の抵抗値が小さく除去不可能なものと判断することができる。

本発明は、以上のような測定結果を分割ストリングにおける薄膜光電変換素子毎に取得することができ、薄膜光電変換モジュールの不良解析が容易となる。

[0015] 本発明に適用される薄膜光電変換モジュールは、絶縁基板上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が複数集積された構造のものであれば特に限定されず、光電変換層としてはpn接合型、pin接合型、ヘテロ接合型、pnまたはpin接合が複数重ねられたタンデム構造型等が挙げられる。また、本発明は、絶縁基板として透明基板を使用したスーパーストレート型の薄膜光電変換モジュールと、不透明基板を使用したサブストレート型の薄膜光電変換モジュールの両方に適用可能である。

[0016] 本発明は、前記工程(B)において、前記分割ストリング毎に異なる電源を用いて同時に逆バイアス処理するようにしてもよい。このようにすれば、複数の分割ストリングは分割溝にて相互に分離されているため、他の分割ストリングの電極に付与される電位の影響を受けることなく、各分割ストリングを個別に同時に逆バイアス処理することができ、逆バイアス処理の処理時間を短縮することができる。なお、同一電源から別の分割ストリングの薄膜光電変換素子に分岐して逆バイアス処理すると、各薄膜光電変換素子が電氣的に並列接続された状態で逆バイアス処理されることとなり、本発明の効果をを得ることができない。

また、分割ストリングの分割幅(直列接続方向と垂直な分割方向の長さ)が短い場合は、分割ストリングを複数の分割ストリングからなるグループに分けて、グループ毎に異なる電源を用いて同時に逆バイアス処理してもよい。各グループ内の分割ストリングは、同一電源から分岐して逆バイアス処理されるため、各グループ内の分割ストリング間では本発明の効果をを得ることはできない。一方、異なる電源により逆バイアス

処理される異なるグループの分割ストリング間では、本発明の効果を得ることができる。

- [0017] また、前記工程(A)において、前記複数の分割ストリングが互いに電氣的に並列接続されるように、前記分割溝を形成するようにしてもよい。この場合、直列方向最上流側のストリングの第1および第2電極層の一部と、直列方向最下流側のストリングの第1および第2電極層の一部とが残るように、複数の分割溝を形成する。

このようにすれば、薄膜光電変換モジュールに電極取り出し部材を接続する際に、複数の分割ストリングをリード線にて並列接続する配線作業が容易となり、配線作業を迅速に行うことができる。

- [0018] また、前記工程(B)において、同一の分割ストリングにおける少なくとも3つの薄膜光電変換素子の前記第2電極層に異なった電位を同時に付与して、前記3つのうちの少なくとも2つの薄膜光電変換素子を同時に逆バイアス処理するようにしてもよい。このようにすれば、2つの薄膜光電変換素子に同時に逆バイアス電圧を印加でき、2つの薄膜光電変換素子を同時に逆バイアス処理することができ、処理作業の時間短縮化を図ることができる。

- [0019] また、前記工程(B)において、同一の分割ストリングにおける全ての薄膜光電変換素子の第2電極層に異なった電位を付与して全ての薄膜光電変換素子を一度に逆バイアス処理するようにしてもよい。このようにすれば、逆バイアス処理をより時間短縮することができる。

ここで、本発明において、同時または一度に逆バイアス処理するとは、複数の薄膜光電変換素子の逆バイアス処理が同時に開始及び終了される場合に限られず、異なった時刻に開始される場合および異なった時刻に終了する場合も含む。すなわち、ある時刻において、複数の薄膜光電変換素子に逆バイアス電圧が印加され逆バイアス処理が行われていればよい。

- [0020] また、上述の工程(B)では、薄膜光電変換素子を逆バイアス処理する際に、絶縁基板とは反対側の複数の第2電極層に電位を付与する場合を説明したが、逆バイアス処理時の薄膜光電変換素子の第1電極層と第2電極層とに異なる電位が付与されればよい。ため、薄膜光電変換素子の第1電極層が露出している場合には第1電極層

に電位を付与してもよい。

また、工程(B)において、薄膜光電変換素子に印加される逆バイアス電圧は、薄膜光電変換素子の耐電圧以下であればよい。逆バイアス電圧は例えば3V程度とすることができるが、薄膜光電変換素子におけるpn接合、pin接合等の接合部が破壊され短絡状態となることを防止するため、薄膜光電変換素子の逆耐電圧以下の電圧であればよい。薄膜光電変換素子の逆耐電圧は、光電変換層の膜厚あるいは層数等の構造により異なるが、一般的には数Vから20V程度である。したがって、逆バイアス電圧は、光電変換層の膜厚あるいは層数等の構造により異なるが、数Vから20V程度に設定することができる。

[0021] 本発明の薄膜光電変換モジュールの製造方法は、以下の薄膜光電変換モジュールの製造装置を用いることができる。すなわち、この薄膜光電変換モジュールの製造装置は、絶縁基板上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が互いに電氣的に直列接続されたストリングを複数に分割して、複数の分割ストリングを形成する分割手段と、前記分割ストリングにおける各薄膜光電変換素子に逆バイアス電圧を印加して逆バイアス処理する逆バイアス処理手段とを備える。

[0022] 前記分割手段としては、ストリングの第1電極層と第2電極層を電氣的に絶縁分離する直列接続方向に延びる分割溝を形成することができる手段であれば特に限定されるものではなく、例えばYAGレーザ又はYVO₄レーザおよび任意にメタルマスクを備えたものとすることができる。

これらのレーザによれば、絶縁基板を傷付けることなく薄膜光電変換素子のみを容易かつ高精度に分割することができる。

また、メタルマスクは、上述したように、複数の分割ストリングが互いに電氣的に並列接続されるように、分割溝を形成する場合に用いられる。つまり、レーザにて直列方向の分割溝を各ストリングに複数本形成する際、ストリングの両端の第1および第2電極層の一部をメタルマスクにてマスクすることにより、マスクした箇所はレーザにて切断されないため、互いに電氣的に並列接続された複数の分割ストリングを形成することができる。

[0023] 前記逆バイアス処理手段としては、電源と、該電源と電氣的に接続されて同一の分割ストリングにおける少なくとも2つの薄膜光電変換素子の前記第2電極層に接触して異なった電位を同時に付与する2つ以上の導電性部材と、前記電源に設けられかつ第2電極層に接触させる前記2つ以上の導電性部材に異なる電位を付与する2つ以上の出力端子とを備えた構成とすることができる。なお、逆バイアス処理手段について詳しくは後述の各実施形態で説明する。

[0024] 以下、図面を参照しながら本発明の薄膜光電変換モジュールの製造方法の実施形態について詳しく説明する。なお、図面や以下の記述中で示す内容は、例示であって、本発明の範囲は、図面や以下の記述中で示すものに限定されない。以下、スーパーストレート型構造の薄膜光電変換モジュールを例に挙げて説明を進めるが、以下の説明は、サブストレート型構造の薄膜光電変換モジュールについても基本的に当てはまる。但し、サブストレート型構造の場合、第1電極、光電変換層および第2電極を形成する順序が逆転し、第2電極、光電変換層および第1電極がこの順序で絶縁基板上に形成される。スーパーストレート型構造の場合は基板側が表面側となり、サブストレート型構造の場合は基板側が裏面側となる。

[0025] (実施形態1)

図1は本発明の実施形態1の薄膜光電変換モジュールの製造方法を説明する図であって、第1ストリングを示す概略斜視図である。

この第1ストリング100は、透明絶縁基板101上に、透明電極層としての第1電極層102、光電変換層103、および裏面電極層としての第2電極層104がこの順序で積層された带状薄膜光電変換素子S1が複数並列し、かつ複数の带状薄膜光電変換素子S1が電氣的に直列接続して構成されている。以下、带状薄膜光電変換素子S1を带状セルS1と称する。

[0026] この第1ストリング100の構造を具体的に説明すると、透明電極層102は、光電変換層103で埋められた第1分離溝107によって分離されており、光電変換層103および裏面電極層105は第2分離溝108によって分離されている。そして、レーザ光等を用いたパターンニングによって光電変換層103が除去された部分であるコンタクトライン109を通して、一の带状セルS1の第2電極層104が隣接する他の带状セルS

1の第1電極層102に接続されることにより、複数の帯状セルS1が電氣的に直列に接続されている。なお、図1において、符号111は薄膜光電変換素子の集積部を表している。

- [0027] 透明絶縁基板101としては、以降の膜形成プロセスにおける耐熱性及び透光性を有するガラス基板、ポリイミド等の樹脂基板等が使用可能である。また、第1電極層102は、透明導電膜からなり、好ましくは、 SnO_2 を含む材料からなる透明導電膜からなる。

SnO_2 を含む材料は、 SnO_2 自体であってもよく、 SnO_2 と別の酸化物の混合物(例えば、 SnO_2 と In_2O_3 の混合物であるITO)であってもよい。

- [0028] p型半導体層には、ボロン、アルミニウム等のp型不純物原子がドーピングされており、n型半導体層にはリン等のn型不純物原子がドーピングされている。i型半導体層は、完全にノンドープである半導体層であってもよく、微量の不純物を含む弱p型又は弱n型で光電変換機能を十分に備えている半導体層であってもよい。なお、本明細書において、「非晶質層」及び「微結晶層」は、それぞれ、非晶質及び微結晶の半導体層を意味する。

光電変換層を構成する各半導体層の材料は、特に限定されず、例えば、シリコン系半導体、CIS(CuInSe_2)化合物半導体、CIGS(Cu(In, Ga)Se_2)化合物半導体等からなる。以下、各半導体層がシリコン系半導体からなる場合を例にとって説明を進める。「シリコン系半導体」とは、非晶質又は微結晶シリコン、又は非晶質又は微結晶シリコンに炭素やゲルマニウム又はその他の不純物が添加された半導体(シリコンカーバイド、シリコンゲルマニウム等)を意味する。また、「微結晶シリコン」とは、結晶粒径が小さい(数十から千Å程度)結晶シリコンと、非晶質シリコンとの混合相の状態のシリコンを意味する。微結晶シリコンは、例えば、結晶シリコン薄膜をプラズマCVD法などの非平衡プロセスを用いて低温で作製した場合に形成される。

- [0029] 第2電極層104の構成や材料は、特に限定されないが、一例では、第2電極104は、透明導電膜と金属膜とが光電変換層上に積層した積層構造を有する。透明導電膜は、 SnO_2 、ITO、ZnOなどからなる。金属膜は、銀、アルミニウム等の金属からなる。

透明導電膜と金属膜は、CVD、スパッタ、蒸着等の方法により形成することができる。

[0030] 次に、本発明の薄膜光電変換モジュールの製造方法について説明する。

この薄膜光電変換モジュールの製造方法では、まず、図1に示した第1ストリング100を以下のようにして作製する。

まず、熱CVD法、スパッタ法等により、透明絶縁基板101上に第1電極層102を膜厚500～1000nm程度で積層する。次に、レーザスクライブ法によって、第1電極層102の一部を所定間隔(7～18mm程度)で除去して複数の第1分離溝107を形成する。

[0031] 続いて、プラズマCVD法等により、第1分離溝107で分離された第1電極層102を覆うように光電変換層103を膜厚300～3000nm程度で積層する。光電変換層103としては、例えばシリコン系半導体薄膜が挙げられ、p型半導体層、i型半導体層およびn型半導体層を順次第1電極102上に積層する。

その後、レーザスクライブ法により、光電変換層103の一部を所定間隔(7～18mm程度)で除去することによって、複数のコンタクトライン109を形成する。

[0032] 続いて、スパッタ法、蒸着法等により、光電変換層103を覆うように透明導電層と金属層をこの順で積層して第2電極層104を形成する。これにより、コンタクトライン109が第2電極層104で埋められる。

次に、レーザスクライブ法によって、光電変換層103および第2電極層104の一部を所定間隔(7～18mm程度)で除去することによって分離して、複数の第2分離溝108を形成する。

なお、第1分割溝107、コンタクトライン109および第2分割溝108を形成するレーザスクライブ法は、各溝を形成する際に除去すべき層に吸収される波長に調整したYAGレーザやYVO₄レーザを用いることができる。

以上により、透明絶縁基板101上に複数の帯状セルS1が互いに直列接続された第1ストリング100が形成される(図1参照)。

[0033] 次に、この第1ストリング100における各帯状セルS1が、図2および図3に示すように複数の分割した分割ストリング106a～106fを有する第2ストリングを作製する。こ

の第2ストリング200が後述する逆バイアス処理の対象物となる。なお、図2は本発明の実施形態1の薄膜光電変換モジュールの製造方法を説明する図であって、第2ストリングを示す概略斜視図であり、図3は図2中に示したIA-IAに沿った模式的な断面図である。

[0034] まず、透明絶縁基板101側からレーザ光を照射しながらX方向(帯状セルS1の長さ方向と直交する方向)に移動させるレーザスクライブ法によって、光電変換層103および第2電極層104の一部を所定間隔(75~250mm程度)で除去して第1分割溝105aを形成する。照射するレーザ光は、第1電極層(透明電極層)102でほとんど吸収されないYAGレーザ第2高調波(波長532nm)を用いることができる。

次に、第1分割溝105aの中央部付近に、透明絶縁基板101側からレーザ光を照射しながらX方向に移動させて、第1電極層102を除去し、第2分割溝105bを形成する。照射するレーザ光は、第1電極層102で吸収されるYAGレーザ基本波(波長1.06 μ m)を用いることができる。

[0035] このように、第1分割溝105aおよび第2分割溝105bからなる分割溝105を形成することによって各帯状セルS1(図1参照)を複数に分割して電氣的に絶縁することにより、複数の単位セルS2がX方向に電氣的に直列接続された分割ストリング106a~106fを複数並列して有する第2ストリング200を作製することができる。図2において、点線で囲まれた複数の細長い長方形領域が各分割ストリングを表している。

なお、図2に示すように、各分割ストリングのX方向の端部側のセルS3は、他の単位セルS2よりもX方向の寸法が短かく形成されており、これらのセルS3は光電変換素子としてではなく、後述の逆バイアス処理時の電極として各セルS3の第2電極104が使用される。

[0036] ところで、図2では、複数の分割ストリング106a~106fが分割溝105によって電氣的に絶縁されて並列してなる第2ストリング200を図示しているが、複数の分割ストリング106a~106fを電氣的に並列接続した第2ストリングを作製してもよい(図示省略)。この場合、透明絶縁基板1側からレーザ光を照射する前に、図1に示すストリング100の直列方向の両端側の2つの帯状セルS1における各第2電極104の長手方向に延びる端縁の真裏に位置する透明絶縁基板101の外面に、メタルマスクを配置する

。そして、メタルマスクを配置した状態で、上述のように透明絶縁基板1側からレーザー光を照射して第1分割溝105aおよび第2分割溝105bを形成して分割溝105を形成する。メタルマスクはレーザー光を透過させないため、メタルマスクにて覆われた部分の第1電極102、光電変換層103および第2電極104は残存する。このメタルマスクとしては、厚さ1～3mm程度のアルミニウム、ステンレス等からなる金属シートを用いることができる。

これにより、複数の分割ストリング106a～106fの直列方向の一端側にある各単位セルS2の第1電極102および第2電極104はそれぞれ共通電極によって並列接続されると共に、複数の分割ストリング106a～106fの直列方向の他端側にある各セルS3の第1電極102および第2電極104はそれぞれ共通電極によって並列接続される。

[0037] 本発明の薄膜光電変換モジュールの製造方法では、次に、第2ストリング200の各単位セルS2に逆バイアス電圧を印加して逆バイアス処理する工程が行われる。単位セルSにおける光電変換層103に形成されたピンホールを通じて第1電極102と第2電極104とが接触した短絡部が存在する場合、この逆バイアス処理によって短絡部の除去、短絡部の分類および修復状況を判断することができる。

[0038] 図4は実施形態1における逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。

この逆バイアス処理手段512は、一定電圧を出力する出力端子501を有する電源502と、出力端子501を第2ストリング200の各第2電極層に接続する導電性部材505とを備えている。

出力端子501は、一対の出力端子501a、501bからなり、本実施形態1においては、一方の出力端子501aに正電位、他方の出力端子501bに0Vの電位を出力できるようにしている。出力端子501aに出力する正電位は任意の値に制御可能である。導電性部材505は、電極接続部505aおよび配線部505bから構成されている。

なお、実施形態1における逆バイアス処理工程で使用可能な具体的な逆バイアス処理手段の構成は、後述する実施形態7および8で説明する。

[0039] 図5は図4のIB－IBに沿った模式的な第2ストリングの断面図である。さらに詳しく

説明すると、図5は図2および図3で示した第2ストリング200における分割ストリング106fをX方向に切断した断面図であり、分割ストリング106fの各单位セルS2およびセルS3における第1電極に102f1～102f5の符号を付すと共に、第2電極に104f1～104f6の符号を付している。

逆バイアス処理工程では、図4に示すように、まず、逆バイアス処理手段の一对の電極接続部505a1、505a2を、例えば手前の分割ストリング106f(図2参照)における端部側の隣り合う第2電極層104f1、104f2に接触させる。一方の単位セルS2の第2電極層104f1は、光電変換層103のn半導体層側の裏面電極である。また、他方の単位セルS2の第2電極層104f2は、一方の単位セルS2における光電変換層103のp半導体層側の透明電極層である第1電極層102f1と接続されている。したがって、一方の第2電極層104f1に正電位を付与し、他方の第2電極層104f2に0Vを付与すれば、一方の単位セルS2の光電変換層103に逆方向電圧が印加され、逆バイアス処理が行われる。

[0040] 具体的には、例えば、出力端子501aに+3Vの電位、出力端子501bに0Vの電位を出力し、第2電極層104f1、104f2間に3Vの電圧を1秒間印加する。これにより、光電変換層103に3Vの逆方向電圧(逆バイアス電圧)が1秒間印加される。

この電圧印加により電流がほとんど流れない場合には、その単位セルS2には短絡部が存在しないと判断して逆バイアス処理を終了し、一对の電極接続部505a1、505a2を一つずれた位置の第2電極層104f2と104f3に接触させて次の単位セルS2の逆バイアス処理を行う。

一方、電圧印加時に所定値以上の電流が流れ、電圧印加期間1秒内に電流が減少しない場合には、出力端子101aの電位を5Vに変更し、さらに1秒間逆バイアス電圧を印加する。それでも電流が減少しない場合には、逆バイアス処理できないと判断して処理を終了し、次の単位セルS2の逆バイアス処理を行う。ここで、出力端子501aに出力する電位が大きすぎると、単位セルS2のpin接合が破壊されるため、単位セルS2に印加される電圧は耐電圧以下とする必要がある。

[0041] 上記手順により、一列の分割ストリング106f(図2参照)の全ての単位セルS2を順次逆バイアス処理する。なお、最後に出力端子505a2を接触させる第2電極104f6の

部分のセルS3は光電変換素子として使用はしないので、このセルS3の逆バイアス処理は省略される。

そして、一列の分割ストリング106fの全ての単位セルS2についての逆バイアス処理が終了すれば、同様の手順で、隣接する次の分割ストリング106eの全ての単位セルS2を順次逆バイアス処理し、このように第2ストリング200における全ての単位セルS2を逆バイアス処理する。

このようにして各単位セルS2の逆バイアス処理時に取得したデータにより、上述のように短絡の程度を分類し、どの部分に短絡部が発生し易いかを容易に解析することができる。この解析結果をフィードバックすることにより、光電変換層の成膜工程などの工程改善に利用することができる。

[0042] また、従来の方法では、薄膜光電変換素子の短絡箇所およびその修復状況を特定することが困難であったが、分割ストリングにおける小面積の薄膜光電変換素子に逆バイアス処理することにより、短絡箇所をより小さな範囲に絞り込むことができ、どの部分で不良発生が起こり易いか等の不良解析が容易となる。その為、製造装置側の問題点を把握しやすくなり、早期対応が可能となる。

また、集積型薄膜太陽電池モジュールは、直列接続された薄膜光電変換素子の一部が射影により発電しなくなると、他の薄膜光電変換素子で発生した電圧が影になって発電しなくなった薄膜光電変換素子のpn接合の逆方向に印加される。逆方向に電圧印加された薄膜光電変換素子中に短絡部が存在すると、その短絡部分に電流が集中して流れ、ジュール熱により発熱して局所的に温度が上昇し、電極と光電変換層の間で膜剥離が発生したり、基板が割れたりする、いわゆる「ホットスポット現象」が発生する可能性がある。本発明によれば、短絡部を効率良く除去することが可能であるため、「ホットスポット現象」の発生率を低減することができる。

[0043] 以下、実施形態1と同様に第2ストリング200を製造し、実施形態1の逆バイアス処理方法とは異なる方法で逆バイアス処理工程を行う実施形態2～6を説明する。実施形態2～6では、第2ストリング200の製造までの説明を省略し、逆バイアス処理工程について主に説明する。なお、実施形態1では、5つの単位セルS2と1つのセルS3が直列接続して1本の分割ストリングが構成された場合を例示したが、実施形態1～6

において1本の分割ストリング内の単位セルS2の数は自由に設計変更することができる。

[0044] (実施形態2)

図6は本発明の実施形態2の薄膜光電変換モジュールの製造方法を説明する図であって、逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。

この実施形態2では、各分割ストリング毎に異なる電源502a～502fを用いて、各分割ストリング内の単位セルS2を順次逆バイアス処理する。つまり、実施形態2の逆バイアス処理手段は、図4で説明した実施形態1の逆バイアス処理手段を複数備えている。

したがって、実施形態2の逆バイアス処理工程では、各分割ストリングの単位セルS2を同時に逆バイアス処理することができ、第2ストリング200の逆バイアス処理時間をより短縮化することができる。なお、分割ストリングの各単位セルを順次逆バイアス処理する手順は、実施形態1と同様である。

[0045] この場合、各分割ストリング間は分割溝105(図3参照)により電氣的に分離されており、他の分割ストリングの第2電極に付与される電位の影響を受けることなく、各分割ストリングを個別に逆バイアス処理することができる。また、各分割ストリングが電氣的に並列接続されていても、他の分割ストリングの第2電極に付与される電位の影響を受けることはない。

また、複数電源の正負いずれかの端子(例えば負側端子)を短絡して(共通の配線を利用して)同電位としても、他方の端子(例えば正側の端子)が短絡されていなければ、他の分割ストリングに付与される電圧の影響を受けることなく、各分割ストリングを個別に逆バイアス処理することができる。

[0046] (実施形態3)

図7は本発明の実施形態3の薄膜光電変換モジュールの製造方法を説明する図であって、逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。また、図8は実施形態3に係る直列接続された1つの分割ストリングの等価回路である。なお、図7における第2ストリング200は図4の実施形態1およ

び図6の実施形態2と同じものであり、図7における図4および図6と同一の要素には同一の符号を付している。また、図8の等価回路は分割ストリング106fのものであり、符号103f1～103f6は直列接続された各単位セルS2の光電変換層を表している。

この実施形態3では、逆バイアス処理工程において、同一の分割ストリングにおける少なくとも3つの単位セルS2の第2電極層に異なった電位を同時に付与して、前記3つのうちの少なくとも2つの単位セルS2を同時に逆バイアス処理する。

[0047] 実施形態3の逆バイアス処理手段1512は、3つの異なった電圧を同時に3つの単位セルS2の第2電極104に付与するものであって、3つの異なった電位を同時に出力する3つの出力端子1501を有する電源1502と、3つの出力端子1501を直列接続された3つの単位セルS2の第2電極104に接続する導電性部材105とを備えている。導電性部材105は電極接続部105a及び配線部105bからなる。

出力端子101それぞれからは、異なった電位が出力されていれば良く、本実施形態3においては、例えば、出力端子101aに+3V、出力端子101bに0V、出力端子101cに−3Vの電位を出力することができる。

この逆バイアス処理手段1512により、2つの単位セルS2に同時に逆バイアス電圧3Vを印加でき、2つの単位セルS2を同時に逆バイアス処理することができる。

本実施形態3において、逆バイアス電圧を3Vとしたが、単位セルS2のpin接合が破壊され短絡状態となることを防止するため、単位セルS2の耐電圧以下の電圧であればよい。単位セルS2の耐電圧は、光電変換層の膜厚あるいは層数等の構造により異なるが、一般的には数Vから20V程度であるため、この範囲内に逆バイアス電圧を設定することが可能である。

[0048] 次に、実施形態3の逆バイアス処理手段を用いた逆バイアス処理工程を図7および図8を参照しながら説明する。

まず、第2電極層104f1、104f2、104f3それぞれに電極接続部1505a1、1505a2、1505a3を接触させ、例えば、出力端子1501aに+3V、出力端子1501bに0V、出力端子1501cに−3Vの電位を出力すると、図8に示すように、第2電極層104f1に+3V、第2電極層104f2に0V、第2電極層104f3に−3Vの電位が付与される。これによって、光電変換層103f1および光電変換層103f2に3Vの逆バイアス電圧が同時に印加され、こ

これらの光電変換層を同時に逆バイアス処理することができる。この際、3つのうち残りの光電変換層103f3から他の隣の光電変換層103f4に電圧が印加されることはなく、トランジスタとして順方向動作する等による問題が生じることはない。

[0049] 光電変換層103f1および光電変換層103f2の逆バイアス処理終了後、第2電極層104f3、104f4、104f5それぞれに電極接続部1505a1、1505a2、1505a3を接触させ、出力端子1501aに+3V、出力端子1501bに0V、出力端子1501cに−3Vの電位を出力する。これにより、光電変換層103f3および光電変換素子103f4に3Vの逆バイアス電圧が同時に印加され、これらの光電変換素子を同時に逆バイアス処理することができる。

このように、隣接する2つの光電変換層を同時に逆バイアス処理していくことができ、その後、逆バイアス処理すべき光電変換層が1つ残った場合、具体的には図8における光電変換層103f5を逆バイアス処理する場合は、光電変換層103f5の第2電極層104f5に電極接続部1505a1を接触させ、かつ隣の第2電極層104f6に電極接続部1505a2を接触させ、出力端子1501aに+3V、出力端子1501bに0Vの電位を出力する。あるいは、光電変換層103f5の第2電極層104f5に電極接続部1505a2を接触させ、かつ隣の第2電極層104f6に電極接続部1505a3を接触させ、出力端子1501bに0V、出力端子1501cに−3Vの電位を出力する。

[0050] このように、一列の分割ストリング106fの全ての単位セルS2についての逆バイアス処理が終了すれば、同様の手順で、隣接する次の分割ストリング106eの全ての単位セルS2を順次逆バイアス処理し、このように第2ストリング200における全ての単位セルS2を逆バイアス処理する。

この実施形態3によれば、実施形態1よりも逆バイアス処理工程を短時間で終了することができる。

[0051] (実施形態4)

実施形態4では、逆バイアス処理工程(B)において、同一の分割ストリングにおける全ての薄膜光電変換素子の第2電極層に異なった電位を付与して全ての薄膜光電変換素子を一度に逆バイアス処理する。

つまり、前記実施形態3では、電源1502からの出力電位、出力端子1501および導

電性部材1505をそれぞれ3つとしたが、1つの分割ストリング中の直列接続された単位セルS2の数が多い場合には、出力電位、出力端子および導電性部材の数を増加させることにより、逆バイアス処理工程をさらに時間短縮化させることができる。さらには、単位セルS2の第2電極層すべてに対応した出力電位、出力端子および導電性部材を設けることにより、一度に全ての単位セルS2を逆バイアス処理することも可能である。

[0052] 実施形態4は、実施形態3の応用であり、例えば、図8に示すように1つの分割ストリングが5つの直列接続された光電変換層103f1～103f5を有するものである場合、これら5つの光電変換層103f1～103f5を同時に逆バイアス処理するには、第2電極104f1～104f6の電位がこの順に段階的に小さくなるように、例えば+9V、+6V、+3V、0V、-3V、-6Vの電圧(光電変換層の耐電圧以下)を同時に印加することにより、1つの分割ストリング内の全ての光電変換層103f1～103f5を逆バイアス処理することができる。

[0053] (実施形態5)

実施形態5では、実施形態3と同様の逆バイアス処理方法が用いられるが、実施形態3の逆バイアス処理手段1512とは異なる逆バイアス処理手段2512を用いて、第2ストリング200の逆バイアス処理工程が行われる。本発明の実施形態5の薄膜光電変換モジュールの製造方法を説明する図であって、逆バイアス処理工程およびこの工程で使用する逆バイアス処理手段を説明する概略図である。

この逆バイアス処理手段2512は、異なった電位が出力される3つの出力端子を有する電源および4つ以上の導電性部材を有し、さらに、4つ以上の導電性部材のうちの任意の3つの導電性部材と3つの出力端子とが電氣的に接続するよう回路を切り換える切換回路部を備えたものである。

[0054] 具体的に説明すると、図9に示すように、3つの出力端子2501a、2501b、2501cのそれぞれには例えば+3V、0V、-3Vの電位が出力される。また、電極接続部2505aと配線部2505bとからなる導電性部材2505は、4本以上の6本備えられている。さらに、逆バイアス処理手段2512は、3つの出力端子2501a、2501b、2501cと6本の導電性部材2505のうちの任意の3本とを電氣的な接続状態に切り換える切換回路部2109を備

えている。

この切換回路部2109は、3つの出力端子2501a、2501b、2501cと配線2112を介して接続される3つの入力端子2111と、6本の導電性部材2505の配線部2505bと接続される6つの出力端子2110と、3つの出力端子2501a、2501b、2501cと6つの出力端子2110のうちの任意の3つの出力端子とを電氣的な接続状態(ON状態)に切り換える切換部2109aと、出力端子2110それぞれに対応したスイッチ部2109bとを備える。

[0055] この逆バイアス処理手段2512を用いて第2ストリング200を逆バイアス処理する場合、図9に示すように、まず、1つの分割ストリング106fにおける全ての第2電極104f1～140f6に全ての電極接続部2505aを接触させる。そして、第2電極104f1、104f2、140f3にそれぞれ+3V、0V、-3Vの電圧を印加する際は、第2電極104f1に対応する出力端子2110と電源2502の出力端子2501a(+3V)とを接続状態に切り換え、第2電極104f2に対応する出力端子2110と電源2502の出力端子2501b(0V)とを接続状態に切り換え、第2電極104f3に対応する出力端子2110と電源2502の出力端子2501c(-3V)とを接続状態に切り換えるよう切換部2109aを作動させると共に、第2電極104f1、104f2、140f3に対応する出力端子2110のスイッチ部2109bをON状態に作動させる。

[0056] これにより、実施形態3と同様に、第2電極104f1および104f2に対応する2つの光電変換層に逆バイアス電圧3Vが印加されて逆バイアス処理が施される。次の逆バイアス処理では、第2電極104f3および104f4に対応する2つの光電変換層に逆バイアス電圧3Vが印加されるよう、切換部2109aおよびスイッチ部2109bを適切に切り換え、このようにして最後の光電変換層まで逆バイアス処理を行う。なお、逆バイアス処理すべき光電変換層が1つ残った場合は、その光電変換層の第2電極層104f5に+3Vまたは0Vの電位を付与し、端部の第2電極104f6に0Vまたは-3Vの電位を付与するよう、切換部2109aおよびスイッチ部2109bを適切に切り換えればよい。

そして、このようにして1つの分割ストリングについての逆バイアス処理が終了すれば、未処理の分割ストリングを順次逆バイアス処理していく。

実施形態5によれば、実施形態3と同様に、切換回路部2109により選択された任意の2つの光電変換素子に同時に逆バイアス電圧を印加でき、2つの光電変換素子を同時に逆バイアス処理することができる。また、逆バイアス処理する光電変換素子を

選択する際に、電極接続部2505aと光電変換層の位置を相対的に移動させる必要がなく、この相対的移動のための移動手段が不要となる。

[0057] (実施形態6)

実施形態6に係る逆バイアス処理方法は、互いに隣接していない複数の光電変換素子を同時に逆バイアス処理するものである。図10は実施形態6に係る逆バイアス処理方法を示す直列接続された光電変換層の等価回路を示している。

この場合、図10に示すように、第2電極104f1に例えば+3V、第2電極104f2および第2電極104f4に0V、第2電極104f5に−3Vの電位を付与することにより、光電変換層103f1および光電変換層103f4に3Vの逆バイアス電圧が同時に印加され、これらの光電変換層を同時に逆バイアス処理することができる。この際、同時に逆バイアス処理される光電変換層103f1と光電変換層103f4の間に位置する光電変換素子103f2および光電変換層103f3には、電圧が印加されず、トランジスタとして順方向動作する等による問題が生じることはない。

[0058] また、本実施形態6の場合、さらに第2電極104f3に0Vを付与し、同時に逆バイアス処理される光電変換層103f1と光電変換層103f4の間に位置する全ての第2電極104f2〜104f4を同一の電位0Vとしてもよい。

また、本実施形態において、第2電極104f2および第2電極104f4を同電位の0Vとしたが、異なる電位とすることもできる。ただし、この場合は、光電変換層103f2および光電変換層103f3が順方向動作してこれらの光電変換層に大電流が流れないようにする必要がある。光電変換層103f2および光電変換層103f3のような逆バイアス処理されない光電変換層は、順バイアス動作しないことが望ましい。ただし、順バイアス動作させても、光電変換層が破損しない程度の順方向電流が流れる場合や、その順方向電流を流しても電源の電力容量の範囲内であり、印加電圧が低下しない場合には、本方法を使用することは可能である。

この実施形態6に係る逆バイアス処理方法は、逆バイアス処理する必要のある光電変換素子が離れて位置している場合に、それらを同時に逆バイアス処理するときに有効である。

[0059] (実施形態7)

図11は実施形態2における逆バイアス処理工程で使用可能な実施形態7としての逆バイアス処理手段を示す概略斜視図である。なお、図11において、図6中の構成要素と同一の構成要素には、同一の符号を付している。

この逆バイアス処理手段は、図12に示すように、実施形態2で説明した出力端子501a、501bを有する複数の電源502(502a～502f)に加えて、各分割ストリング106a～106fにおける2つの薄膜光電変換素子(単位セルS2)に電位を付与する複数の電圧印加ユニットU1と、各電圧印加ユニットU1を直列接続方向(X方向)に移動させる移動機構Tとをさらに備える。

図13は、各分割ストリング106a～106fに対応する複数の電圧印加ユニットU1の配置を示している。

[0060] 電圧印加ユニットU1は、分割ストリングにおける2つの薄膜光電変換素子の第2電極層に接触可能な2つのピン形電極接続部505a1、505a2と、2つの電極接続部505a1、505a2を相互に電氣的に絶縁した状態で連結して各電極接続部505a1、505a2を昇降させる昇降駆動部601と、昇降駆動部601を保持する保持部602とを有する。

[0061] 具体的には、保持部602は、例えば下方開口部を有するボックスからなる。また、昇降駆動部601は、例えば伸縮可能なエアースリンダからなり、エアースリンダのロッド部がボックスの下方開口部側へ上下方向に移動可能なように、エアースリンダの本体部がボックスの内面に固定されている。なお、この場合、移動機構T1は、図示しないエアース供給源と、エアース供給源と各エアースリンダとを接続して各エアースリンダに圧縮エアースを供給する可撓性エアースチューブ等を備える。

[0062] また、例えば、エアースリンダのロッド部下端には平板603が水平状に取り付けられ、この平板603の下面に2枚の導電性板材604が間隔を置いて取り付けられ、各導電性板材604の下面に電極接続部505a1、505a2が一体化されている。この2枚の導電性板材604は、電源502の出力端子501a、501bに配線部505b、505bを介して電氣的に接続されている。

また、2枚の導電性板材604の電氣的絶縁性および2つの電極接続部505a1、505a2の電氣的絶縁性が確保されるように、例えば、平板603を絶縁材料にて構成し、各導電性板材604を平板603にボルト・ナット結合している。

[0063] なお、配線部505b、505bおよび上述のエアーチューブは、各電圧印加ユニットU1のX方向への移動を妨げないようにして移動機構T1の基盤701の下面側に配置されている。あるいは、基盤701の複数箇所にX方向に延びるスリットを形成し、このスリットに配線部505b、505bおよびエアーチューブを通して外部へ引き出すことにより、基盤701の下面側のスペースに移動機構Tの部材のみを配置させてもよい。

[0064] 移動機構Tは、複数の電圧印加ユニットU1の保持部602と連結されて、各保持部602を連動してまたは独立して直列接続方向Xに移動可能に構成されており、具体的な構成は特に限定されず、例えば、ボールネジ機構、ベルト車機構（プーリー機構）、チェーン・スプロケット機構等を採用することができる。

ボールネジ機構としては図14および図15が例示され、ベルト車機構としては図16および図17が例示される。

[0065] <移動機構の第1例>

図14はボールネジ機構を採用して複数の電圧印加ユニットU1を連動させる移動機構T1を示している。

この移動機構T1は、基盤701（図11参照）と、基盤701の下面のX方向の両側に固定された平行な一対の固定片702と、一対の固定片702に回転可能に枢着された複数のスクリーシャフト703と、各スクリーシャフト703に螺着されたナット部704と、各スクリーシャフト703の後端に取り付けられた第1笠歯車705と、一対の固定片702に固定された複数のガイドシャフト706と、各スクリーシャフト703の後端側に配置されて基盤701の下面に回転可能に取り付けられたメインスクリーシャフト707と、メインスクリーシャフト707を回転させるモータMと、メインスクリーシャフト707に取り付けられて各第1笠歯車705と噛合する複数の第2笠歯車708とを備えている。

[0066] 複数のスクリーシャフト703と複数のガイドシャフト706は交互にかつ平行に配置されており、1本のスクリーシャフト703と1本のガイドシャフト706との1組が1つの電圧印加ユニットU1に対応している。

電圧印加ユニットU1は、その保持部であるボックスの上壁が、図示しない取付部材を介して移動機構T1のナット部704に固定されかつガイドシャフト706にスライド可能に取り付けられている。

[0067] このように構成された移動機構T1に、上述のように各電圧印加ユニットU1が取り付けられているため、移動機構T1のモータMによってメインスクリーシャフト707と共に各第2笠歯車708が回転すると、各第1笠歯車705と共に各スクリーシャフト703が回転し、それによって各ナット部と共に各電圧印加ユニットU1が同時にX方向に移動する。

この移動機構T1を備えた逆バイアス処理手段によれば、電圧印加ユニットU1の電極接続部505a1を分割ストリングの逆バイアス処理すべき単位セルS2上に移動させたところで、昇降駆動部601にて電極接続部505a1、505a2を降下させて2つの単位セルS2の第2電極層に接触させ、実施形態1で説明した逆バイアス処理を行う。処理後、電極接続部505a1、505a2を上昇させ、同様に移動、降下、逆バイアス処理、上昇を繰り返して、全ての単位セルS2の逆バイアス処理を行う。

[0068] この逆バイアス処理手段によれば、このような逆バイアス処理を複数の分割ストリング106a～106fについて並行して行うことができる。なお、各電圧印加ユニットU1に対応する複数の電源502a～502fを独立してON/OFF制御することができ、かつ各電圧印加ユニットU1を独立して昇降させることができるため、各分割ストリング106a～106fの単位セルS2によって逆バイアス処理の時間に差がある場合は、処理が済んだ単位セルS2に対応する電源から順次OFFし、かつ電圧印加ユニットU1を上昇させてもよい。このようにすれば、電力の省エネルギー化を図り、かつ次の単位セルS2を逆バイアス処理するために待機させておくことができる。

[0069] <移動機構の第2例>

図15はボールネジ機構を採用して複数の電圧印加ユニットU1を独立して移動可能な移動機構T2を示している。なお、図15において、図14中の部材と同様の部材には同一の符号を付している。

この移動機構T2は、上述の移動機構T1における複数の第2笠歯車708を有するメインスクリーシャフト707およびこれを回転させるモータMが省略される代りに、各スクリーシャフト703を個別に回転させる複数のモータMが備えられる。移動機構T2におけるその他の構成および各電圧印加ユニットU1との取り付け構造は、移動機構T1と同様である。

[0070] この移動機構T2を備えた逆バイアス処理手段によれば、各電圧印加ユニットU1に対応するモータMをそれぞれ独立して駆動制御することができるため、各分割ストリング106a～106fの単位セルS2によって逆バイアス処理の時間に差がある場合でも、各分割ストリング106a～106fの処理に応じたタイミングで個別に各電圧印加ユニットU1を移動させることができる。

[0071] <移動機構の第3例>

図16はベルト車機構を採用して複数の電圧印加ユニットU1を連動させる移動機構T3を示している。

この移動機構T3は、前記基盤701(図11参照)と、基盤701の下面の所定位置に上下方向の軸心P廻りに回転可能に取り付けられた複数の第1～第3プーリー801a、801b、801cと、複数の第1～第3プーリー801a、801b、801cに掛け巻かれた無端状ワイヤベルト802と、1つの第3プーリー801cを回転させるモータMと、ワイヤベルト802の所定箇所と複数の電圧印加ユニットU1の保持部602(図11参照)とを連結する複数の連結部材803と、複数の電圧印加ユニットU1をX方向にスライド可能に吊り持ちする図示しないガイドシャフトとを備えている。

[0072] 第1プーリー801aは、基盤701のX方向の逆バイアス処理開始側の端部であって、各電圧印加ユニットU1に対応する位置に複数個並列している。第2プーリー801bは、基盤701のX方向の逆バイアス処理終了側であって、各電圧印加ユニットU1に対応する位置の間に複数個並列している。第3プーリー801cは、基盤701のX方向の第2プーリー801bよりも逆バイアス処理終了側の端部であって、両側の第1プーリー801aと対向する位置に2個配置されている。そして、一方の第3プーリー801cがその回転軸を介してモータMにて回転する。

[0073] このように配置された複数の第1～第3プーリー801a、801b、801cにワイヤベルト802が図16のように掛け巻かれることにより、各電圧印加ユニットU1に対応する位置にワイヤベルト802の直線部802a、802bが対となって平行に形成される。一对の直線部802a、802bは、第3プーリー801cが一方向に回転することにより相互に逆方向に移動する。

各対の直線部802a、802bのうち、同方向に移動する各直線部(図16では直線部80

2a)に前記連結部材803がX方向の同じ位置に固定されている。

[0074] 図示しない複数のガイドシャフトは、図14で説明した基盤701の下面に固定された一対の平行な固定片702に両端が取り付けられ、1つの電圧印加ユニットU1に対して2本平行にかつX方向に延びて配置されている。そして、各電圧印加ユニットU1の保持部602の上壁が図示しない取付部材を介して各対のガイドシャフトにスライド可能に吊り下げられている。なお、この取付部材と前記連結部材803とは一体化された部材であってもよい。

[0075] この移動機構T3によれば、モータMにて第3プーリー801cが一方向または逆方向に回転することにより、ワイヤベルト802の各直線部802aが一斉に同方向に移動するため、各電圧印加ユニットU1をX方向に同時に移動させることができる。したがって、この移動機構T3を備えた逆バイアス処理手段によれば、移動機構T1を備えた逆バイアス処理手段と同様に、複数の分割ストリング106a～106fについて並行して逆バイアス処理を行うことができる。また、処理が済んだ単位セルS2に対応する電源から順次OFFし、かつ電圧印加ユニットU1を上昇させ、電力の省エネルギー化を図り、かつ次の単位セルS2を逆バイアス処理するために待機させておくことができる。

なお、この移動機構T3における各プーリーをスプロケットに代え、無端状ワイヤベルト802を無端状チェーンに代えてもよい。

[0076] <移動機構の第4例>

図17はベルト車機構を採用して複数の電圧印加ユニットU1を独立して移動可能な移動機構T4を示している。なお、図17において、図16中の部材と同様の部材には同一の符号を付している。

この移動機構T4は、上述の移動機構T3と同様の複数の第1プーリー801aと、基盤701のX方向の逆バイアス処理終了側であって、各第1プーリー801aと対向する位置に配置された複数の第2プーリー801dと、各対の第1プーリー801aと第2プーリー801bに掛け巻かれた無端状ワイヤベルト804と、各第2プーリー801bを個別に回転させる複数のモータMとを備える。

そして、各ワイヤベルト804における一対の直線部804a、804bのうち的一方(図17では直線部804a)に、移動機構T1と同様の連結部材803が固定されている。なお、移

動機構T4におけるその他の構成および各電圧印加ユニットU1との取り付け構造は、移動機構T3と同様である。

[0077] この移動機構T4を備えた逆バイアス処理手段によれば、移動機構T2と同様に、各電圧印加ユニットU1に対応するモータMをそれぞれ独立して駆動制御することができるため、各分割ストリング106a～106f(図11参照)の単位セルS2によって逆バイアス処理の時間に差がある場合でも、各分割ストリング106a～106fの処理に応じたタイミングで個別に各電圧印加ユニットU1を移動させることができる。

[0078] (実施形態8)

図18は実施形態2における逆バイアス処理工程で使用可能な実施形態8としての逆バイアス処理手段を示す概略斜視図である。なお、図18において、図6および図11中の構成要素と同一の構成要素には、同一の符号を付している。

[0079] 図18および図19に示すように、実施形態8の逆バイアス処理手段は、実施形態2で説明した出力端子501a、501bを有する複数の電源502(502a～502f)に加えて、隣接する複数の分割ストリング106a～106fにおける4つ以上の偶数の単位セルS2の第2電極層に接触して電位を付与する複数の電圧印加ユニットU2と、各電圧印加ユニットU2を直列接続方向(X方向)に移動させる移動機構Tとを備えている。

[0080] 電圧印加ユニットU2は、各分割ストリングにおける2つの単位セルS2の第2電極層に接触可能な複数対のピン形電極接続部505a1、505a2と、各分割ストリングにおけるX方向と直交する方向(Y方向)に隣接する複数の単位セルS2と接触可能な複数の電極接続部505a1を電氣的に接続する配線1064と、直列接続方向で対をなす電極接続部505a1、505a2を相互に電氣的に絶縁した状態で連結して複数対の電極接続部505a1、505a2を昇降させる昇降駆動部601と、昇降駆動部601を保持する保持部602とを有する。

つまり、実施形態8における逆バイアス処理手段の電圧印加ユニットU2は、実施形態7における隣接する2つの電圧印加ユニットU1を一体化したような構造であり、移動機構Tは、実施形態7と同様に、複数の電圧印加ユニットU2を連動してまたは独立してX方向に移動可能に構成されたものであり、上述の移動機構T1～T4を採用することができる。

なお、図19は、各分割ストリング106a～106fに対応する複数の電圧印加ユニットU2の配置を示している。

[0081] 具体的に、電圧印加ユニットU2は、例えば、2つの分割ストリング106e、106fの隣接する4つの単位セルS2の第2電極層に接触する4つの電極接続部505a1、505a2と、Y方向に隣接する2つの電極接続部505a1、505a1および2つの電極接続部505a2、505a2をそれぞれ連結する導電性板材からなる前記配線1604、1604と、2枚の配線1604、1604を絶縁状態で連結する平板603と、平板603に連結された昇降駆動部601としてのエアースリンダと、エアースリンダを固定する保持部602としての下方開向部を有するボックスと、エアースリンダに図示しない可撓性チューブを介して圧縮エアを供給するエア源とを備える。

[0082] また、電源502は、その出力端子501a、501bが、各配線1604、1604に接続される。そのため、2つの電極接続部505a1、505a1には同一の電位が付与され、他の2つの電極接続部505a2、505a2には同一の電位が付与される。

このように実施形態8の電圧印加ユニットU2が構成されるため、電圧印加ユニットの数および電源の半数は実施形態7の半数となる。

このように構成された実施形態8の逆バイアス処理によれば、採用する移動機構T1～T4によって複数の電圧印加ユニットU2をX方向に連動させながらまたは独立して移動させながら、実施形態2に準じて各分割ストリング106a～106fを逆バイアス処理することができる。さらに、実施形態8の逆バイアス処理は、実施形態7に比べて構成が簡素であり、低コストにて作製することができる。

[0083] (実施形態9)

上述の実施形態7および8は、各電圧印加ユニットU1 (または各電圧印加ユニットU2) に個別に電源502a～502fが設けられた場合であるが(図12参照)、実施形態9として、図20に示すように1つの電源502を複数の電圧印加ユニットU1 (または各電圧印加ユニットU2) に対して並列接続してもよい。

この場合、Y方向に並ぶ全ての電極接続部505a1に同一の電位が付与され、Y方向に並ぶ他の全ての電極接続部505a2に同一の電位が付与されるため、電源数を1つでまかなうことができ、電源数の大幅な削減により逆バイアス手段の作製コストを低

減することができる。

なお、実施形態9において、電圧印加ユニットおよび移動機構は、実施形態7または8の構成を採用することができるが、移動機構T2またはT4を用いる場合、各電圧印加ユニットのX方向の移動を妨げないように考慮して配線部505b、505bを配線する。

[0084] (他の実施形態)

実施形態8では、1つの電圧印加ユニットU2で2つの分割ストリングを逆バイアス処理するよう構成された場合を例示したが、1つの電圧印加ユニットU2で3つ～全ての分割ストリングを逆バイアス処理するよう構成してもよい。このようにすれば、電圧印加ユニットおよび移動機構の構成部品をさらに削減することができ、作製コストをより低減することができる。この場合、昇降駆動部の数、電源の数および電源と電圧印加ユニットとの接続形態等も適宜選択することができる。

請求の範囲

- [1] 絶縁基板の表面上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が互いに電氣的に直列接続されたストリングを、前記第1電極層と前記第2電極層を電氣的に絶縁分離する直列接続方向に延びる分割溝によって複数の分割して、複数の分割ストリングを形成する工程(A)と、
前記分割ストリングにおける各薄膜光電変換素子に逆バイアス電圧を印加して逆バイアス処理する工程(B)とを備えたことを特徴とする薄膜光電変換モジュールの製造方法。
- [2] 前記工程(B)において、少なくとも2つの前記分割ストリングに異なる電源を用いて同時に逆バイアス処理する請求項1に記載の薄膜光電変換モジュールの製造方法。
- [3] 前記工程(A)において、前記複数の分割ストリングが互いに電氣的に並列接続されるように、前記分割溝を形成する請求項1または2に記載の薄膜光電変換モジュールの製造方法。
- [4] 前記工程(B)において、同一の分割ストリングにおける少なくとも3つの薄膜光電変換素子の前記第2電極層に異なった電位を同時に付与して、前記3つのうちの少なくとも2つの薄膜光電変換素子を同時に逆バイアス処理する請求項1～3のいずれか1つに記載の薄膜光電変換モジュールの製造方法。
- [5] 前記工程(B)において、同一の分割ストリングにおける全ての薄膜光電変換素子の第2電極層に異なった電位を付与して全ての薄膜光電変換素子を一度に逆バイアス処理する請求項1～3のいずれか1つに記載の薄膜光電変換モジュールの製造方法。
- [6] 前記工程(B)において、前記薄膜光電変換素子に印加される逆バイアス電圧は、前記薄膜光電変換素子の耐電圧以下である請求項1～5の何れか1つに記載の薄膜光電変換モジュールの製造方法。
- [7] 絶縁基板上に第1電極層、光電変換層および第2電極層が順次積層されてなる薄膜光電変換素子が互いに電氣的に直列接続されたストリングを複数の分割して、複数の分割ストリングを形成する分割手段と、
前記分割ストリングにおける各薄膜光電変換素子に逆バイアス電圧を印加して逆

バイアス処理する逆バイアス処理手段とを備えたことを特徴とする薄膜光電変換モジュールの製造装置。

- [8] 前記分割手段が、YAGレーザまたはYVO₄レーザおよび任意にメタルマスクを備え、

前記逆バイアス処理手段が、電源と、該電源と電氣的に接続されて同一の分割ストリングにおける少なくとも2つの薄膜光電変換素子の前記第2電極層に接触して異なった電位を同時に付与する2つ以上の導電性部材と、前記電源に設けられかつ第2電極層に接触させる前記2つ以上の導電性部材に異なる電位を付与する2つ以上の出力端子とを備えた請求項7に記載の薄膜光電変換モジュールの製造装置。

- [9] 前記逆バイアス処理手段が、各分割ストリングにおける2つの薄膜光電変換素子の前記第2電極層に接触して電位を付与する複数の電圧印加ユニットと、各電圧印加ユニットを直列接続方向に移動させる移動機構とをさらに備え、

前記電圧印加ユニットは、分割ストリングにおける2つの薄膜光電変換素子の第2電極層に接触可能な2つのピン形電極接続部と、該2つの電極接続部を相互に電氣的に絶縁した状態で連結して各電極接続部を昇降させる昇降駆動部と、該昇降駆動部を保持する保持部とを有し、

前記移動機構は、複数の電圧印加ユニットの前記保持部と連結されて、各保持部を連動してまたは独立して直列接続方向に移動可能に構成された請求項8に記載の薄膜光電変換モジュールの製造装置。

- [10] 前記逆バイアス処理手段が、隣接する複数の分割ストリングにおける4つ以上の偶数の薄膜光電変換素子の前記第2電極層に接触して電位を付与する複数の電圧印加ユニットと、各電圧印加ユニットを直列接続方向に移動させる移動機構とをさらに備え、

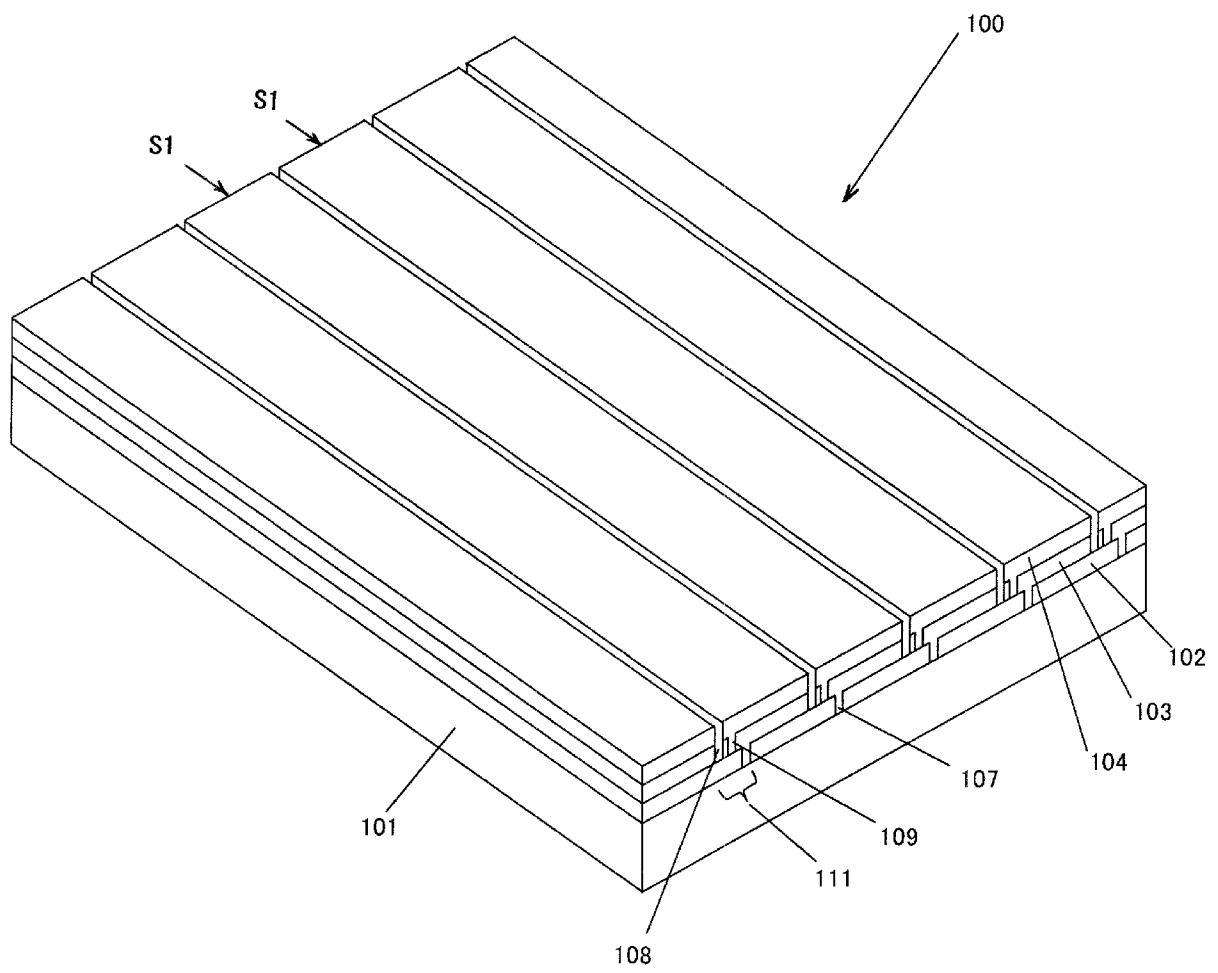
前記電圧印加ユニットは、各分割ストリングにおける2つの薄膜光電変換素子の第2電極層に接触可能な複数対のピン形電極接続部と、各分割ストリングにおける直列接続方向と直交する方向に隣接する複数の薄膜光電変換素子と接触可能な複数の電極接続部を電氣的に接続する配線と、直列接続方向で対をなす電極接続部を相互に電氣的に絶縁した状態で連結して複数対の電極接続部を昇降させる昇降駆動

部と、該昇降駆動部を保持する保持部とを有し、

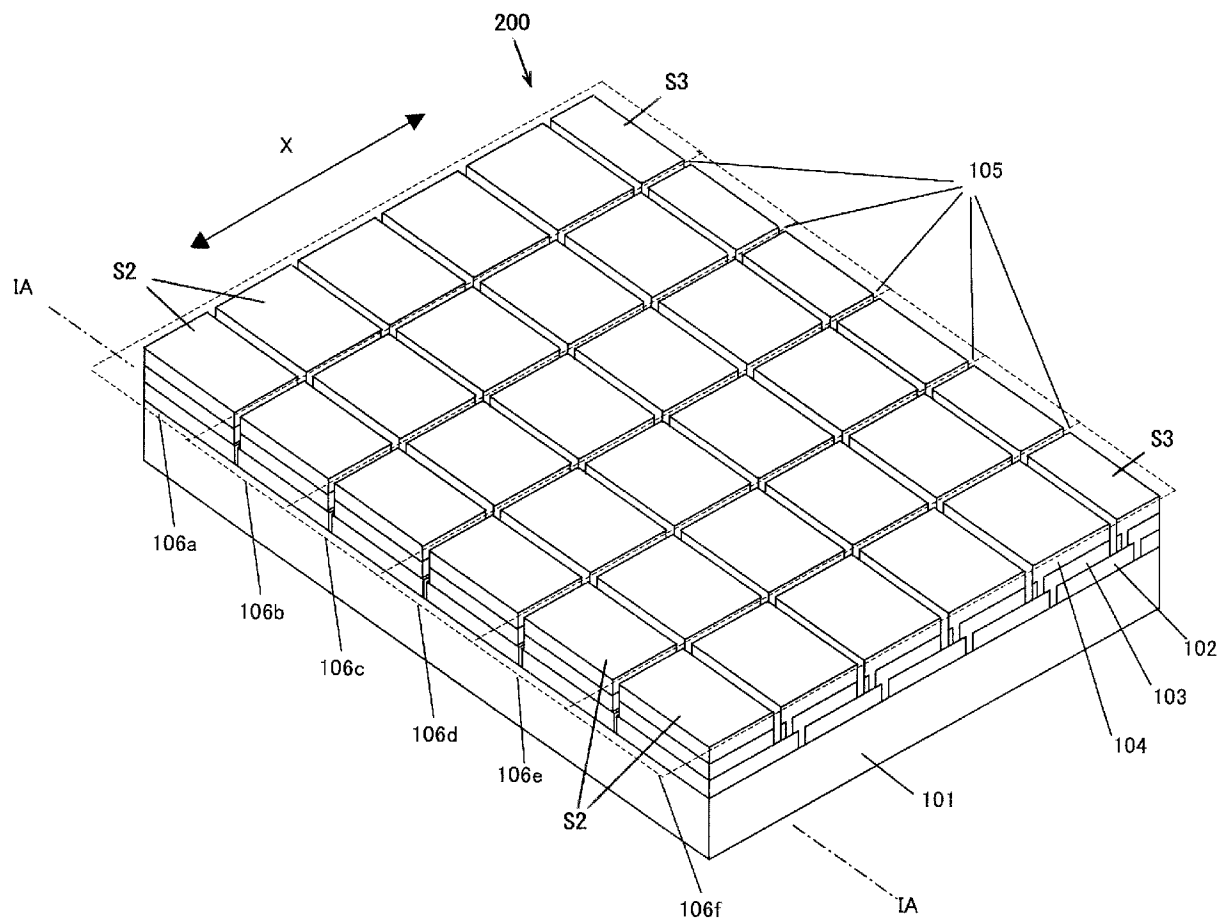
前記移動機構は、複数の電圧印加ユニットの前記保持部と連結されて、各保持部を連動してまたは独立して直列接続方向に移動可能に構成された請求項8に記載の薄膜光電変換モジュールの製造装置。

- [11] 前記電源は、複数の電圧印加ユニットに個別に対応して複数備えられている請求項9または10に記載の薄膜光電変換モジュールの製造装置。
- [12] 前記電源は、複数の電圧印加ユニットに対して並列接続された請求項9または10に記載の薄膜光電変換モジュールの製造装置。
- [13] 前記逆バイアス処理手段は、前記出力端子を3つ有すると共に、前記導電性部材を4つ以上有し、さらに、前記4つ以上の導電性部材のうちの任意の3つの導電性部材と3つの出力端子とが電氣的に接続するよう回路を切り換える切換回路部を備えた請求項8に記載の薄膜光電変換モジュールの製造装置。

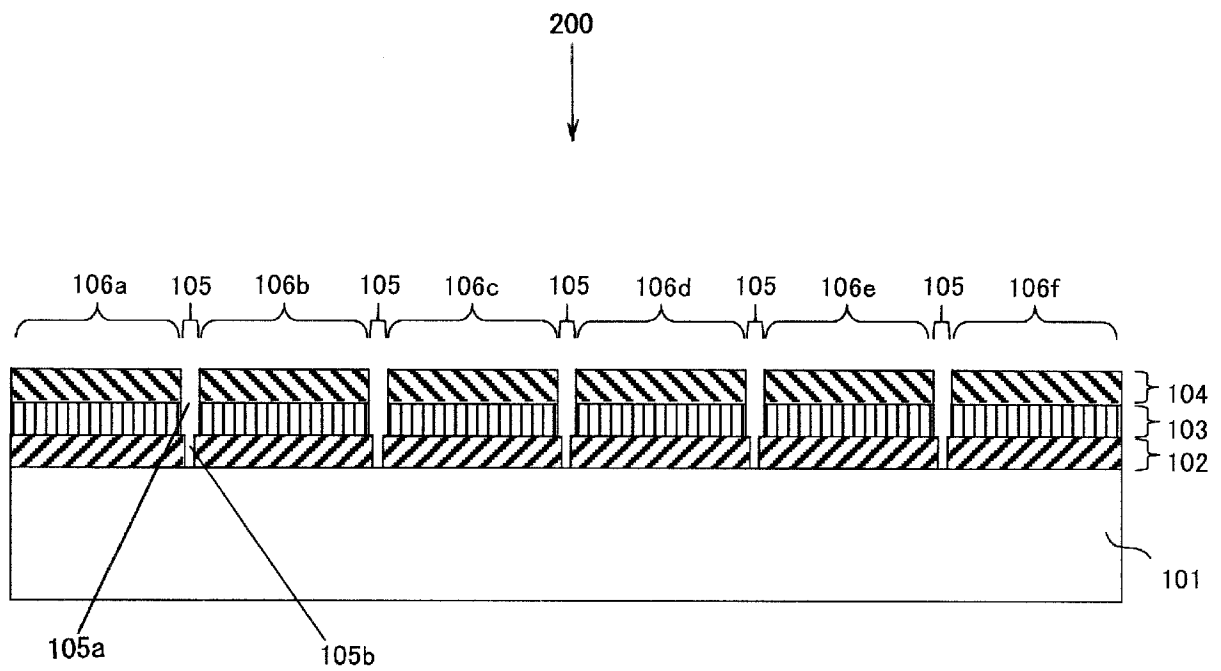
[図1]



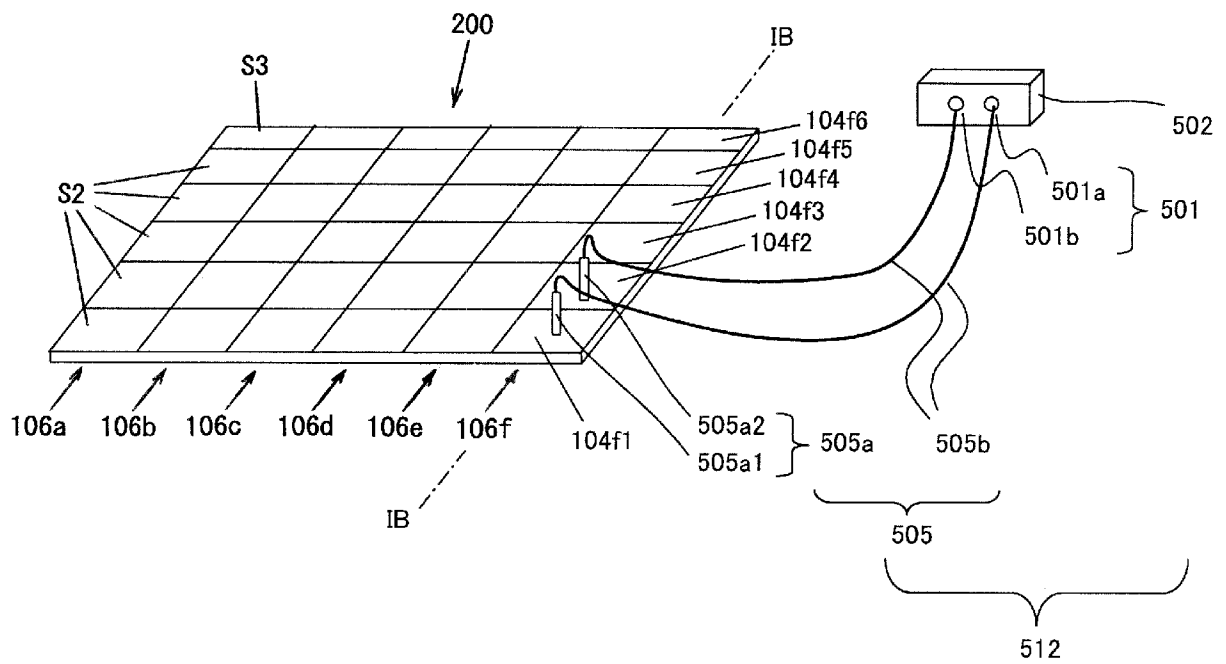
[図2]



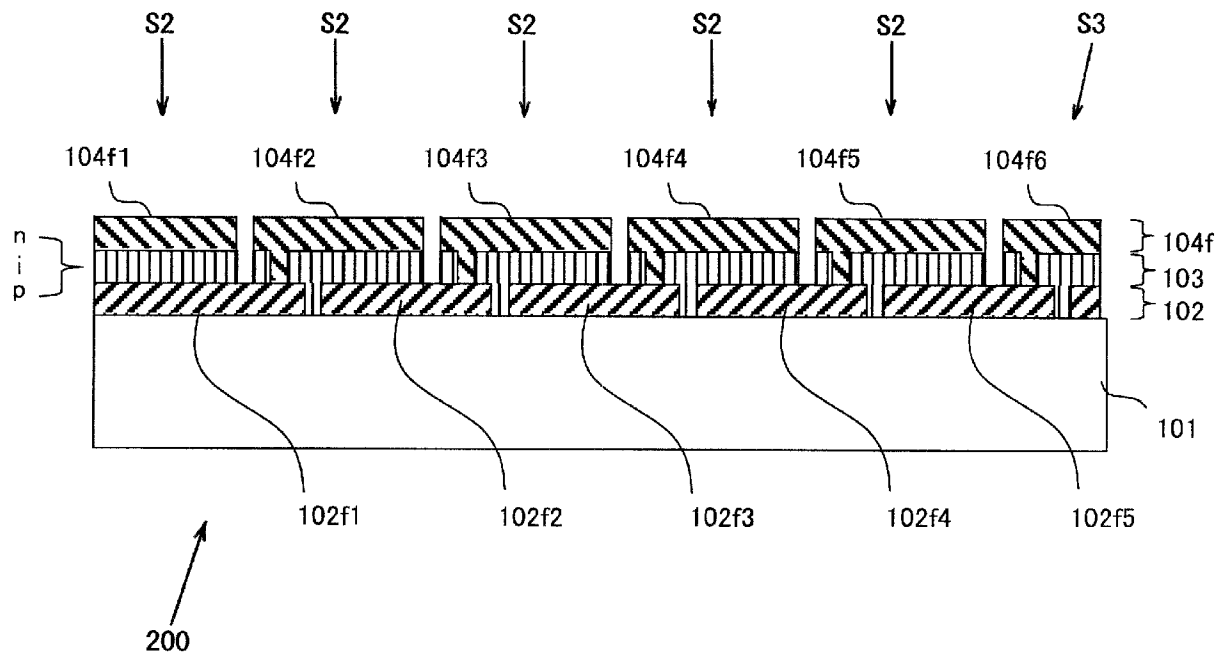
[図3]



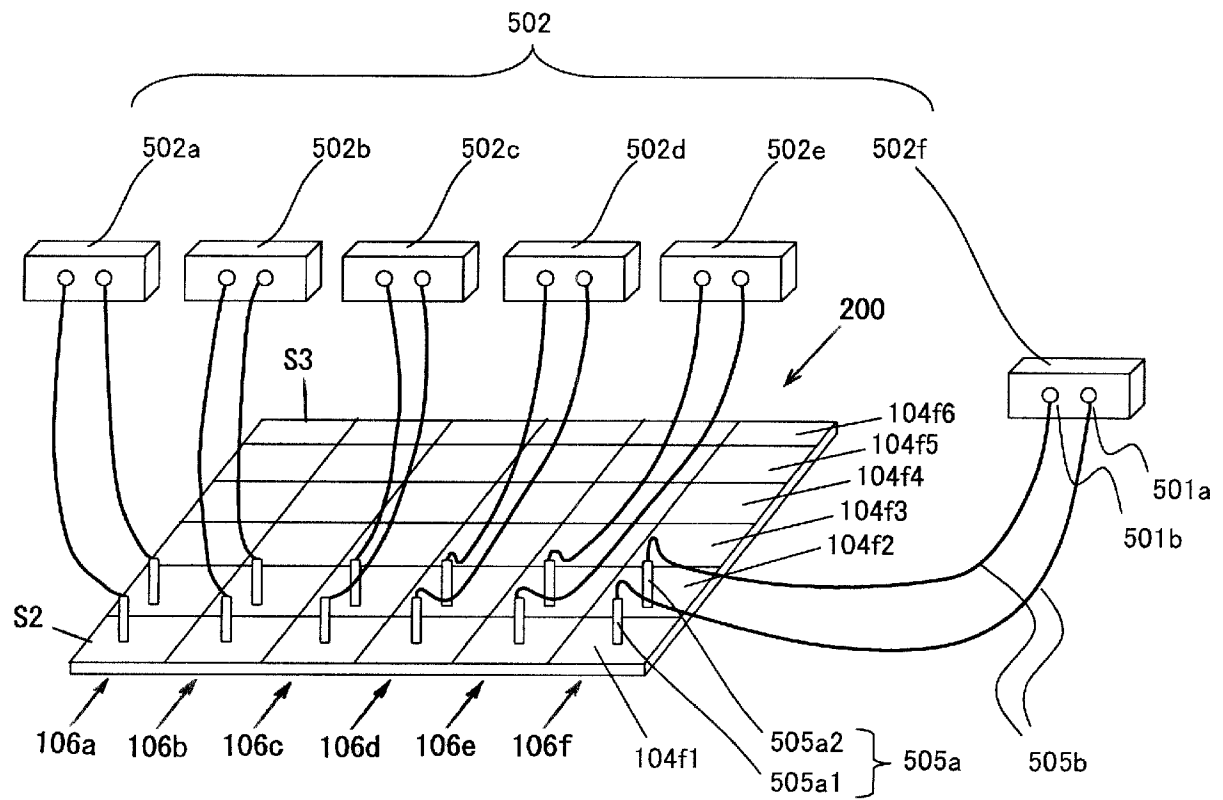
[図4]



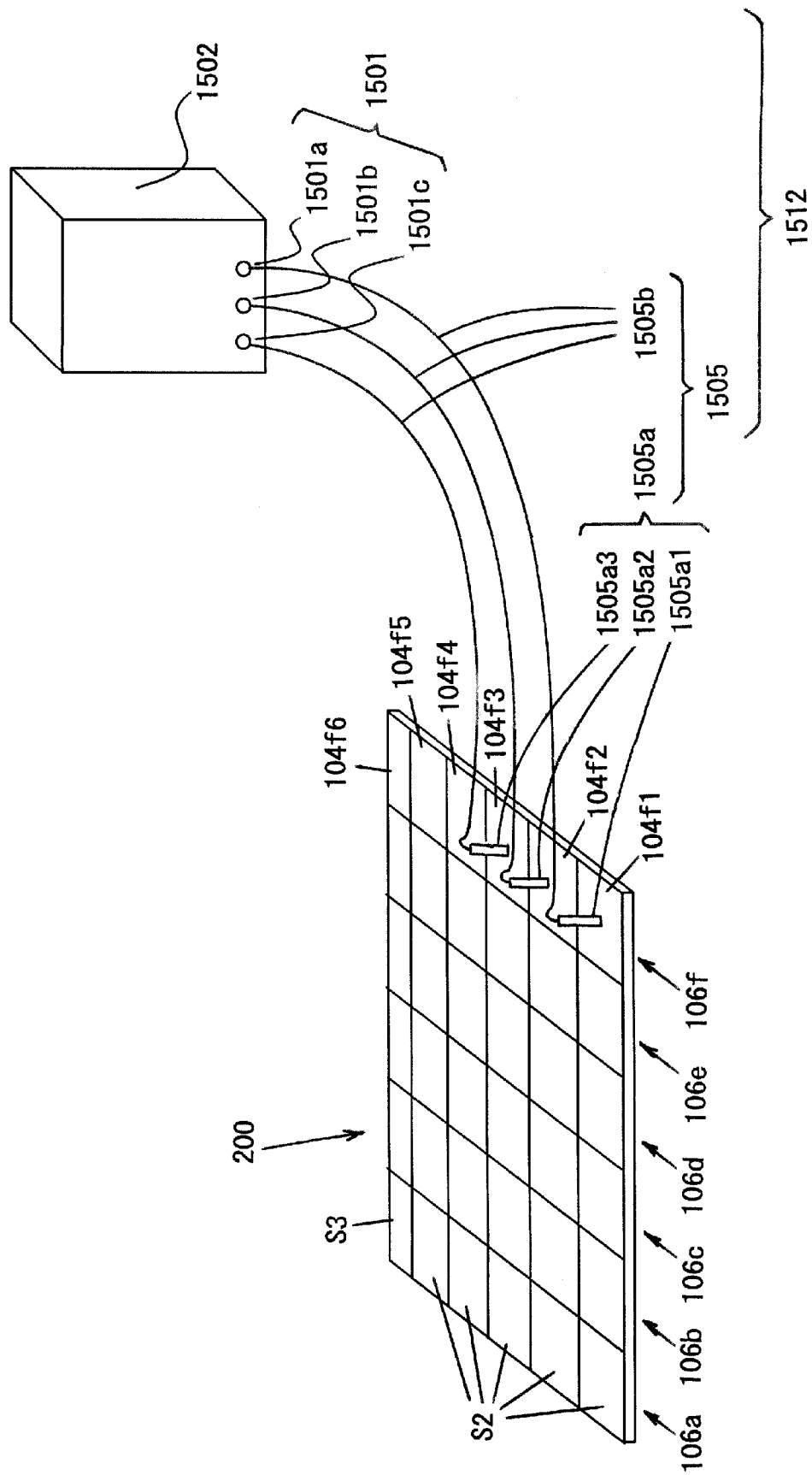
[図5]



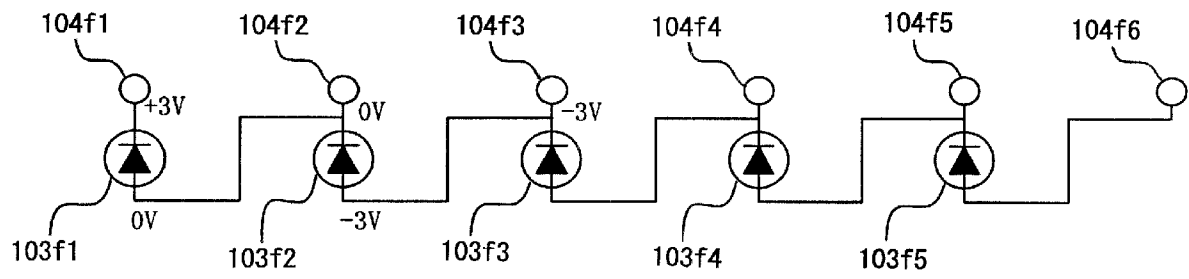
[図6]



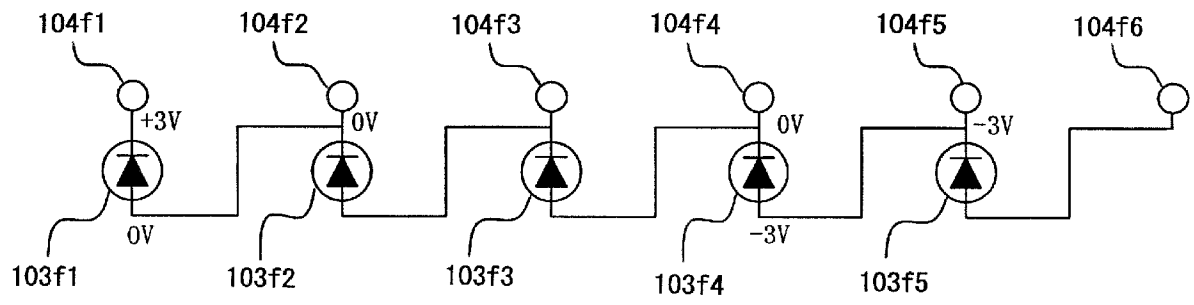
[図7]



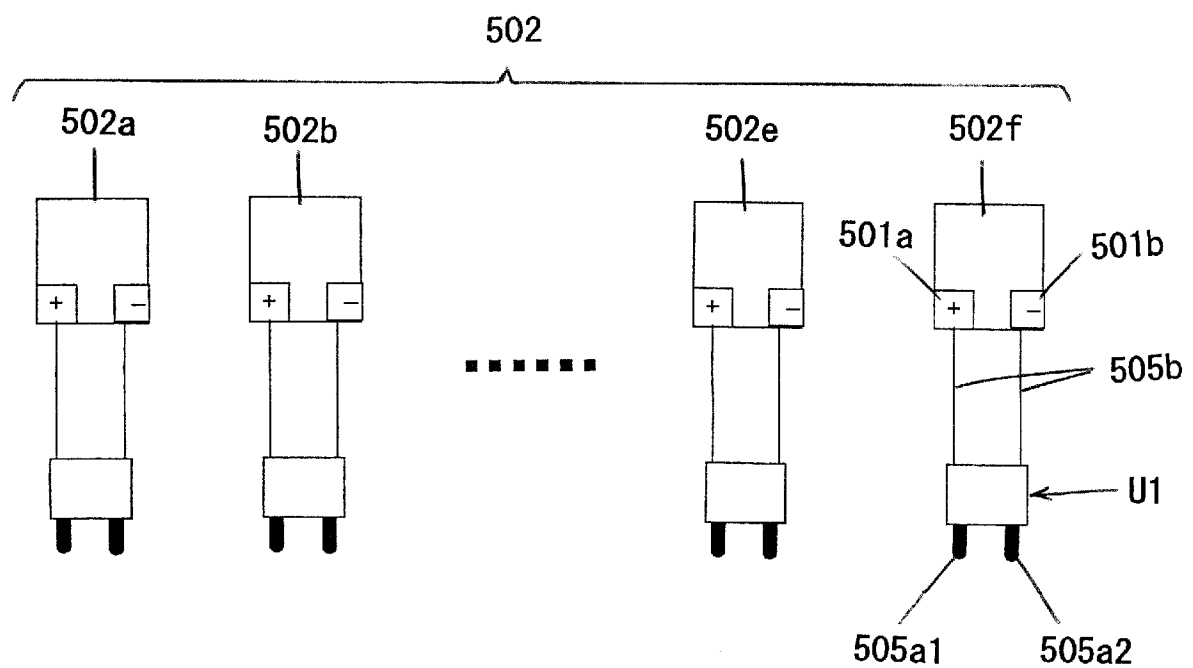
[図8]



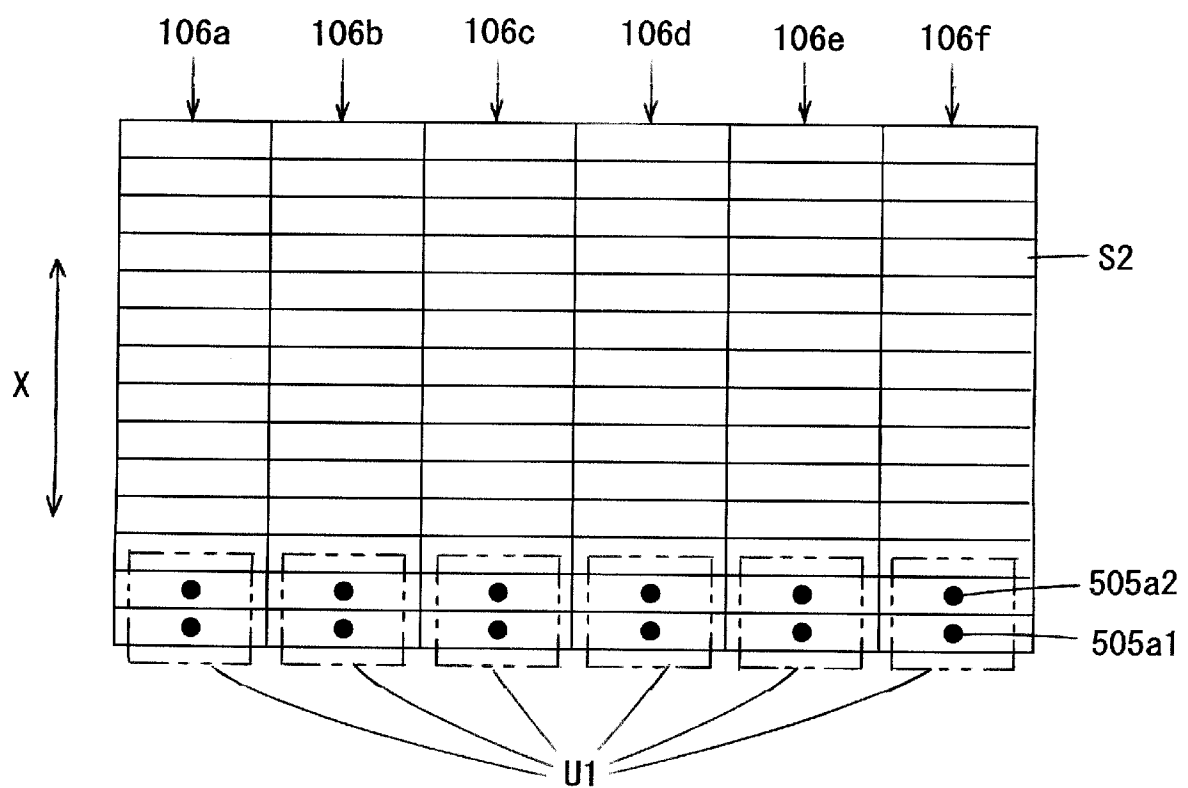
[図10]



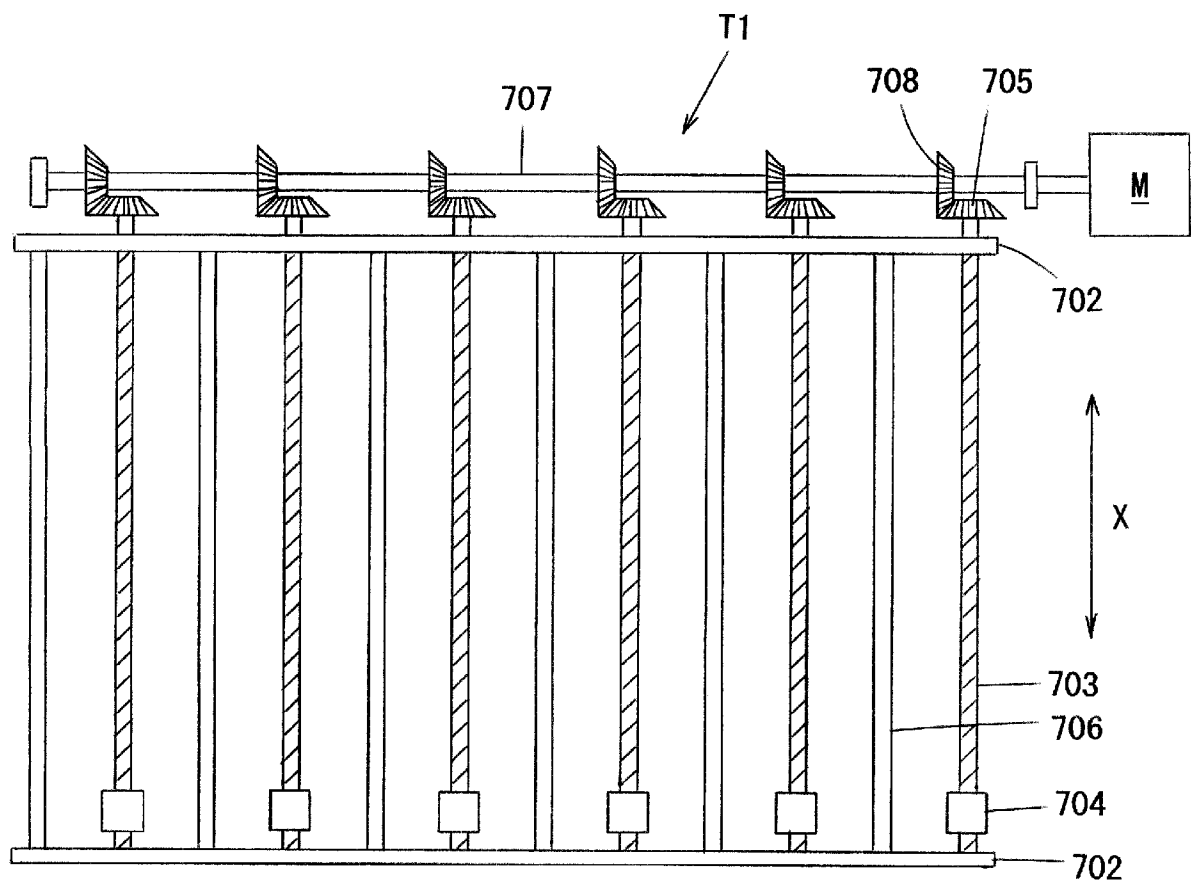
[図12]



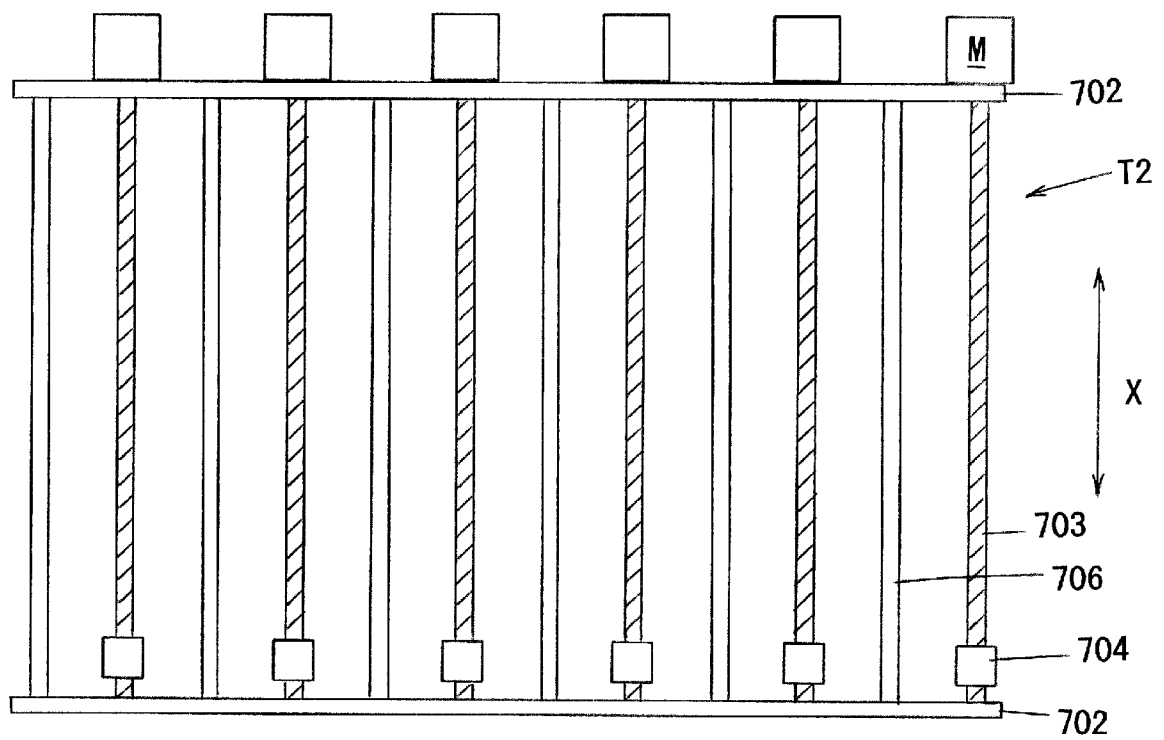
[図13]



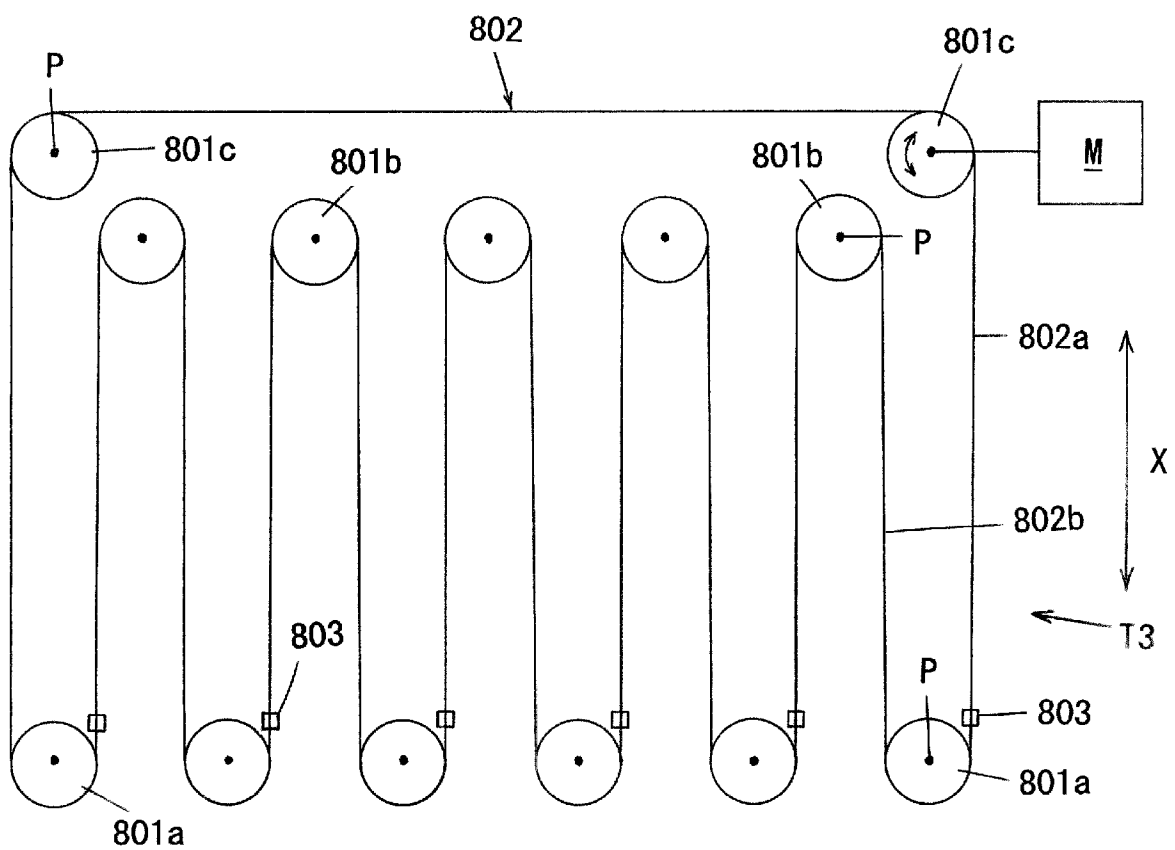
[図14]



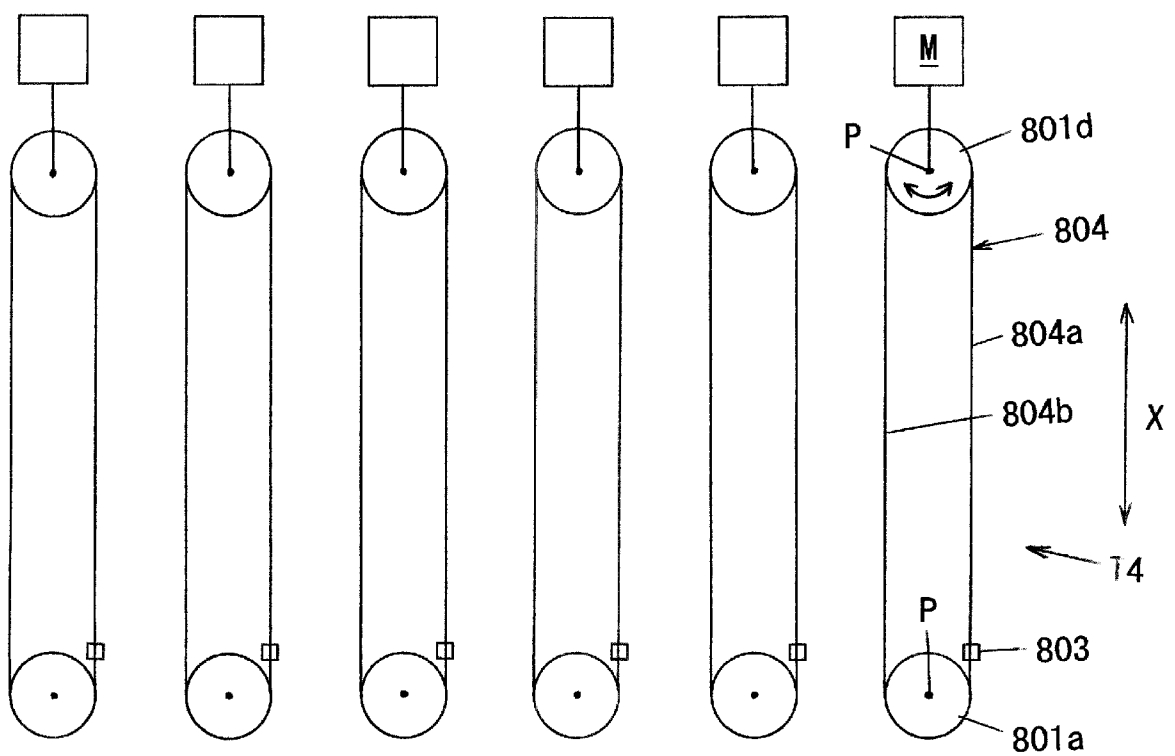
[図15]



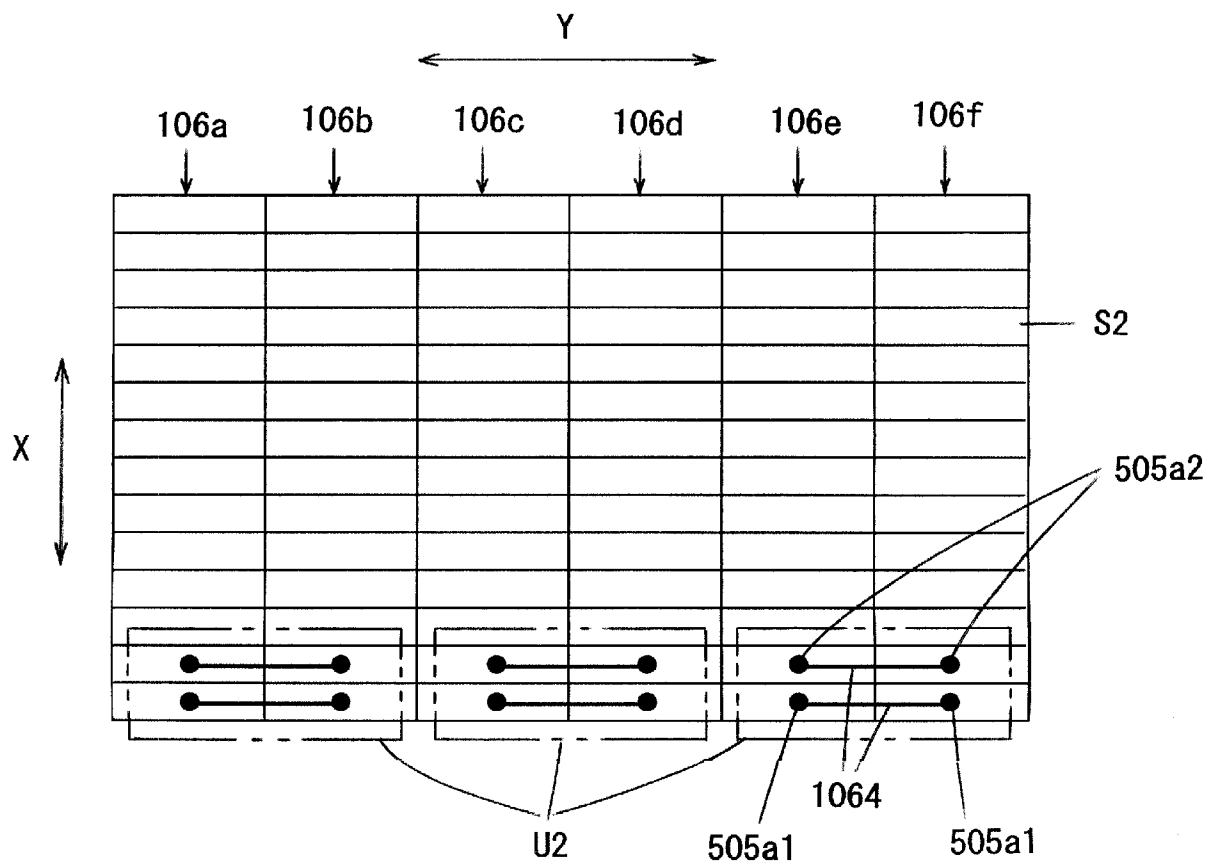
[図16]



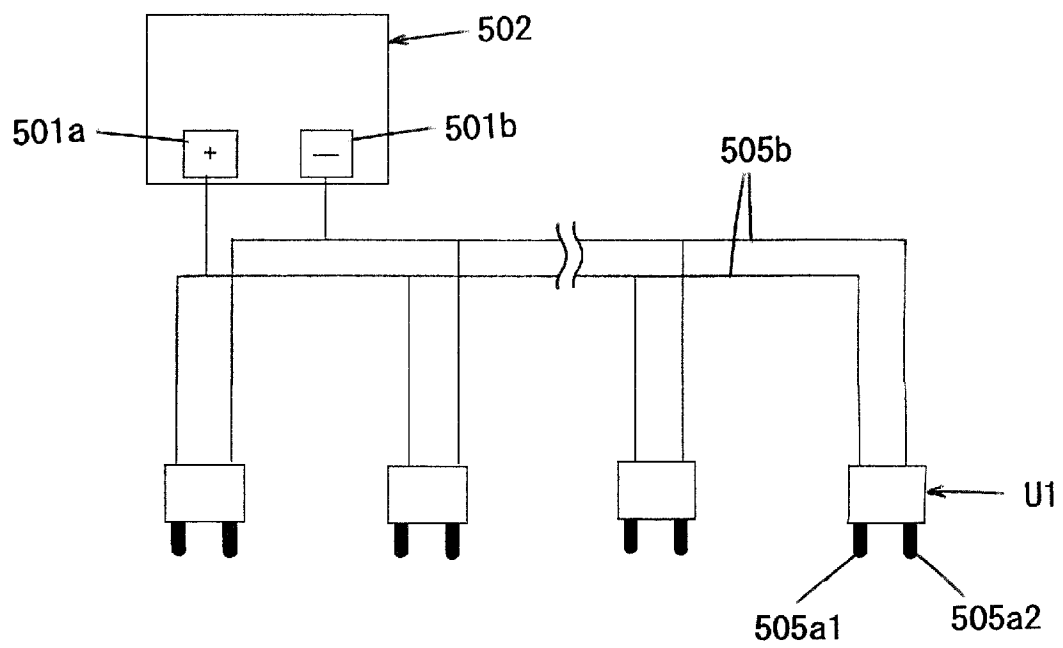
[図17]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/063889

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/04-31/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-298203 A (Fuji Electric Co., Ltd.), 26 October, 2001 (26.10.01), (Family: none)	1, 3, 6-7 2, 4-5, 8-13
X Y	JP 2002-76380 A (Kaneka Corp.), 15 March, 2002 (15.03.02), (Family: none)	1, 3, 5-7 2, 4, 8-13
X	JP 2005-311180 A (Fuji Electric Holdings Co., Ltd.), 04 November, 2005 (04.11.05), (Family: none)	1, 3, 6-7
Y	JP 62-176174 A (Semiconductor Energy Laboratory), 01 August, 1987 (01.08.87), & US 4806496 A & CN 1008580 B	2, 4-6, 8, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 September, 2008 (16.09.08)

Date of mailing of the international search report
30 September, 2008 (30.09.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/063889

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-135941 A (Canon Inc.), 26 May, 2005 (26.05.05), (Family: none)	2, 4-6, 8, 13
Y	JP 2000-323738 A (Kaneka Corp.), 24 November, 2000 (24.11.00), & EP 1052704 A2 & AU 2239800 A & US 6365825 B1 & AU 766466 B & EP 1670067 A2 & AT 329372 T & DE 60028452 T	9-12
A	US 4481230 A (Hanak), 06 November, 1984 (06.11.84), & JP 60-111419 A & GB 2148947 A & KR 10-1993-0002577 B	1, 6-7
P, X P, Y	WO 2008/041454 A1 (Sharp Corp.), 10 April, 2008 (10.04.08), (Family: none)	1-8, 13 9-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/04 - 31/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-298203 A (富士電機) 2001.10.26, (ファミリーなし)	1, 3, 6-7 2, 4-5, 8-13
X Y	JP 2002-76380 A (鐘淵化学工業) 2002.03.15, (ファミリーなし)	1, 3, 5-7 2, 4, 8-13
X	JP 2005-311180 A (富士電機ホールディングス) 2005.11.04, (ファミリーなし)	1, 3, 6-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 9 . 2 0 0 8

国際調査報告の発送日

3 0 . 0 9 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

濱田 聖司

2 K

9 2 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 62-176174 A (半導体エネルギー研究所) 1987.08.01, & US 4806496 A & CN 1008580 B	2, 4-6, 8, 13
Y	JP 2005-135941 A (キヤノン) 2005.05.26, (ファミリーなし)	2, 4-6, 8, 13
Y	JP 2000-323738 A (鐘淵化学工業) 2000.11.24, & EP 1052704 A2 & AU 2239800 A & US 6365825 B1 & AU 766466 B & EP 1670067 A2 & AT 329372 T & DE 60028452 T	9-12
A	US 4481230 A (Hanak) 1984.11.06, & JP 60-111419 A & GB 2148947 A & KR 10-1993-0002577 B	1, 6-7
P X P Y	WO 2008/041454 A1 (シャープ) 2008.04.10, (ファミリーなし)	1-8, 13 9-12