

# 公告本

申請日期	P0, 12, 21
案 號	P0 13 2376
類 別	G11C 1/4076

A4  
C4

(以上各欄由本局填註)

561485

## 發明 專利 說明 書

一、發明 名稱	中 文	半導體記憶體裝置及資訊處理系統
	英 文	SEMICONDUCTOR MEMORY DEVICE AND INFORMATION PROCESSING SYSTEM
二、發明 人	姓 名	(1)內田敏也 (2)小林廣之
	國 籍	日 本
	住、居所	(1)日本國神奈川縣川崎市中原區上小田中4丁目1番1號 (2)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

2001,03,22 特願2001-081898

2001,08,31 特願2001-263029

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

本發明係有關於一種半導體記憶體裝置及資訊處理系統，更特別地，係有關於一種把半導體記憶體裝置之運作週期時間縮短的技术及資訊處理系統。

5 半導體記憶體裝置及用於控制該記憶體裝置的控制裝置係以位元區塊方式彼此交換資料，區塊之位元的數目係藉著，例如，像 OS (運作系統) 般的應用來決定。

10 在如一個區塊被轉移之位元之數目是為不多之應用的情況中，在讀取/寫入資料之量上的增加使得需要對應大量的命令進入。據此，響應於單一進入之命令同時執行讀取運作與預先充電運作的自動預先充電型 DRAM (動態隨機存取記憶體)、不需要預先充電運作的 SRAM (靜態 RAM)、等等就該用途而言是有用的。

這將會配合第 15 和 16 圖作說明。

15 第 15 (A)、15 (B) 和 15 (C) 圖描繪沒有自動預先充電功能之 DRAM，即，一次被讀取之資料位元的數目是為二的非自動預先充電型 DRAM，的運作。在非自動預先充電型 DRAM 的情況中，一預先充電命令 (PRE1-PRE3) 需要在存取後面被輸入俾可執行預先充電運作，如在第 15 (B) 圖中所示。在該被描繪的例子中，讀取命令 (RD1-RD3) 係分別  
20 在第零個、第二個和第四個基本時鐘脈衝的前緣被輸入，而預先充電命令 (PRE1-PR3) 係分別在第一個、第三個和第五個時鐘脈衝的前緣被輸入。由於讀取命令之進入的結果，2-位元的資料區塊 (Q11, Q12 ; Q21, Q22 ; Q31, Q32) 係分別在第一個、第三個和第五個時鐘脈衝的前緣從一

## 五、發明說明 ( 2 )

DATA 輸出端輸出，如在第 15 (C) 圖中所示。

第 16 (A)、16 (B) 和 16 (C) 圖描繪能夠自動預先充電運作之自動預先充電型 DRAM 的運作，其中，一次讀取之資料位元的數目是為二。如在該等圖式中所示，在自動預先充電型 DRAM 的情況中，沒有預先充電命令需要被輸入，因此該等讀取命令 (RD1-RD3) 能夠被連續地輸入，如在第 16 (B) 圖中所見。而且，由於在命令之間的時間能夠被縮短，在從該 DATA 輸出端輸出之資料 (Q11, Q12; Q21, Q22; Q31, Q32) 之間的時間係比在第 15 圖的情況短，如在第 16 (C) 圖中所見。因此，與在第 15 圖中的情況比較起來，所有資料能夠在較短的時間內被讀取。

如上所說明，於在半導體記憶體裝置與其之控制裝置之間交換之資料位元的數目是為不多的情況，能夠自動預先充電運作的裝置，像自動充電型 DRAM 一樣，係有用的，因為它保證相當高的命令密度及因此，較高的資料存取密度。

前面說明在半導體記憶體裝置與其之控制裝置之間交換之資料位元之數目是為不多的情況；後面將會考量位元之數目是為多的情況。

第 17 (A)、17 (B) 和 17 (C) 圖描繪一自動預先充電型 DRAM 的運作，其中，與控制裝置交換之資料位元的數目是為八。在被描繪的例子中，一讀取命令 RD1 (第 17 (B) 圖) 係在於第 17 (A) 圖中所示之第零個基本時鐘脈衝的前緣被輸入，而結果，讀取資料係從該 DATA 輸出端輸出，如在第

### 五、發明說明 ( 3 )

17(C)圖中所示。

第 18(A)、18(B)和 18(C)圖描繪自動預先充電型 DRAM 之運作，其中，與控制裝置交換之資料位元的數目是為八而且一次讀取之資料位元的數目是為二。

5 如在該等圖式中所示，於兩位元之資料能夠一次從其那裡讀取之 DRAM 被施加至一系統的情況中，其中，與控制裝置交換之資料位元的數目是為八，四個 RD 命令(RD1-RD4)需要被輸入。結果，由於在該等 RD 命令之間的時間變短，在存取期間其他裝置無法存取該 DRAM 的缺點出現。

10 在未審查之日本專利公告(KOKAI)第 2-94194 和 7-192458 號案中亦已建議半導體記憶體裝置，其中，在寫入運作之時，相同的資料被寫入數個記憶體存貯單元而在讀取運作之時，資料係依序地從不同的記憶體存貯單元讀取，俾藉此在讀取運作期間縮短該隨機存取時間。

15 第 19 圖描繪在這類型之半導體記憶體裝置中之時鐘同步型的運作。該半導體記憶體裝置具有四個用於保持相同資料的記憶體存貯單元 BANK0 至 BANK3。第 19 圖例示介於讀取週期之間之寫入週期的情況。

20 讀取命令 RD1 至 RD6 係依序地與一時鐘訊號 CLK 同步地被供應(在第 19 圖中的(a))。響應於該等讀取命令 RD1 至 RD6，該四個記憶體存貯單元 BANK0 至 BANK3 輪流運作(在第 19 圖中的(b))，以致於讀取資料 Q1 至 Q6 被連續地輸出(在第 19 圖中的(c))。在所描繪的例子中，該等記憶體存貯單元 BANK0 至 BANK3 中之每一者的讀取運作

## 五、發明說明 ( 4 )

周期是為四個時鐘週期，但由於該等記憶體存貯單元 BANK0 至 BANK3 係平行運作，該讀取週期對應於一個時鐘週期。

5 在該讀取命令 RD6 後面，一寫入命令 WR7 被供應(在第 19 圖中的 (d))。響應於該寫入命令 WR7，所有的記憶體存貯單元 BANK0 至 BANK3 於同一時間執行寫入運作。據此，該寫入命令 WR7 係在所有的記憶體存貯單元 BANK0 至 BANK3 已變成閒置之後被供應。在所描繪的例子中，該寫入命令 WR7 必須在該記憶體存貯單元 BANK1 之運作的完成之後被供應。因此，從該讀取命令 RD6 之供應到該寫入命令 WR7 之供應的一 READ-WRITE 間隔(時序規格)是為與該記憶體存貯單元 BANK1 之運作周期相同的四個時鐘週期。

10 響應於該寫入命令 WR7，該四個記憶體存貯單元 BANK0 至 BANK3 於同一時間執行寫入運作，而結果，相同的寫入資料 D7 被寫入該等記憶體存貯單元 BANK0 至 BANK3 (在第 19 圖中的 (e))。由於該相同的寫入資料 D7 係於同一時間被寫入該四個記憶體存貯單元 BANK0 至 BANK3，該寫入週期係與對應於該等記憶體存貯單元 BANK0 至 BANK3 之寫入運作周期的四個時鐘週期相等。

20 隨後，讀取命令 RD8 至 RD11 係依序地被供應(在第 19 圖中的 (f))。該四個記憶體存貯單元 BANK0 至 BANK3 輪流運作(在第 19 圖中的 (g))而讀取資料 Q8 至 Q11 係以上所述之相同的形式連續地被輸出(在第 19 圖中的 (h))

## 五、發明說明 ( 5 )

。習知地，一最佳的裝置必須根據在該半導體記憶體裝置與其之控制裝置之間交換之資料位元的數目來被選擇，見第 15 至 18 圖。換句話說，沒有習知的裝置能夠應付所有可能發生的位元數目。

而且，如在第 19 圖中所示，所有的記憶體存貯單元 BANK0 至 BANK3 於同一時間執行寫入運作。據此，在一寫入週期介於讀取週期之間的情況中，該寫入命令 WR7 必須在所有記憶體存貯單元 BANK0 至 BANK3 之讀取運作被完成之後被供應。結果，該寫入命令 WR7 的供應必須在該讀取命令 RD6 的供應之後遲延四個時鐘週期。再者，從該讀取命令 RD6 至下一個讀取命令 RD8 所需的間隔 (READ-READ 命令間隔) 係對應於最後執行該讀取運作之記憶體存貯單元 BANK1 之運作周期與該寫入運作周期的總和。

因此，特別是在讀取週期和寫入週期隨機地發生的情況中，資料轉移速率 (資料匯流排佔用期間) 降低的問題係出現。

本發明係鑑於以上的情況來被產生，而且本發明的目的是為提供一種半導體記憶體裝置，及一種包括如此之半導體記憶體裝置的資訊處理系統，該半導體記憶體裝置在不管與一用於控制該半導體記憶體裝置之控制裝置交換之資料位元的數目下致使最佳的運作。

本發明之另一目的是為縮短該半導體記憶體裝置的運作週期時間，特別地，縮短在隨機存取期間的命令供應間隔

## 五、發明說明 ( 7 )

第 6 圖是為詳細顯示出現於第 5 圖之存貯單元作動控制電路、時序電路和 ADD 門之典型結構的圖示；

第 7 圖是為詳細顯示出現於第 6 圖之 DEF 元件之典型結構的電路圖；

5 第 8 圖是為描繪在第 2 圖中所示之實施例之運作的時序圖；

第 9 圖是為描繪在第 2 圖中所示之實施例之運作的時序圖；

第 10 圖是為顯示一第二實施例的方塊圖；

10 第 11 圖是為顯示出現於第 10 圖之存貯單元選擇電路之細節的方塊圖；

第 12 圖是為描繪該第二實施例之運作的時序圖；

第 13 圖是為顯示一第三實施例的方塊圖；

第 14 圖是為描繪該第三實施例之運作的時序圖；

15 第 15 (A)、15 (B) 和 15 (C) 圖是為描繪一習知半導體記憶體裝置之運作的時序圖；

第 16 (A)、16 (B) 和 16 (C) 圖是為描繪另一習知半導體記憶體裝置之運作的時序圖；

20 第 17 (A)、17 (B) 和 17 (C) 圖是為描繪又另一習知半導體記憶體裝置之運作的時序圖；

第 18 (A)、18 (B) 和 18 (C) 圖是為描繪再另一習知半導體記憶體裝置之運作的時序圖；及

第 19 圖是為描繪一習知半導體記憶體裝置之運作的時序圖。

## 五、發明說明 ( 9 )

(請先閱讀背面之注意事項再填寫本頁)

能夠一次從一單一存貯單元讀取之資料的量大話，該讀取電路 2 首先選擇一對應於從該位址輸入電路 1 輸入之位址的存貯單元，然後從所選擇的存貯單元讀取資料並且把該資料輸出至該資料輸出電路 3。隨後，該讀取電路 2 執行存貯單元切換及從新近切換至之一不同之存貯單元之相同位址獲得其他的資料。像這樣的運作被重覆直到讀取資料的量到達由該輸出資料量設定電路 4 所指定的輸出資料量為止。在這情況中，該讀取電路 2 在預定的時間間隔下從該等存貯單元讀取資料以致於從不同之存貯單元讀取的資料不會過份密集。

該資料輸出電路 3 依序地獲得由該讀取電路 2 從該等存貯單元 5-1 至 5-n 讀取的資料，並且連續地把該資料輸出至外部。

因此，如果要從該資料輸出電路 3 輸出作為集合資料的資料量係與能夠在同一時間從一單一存貯單元讀取之資料的量相等或者係比較少的話，該讀取電路 2 從一個存貯單元讀取資料而然後終止該讀取運作；另一方面，如果前者係比後者大的話，一方面該讀取電路 2 依序地從不同的存貯單元讀取對應於一個從該位址輸入電路 1 供應之位址的資料而另一方面自動地切換該等存貯單元 5-1 至 5-n。

因此，藉由一單一位址所讀取之資料的量能夠根據與該控制裝置交換且由一使用之應用所決定之資料(集合資料)的量來變化，使得提供一種作為各種使用的半導體記憶體裝置是有可能的。

## 五、發明說明 (10)

第 2(A)、2(B)和 2(C)圖描繪在存貯單元之數目是為四 ( $n = 4$ )、從一單一存貯單元一次讀取之資料位元之數目是為二、及從該資料輸出電路 3 輸出作為集合資料之資料位元之數目被設定為八之情況中之運作的例子。

5 在所描繪的例子中，一讀取命令 RD1 係與在第 2(A)圖中所示之第零個基本時鐘脈衝的前緣同步地被輸入。在這種情況中，由於從一單一存貯單元一次讀取之資料位元的數目是為二，該讀取電路 2 輪流切換該四個存貯單元、依序地從個別的存貯單元讀取對應於一個從該位址輸入電路 1  
10 輸入之位址的資料、及把該讀取的資料供應到該資料輸出電路 3。該資料輸出電路 3 把分別在四次內從該讀取電路 2 接收的資料 (Q11, Q12, ..., Q41, Q42) 輸出到外部作為集合資料，如在第 2(C)圖中所示。

15 因此，與讀取命令必須如在第 2(B)圖中之虛線所示被輸入四次的習知半導體記憶體裝置比較起來，讀取命令的單一輸入就足夠了。

在以上的例子中，該讀取電路 2 參考該資料輸出電路 3 來偵測由該輸出資料量設定電路 4 所設定的資料量，但該讀取電路可以選擇地藉由直接地參考該輸出資料量設定電路 4 來偵測該設定資料量。  
20

本發明之一實施例現在將會作描述。

第 3 圖顯示本發明之實施例之資訊處理系統的典型結構，該實施例係對應於申請專利範圍第 1 至 4 項。如在該圖式中所示，本發明的資訊處理系統包含一 CPU (中央處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

單元) 10、一控制裝置 20、一半導體記憶體裝置、及一匯流排 40。

該 CPU 10 執行儲存於半導體記憶體裝置 30 內的各種程式等等，俾可控制該系統的個別部份及俾可執行各種運作。

該控制裝置 20 執行與半導體記憶體裝置 30 之叢發長度設定、恢復、等等相關的控制運作。

該半導體記憶體裝置 30 在該控制裝置 20 的控制下運作俾可儲存從該 CPU 10 供應的資料及把從其那裡讀取的儲存資料供應到該 CPU 10。

該匯流排 40 把來自該 CPU 10 的資料傳送到該半導體記憶體裝置 30，反之亦然。

第 4 圖詳細顯示出現於第 3 圖之半導體記憶體裝置 30 的典型結構。如在圖式中所示，該半導體記憶體裝置 30 包含一控制部份 50、一存貯單元 A 60、及一存貯單元 B 70。該存貯單元 A 60 係由一細胞 61、一行解碼器 62、一列解碼器 63、一 SA(感應放大器) 64、及一 I/O(輸入/輸出) 電路 65 構成。同樣地，該存貯單元 B 70 係由一細胞 71、一行解碼器 72、一列解碼器 73、一 SA 74、及一 I/O 電路 75 構成。

該控制部份 50 係輸入有一 CLK 訊號、CMD 訊號、ADD 訊號、DATA 訊號、等等並且把該等訊號供應到該裝置之對應的部份。而且，當轉移資料時，該控制部份選擇一預定的存貯單元來從所選擇的存貯單元讀取資料或者把資料寫

## 五、發明說明 ( 12 )

入至所選擇的存貯單元。

該存貯單元 A 60 的細胞 61 包含一組以矩陣形式排列的記憶體元件並且儲存輸入資料。

該列解碼器 63 在輸入/輸出資料時根據一系列位址來指定該細胞 61 的某列。

該行解碼器 62 在輸入/輸出資料時根據一行位址來指定該細胞 61 的某行。

該 SA 64 把從該細胞 61 讀取的訊號以預定的增益放大，俾可把該訊號位準轉換成一數位訊號位準。

該 I/O 電路 65 執行與資料之輸入/輸出相關的控制運作。

該存貯單元 B 70 係以相同的形式構築，而因此，其之描述被省略。

第 5 圖詳細顯示出現於第 4 圖之控制部份 50 的典型結構。

一 CLK 輸入端 80 係從外部輸入有該 CLK 訊號。一 CMD 輸入端 81 係從外部輸入有該 CMD 訊號，而一 ADD 輸入端 82 係從外部輸入有該 ADD 訊號。

一 CLK 輸入電路 83 把從該 CLK 輸入端 80 輸入之 CLK 訊號的波形整形，而然後把經整形的 CLK 訊號供應到一 CMD 輸入電路 84、一 ADD 輸入電路 85 和一存貯單元作動控制電路 88。

該 CMD 輸入電路 84 把從該 CMD 輸入端 81 輸入之 CMD 訊號的波形整形，而然後把經整形的 CMD 訊號供應到一

## 五、發明說明 ( 13 )

CMD 解碼器 86。

該 ADD 輸入電路 85 把從該 ADD 輸入端 82 輸入之 ADD 訊號的波形整形，而然後把經整形的訊號供應到一叢發長度決定電路 87。

5 該 CMD 解碼器 86 把從該 CMD 輸入電路 84 供應的 CMD 訊號解碼，並且把所獲得的 RD 或 WR 命令供應到該存貯單元作動控制電路 88 和一 ADD 門 90。

10 於該裝置之運作的開始之時，例如，該叢發長度決定電路 87 係供應有一命令來設定該叢發長度，然後，該電路 87 分析該命令以決定被要求設定的叢發長度，並且通知該存貯單元作動控制電路 88 該被決定的叢發長度。

15 設置給在第 4 圖中所示之存貯單元 A 60 和 B 70 中之每一者的存貯單元作動控制電路 88、時序電路 89 和 ADD 門 90 供應一內部位址 IADD 到與其相關的存貯單元並且控制資料讀取運作。

該存貯單元作動控制電路 88 根據所設定的叢發長度來控制該時序電路 89，俾可控制從對應之存貯單元讀取資料的運作。

20 該 ADD 門 90，與從該 CMD 解碼器 86 輸出的 RD 命令同步地，門鎖從該 ADD 輸入電路 85 輸出的 ADD 訊號。

該時序電路 89 於由該存貯單元作動控制電路 88 所控制的時序把由該 ADD 門 90 門鎖的 ADD 訊號供應到對應的存貯單元作為內部位址 IADD。

第 6 圖詳細顯示該存貯單元作動控制電路 88、該時序

## 五、發明說明 ( 14 )

電路 89 和該 ADD 門 90 的典型結構。

如在圖式中所示，該存貯單元作動控制電路 88 包含反相器 100 至 102、NOR 元件 103 和 104、一 NAND 元件 105、DFF(資料正反器)元件 106 至 109、及 CMOS(互補金氧半導體)開關 110 和 111。

該反相器 100 把從該 CMD 解碼器 86 輸入的 RD/WR 訊號反相，並且把經反相的訊號供應到該 NOR 元件 103。該 NOR 元件 104 把從該 ADD 輸入電路 85 輸入之用於指定一存貯單元之 ADD 訊號與一從該叢發長度決定電路 87 供應之 BL8 訊號(當叢發長度被設定為"8"時轉變成"H"狀態的訊號)之邏輯總和之反相的結果供應給該 NOR 元件 103。

該 NOR 元件 103 把來自該反相器 100 與該 NOR 元件 104 之輸出之邏輯總和之反相的結果供應給該 DFF 元件 106。

與該 CLK 訊號的後緣同步，該等 DFF 元件 106 至 108 依序地延遲該 NOR 元件 103 的輸出。該 DFF 元件 108 的輸出係供應至該 CMOS 開關 110。

與該 CLK 訊號的後緣同步，該 DFF 元件 109 門鎖該 NOR 元件 103 的輸出，並且把經門鎖的訊號供應到該 CMOS 開關 111。

該反相器 101 把該 ADD 訊號反相並且把經反相的訊號輸出到該 NAND 元件 105，該 NAND 元件 105 然後把來自該反相器 101 之輸出與該 BL8 訊號之邏輯乘積之反相的結果供應給該反相器 102 和該等 CMOS 開關 110 與 111。

## 五、發明說明 ( 15 )

當該 NAND 元件 105 係處於 "L" 狀態時，該 CMOS 開關 110 變成導通，俾可把該 DFF 元件 108 的輸出供應至該時序電路 89 作為一 BACT 訊號，而當該 NAND 元件 105 的輸出係處於 "H" 狀態時，該 CMOS 開關 110 變成不導通。

5 當該 NAND 元件 105 係處於 "H" 狀態時，該 CMOS 開關 111 變成導通，俾可把該 DFF 元件 109 的輸出供應至該時序電路 89 作為該 BACT 訊號，而當該 NAND 元件 105 的輸出係處於 "L" 狀態時，該 CMOS 開關 111 變成不導通。

據此，當該 NAND 元件 105 的輸出變成 "H" 時，該 CMOS 開關 111 變成導通而且該 DFF 元件 109 的輸出係供應到該時序電路 89 作為該 BACT 訊號；當該 NAND 元件 105 的輸出變成 "L" 時，該 CMOS 開關 110 變成導通而該 DFF 元件 108 的輸出係供應到該時序電路 89 作為該 BACT 訊號。

15 該 ADD 門 90 係由一反相器 130 與一 DFF 元件 131 建構而成。該反相器 130 把該 RD/WR 訊號反相並且把經反相的訊號輸出到該 DFF 元件 131，該 DFF 元件 131 然後係與來自該反相器 130 之輸出的後緣，即，該 RD/WR 訊號的前緣，同步地把該 ADD 訊號門鎖，並且把經門鎖的訊號輸出  
20 作為一 BADD 訊號。

該時序電路 89 包含一反相器 120 與一 DFF 元件 121。該反相器 120 把是為該 CMOS 開關 110 之輸出的 BACT 訊號反相。與來自該反相器 120 之輸出的後緣同步，即，與該 BACT 訊號的前緣同步，該 DFF 元件 121 把該 BADD

## 五、發明說明 (16)

訊號門鎖，並且把經門鎖的訊號輸出至該存貯單元 A 60 或者該存貯單元 B 70 作為該內部位址 IADD。

第 7 圖詳細顯示出現於第 6 圖之 DFF 元件 106 至 109 的典型結構。如在圖式中所示，每一 DFF 元件包含反相器 5 140 至 144 及 CMOS 開關 145 與 146。

該反相器 140 把該 CLK 訊號反相並且把經反相的訊號供應至該等 CMOS 開關 145 與 146。

當該時鐘訊號變成 "H" 時，該 CMOS 開關 145 變成導通並且把輸入訊號供應至該反相器 141。

10 當該時鐘訊號變成 "L" 時，該 CMOS 開關 146 變成導通並且把該反相器 141 的輸出供應至該反相器 143。

該反相器 141 把該 CMOS 開關 145 的輸出反相並且把經反相的輸出供應至該 CMOS 開關 146。

15 該反相器 142 把該反相器 141 的輸出反相並且把經反相的輸出回饋到該反相器 141 的輸入。

該反相器 143 把該 CMOS 開關 146 的輸出反相並且把最終的訊號輸出。

該反相器 144 把該反相器 143 的輸出反相並且把經反相的輸出回饋到該反相器 143 的輸入。

20 以上之實施例的運作現在將會作描述。

當至在第 3 圖中所示之資訊處理系統的電源係開始時，該 CPU 10 根據要被執行的應用來通知該控制裝置 20 要與該半導體記憶體裝置 30 交換之資料位元的數目。

根據由該 CPU 10 所通知之資料位元的數目，該控制裝

## 五、發明說明 ( 17 )

置 20 設定該半導體記憶體裝置 30 的叢發長度。例如，在能夠一次從該半導體記憶體裝置 30 之存貯單元 A 60 或者 B 70 讀取之資料位元長度是為四且"8 位元"被設定為該叢發長度的情況中，該控制裝置 20 把一用於設定該叢發長度的命令輸入至該半導體記憶體裝置 30 的 CMD 輸入端 81，及把表示叢發長度"8"的資料輸入至該 ADD 輸入端 82。雖然習知的半導體記憶體裝置不允許叢發長度被設定到一個超過能夠一次從其之存貯單元讀取之資料位元之數目的長度，如此的叢發長度設定能夠在這實施例中執行。

10 結果，該 CMD 解碼器 86 偵測該用於設定叢發長度之命令的輸入，並且要求該叢發長度決定電路 87 設定該叢發長度。該叢發長度決定電路 87 把從該 ADD 輸入電路 85 供應的資料解碼並且確認該叢發長度應被設定為"8"。然後，該電路 87 把該 BL8 訊號(當該叢發長度是為"8"時被設定在" H "狀態的訊號)變成" H "狀態，該 BL8 訊號係供應到與對應之存貯單元 A 60 和 B 70 相關的存貯單元作動控制電路 88。

20 在這狀態下，如果一從存貯單元 A 60 讀取資料的讀取命令被輸入的話，該存貯單元 A 60 的存貯單元作動控制電路 88 係以在下面配合第 8 和 9 圖描述的形式運作。

假設一 RD 命令係與第零個時鐘脈衝的前緣同步地被輸入，如在第 8 圖的 (B) 中所示，及假設一選擇該存貯單元 A 60 的位址(在第 8 圖中的 (C))係從該 ADD 輸入電路 85 供應。

## 五、發明說明 ( 18 )

與該 CLK 訊號的後緣同步，該等 DFF 元件 106 至 108 依序地延遲該 NOR 元件 103 的輸出訊號，並且分別提供輸出訊號 N1 至 N3 (在第 8 圖中的 (H) - (J))。

與該 CLK 訊號的後緣同步，該 DFF 元件 109 閃鎖該  
5 NOR 元件 103 的輸出訊號，並且提供一輸出訊號 N4 (在第 8 圖中的 (K))。

這時，在該存貯單元 A 60 之存貯單元作動控制電路  
88 中之 NAND 元件 105 的輸出係處於 "H" 狀態，如在第 8  
圖的 (F) 中所示，而一 N5 訊號，其是為反相器 102 的輸出  
10 ，係處於 "L" 狀態，如在第 8 圖的 (E) 中所示，以致於該  
CMOS 開關 111 係處於導通狀態。因此，該 N4 訊號 (在第  
8 圖中的 (K))，其是為該 DFF 元件 109 的輸出，被選擇並  
且被供應到該時序電路 89 作為該 BACT 訊號 (在第 8 圖中  
的 (L))。

與該 RD/WR 訊號的前緣同步，該 ADD 閃 90 閃鎖該  
15 ADD 訊號，並且把經閃鎖的訊號供應到該時序電路 89 作為  
該 BADD 訊號 (在第 8 圖中的 (M))。

與該 BACT 訊號的前緣同步，該時序電路 89 閃鎖該  
BADD 訊號，並且把經閃鎖的訊號供應到該存貯單元 A 60  
20 作為該 IADD 訊號 (在第 8 圖中的 (N))。

結果，該存貯單元 A 60 從指定的位址讀取資料並且把  
讀取資料從一 DATA 輸出端輸出 (在第 8 圖中的 (O))，圖  
中未示)。

這時，在存貯單元 B 70 的存貯單元作動控制電路 88

## 五、發明說明 ( 19 )

中，該 N5 訊號 ( 在第 9 圖中的 (E)) 係處於 "H" 狀態而該 N6 訊號 ( 在第 9 圖中的 (F)) 係處於 "L" 狀態，以致於該 DFF 元件 108 的輸出被選擇並且被供應到該時序電路 89。

該 N3 訊號 ( 在第 9 圖中的 (J))，其是為 DFF 元件 108 的輸出，係藉由把該 N1 訊號 ( 在第 9 圖中的 (H)) 延遲兩個 CLK 訊號的週期來被得到，而據此，由該 ADD 門 90 所門鎖的 BADD 訊號 ( 在第 9 圖中的 (M)) 一方面係供應至該存貯單元 B 70 作為該 IADD 訊號而另一方面係對應於被供應至該存貯單元 A 60 的 IADD 訊號來被延遲兩個 CLK 訊號的週期。

該存貯單元 B 70 把儲存於由該時序電路 89 所供應之 IADD 訊號所指定的位址讀取資料，並且從一 DATA 輸出端把該讀取資料輸出至外部，圖中未示。

結果，該叢發長度已設定為 "8"，資料係首先從一個被指定的存貯單元讀取 ( 在以上的例子中，存貯單元 A 60 )，而然後資料係在兩個 CLK 訊號之週期的延遲下以自動形式 ( 在不需要位址從外部的重新輸入下 ) 從其他存貯單元讀取 ( 在以上的例子中，存貯單元 B 70 ) 並且係輸出到外部。

在半導體記憶體裝置 30 是為自動預先充電型裝置的情況中，自動預先充電運作係在其他存貯單元之讀取運作的完成時被執行。

在前述的例子中，該存貯單元 A 60 被首先指定而然後該存貯單元 B 70 被指定。而且，在存貯單元 B 70 被首先指定而該存貯單元 A 60 被接著指定的情況中，相似的運作

## 五、發明說明 ( 20 )

被執行且 8-位元資料被輸出。

前文描述叢發長度被設定為"8"的運作；在叢發長度被設定為"4"或者較小的值的情況中，資料係僅從該等存貯單元中之一者讀取並且被輸出，像在習知半導體裝置中一樣

5

特別地，在叢發長度被設定為"8"以外的值時，該 BL8 訊號被設定在"L"狀態。據此，對應之存貯單元 A 60 和 B 70 之 NAND 元件 105 的輸出係經常處於"H"狀態，而結果，該等 CMOS 開關 111 維持在導通狀態。

10 在這情況中，當藉此管理的存貯單元被指定時，該 NOR 元件 104 的輸出變成"L"，而在其他的時間周期期間，係變成"H"。因此，該 NOR 元件 103 僅在與其相關之存貯單元被選擇時把該 RD/WR 訊號通過其間，而在其他存貯單元被指定時把該訊號隔絕。

15 結果，當該存貯單元被指定時，從對應之 DFF 元件 109 輸出的訊號係供應到該時序電路 89 作為該 BACT 訊號，而與該 BACT 訊號的前緣同步，由該 ADD 門 90 所門鎖的 BADD 訊號係供應到該存貯單元作為該 IADD 訊號。

20 據此，在叢發長度被設定為"4"時，例如，IADD 係僅供應到由該存貯單元指定位址所指定的存貯單元，而儲存於對應之位址內的資料被讀取並且從該 DATA 輸出端輸出到外部，圖中未示，然後該運作被完成。

在叢發長度被設定為"8"的情況中，在該等存貯單元中之一者被存取時，其他的存貯單元無法被存取。因此，如

## 五、發明說明 ( 21 )

果一中斷要求係相對於該正被存取之存貯單元以外的存貯單元作成的話，該控制裝置 20 執行一用於禁止如此之中斷要求之執行的處理。

5 在該實施例之以上的描述中，被使用之存貯單元在數目上是為二，然而，本發明當然能夠應用於包括三個或者更多個存貯單元的記憶體結構。

而且，要注意的是，配合以上之實施例所說明與描繪的電路係僅作為舉例說明而已，且本發明當然不受限於所描繪的電路。

10 第 10 圖顯示本發明第二實施例的半導體記憶體裝置，該第二實施例係對應於申請專利範圍第 6 至 8 項。在該圖式中，每一粗線表示該線包含數條訊號線。

該半導體記憶體裝置係利用 CMOS 製程來形成於一矽基體上作為一時鐘同步型 DRAM。該 DRAM 包含一時鐘緩衝器 15 210、一命令解碼器 212、一位址緩衝器 214、一資料緩衝器 216、一寫入時序產生器電路 218、一存貯單元選擇電路 220、一寫入資料暫存器 222、及四個記憶體存貯單元 BANK0 至 BANK3。

20 該時鐘緩衝器 210 透過一時鐘端從外部接收一時鐘訊號 CLK，並且把所接收的訊號輸出作為一內部時鐘訊號 ICLK。該內部時鐘訊號 ICLK 亦被供應到除了所描繪之那些以外的其他電路。

該命令解碼器 212 透過一命令端從外部接收一命令訊號 CMD、把所接收的訊號解碼、並且把經解碼的訊號輸出

## 五、發明說明 ( 22 )

作為一讀取命令訊號 READ1 和一寫入命令訊號 WRITE1。  
除了所描繪的訊號之外，該命令解碼器 212 輸出一恢復命令訊號等等。

該位址緩衝器 214 透過一位址端從外部接收一位址訊  
5 號 ADD，並且把所接收的訊號輸出作為一內部位址訊號  
IADD。該資料緩衝器 216 透過一資料端從外部接收一資料  
訊號(寫入資料)DQ，並且把所接收的訊號輸出到該寫入資  
料暫存器 222。而且，該資料緩衝器 216 從該等記憶體存  
10 貯單元 BANK0 至 BANK3 接收一內部資料訊號(讀取資料  
)IDQ，並且經由該資料端把所接收的訊號輸出作為該資料  
訊號 DQ。該寫入資料暫存器 222 門鎖該寫入資料並且把所  
門鎖的資料輸出作為該內部資料訊號 IDQ(經門鎖的資料訊  
號 LDATA)。

該寫入時序產生器電路 218 接收該寫入命令訊號  
15 WRITE1 和該內部時鐘訊號 ICLK，並且與該內部時鐘訊號  
ICLK 同步地輸出一寫入命令訊號(寫入時序訊號)WRITE2。  
該寫入命令訊號 WRITE2 係響應於一個寫入命令訊號  
WRITE1 來連接地產生四次，如稍後所述般。

與該讀取命令訊號 READ1 和該寫入命令訊號 WRITE2  
20 的作動同步，該存貯單元選擇電路 220 作動存貯單元選擇  
訊號 BKSEL0 至 BKSEL3 中之一者。

該等記憶體存貯單元 BANK0 至 BANK3 具有被指派至其  
那裡之相同的位址而且各具有 16 百萬位元的儲存容量，例  
如。因此，響應於該寫入命令來被供應的寫入資料 DQ 係被

## 五、發明說明 ( 23 )

寫入至所有的記憶體存貯單元 BANK0 至 BANK3 內，如稍後所描述般。即，這 DRAM 係使用作為一 16 百萬位元的記憶體，即使它具有 64 百萬位元的總儲存容量。

而且，雖然未詳細地描繪，該等記憶體存貯單元 BANK0 至 BANK3 各具有數個連接至字線和位元線的記憶體細胞、用於把傳輸至該等位元線上之資料放大的感應放大器、連接該等位元線和一資料匯流排線的行開關、一列解碼器、和一行解碼器。該列解碼器作動一感應放大器並且根據一高階 (high-order) 位址訊號 ADD 來選擇一字線。  
10 該行解碼器根據一低階位址訊號 ADD 來選擇一行開關。

在這實施例中，該高階和低階位址訊號 ADD 係隨同該讀取命令和該寫入命令一起被集體地輸入至該 DRAM。即，該 DRAM 是為一位址非多工型半導體記憶體。該等記憶體存貯單元 BANK0 至 BANK3 彼此獨立地運作而且，在該運作  
15 之後，於它們自己的控制下自動地預先充電該等位元線。

第 11 圖顯示出現於第 10 圖之存貯單元選擇電路 220 的細節。該存貯單元選擇電路 220 包括一 OR 元件 220a 和一移位暫存器 220b。該 OR 元件 220a 導出該讀取命令訊號 READ1 與該寫入命令訊號 WRITE2 的 OR，並且把結果  
20 輸出作為一移位訊號 SFT。該移位暫存器 220b 具有四個串聯地連接的儲存級 S0 至 S3。

該等儲存級 S0 至 S3 分別輸出該等存貯單元選擇訊號 BKSEL0 至 BKSEL3。該儲存級 S3 的輸出 (BKSEL3) 被回饋至該儲存級 S0 的輸入。該等儲存級 S0 至 S3 中之每一

## 五、發明說明 ( 24 )

者與該移位訊號 SFT 同步地運作，俾可把藉此維持的值輸出至隨後的級。

該移位暫存器 220b 在電源的起始之後被初始化以致於僅該存貯單元選擇訊號 BKSEL0 具有一高位準輸出。隨後  
5 每次該讀取命令訊號 READ1 或者該寫入命令訊號 WRITE2 被作動，該移位暫存器 220b 執行一移位運作俾可依序地把該等存貯單元選擇訊號 BKSEL1, BKSEL2, BKSEL3, BKSEL0, ..... 變成高位準。當該等存貯單元選擇訊號 BKSEL0 至 BKSEL3 中之一者被作動時，該等記憶體存貯單元 BANK0 至 BANK3 中之對應之一者被設定可運作。  
10

第 12 圖描繪以上所述之 DRAM 的運作。在第 12 圖中所示的例子中，首先，讀取命令 RD1 至 RD6 係依序地被供應，而然後，由讀取命令 RD8 至 RD11 的供應跟隨的一寫入命令 WR7 被供應。每一命令係與該時鐘訊號 CLK 的前緣  
15 同步地被供應。

首先，在第 10 圖中所示的命令解碼器 212 接收該讀取命令 RD1 並且作動該讀取命令訊號 READ1 (在第 12 圖中的 (a))。與該讀取命令訊號 READ1 同步，該存貯單元選擇電路 220 作動該存貯單元選擇訊號 BKSEL0 (在第 12 圖中的  
20 (b))。該記憶體存貯單元 BANK0 其後係響應於該存貯單元選擇訊號 BKSEL0 來被作動 (在第 12 圖中的 (c))。

根據該高階位址訊號 ADD (圖中未示)，該記憶體存貯單元 BANK0 選擇一字線並且作動一感應放大器。一字線的選擇允許資料從一對應的記憶體細胞讀取至該位元線，而

## 五、發明說明 ( 25 )

該讀取資料係由該感應放大器放大。再者，根據該低階位址訊號 ADD，該記憶體存貯單元 BANK0 選擇一行開關來把由該感應放大器所放大的讀取資料傳輸到該資料匯流排線。

5 從該記憶體細胞讀取的讀取資料 Q1 係與一比該讀取命令 RD1 之供應晚兩個週期之時鐘訊號 CLK 脈衝的前緣同步地被輸出(在第 12 圖中的(d))。即，一讀取等待時間，其係表示為從該讀取命令 RD1 之供應到該讀取資料 Q1 之輸出之時鐘脈衝的數目，是為"2"。

10 隨後，該記憶體存貯單元 BANK0 不作動該感應放大器及該列和行解碼器、執行位元線被設定至一參考電壓的預先充電運作、及在該讀取命令 RD1 的接收之後四個時鐘週期完成該讀取運作(在第 12 圖中的(e))。

然後，響應於該讀取命令 RD2，該讀取命令訊號  
15 READ1 被再次作動(在第 12 圖中的(f))。該存貯單元選擇電路 220 的移位暫存器 220b 與該讀取命令訊號 READ1 同步地執行一移位運作，藉此不作動該存貯單元選擇訊號 BKSEL0 並且作動該存貯單元選擇訊號 BKSEL1(在第 12 圖中的(g))。隨後，響應於該存貯單元選擇訊號 BKSEL1，  
20 該記憶體存貯單元 BANK1 被作動。該記憶體存貯單元 BANK1 以與由該記憶體存貯單元 BANK0 所執行之相同的形式執行一讀取運作，並且輸出讀取資料 Q2(在第 12 圖中的(h))。

隨後，響應於讀取命令 RD3 至 RD6，該等存貯單元選

## 五、發明說明 ( 26 )

擇訊號 BKSEL2, BKSEL3, BKSEL0 和 BKSEL1 係依序地被作動 (在第 12 圖中的 (i))，而該等記憶體存貯單元 BANK2, BANK3, BANK0 和 BANK1 係以與上述相同的形式連續地執行讀取運作 (在第 12 圖中的 (j))。

5 因此，該四個記憶體存貯單元 BANK0 至 BANK3 的讀取運作係以一形式來被執行以致於一方面一個讀取運作係與另一個重疊而另一方面係與其錯開一個時鐘週期。一個記憶體存貯單元 BANK 的運作周期是為四個時鐘週期，但由於該四個記憶體存貯單元 BANK0 至 BANK3 係彼此獨立地運作，該讀取週期，其是為一個讀取命令 RD 所需的讀取運作時間 (讀取命令 RD 供應間隔)，係對應於一個時鐘週期。

10 該寫入命令 WR7 係在該讀取命令 RD6 的供應之後兩個時鐘週期被供應 (在第 12 圖中的 (k))。與習知的裝置不同，當該寫入命令 WR7 被供應時，該等記憶體存貯單元 BANK 中的某些 (在這例子中，BANK0 和 BANK1) 係正執行讀取運作。這樣，一方面用於把資料寫入一閒置之記憶體存貯單元 BANK 的寫入運作被起始而另一方面該等記憶體存貯單元 BANK 中的某些係仍然在運作中，藉此，從該讀取命令 RD6 之供應到該寫入命令 WR7 之供應的該 READ-WRITE  
15 間隔 (時序規格) 能夠被設定為兩個時鐘週期。這間隔係比在第 19 圖中所示之習知裝置的情況短兩個時鐘週期。更特別地，當一寫入等待時間是為 "2" 時，該 READ-WRITE 間隔係被設定為一時序以致於在該資料匯流排線與該資料端  
20 之間的競爭能夠被避免 (稍後說明)。

## 五、發明說明 ( 27 )

(請先閱讀背面之注意事項再填寫本頁)

該命令解碼器 212 接收該寫入命令 WR7 並且作動該寫入命令訊號 WRITE1 四個時鐘週期(在第 12 圖中的(l))。在該寫入命令訊號 WRITE1 維持被作動的周期期間,該寫入時序產生器電路 218 與該時鐘訊號 CLK(內部時鐘訊號 ICLK) 同步地產生該寫入命令訊號(寫入時序訊號)(在第 12 圖中的(m))。特別地,對應於該等記憶體存貯單元 BANK0 至 BANK3 的數目,該寫入命令訊號 WRITE2 係連續地被作動四次。與該寫入命令訊號 WRITE2 同步,該存貯單元選擇電路 220 依序地作動該等存貯單元選擇訊號 BKSEL2, BKSEL3, BKSEL0 和 BKSEL1(在第 12 圖中的(n))。響應於該等存貯單元選擇訊號 BKSEL2, BKSEL3, BKSEL0 和 BKSEL1, 該等記憶體存貯單元 BANK2, BANK3, BANK0 和 BANK1 係依序地被作動(在第 12 圖中的(o))。

該存貯單元選擇電路 220 的 OR 元件 220a 與該讀取命令訊號 READ1 和該寫入命令訊號 WRITE2 同步地把該移位訊號 SFT 輸出。該移位暫存器 220b 與該移位訊號 SFT 同步地執行一移位運作,藉此依序地作動該等存貯單元選擇訊號 BKSEL0 至 BKSEL3。換句話說,不管該輸入命令是讀取命令抑或是寫入命令,該移位暫存器 220b 執行移位運作俾可依序地作動該等存貯單元選擇訊號 BKSEL0 至 BKSEL3, 藉此一用於執行讀取或者寫入運作的記憶體存貯單元係在該等記憶體存貯單元 BANK0 至 BANK3 之中依序地切換。因此,該存貯單元選擇電路 220 係藉由使用該 OR 元件 220a 和該移位暫存器 220b 來被簡單地構築,而且這使得

## 五、發明說明 ( 28 )

與習知裝置比較起來要大大地縮短該 READ-WRITE 間隔是有可能的。

寫入資料 D7 係在該寫入命令 WR7 的供應之後兩個時鐘週期被供應(在第 12 圖中的(p))。即,該寫入等待時間,其是為從該寫入命令 WR7 之供應到該寫入資料 D7 之供應之時鐘週期的數目,是為"2"。該寫入資料暫存器 222 透過該資料緩衝器 216 取得該寫入資料 D7 並且保持該取得的資料作為該經門鎖的資料訊號 LDATA(在第 12 圖中的(q))。

10 該等記憶體存貯單元 BANK2, BANK3, BANK0 和 BANK1 然後依序地運作,以致於由該寫入資料暫存器 222 所保持之該經門鎖的資料訊號 LDATA 被寫入到該等記憶體細胞。即,相同的寫入資料 D7 被寫入到所有的記憶體存貯單元 BANK0 至 BANK3。

15 該記憶體存貯單元 BANK2, 其是為首先執行該寫入運作,在該寫入命令 WR7 的供應之後四個時鐘週期變成閒置。據此,縱使由該等記憶體存貯單元 BANK0 至 BANK3 所執行的寫入運作被錯開,該讀取命令 RD8 能夠在該寫入命令 WR7 的供應之後四個時鐘週期被供應(在第 12 圖中的(r))。即,一個寫入命令 WR 所需的寫入週期是為四個時鐘週期,與在習知裝置之情況中的那個相等。

20 響應於該讀取命令 RD8,該記憶體存貯單元 BANK2 係運作而且把讀取資料 Q8 輸出(在第 12 圖中的(s))。隨後,該等讀取命令 RD9 至 RD11 係依序地被供應,以致於該

## 五、發明說明 ( 29 )

等記憶體存貯單元 BANK3, BANK0 和 BANK1 係依序地執行讀取運作並且係以與以上所述相同的形式把讀取資料 Q8 至 Q11 輸出 (在第 12 圖中的 (t))。

如上述，在這實施例中，響應於一個寫入命令 WR，  
5 該寫入時序產生器電路 218 係對應於該等記憶體存貯單元 BANK0 至 BANK3 的數目來連續地產生該寫入命令訊號 (寫入時序訊號) WRITE2 數次。在寫入運作期間，與該寫入時序訊號 WRITE2 同步，該存貯單元選擇電路 220 依序地作動該等存貯單元選擇訊號 BKSEL0 至 BKSEL3。因此，在它們之起始時序被錯開下，響應於一個寫入命令 WR，所有記憶體存貯單元 BANK0 至 BANK3 的寫入運作能夠輕易地執行。  
10

而且，寫入運作能夠在所有的記憶體存貯單元 BANK0 至 BANK3 變成閒置之前被開始，因此從該讀取命令 RD 之供應到該寫入命令 WR 之供應的間隔能夠被縮短。再者，在讀取命令 RD 係在一寫入命令 WR 介於其間下被供應的情況中，與習知裝置比較起來，該讀取命令 RD 供應間隔能夠被縮短，使得要增加每約定時間所供應之命令的數目是有可能的。因此，由於該資料訊號能夠比在習知裝置中更頻密地被輸入/輸出，該資料轉移速率 (資料匯流排佔用) 改進，而結果，安裝有該 DRAM 之系統的性能能夠被提升。  
15  
20

再者，該存貯單元選擇電路 220 包含該結構簡單的移位暫存器 220b，而這允許該資料轉移速率在沒有增加該 DRAM 的晶片尺寸下被改進。

## 五、發明說明 ( 30 )

第 13 圖顯示本發明第三實施例的半導體記憶體裝置，該第三實施例係對應於申請專利範圍第 6 至 10 項。相同的標號和符號係用來標示與在關於該第二實施例之以上說明之那些相同的電路和訊號，而該等電路和訊號的詳細描述被省略。

與該第二實施例比較起來，該第三實施例係額外地設置有一晚寫入功能。該晚寫入功能是為一種藉由它，與一寫入命令相關來被供應之寫入資料係在隨後之寫入命令被供應時被寫入到該等記憶體細胞的功能。該晚寫入功能作用來把在讀取資料與寫入資料之間之競爭的時序縮小，藉此改進該資料匯流排之使用的效率。為了執行該晚寫入功能，與該第二實施例比較起來，該第三實施例係額外地設置有一延遲電路 224、一寫入暫存器 226、一位址切換電路 228、一位址比較器電路 230、一資料切換電路 228 及一轉移閘 234。在另一方面，該第三實施例係幾乎以與該第二實施例相同的形式來被構築。即，該半導體記憶體裝置係被製作如一時鐘同步型 DRAM。

該延遲電路 224 把該寫入命令訊號 WRITE1 延遲一對應於該寫入等待時間的時間周期(在這實施例中，"3")，並且把經延遲的訊號輸出到該寫入暫存器 226。該寫入暫存器 226 包括與該經延遲之寫入命令訊號 WRITE1 同步地運作的一位址暫存器 226a 和一資料暫存器 226b。該位址暫存器 226a 保持該位址訊號 ADD(內部位址訊號 IADD)並且把藉此所保持的訊號輸出作為一經門鎖的位址訊號 LADD

## 五、發明說明 (31)

。該資料暫存器 226b 保持該資料訊號 DQ(寫入資料)並且把藉此所保持的訊號輸出作為一經門鎖的資料訊號 LDATA。

當該寫入命令訊號 WRITE1 的位準是為低時，該位址切  
5 換電路 228 選擇該內部位址訊號 IADD，而當該寫入命令  
訊號 WRITE1 的位準是為高時，該位址切換電路 228 選擇  
該經門鎖的位址訊號 LADD。因此，在寫入運作期間，該等  
記憶體存貯單元 BANK0 至 BANK3 係根據該經門鎖的位址  
訊號 LADD 來運作，而在讀取運作期間，該等記憶體存貯單  
10 元 BANK0 至 BANK3 係根據該外部位址訊號 ADD 來運作。

當該內部位址訊號 IADD 係與該經門鎖的位址訊號  
LADD 一致時，該位址比較器電路 230 作動一一致訊號  
COIN(提升一一致訊號 COIN 的位準)。該位址比較器電路  
230 決定該寫入位址是否供一尚未執行寫入運作的記憶體  
15 細胞用。

當該一致訊號的位準是為高時，該資料切換電路 232  
選擇該經門鎖的資料訊號 LDATA，並且把所選擇的訊號輸  
出作為該讀取資料。當該一致訊號 COIN 的位準是為低時，  
該資料切換電路 232 選擇從該等記憶體存貯單元 BANK 讀  
20 取的內部資料訊號 DQ(讀取資料)並且把所選擇的訊號輸出  
作為讀取資料。

當該寫入命令訊號 WRITE1 的位準是為高時，該轉移開  
234 把該經門鎖的資料訊號 LDATA 轉移到該等記憶體存貯  
單元 BANK0 至 BANK3 作為該內部資料訊號(寫入資料)DQ

## 五、發明說明 ( 32 )

。即，該寫入運作係利用由該資料暫存器 226b 所保持之該經門鎖的資料訊號 LDATA 來被執行。

第 14 圖描繪以上所述之 DRAM 的運作。第 14 圖顯示運作的例子，其中，如在第二實施例的情況般，在讀取命令 RD1 至 RD6 被依序地供應之後，跟隨有讀取命令 RD8 至 RD11 之供應的一寫入命令 WR7 被供應。響應於讀取命令 RD1 至 RD6 來被執行的讀取運作係與配合第 12 圖之以上說明的那些相同，而因此，其之描述被省略。

在這實施例的 DRAM 具有以上所述的晚寫入功能。用於供應該寫入命令 WR7 的時序能夠因此與用於供應該寫入資料 D7 之時序獨立地來被設定。這使得要與緊在該讀取命令 RD6 之供應之後的時鐘訊號 CLK 脈衝同步地供應該寫入命令 WR7 是有可能的。即，在這實施例中，從該讀取命令 RD6 之供應到該寫入命令 WR7 之供應的 READ-WRITE 間隔 (時序規格) 能夠被縮短到一個時鐘週期。如同在第二實施例中一樣，該讀取週期和該寫入週期分別是為一個時鐘週期和四個時鐘週期。

響應於該寫入命令 WR7，該寫入命令訊號 WRITE1 被作動四個時鐘週期 (在第 14 圖中的 (a))。響應於該寫入命令訊號 WRITE1 的作動，該寫入命令訊號 WRITE2 係連續地被作動四次 (在第 14 圖中的 (b))。

在寫入命令訊號 WRITE1 維持被作動的周期期間，該轉移閘 234 把該經門鎖的資料訊號 LDATA 轉移到該等記憶體存貯單元 BANK0 至 BANK3。在所描繪的例子中，與先前之

### 五、發明說明 (33)

寫入命令相關之已被供應的寫入資料 D0 係與該寫入命令 WR7 同步地依序被寫入到所有的記憶體存貯單元 BANK0 至 BANK3 (在第 14 圖中的 (c))。

該寫入資料 D7 係在該寫入命令 WR7 之供應之後三個時鐘週期被供應。即，該寫入等待時間被設定為 "3"。與該經延遲的寫入命令訊號 WRITE1 同步，該寫入暫存器 226 門鎖該位址訊號和該寫入資料 D7 (在第 14 圖中的 (e))。響應於該後續的寫入命令 (圖中未示)，由該寫入暫存器 226 所門鎖的寫入資料 D7 被寫入至該等記憶體存貯單元 BANK0 至 BANK3。

在從該寫入命令 WR7 之供應起四個時鐘週期的逝去之後，該等讀取命令 RD8 至 RD11 係依序地被供應 (在第 14 圖中的 (f))。響應於該等讀取命令 RD8 至 RD11，該等記憶體存貯單元 BANK2, BANK3, BANK0 和 BANK1 依序地執行讀取運作。在此假設隨同該讀取命令 RD9 一起被供應的位址訊號 ADD (圖中未示) 係與由該位址暫存器 226a 所保持之經門鎖的位址訊號 LADD 一致。

在這情況中，該位址比較器電路 230 判斷隨同該讀取命令 RD9 一起被供應的位址訊號 ADD 係與該經門鎖的位址訊號 LADD 一致，而據此，作動該一致訊號 COIN (在第 14 圖中的 (g))。即，它判斷響應於該讀取命令 RD9 來被讀取的資料尚未寫入該等記憶體存貯單元 BANK0 到 BANK3。因此，在偵測該一致訊號 COIN 的作動時，該資料切換電路 232 把由該資料暫存器 226b 所保持之經門鎖的資料訊號

## 五、發明說明 ( 34 )

LDATA (寫入資料 D7) 輸出作為該讀取資料 (在第 14 圖中的 (h))。響應於該等讀取命令 RD8, RD10 和 RD11 的讀取運作係以與在第二實施例中相同的形式來被執行。

5 這實施例亦提供與由以上所述之第二實施例所獲得之那些相似的優點。再者，由於這實施例係設置有用於保持與該寫入命令 WR 相關來被供應之寫入資料和寫入位址的寫入暫存器 226，及該位址切換電路 228 和該轉移閘 234，與該寫入命令相關來被供應的寫入資料能夠在後續之寫入命令被供應時 (晚寫入功能) 被寫入至該等記憶體細胞。該晚  
10 寫入功能作用來降低在讀取資料與寫入資料之間之競爭的組合，藉此該資料匯流排之使用的效率能夠被進一步改進。要與該寫入資料供應時序獨立地設定該寫入命令 WR 供應時序亦是有可能。結果，該資料轉移速率能夠被進一步提升。

15 該位址比較器電路 230 和該資料切換電路 232 允許正確的讀取資料即使在響應於該讀取命令 RD 來被讀取之資料尚未被寫入該等記憶體存貯單元 BANK0 至 BANK3 的情況中在沒有故障下被輸出。

20 在以上的實施例中，本發明係應用於時鐘同步型 DRAM，作為舉例說明。然而，本發明的應用係不受限於如此的 DRAM，本發明可以應用於時鐘同步型 SRAM，例如。SRAM 原本地具有良好的隨機可存取性，然而，藉由施加本發明，要進一步提升資料轉移速率是有可能的。

在該等實施例的前面描述中，本發明係應用於，作為舉

## 五、發明說明 ( 35 )

例說明，讀取運作和寫入運作係分別響應於讀取和寫入命令來被執行的 DRAM，然而，本發明的應用不受限於如此的 DRAM。例如，本發明可以應用於一記憶體存貯單元係由一  
5 作動命令作動且讀取/寫入運作係響應於在其後所供應之讀取/寫入命令來被執行的 DRAM。

雖然本發明已詳細地作描述，要注意的是以上的實施例和它們的變化係僅作為本發明的例證而已而本發明係不受到那些限制。顯而易知地，本發明在沒有離開本發明的範圍和精神下能夠以各種方式變化。

10 如上所述，在申請專利範圍第 1 項的半導體記憶體裝置中，要由一單一位址讀取之資料的量能夠被改變，因此該資料量能夠被設定俾可最佳地適合該系統。而且，使設定給該系統的資料量最佳化使得要縮短該存取時間是有可能的。

15 在申請專利範圍第 2 項的半導體記憶體裝置中，資料的過份密集能夠被避免。結果，讀取時間間隔能夠被設定到該半導體記憶體裝置之可允許的最小值，藉此，該半導體記憶體裝置的運作速度能夠被最佳化。

20 在申請專利範圍第 3 項的半導體記憶體裝置中，該系統允許該輸出資料量設定電路設定要在該系統中傳輸之位元的數目，因此傳輸位元的數目能夠藉由軟體來被設定至一希望的值。

在申請專利範圍第 4 項的半導體記憶體裝置中，在存取一存貯單元結束之後，該自動預先充電電路自動地把該

## 五、發明說明 ( 36 )

存貯單元預先充電。這使得它不需要從外部通知自動預先充電時序，藉此外部地設置給該半導體記憶體裝置的電路能夠被簡化。

5 就申請專利範圍第 5 項的資訊處理系統而言，即使在利用不同之資料之位元長度的應用被執行的情況中，該等設定能夠根據所需的位元長度來被適當地改變，藉此允許最佳的運作。

10 申請專利範圍第 6 項的半導體記憶體裝置使得要增加能夠每約定時間被供應之命令的數目是有可能的。由於資料訊號能夠比在習知裝置中更頻繁地被輸入/輸出，該資料轉移速率(資料匯流排佔用)改進，而結果，安裝有該半導體記憶體裝置之系統的性能能夠被提升。

15 申請專利範圍第 7 項的半導體記憶體裝置使用一結構簡單的移位暫存器，俾可改進該資料轉移速率(資料匯流排佔用)。因此，不需要增加該半導體記憶體裝置的晶片尺寸來提升該資料轉移速率。

就申請專利範圍第 8 項的半導體記憶體裝置而言，所有的記憶體存貯單元係響應於一個寫入命令來執行寫入運作，藉此方便該寫入運作。

20 申請專利範圍第 9 項的半導體記憶體裝置能夠降低在讀取資料與寫入資料之間之競爭的組合，因此該資料匯流排之使用的效率改進。再者，用於供應該寫入命令的時序能夠與用於供應該寫入資料之時序獨立地被設定，而結果，該資料轉移速率(資料匯流排佔用)能夠被進一步改進。

## 五、發明說明 (37)

就申請專利範圍第 10 項的半導體記憶體裝置而言，由於該晚寫入功能，即使在響應於一讀取命令來被讀取之資料尚未被寫入該等記憶體存貯單元的情況中，正確的讀取資料能夠在沒有故障下被輸出。

5 前文係被考量作為本發明之原理的舉例說明。再者，由於很多變化和改變對於熟知此項技術的人仕來說會隨時出現，本發明係不受限於所顯示和描述的特定結構與應用，而據此，所有適當的變化和等效可以被視為落於在後附之申請專利範圍及其等效之本發明的範圍之內。

(請先閱讀背面之注意事項再填寫本頁)

裝

10

### 元件標號對照表

	PRE1	預先充電命令	PRE2	預先充電命令
	PRE3	預先充電命令	RD1	讀取命令
	RD2	讀取命令	RD3	讀取命令
	Q11	資料區塊	Q12	資料區塊
15	Q21	資料區塊	Q22	資料區塊
	Q31	資料區塊	Q32	資料區塊
	RD4	讀取命令	RD5	讀取命令
	RD6	讀取命令	Q1	讀取資料
	Q2	讀取資料	Q3	讀取資料
20	Q4	讀取資料	Q5	讀取資料
	Q6	讀取資料	BANK0	存貯單元
	BANK1	存貯單元	BANK2	存貯單元
	BANK3	存貯單元	WR7	寫入命令
	D7	寫入資料	RD8	讀取命令

訂

線

## 五、發明說明 (38)

	RD9	讀取命令	RD10	讀取命令
	RD11	讀取命令	Q8	讀取資料
	Q9	讀取資料	Q10	讀取資料
	Q11	讀取資料	1	位址輸入電路
5	2	讀取電路	3	資料輸出電路
	4	輸出資料量設定電路		
	5-1 至 5-n	存貯單元	10	CPU
	20	控制裝置	40	匯流排
	30	半導體記憶體裝置	50	控制部份
10	60	存貯單元 A	70	存貯單元 B
	61	細胞	62	行解碼器
	63	列解碼器	64	感應放大器
	65	輸入/輸出電路	71	細胞
	72	行解碼器	73	列解碼器
15	74	感應放大器	75	輸入/輸出電路
	80	CLK 輸入端	81	CMD 輸入端
	82	ADD 輸入端	83	CLK 輸入電路
	84	CMD 輸入電路	85	ADD 輸入電路
	88	存貯單元作動控制電路		
20	86	CMD 解碼器		
	87	叢發長度決定電路	90	ADD 閘
	89	時序電路	IADD	內部位址
	100	反相器	101	反相器
	102	反相器	103	NOR 元件

## 五、發明說明 ( 39 )

	104	NOR 元件	105	NAND 元件
	106	DFF 元件	107	DFF 元件
	108	DFF 元件	109	DFF 元件
	110	CMOS 開關	111	CMOS 開關
5	130	反相器	131	DFF 元件
	120	反相器	121	DFF 元件
	140	反相器	141	反相器
	142	反相器	143	反相器
	144	反相器	145	CMOS 開關
10	146	CMOS 開關	N1	輸出訊號
	N2	輸出訊號	N3	輸出訊號
	N4	輸出訊號	210	時鐘緩衝器
	212	命令解碼器	214	位址緩衝器
	216	資料緩衝器	BANK0	記憶體存貯單元
15	218	寫入時序產生器電路		
	220	存貯單元選擇電路	BANK1	記憶體存貯單元
	222	寫入資料暫存器	BANK2	記憶體存貯單元
	BANK3	記憶體存貯單元	CLK	時鐘訊號
	ICLK	內部時鐘訊號	CMD	命令訊號
20	READ1	讀取命令訊號	WRITE1	寫入命令訊號
	ADD	位址訊號	DQ	資料訊號
	IDQ	內部資料訊號	WRITE2	寫入命令訊號
	LDATA	經門鎖的資料訊號	220a	OR 元件
	BKSEL0	存貯單元選擇訊號	220b	移位暫存器

## 五、發明說明 (40)

	BKSEL1	存貯單元選擇訊號	SFT	移位訊號
	BKSEL2	存貯單元選擇訊號	S0	移位訊號
	BKSEL3	存貯單元選擇訊號	S1	移位訊號
	S2	移位訊號	S3	移位訊號
5	WR7	寫入命令	224	延遲電路
	226	寫入暫存器	228	位址切換電路
	230	位址比較器電路	232	資料切換電路
	234	轉移閘	226a	位址暫存器
	226b	資料暫存器	COIN	一致訊號

(請先閱讀背面之注意事項再填寫本頁)

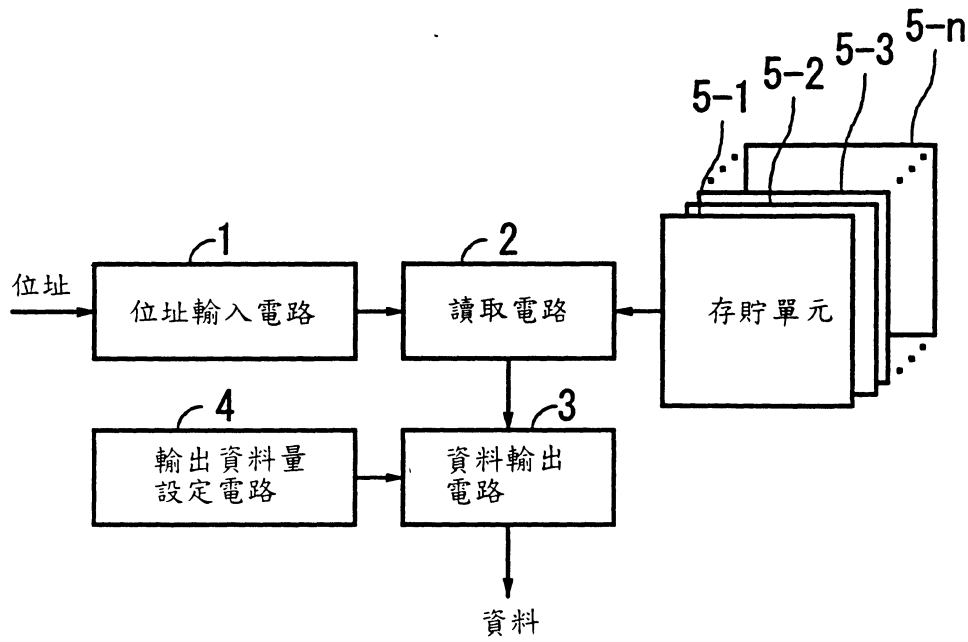
裝

訂

線

10

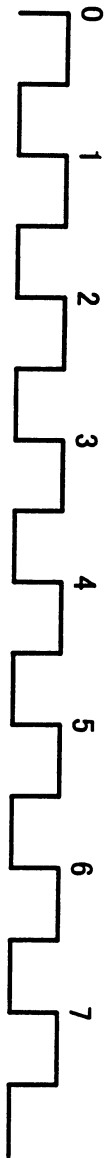
po 132376



第 1 圖

### 第 2 (A) 圖

基本時鐘



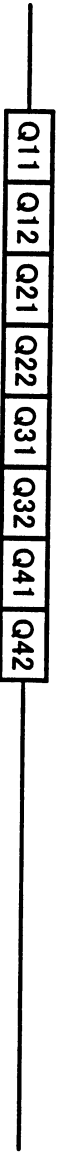
### 第 2 (B) 圖

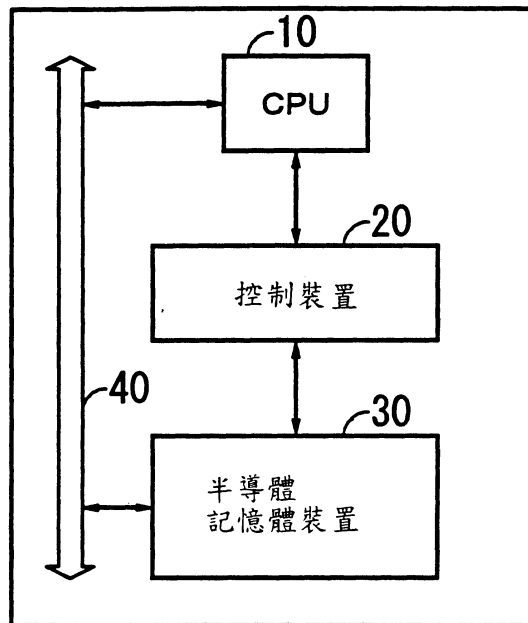
命令



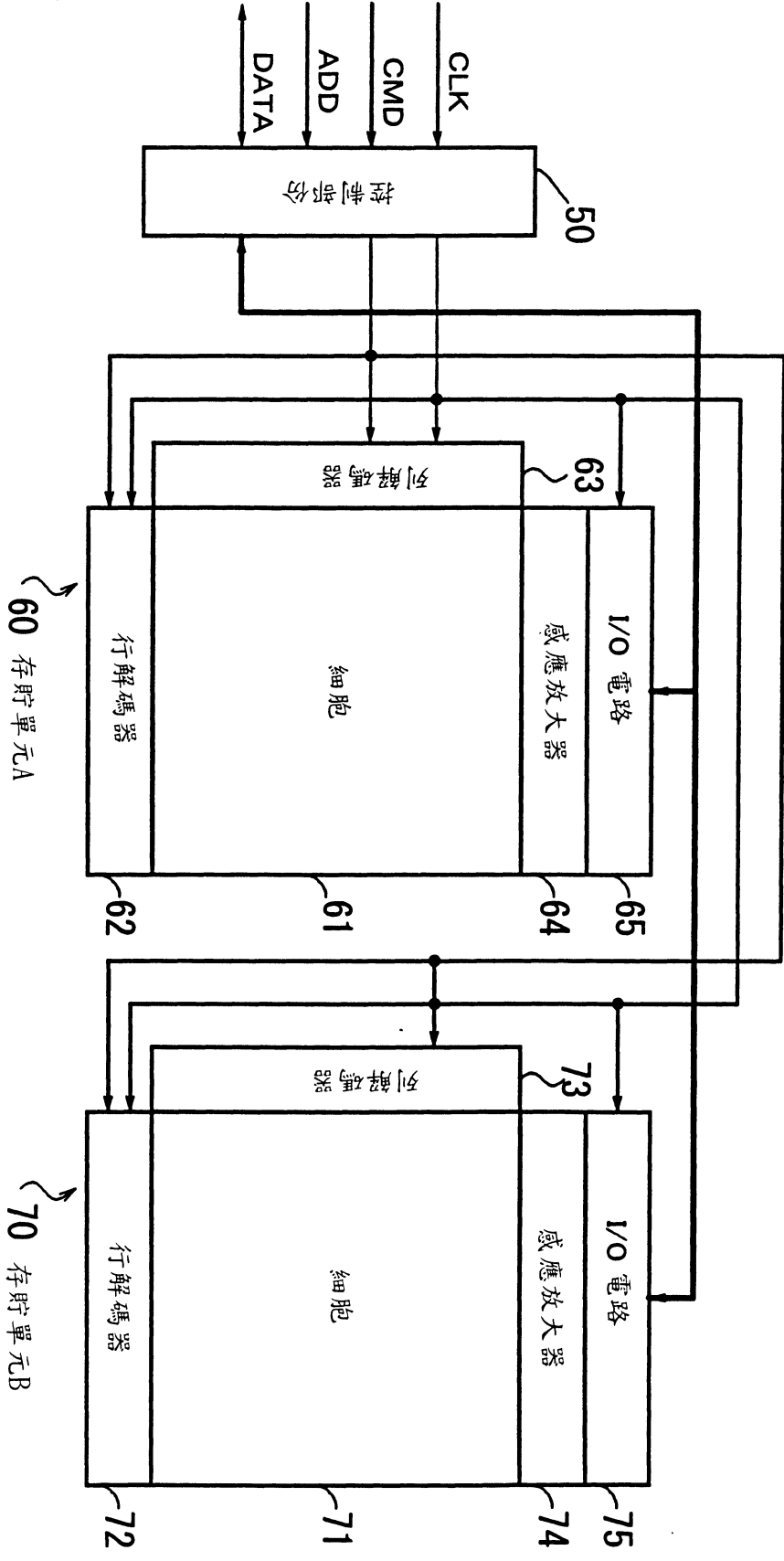
### 第 2 (C) 圖

DATA輸出端

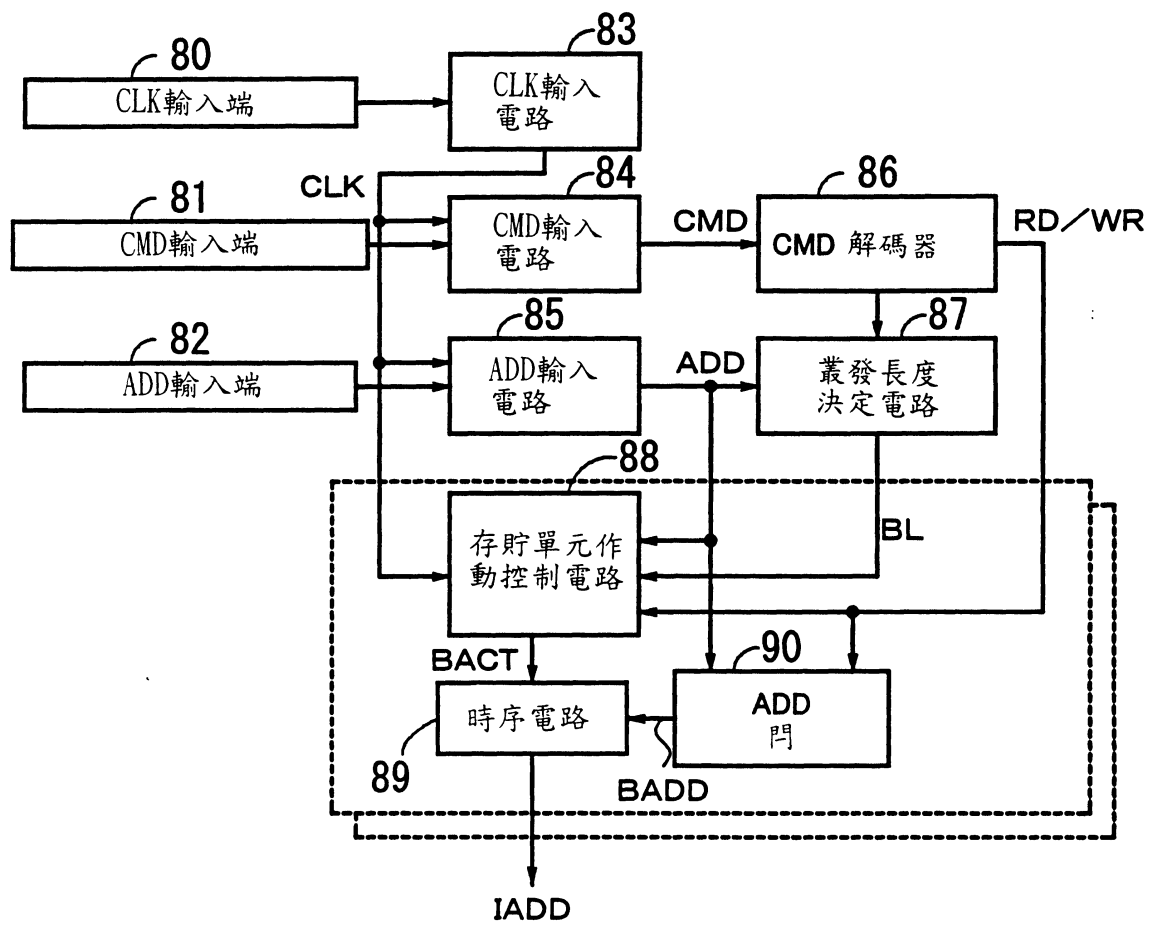




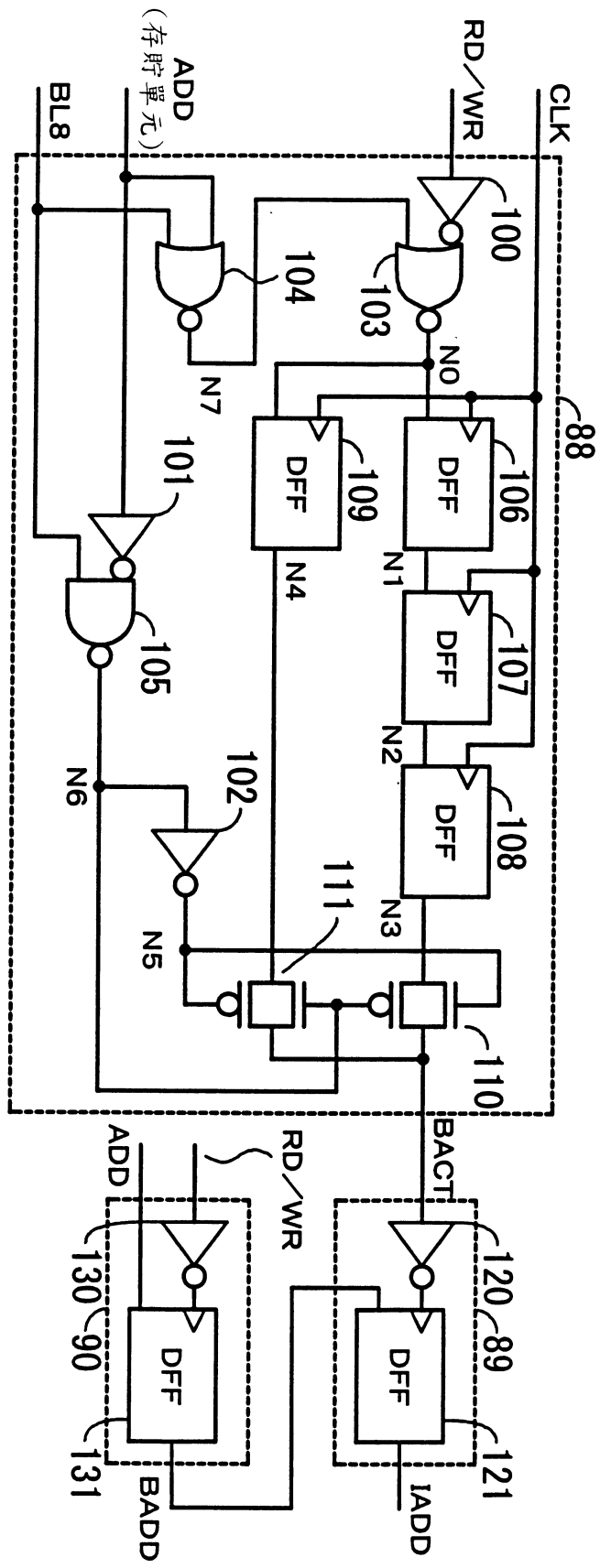
第 3 圖



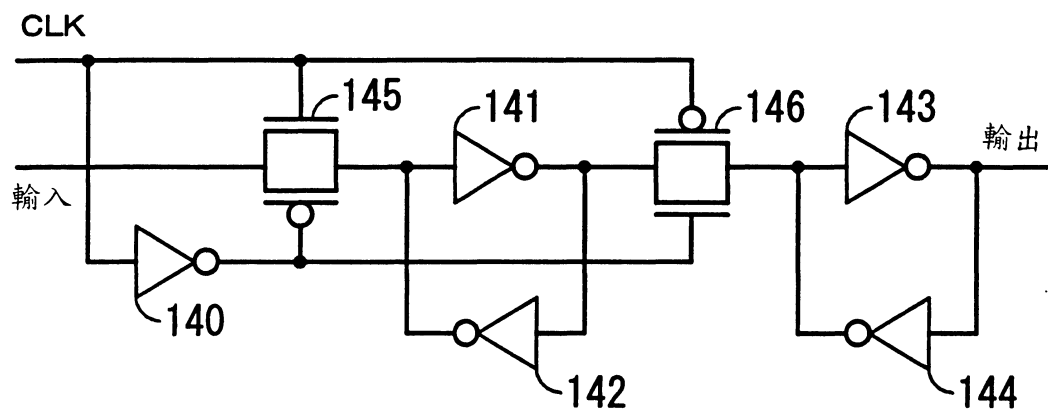
第 4 圖



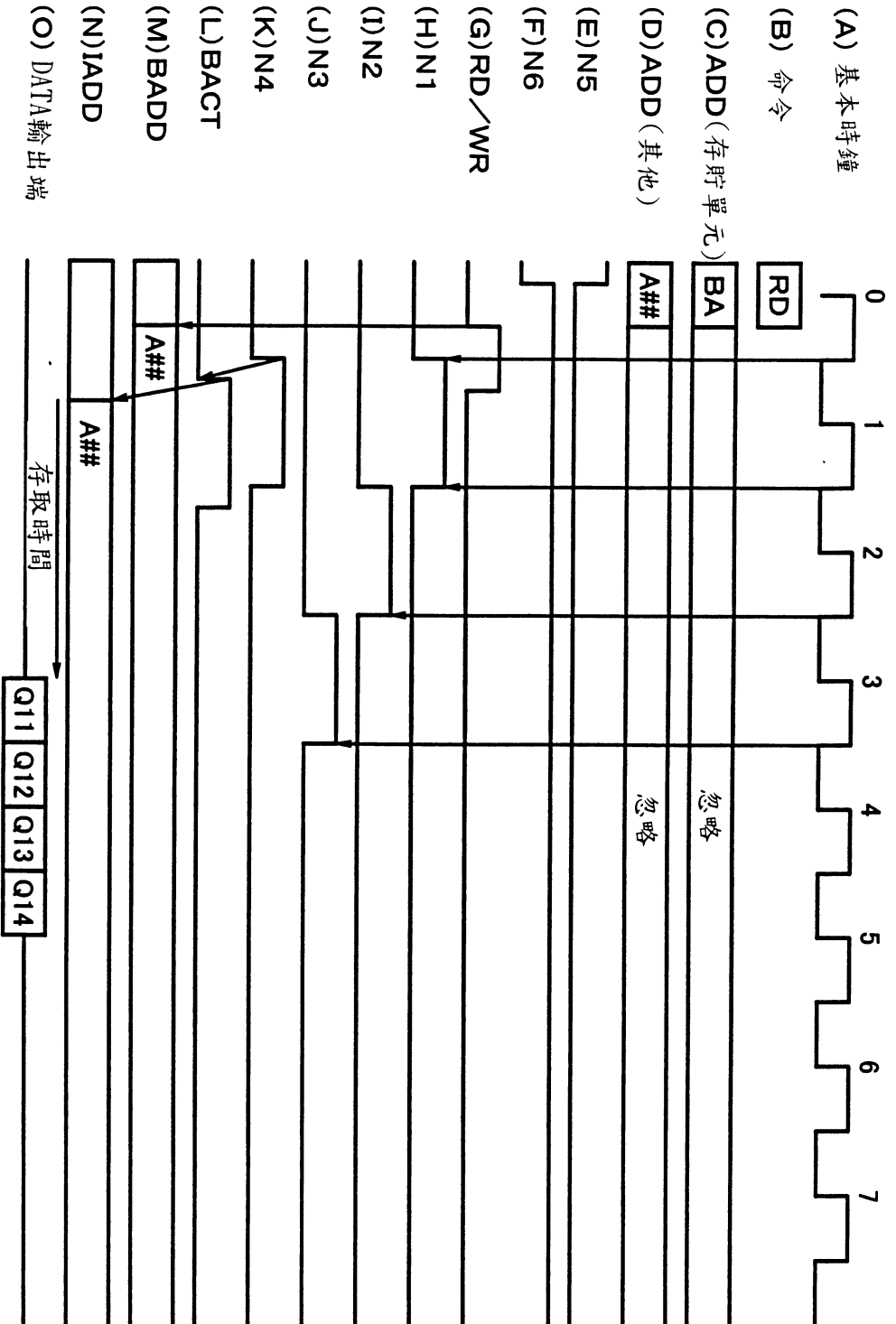
第 5 圖



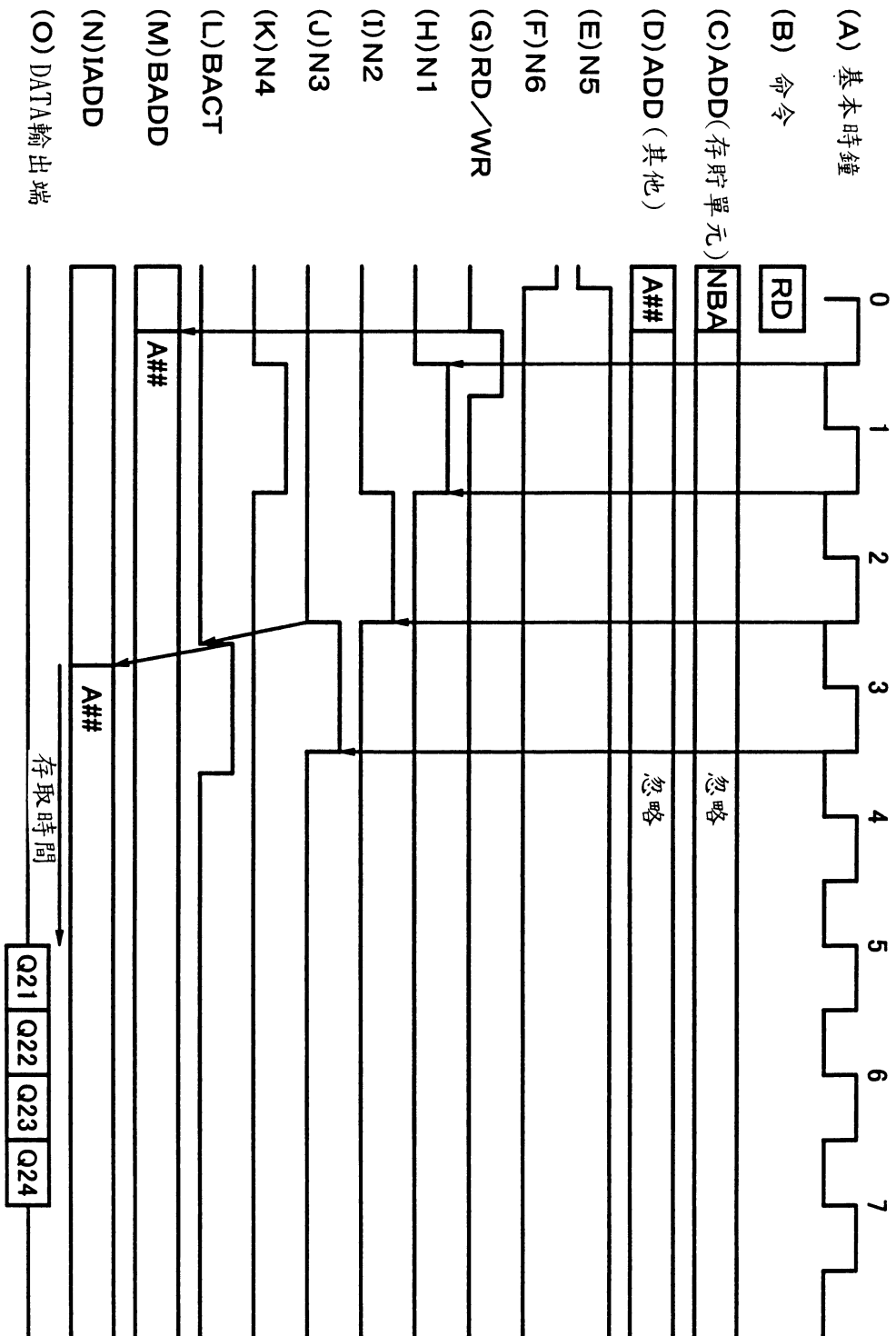
第 6 圖



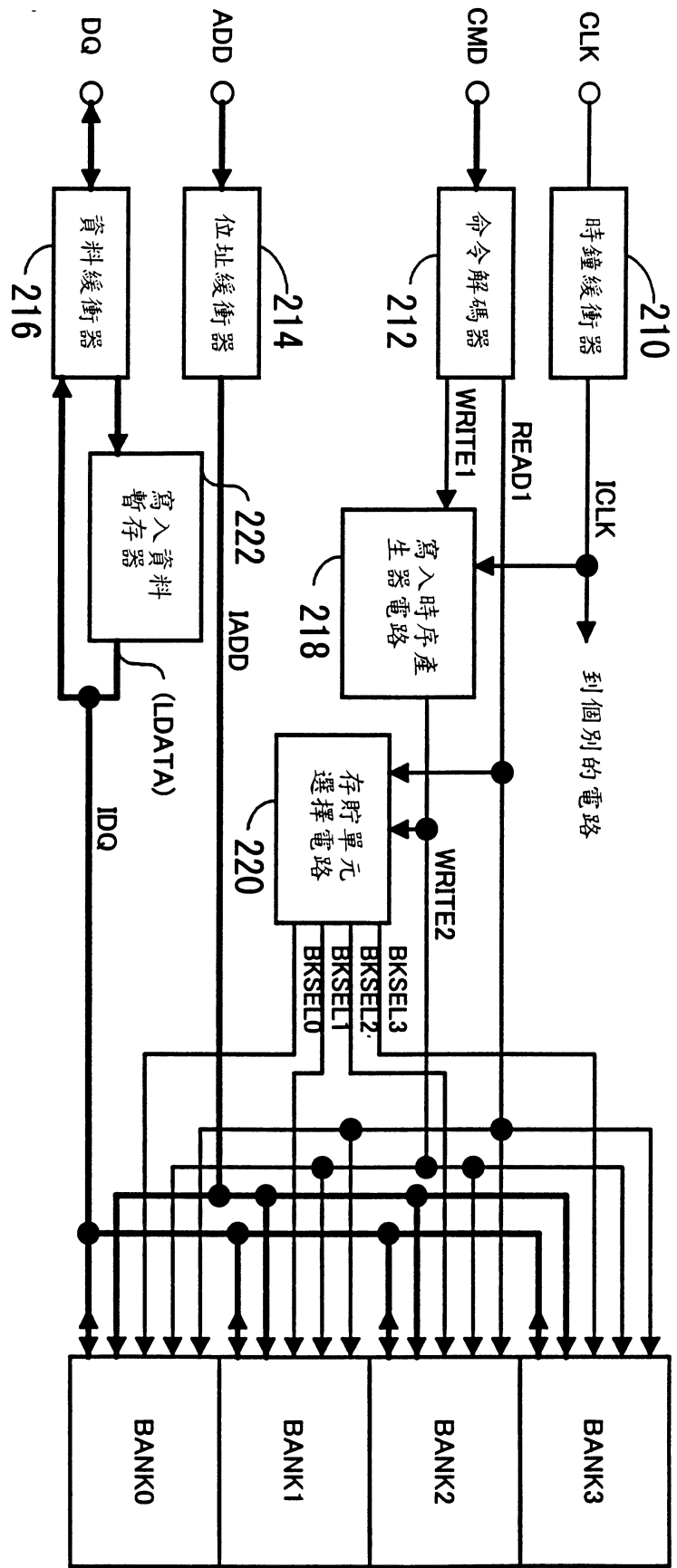
第 7 圖



第 8 圖

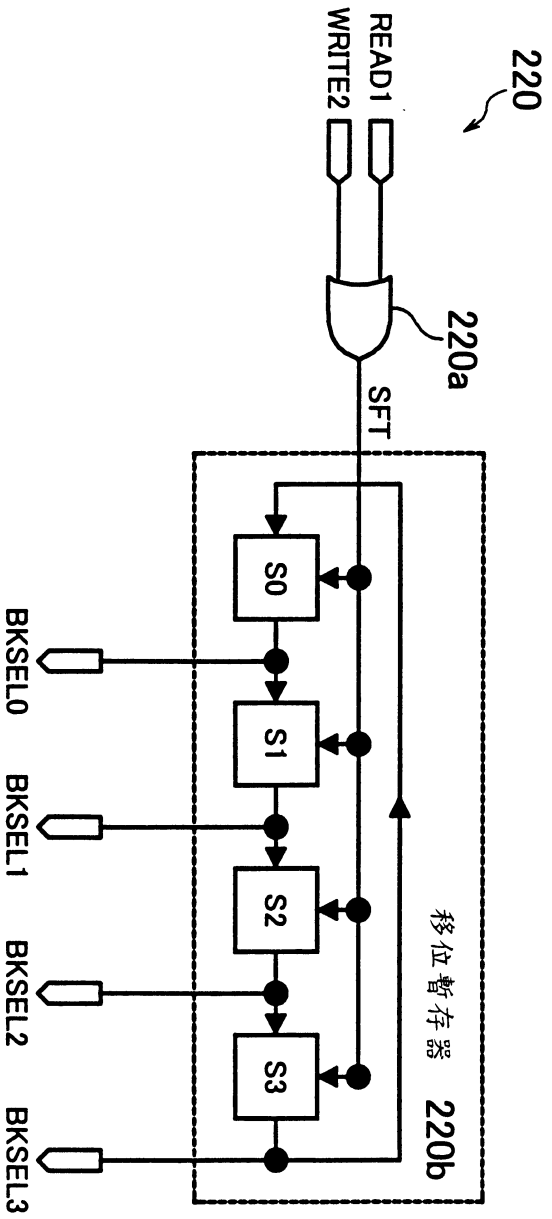


第 9 圖

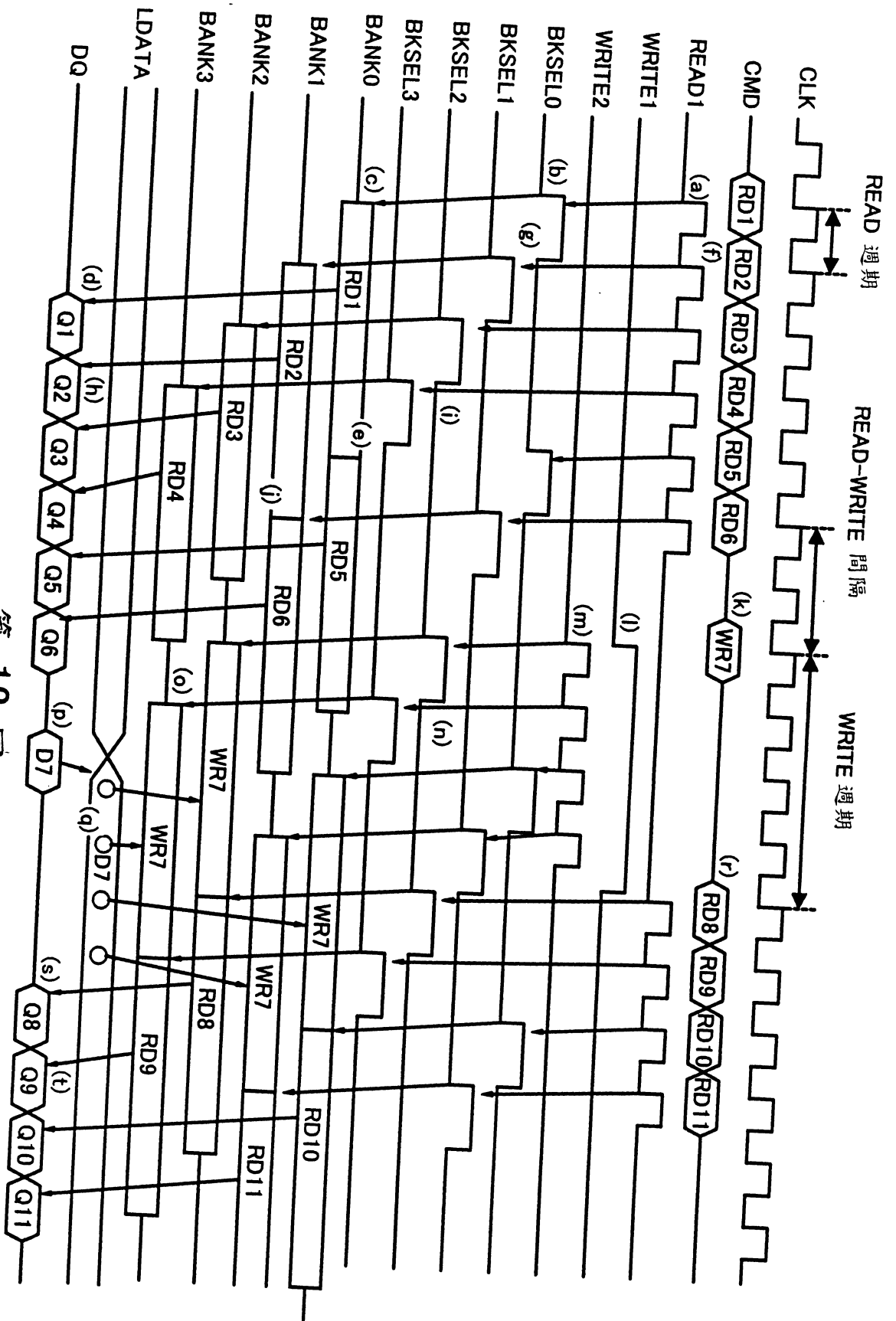


第 10 圖

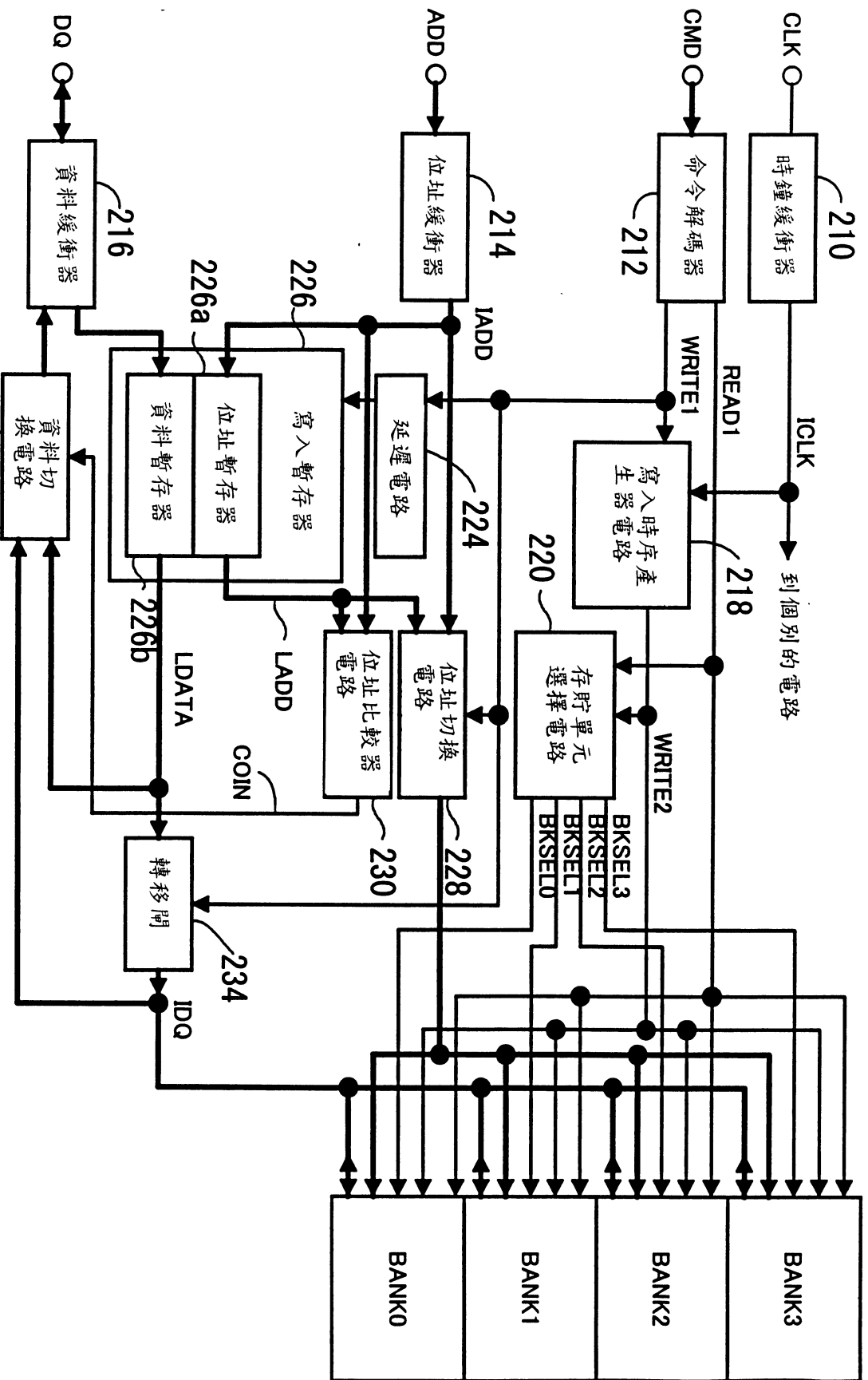
顯示存貯單元選擇電路之細節的方塊圖



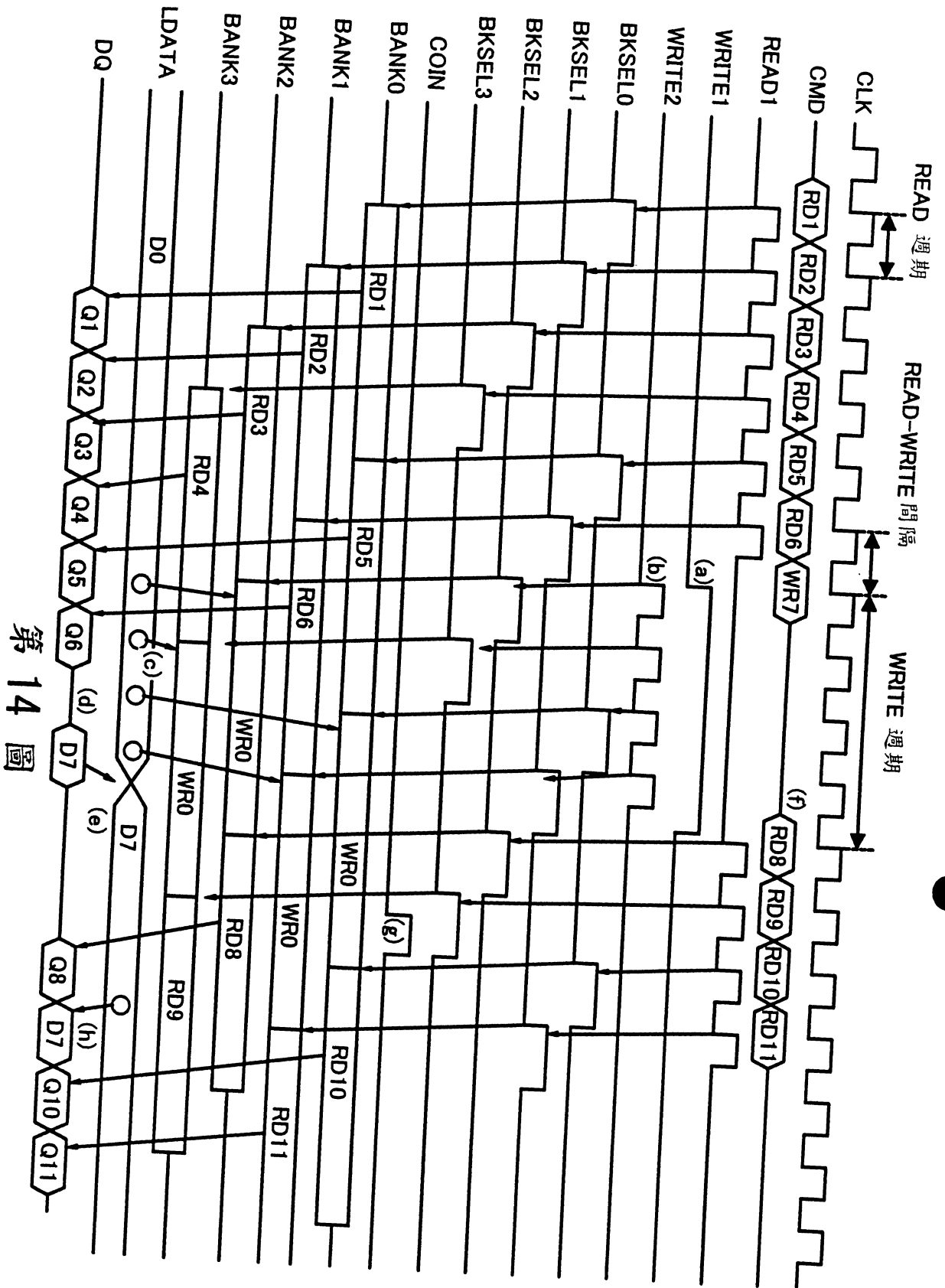
第 11 圖



第 12 圖



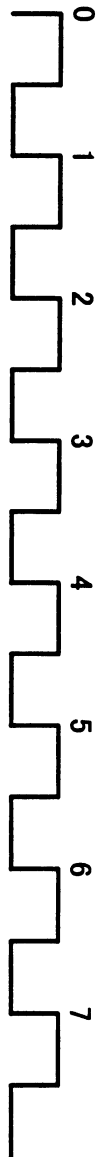
第 13 圖



第 14 圖

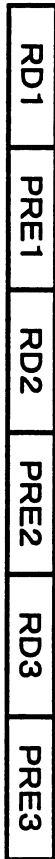
第15(A)圖  
習知技藝

基本時鐘



第15(B)圖  
習知技藝

命令



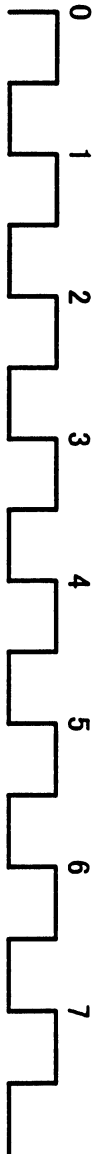
第15(C)圖  
習知技藝

DATA輸出端



### 第16(A)圖 習知技藝

基本時鐘



### 第16(B)圖 習知技藝

命令



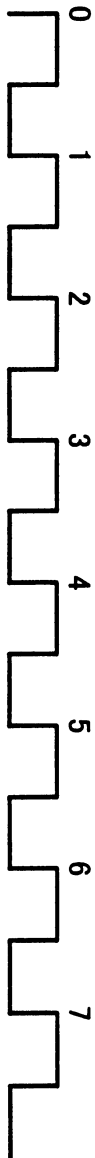
### 第16(C)圖 習知技藝

DATA輸出端



### 第17(A)圖 習知技藝

基本時鐘



### 第17(B)圖 習知技藝

命令



### 第17(C)圖 習知技藝

DATA輸出端



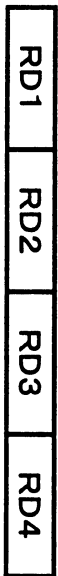
### 第18(A)圖 習知技藝

基本時鐘



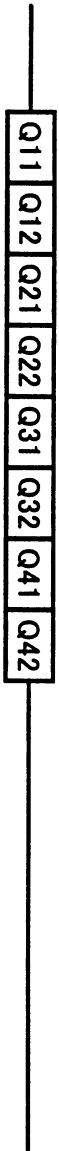
### 第18(B)圖 習知技藝

命令



### 第18(C)圖 習知技藝

DATA輸出端



## 五、發明說明 ( 6 )

，藉此提升輸入/輸出資料的轉移速率。

為了達成以上之目的，一種資訊處理系統被提供，該資訊處理系統包括一具有  $n$  個存貯單元 ( $n > 1$ ) 的半導體記憶體裝置及一用於控制該半導體記憶體裝置的控制裝置。

- 5 該半導體記憶體裝置包含一用於接收一輸入位址的位址輸入電路、一用於依序地從  $m (\leq n)$  個存貯單元讀取對應於一個經由該位址輸入電路輸入之位址之資料的讀取電路、及一用於把由該讀取電路從該  $m$  個存貯單元所讀取之資料輸出至外部作為集合資料的資料輸出電路。該控制裝置包含
- 10 一控制電路和一存取禁止電路，該控制電路係用於根據一由該讀取電路之讀取週期所決定的週期時間來控制該半導體記憶體裝置，該存取禁止電路係用於根據資料正由該讀取電路從其那裡讀取的存貯單元來禁止對一預定存貯單元的存取。

- 15 本發明之以上及其他目的、特徵和優點將會由於後面配合描繪本發明之較佳實施例之附圖的描述而變得明白。

第 1 圖是為描繪本發明之運作之原理的圖示；

第 2 (A)、2 (B) 和 2 (C) 圖是為略述在第 1 圖中所描繪之原理之運作的時序圖；

- 20 第 3 圖是為顯示本發明一實施例之典型結構的圖示；

第 4 圖是為詳細顯示出現於第 3 圖之半導體記憶體裝置之典型結構的圖示；

第 5 圖是為詳細顯示出現於第 4 圖之控制部份之典型結構的圖示；

## 五、發明說明 ( 8 )

本發明的實施例於此後將會配合該等圖式作描述。第 1 圖描繪本發明之運作的原理。如在該圖式中所示，本發明的半導體記憶體裝置包含一位址輸入電路 1、一讀取電路 2、一資料輸出電路 3、一輸出資料量設定電路 4、及存貯單元 5-1 至 5-n。

該位址輸入電路 1 從外部接收一輸入至其那裡之供存取用的位址。

該讀取電路 2 依序地從  $m (\leq n)$  個存貯單元讀取對應於一個經由該位址輸入電路 1 輸入之位址的資料。

10 該資料輸出電路 3 把由該讀取電路 2 從該  $m$  個存貯單元讀取的資料輸出至外部作為集合資料。

該輸出資料量設定電路 4 設定要從該資料輸出電路 3 輸出之資料的量。

根據所描繪之原理的運作現在會作描述。

15 在該半導體記憶體裝置之運作的開始之時，例如，該輸出資料量設定電路 4 從一控制裝置，圖中未示，接收資訊作為控制訊號，該資訊係用於指定要從該資料輸出電路 3 輸出作為集合資料之資料的量，而且該輸出資料量設定電路 4 根據所接收的資訊來設定該輸出資料量。

20 由於要從該資料輸出電路 3 輸出作為集合資料的資料量係以這形式設定，一位址係從外部輸入至該位址輸入電路 1，然後該位址輸入電路 1 把輸入的位址供應到該讀取電路 2。

如果由該輸出資料量設定電路 4 所設定的資料量係比

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要 (發明之名稱: 半導體記憶體裝置及資訊處理系統)

一半導體記憶體裝置能夠執行最佳地適合應用的轉移運作。一位址輸入電路接收一輸入位址，而一讀取電路以自動形式依序地從  $m (\leq n)$  個存貯單元讀取對應於經由該位址輸入電路所輸入之一個位址的資料。一資料輸出電路把由該讀取電路從該  $m$  個存貯單元讀取的資料輸出到外部作為集合資料。

英文發明摘要 (發明之名稱: SEMICONDUCTOR MEMORY DEVICE AND INFORMATION PROCESSING SYSTEM)

A semiconductor memory device capable of performing transfer operation best suited to applications. An address input circuit receives an input address, and a readout circuit sequentially reads, from  $m (\leq n)$  banks, data corresponding to one address input via the address input circuit in an automatic manner. A data output circuit outputs the data read by the readout circuit from the  $m$  banks to outside as collective data.

## 六、申請專利範圍

1. 一種半導體記憶體裝置，其具有  $n(n>1)$  個存貯單元，包含：
- 一位址輸入電路，其係用於接收一輸入位址；
  - 一讀取電路，其係用於依序地從  $m(\leq n)$  個存貯單元讀取對應於經由該位址輸入電路所輸入之一個位址的資料；及
  - 一資料輸出電路，其係用於把由該讀取電路從該  $m$  個存貯單元讀取之資料輸出到外部作為集合資料。
2. 如申請專利範圍第 1 項所述之半導體記憶體裝置，其中，該讀取電路以預定的時間間隔依序地從該  $m$  個存貯單元讀取資料以致於資料的過份密集不會發生。
3. 如申請專利範圍第 1 項所述之半導體記憶體裝置，更包含一輸出資料量設定電路，其係用於設定要從該資料輸出電路輸出之資料的量，及
- 其中，對應於由該輸出資料量設定電路所設定的資料量，該讀取電路依序地從若干存貯單元讀取資料。
4. 如申請專利範圍第 1 項所述之半導體記憶體裝置，更包含一自動預先充電電路，其係用於在存取該每一存貯單元被結束之後自動地預先充電該等存貯單元中之每一者。
5. 一種包括一半導體記憶體裝置和一用於控制該半導體記憶體裝置之控制裝置的資訊處理系統，該半導體記憶體裝置具有  $n(n>1)$  個存貯單元，其中
- 該半導體記憶體裝置包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一位址輸入電路，其係用於接收一輸入位址；

一讀取電路，其係用於依序地從  $m (\leq n)$  個存貯單元讀取對應於經由該位址輸入電路所輸入之一個位址的資料；及

5 一資料輸出電路，其係用於把由該讀取電路從該  $m$  個存貯單元讀取之資料輸出到外部作為集合資料，及該控制裝置包含：

一控制電路，其係用於根據由該讀取電路之讀取週期所決定之週期時間來控制該半導體記憶體裝置；及

10 一存取禁止電路，其係用於根據資料正由該讀取電路所讀取的存貯單元來禁止對一預定之存貯單元的存取。

6. 一種半導體記憶體裝置，包含：

15 數個具有被指派至其那裡之相同位址的記憶體存貯單元，相同資料係響應於一寫入命令來被寫入該等記憶體存貯單元；及

20 一存貯單元選擇電路，其係用於響應於一讀取命令來選擇該等記憶體存貯單元中之一者，及係用於響應於該寫入命令來依序地選擇該等記憶體存貯單元以致於該等記憶體存貯單元係以錯開形式個別地開始一寫入運作。

7. 如申請專利範圍第 6 項所述之半導體記憶體裝置，其中，該存貯單元選擇電路包括一移位暫存器，該移位暫存器係用於與該讀取命令和該寫入命令同步地依序作動用

## 六、申請專利範圍

於選擇對應之記憶體存貯單元的存貯單元選擇訊號。

8. 如申請專利範圍第 7 項所述之半導體記憶體裝置，更包含一寫入時序產生器電路，對應於該等記憶體存貯單元的數目，該寫入時序產生器電路係用於響應於該寫入命令來產生用於執行該寫入運作的寫入時序訊號若干次。

9. 如申請專利範圍第 6 項所述之半導體記憶體裝置，更包含一資料暫存器，其係用於保持與該寫入命令相關來被供應的寫入資料，及

10 其中，與一先前之寫入命令相關且係由該資料暫存器所保持的寫入資料係響應於該寫入命令來被寫入該等記憶體存貯單元。

10. 如申請專利範圍第 9 項所述之半導體記憶體裝置，更包含：

15 一位址暫存器，其係用於保持與該寫入命令相關來被供應的寫入位址；

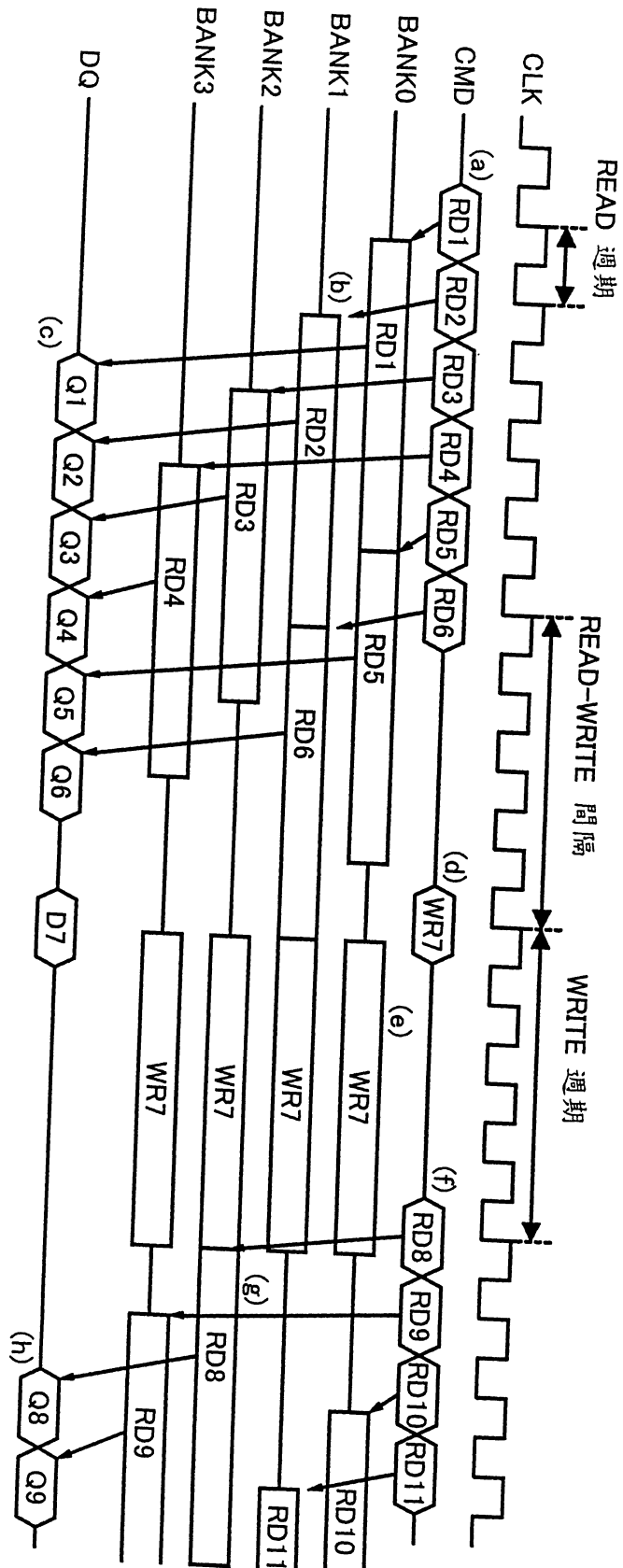
一位址比較器電路，其係用於在該讀取運作期間把與該讀取命令相關來被供應的讀取位址與由該位址暫存器所保持的寫入位址比較，並且若該讀取位址係與該寫入位址一致的話係用於輸出一一致訊號；及

20 一資料切換電路，其係用於響應於該一致訊號的接收來把由該資料暫存器所保持的寫入資料輸出作為讀取資料。

(請先閱讀背面之注意事項再填寫本頁)

訂

修正  
補充  
92年6月13日



第 19 圖  
習知技藝