

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
23. März 2006 (23.03.2006)

PCT

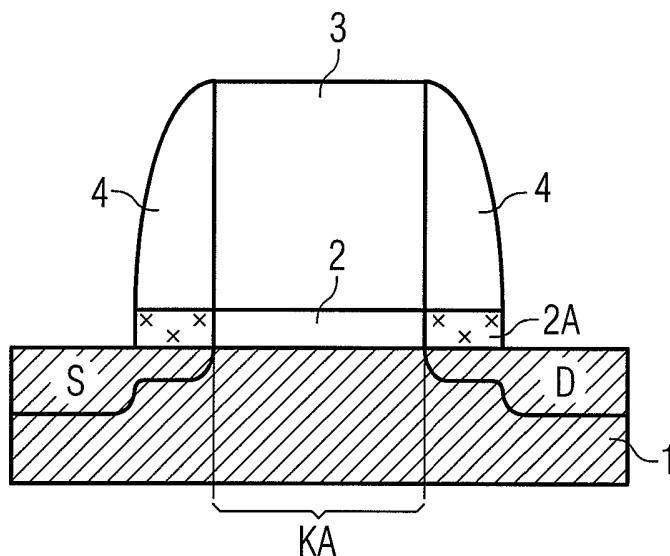
(10) Internationale Veröffentlichungsnummer
WO 2006/029956 A1

- (51) Internationale Patentklassifikation: ⁷ **H01L 21/336**, 29/49, 21/265
- (21) Internationales Aktenzeichen: PCT/EP2005/054183
- (22) Internationales Anmeldedatum:
25. August 2005 (25.08.2005)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
102004044667.9
15. September 2004 (15.09.2004) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **HOLZ, Jürgen** [DE/DE]; Robert-Matzke-Str. 38, 01127 Dresden (DE). **SCHRÜFER, Klaus** [DE/DE]; Weidenstr. 21, 85598 Baldham (DE). **TEWS, Helmut** [DE/DE]; Frankwald-str. 36, 81549 München (DE).
- (74) Anwälte: **KINDERMANN, Peter** usw.; Patentanwälte Kindermann, Postfach 100234, 85593 Baldham (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, IE), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR ELEMENT AND CORRESPONDING METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: HALBLEITERBAUELEMENT SOWIE ZUGEHÖRIGES HERSTELLUNGSVERFAHREN



(57) Abstract: The invention relates to a semiconductor element and to a corresponding method for producing the same, whereby spaced-apart source/drain regions (S, D) defining a channel region (KA) are configured on a carrier substrate (1). A gate dielectric (2) is configured in the area of the channel region (KA), a gate stack (3) having spacers (4) being configured on the surface thereof. The invention is characterized in that subsections (2A) of the gate dielectric (2) are modified between the carrier substrate (1) and the spacers (4) in such a manner that a dielectric constant of the modified subsection (2A) is smaller than a dielectric constant of the gate dielectric (2).

(57) Zusammenfassung: Die Erfindung betrifft ein Halbleiterbauelement sowie ein zugehöriges

Herstellungsverfahren, wobei auf einem Trägersubstrat (1) voneinander beabstandete Source-/Draingebiete (S, D) zum Festlegen eines Kanalgebiets (KA) ausgebildet sind. Im Bereich des Kanalgebiets (KA) ist ein Gate-Dielektrikum (2) ausgebildet, an dessen Oberfläche ein Gatestapel (3) mit Spacern (4) ausgebildet ist. Gemäß der vorliegenden Erfindung sind Teilbereiche (2A) des Gate-Dielektrikums (2) zwischen dem Trägersubstrat (1) und den Spacern (4) derart modifiziert, dass eine Dielektrizitätskonstante des modifizierten Teilbereichs (2A) kleiner ist als eine Dielektrizitätskonstante des Gate-Dielektrikums (2).

WO 2006/029956 A1



Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Halbleiterbauelement sowie zugehöriges Herstellungsverfahren

5 Die vorliegende Erfindung bezieht sich auf ein Halbleiterbauelement sowie ein zugehöriges Herstellungsverfahren und insbesondere auf ein Halbleiterbauelement mit einem sogenannten High-k-Gate-Dielelektrikum mit verringerten Streufeldern (fringing fields).

10

In der Halbleitertechnik besteht grundsätzlich das Bedürfnis, eine steigende Anzahl von Bauelementen in einer integrierten Schaltung bei verringerter Fläche zu realisieren, um beispielsweise die Kosten zu senken und andererseits die elektrischen Eigenschaften zu verbessern. Insbesondere bei in
15 integrierten Schaltungen (Integrated Circuits, IC) verwendeten Halbleiterbauelementen, wie z.B. Feldeffekttransistorstrukturen, werden daher jeweilige Kanallängen zunehmend verringert, wobei mittlerweile Kanallängen weit unterhalb von
20 100nm erreicht sind.

Figur 1 zeigt eine vereinfachte Schnittansicht eines herkömmlichen Halbleiterbauelements, wie es beispielsweise als Feldeffekttransistor in CMOS-integrierten Schaltungen verwendet
25 wird.

Gemäß Fig. 1 sind in einem üblicherweise aus Silizium-Halbleitermaterial bestehenden Trägersubstrat 1 voneinander beabstandete Source-/Draingebiete S und D zum Festlegen eines
30 Kanalgebiets KA ausgebildet, wobei an der Oberfläche des Trägersubstrats 1 im Bereich des Kanalgebiets KA ein sogenanntes Gate-Dielelektrikum 2 zum Isolieren eines Gatestapels 3 vom Kanalgebiet KA ausgebildet ist. Der Gatestapel 3 weist an seinen Seitenwänden Spacer 4 auf und besitzt zumindest eine
35 Steuerschicht zum Ansteuern des Kanalgebiets KA. Auf diese Weise kann ein Strom zwischen dem Source- und Draingebiet S und D gesteuert werden.

Üblicherweise wurden für derartige herkömmliche Halbleiterbauelemente Oxide und insbesondere Siliziumdioxid sowie Oxy-
nitrid als Gate-Dielektrikum 2 verwendet. Für Strukturen bzw.
5 Kanallängen größer 100nm weisen derartige Gate-Dielektrika
ausreichend brauchbare elektrische Eigenschaften auf, da sie
einerseits eine ausreichend hohe Kopplung des Gatestapels 3
zum Kanalgebiet KA über die sogenannte Gate-Kanalkapazität
 C_{GK} ermöglichen und darüber hinaus Leckströme insbesondere
10 aufgrund von Tunneln ausreichend verhindern.

Mit der zunehmenden Miniaturisierung und insbesondere dem
Verringern der kleinsten Strukturbreiten bzw. der Kanallängen
derartiger Halbleiterbauelemente auf Werte weit unter 100nm
15 ergeben sich wesentliche Probleme insbesondere hinsichtlich
der gewünschten Koppeleigenschaften und Leckströme.

Figur 2 zeigt eine vereinfachte Schnittansicht eines weiteren
herkömmlichen Halbleiterbauelements mit derartigen kleinen
20 Strukturgrößen bzw. Kanallängen, wobei gleiche Bezugszeichen
gleiche oder entsprechende Elemente wie in Figur 1 bezeich-
nen, weshalb auf eine wiederholte Beschreibung nachfolgend
verzichtet wird.

25 Da bei einem derartigen sub-100 nm Bauelement bzw. bei einer
derartigen Verkleinerung insbesondere der Kanallängen her-
kömmliche Materialien für das Gate-Dielektrikum 2 nicht mehr
ausreichend sind, werden zunehmend sogenannte High-k-
Dielektrika als Gate-Dielektrikum verwendet. Derartige High-
30 k-Dielektrika sind demzufolge dielektrische Materialien mit
hohem k-Wert, d.h. einer hohen Dielektrizitätskonstante,
welche insbesondere wesentlich höher ist als die von thermi-
ischem Siliziumdioxid, welches sozusagen als Referenzdie-
lektrikum betrachtet wird. Der k-Wert von thermisch herge-
35 stelltem Siliziumdioxid liegt hierbei bei ca. 3,9.

Durch die Verwendung von derartigen High-k-Dielektrika als Gate-Dielektrikum 2 können insbesondere die für einen Tunnel-Leckstrom relevanten physikalischen Schichtdicken wesentlich erhöht werden, während die für eine kapazitive Kopplung bzw. für die elektrischen Eigenschaften des Halbleiterbauelements bedeutsamen Äquivalenz-Schichtdicken (EOT, Equivalent Oxide Thickness) unverändert sind. Nachteilig bei derartigen High-k-Dielektrika sind jedoch die dadurch in den Randbereichen auftretenden erhöhten Streufelder bzw. „fringing fields“, welche zu erhöhten, aber unerwünschten Koppelkapazitäten C_{GD} zum Draingebiet und C_{GS} zum Sourcegebiet führen. Derartige parasitäre Gate-Drain- und Gate-Sourcekapazitäten verschlechtern die elektrischen Eigenschaften des Halbleiterbauelements.

Zum Teil lässt sich dieses Problem durch einen Aufbau gemäß Figur 3 lösen, wobei die Spacer 4 an den Seitenwänden des Gatestapels 3 nicht auf dem Gate-Dielektrikum 2 aufliegen, sondern bis zum Trägersubstrat 1 reichen.

Figur 3 zeigt eine vereinfachte Schnittansicht eines weiteren derartigen herkömmlichen Halbleiterbauelements, wobei wiederum gleiche Bezugszeichen gleiche oder ähnliche Elemente wie in den Figuren 1 und 2 beschreiben und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 3 wird zur Reduzierung der unerwünschten Streufelder bzw. der parasitären Gate-Sourcekapazität C_{GS} und Gate-Drainkapazität C_{GD} bei der Strukturierung des Gatestapels 3 gleichzeitig auch das Gate-Dielektrikum 2 strukturiert bzw. entfernt und anschließend eine Seitenwand-Isolationsschicht bzw. ein isolierender Spacer 4 an den Seitenwänden des Gatestapels 3 und des Gate-Dielektrikums 2 ausgebildet. Obwohl auf diese Weise die unerwünschten Streufelder bzw. fringing fields bzw. die parasitären Kapazitäten wesentlich verringert werden können, ergeben sich insbesondere aufgrund des verwendeten Strukturierungsprozesses vor allem an den

Seitenwänden des Gate-Dielektrikums Schädigungen wie Strahlenschäden bzw. Unterätzungen, wie sie in der teilvergrößerten Schnittansicht von Figur 3 dargestellt sind. Derartige Schädigungen bzw. Unterätzungen der Seiten des Gate-Dielektrikums 2 resultieren jedoch in einer verschlechterten Zuverlässigkeit des Halbleiterbauelements und einem erhöhten Leckstrom.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Halbleiterbauelement sowie ein zugehöriges Herstellungsverfahren zu schaffen, welches kostengünstig herzustellen ist und verbesserte elektrische Eigenschaften aufweist.

Diese Aufgabe wird hinsichtlich des Halbleiterbauelements durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Herstellungsverfahrens durch die Maßnahmen des Patentanspruchs 10 gelöst.

Insbesondere weisen hierbei Teilbereiche des Gate-Dielektrikums zwischen dem Trägersubstrat und den Spacern eine durch Einbringen von zusätzlichen Elementen auftretende Modifizierung auf, wonach eine Dielektrizitätskonstante des modifizierten Teilbereichs kleiner ist als eine Dielektrizitätskonstante des unmodifizierten Gate-Dielektrikums. Auf diese Weise werden die unerwünschten Streufelder wesentlich verringert, wobei eine Beschädigung des Gate-Dielektrikums oder eine Unterätzung in relevanten Bereichen weiterhin verhindert ist.

Vorzugsweise besteht das Gate-Dielektrikum aus einem High-k-Dielektrikum, wie z.B. HfO_2 , ZrO_2 oder Al_2O_3 . Die modifizierten Teilbereiche des Gate-Dielektrikums weisen vorzugsweise eingebrachte zusätzliche Elemente wie Sauerstoff, Silizium oder Stickstoff auf, wodurch sich eine besonders einfache und kostengünstige Modifikation der Dielektrizitätskonstante ergibt.

Ferner können die Source-/Draingebiete zugehörige Anschluss-dotiergebiete zum Anschließen des Kanalgebiets aufweisen, wobei die modifizierten Teilbereiche unmittelbar an der Oberfläche der Anschlussdotiergebiete ausgebildet sind. Auf diese
5 Weise erhält man besonders hochwertige Halbleiterbauelemente.

Vorzugsweise weist eine Verteilung der eingebrachten zusätzlichen Elemente in den modifizierten Teilbereichen ein senkrechtes oder schräges Implantations-Dotierprofil auf, wodurch
10 sich die elektrischen Eigenschaften weiter verbessern lassen.

Hinsichtlich des Verfahrens wird nach dem Vorbereiten eines Trägersubstrats zunächst ein Gate-Dielektrikum ganzflächig an der Oberfläche des Trägersubstrats ausgebildet und anschließend ein Gatestapel an der Oberfläche des Gate-Dielektrikums
15 hergestellt. Unter Verwendung des Gatestapels als Maske wird anschließend eine Modifikation von Teilbereichen des Gate-Dielektrikums durch Einbringen von zusätzlichen Elementen derart durchgeführt, dass eine Dielektrizitätskonstante des
20 modifizierten Teilbereichs kleiner ist als eine Dielektrizitätskonstante des unmodifizierten Gate-Dielektrikums. Abschließend werden an den Seitenwänden des Gatestapels und an der Oberfläche der modifizierten Teilbereiche Spacer ausgebildet und unter Verwendung der Spacer und des Gatestapels
25 als Maske die freiliegenden modifizierten Teilbereiche entfernt. Abschließend werden noch Source- und Draingebiete im Trägersubstrat unter Verwendung der Spacer und des Gatestapels als Maske ausgebildet, wodurch man auf sehr einfache Weise ein Halbleiterbauelement mit hervorragenden elektrischen
30 Eigenschaften erhält.

Vorzugsweise können die Spacer in einem weiteren Schritt wieder entfernt werden, wodurch auch Spacer-Materialien wie z.B. Metalle zum Einsatz kommen können, die eine Modifikation
35 der Teilbereiche des Gate-Dielektrikums weiter vereinfachen.

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend an Hand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

- Figur 1 eine vereinfachte Schnittansicht eines herkömmlichen Halbleiterbauelements,
Figur 2 eine vereinfachte Schnittansicht eines weiteren herkömmlichen Halbleiterbauelements,
Figur 3 eine vereinfachte Schnittansicht eines weiteren herkömmlichen Halbleiterbauelements,
Figuren 4A bis 4E vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements gemäß einem ersten Ausführungsbeispiel,
Figur 5 eine vereinfachte Schnittansicht zur Veranschaulichung eines wesentlichen Verfahrensschritts bei der Herstellung eines Halbleiterbauelements gemäß einem zweiten Ausführungsbeispiel, und
Figuren 6A und 6B vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements gemäß einem dritten Ausführungsbeispiel.
- Figuren 4A bis 4E zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements gemäß einem ersten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente oder Schichten darstellen wie in den Figuren 1 bis 3, weshalb auf die dortige Beschreibung verwiesen wird.

Gemäß Figur 4A wird zunächst auf einem Trägersubstrat 1, welches beispielsweise einen Halbleiterwafer darstellt und vorzugsweise aus monokristallinem Siliziumhalbleitermaterial besteht, eine dünne dielektrische Schicht vorzugsweise ganzflächig als Gate-Dielektrikum 2 ausgebildet. Beispielsweise wird mittels eines chemischen Dampfabscheidungsverfahrens (CVD, Chemical Vapor Deposition, oder MOCVD, Metalorganic Vapor Phase Deposition), einer Atomlagenabscheidung (ALD, Atomic Layer Deposition), eines Sputterverfahrens (PVD, Physical Vapor Deposition) oder mittels ähnlicher Verfahren das Gate-Dielektrikum 2 an der Oberfläche des Trägersubstrats 1 abgeschieden, wobei optional ein chemisches Reinigen vorab durchgeführt werden kann.

Zur Realisierung insbesondere von sub-100nm-Halbleiterbauelementen, bei denen eine Kanallänge weit unterhalb von 100nm liegt, werden vorzugsweise sogenannte High-k-Dielektrika bzw. dielektrische Materialien mit hohem k-Wert bzw. hoher Dielektrizitätskonstante als Gate-Dielektrikum 2 verwendet. Eine physikalische Dicke dieses Gate-Dielektrikums ergibt sich hierbei aus der sogenannten „Äquivalenz-Oxiddicke“ EOT (Equivalent Oxide Thickness), welche sich auf SiO₂ als Referenzmaterial bezieht. Halbleiterbauelemente mit gleicher äquivalenter Oxiddicke haben die gleiche Koppelkapazität zum Kanalgebiet und verhalten sich damit weitgehend gleich. Die äquivalente Oxiddicke wird hierbei durch die Beziehung festgelegt:

$$EOT = (k_0 / k) \times T_{phys},$$

wobei k_0 die Dielektrizitätskonstante von Siliziumdioxid ist und ca. 3,9 beträgt, während k die Dielektrizitätskonstante des jeweils verwendeten High-k-Materials bezeichnet und T_{phys} eine tatsächliche physikalische Schichtdicke darstellt.

Mit zunehmender Dielektrizitätskonstante k kann demzufolge eine tatsächliche Schichtdicke des Gate-Dielektrikums 2 wesentlich vergrößert werden, wodurch insbesondere ein Tunnel-Leckstrom vom Gate in das Substrat bzw. Kanalgebiet KA wesentlich verringert wird.

Basierend auf dieser Erkenntnis werden vorzugsweise die in
Tabelle 1 dargestellten High-k-Materialien zur Realisierung
des Gate-Dielektrikums 2 verwendet und mit einer entsprechen-
5 den Schichtdicke abgeschieden.

Tabelle 1:

	High-k-Material	k-Wert (ca.)
10	HfO ₂	20-30
	HfSiO ₄	10 - 14
	HfSiN	
	HfON	
15	HfSiON	
	HfAlO	10 - 25
	ZrO ₂	22 - 28
	ZrAlO	
	ZrSiO ₄	10 - 15
20	ZrSiON	
	La ₂ O ₃	20
	LaAlO ₃	20 - 30
	LaSiO	
	CeO ₂	15 - 25
25	CeHfO ₄	10 - 20
	Pr ₂ O ₃	30
	PrAlO	9 - 15
	Y ₂ O ₃	8 - 12
	Gd ₂ O ₃	11 - 14
30	Yb ₂ O ₃	12 - 132
	Al ₂ O ₃	8 - 12
	Ta ₂ O ₅	25 - 45
	TiO ₂	80-100

35 In Tabelle 1 stellen insbesondere HfO₂, ZrO₂ und/oder Al₂O₃
sowie deren Silikate und Nitrate oder ternäre und quarternäre
Verbindungen aus Hf, Zr, Al, Si, N und O bevorzugte Kandida-

ten für das Gate-Dielektrikum 2 dar. In allen oben in Tabelle 1 genannten Materialien ist die genaue chemische Zusammensetzung abhängig von den Verhältnissen der abgeschiedenen Mengen der einzelnen Komponenten. Die angegebenen k-Werte hängen von
5 den verwendeten Quellenmaterialien und den Abscheideprozessen ab und variieren erheblich.

Grundsätzlich sind jedoch eine Vielzahl von weiteren sogenannten High-k-Materialien denkbar, wie auch Kombinationen
10 verschiedener High-k Schichten miteinander oder Schichtfolgen bestehend aus Silizium-Dioxid oder Siliziumnitrid und einer oder mehrerer High-k Schichten.

Zur Vergleichbarkeit sei darauf hingewiesen, dass das üblicherweise als Referenzmaterial verwendete SiO_2 eine Dielektrizitätskonstante von $k = 3,9$ aufweist.
15

Nach dem Ausbilden des Gate-Dielektrikums 2 können optional sogenannte Ausheilschritte zum Durchführen einer thermischen
20 Ausheilung des Gate-Dielektrikums durchgeführt werden, wodurch beispielsweise die dielektrischen Eigenschaften insbesondere der High-k-Schicht verbessert werden können.

Anschließend wird an der Oberfläche des Gate-Dielektrikums 2
25 ein sogenannter Gatestapel 3 ausgebildet, wobei beispielsweise eine elektrisch leitende Steuerschicht ganzflächig abgeschieden und mittels einer nicht dargestellten Hartmaske und einem Fotoresist strukturiert wird. Als Steuerschicht des Gatestapels 3 werden beispielsweise dotiertes Polysilizium
30 oder sogenannte Metallgates verwendet. Zur Realisierung der Hartmaske werden z.B. Siliziumnitrid oder Siliziumoxide mittels eines fotolithografischen Verfahrens strukturiert und unter Anwendung eines Trocken- oder Nassätzverfahrens in die Steuerschicht übertragen, wodurch man den in Figur 4A dargestellten Gatestapel 3 erhält. Bei diesem Strukturierungsschritt ist zu beachten, dass nur bis zum Gate-Dielektrikum 2
35 geätzt wird und somit weiterhin das Trägersubstrat 1 zumin-

dest im Bereich des Gatestapels 3 vom Gate-Dielektrikum 2
zunächst bedeckt bleibt.

Nach diesem üblicherweise anisotropen Trockenätzverfahren
5 (RIE, reactive ion etch) können optional insbesondere zur
Herstellung von weiter verringerten Gatelängen in fortge-
schrittene Technologien sogenannte Trimm-Prozesse zum weite-
ren Verringern der Ausmaße der Fotoresistmaske, der Hartmaske
oder des Gatestapels 3 durchgeführt werden. Gatelängen unter-
10 halb von 50nm sind dadurch realisierbar. Anschließend können
in einem weiteren Schritt optional nicht dargestellte Seiten-
wand-Isolationsschichten oder dünne isolierende Spacer am
Gatestapel ausgebildet bzw. abgeschieden werden.

15 Gemäß Figur 4B wird nunmehr unter Verwendung des Gatestapels
3 als Maske durch Einbringen von zusätzlichen Elementen in
den ungeschützten Teilbereichen des Gate-Dielektrikums eine
Modifikation derart durchgeführt, dass eine Dielektrizitäts-
konstante des modifizierten Teilbereichs 2A des Gate-
20 Dielektrikums kleiner ist als eine Dielektrizitätskonstante
des nicht modifizierten Gate-Dielektrikums 2 unmittelbar
unterhalb des Gatestapels 3.

Genauer gesagt wird gemäß Figur 4B eine Modifizierungs-
25 Implantation I_K zum Implantieren von zusätzlichen Elementen
in das High-k-Material des Gate-Dielektrikums 2 durchgeführt,
um eine Verringerung der Dielektrizitätskonstante in diesen
Teilbereichen 2A zu bewirken. Bei Verwendung von HfO_2 als
dielektrisches Material für das Gate-Dielektrikum 2 wird
30 vorzugsweise Silizium in die freiliegenden Teilbereiche 2A
implantiert, wodurch sich $HfSiO$ als resultierendes bzw. modi-
fiziertes dielektrisches Material mit verringertem k-Wert
ergibt. Grundsätzlich könnten in eine derartige dielektrische
Schicht auch Ge-Ionen implantiert werden.

35 Alternativ wird beispielsweise $HfON$ als High-k-Material ver-
wendet und Si implantiert, wodurch sich als resultierendes

bzw. modifiziertes dielektrisches Material HfSiON mit wiederum einer verringerten Dielektrizitätskonstante k ergibt. Grundsätzlich sind jedoch auch die weiteren in Tabelle 1 genannten dielektrischen Materialien möglich und insbesondere deren Zusammensetzungen bzw. Mehrschichtstrukturen.

Gleichzeitig, vor oder nach der Modifizierungs-Implantation I_K kann gemäß Figur 4B auch eine Anschlussdotierung zum Ausbilden von Anschlussdotiergebieten SA und DA für spätere Source- und Draingebiete im Trägersubstrat 1 mittels einer Anschluss-Implantation I_A durchgeführt werden, wobei vorzugsweise eine herkömmlichen Ionenimplantation mittels herkömmlicher Ionen, wie beispielsweise Bor, durchgeführt wird.

Gemäß Figur 4B erfolgt sowohl die Anschluss-Implantation I_A für die Anschlussdotierung als auch die Modifizierungs-Implantation I_K für die Dielektrikamodifizierung im Wesentlichen senkrecht zur Oberfläche des Trägersubstrats 1 bzw. zur Oberfläche des Gate-Dielektrikums 2, wodurch die Struktur des Gatestapels 3 hinsichtlich der Modifizierung und hinsichtlich der Anschlussdotierung sehr genau in das Gate-Dielektrikum 2 und das Trägersubstrat 1 (links und rechts neben dem Gatestapel 3) übertragen werden kann. Die für eine hervorragende Gate-Kopplung notwendige hohe Dielektrizitätskonstante ist daher insbesondere im Bereich des Kanalgebiets KA weiterhin vorhanden, während eine unerwünschte Kopplung in den Randgebieten des Gatestapels 3 zu einem Source- und Draingebiet aufgrund des modifizierten Gate-Dielektrikums gezielt und selbstjustierend verringert wird.

Obwohl zum Modifizieren der Teilbereiche 2A des Gate-Dielektrikums 2 vorzugsweise Silizium, Sauerstoff oder Stickstoff verwendet werden, sind eine Vielzahl von weiteren Elementen grundsätzlich möglich, die beispielsweise aus der Gruppe der seltenen Erden stammen und eine Dielektrizitätskonstante des High- k -Materials verringern können. Insbesondere sind dies ferner F, C, Hf, Zr, Ti, B, Al, Ga, In, Ge,

P, As, oder Sb. In Abhängigkeit von den verwendeten Materialien für das Gate-Dielektrikum 2 und die verwendeten Schichtdicken dieses Materials werden die Implantationsenergien der Modifizierungs-Implantation I_K vorzugsweise derart ausgewählt, dass der weitaus grösste Teil oder 95% bis 30% der implantierten zusätzlichen Elemente in den Teilbereichen 2A des Gate-Dielektrikums verbleiben und somit nur ein geringer Anteil in das Trägersubstrat 1 gelangt.

10 Ferner können Elemente für die Modifizierungs-Implantation verwendet werden, die gleichzeitig auch für die Anschluss-Implantation verwendet werden. In diesem Fall werden die Verteilungen der Dotierstoffe derart gewählt, dass Dotierstoffe sowohl in den Teilbereich 2A des Gate-Dielektrikums
15 als auch in den oberflächennahen Bereich des Substrats SA und DA gelangen. Optional können zu diesem Zweck auch zusätzliche nicht dargestellte Streuschichten und insbesondere Streuoxide ganzflächig an der Oberfläche abgeschieden werden.

20 Gemäß Figur 4C werden nach diesem Modifizieren der nicht vom Gatestapel 3 bedeckten Teilbereiche 2A des Gate-Dielektrikums 2 vorzugsweise isolierende Spacer 4 an den Seitenwänden des Gatestapels 3 und an der horizontalen Oberfläche der modifizierten Teilbereiche 2A ausgebildet. Beispielsweise wird
25 hierbei eine ganzflächige konformale Abscheidung von Si_3N_4 mit nachfolgendem anisotropen Ätzen bis zum erneuten Freilegen der modifizierten Teilbereiche 2A und des Gatestapels 3 durchgeführt, wodurch man die in Figur 4C dargestellte Schnittansicht erhält. Grundsätzlich können jedoch auch andere Verfahren zur Realisierung der isolierenden Spacer 4
30 durchgeführt werden.

Gemäß Figur 4D werden nunmehr auch die modifizierten jedoch nicht von den Spacern 4 bedeckten Teilbereiche 2A des Gate-Dielektrikums 2 zum Freilegen des Trägersubstrats 1 entfernt.
35 Grundsätzlich kann dieser Schritt gemeinsam mit dem Schritt zum Ausbilden der Spacer 4 in Figur 4D mittels eines Trocken-

ätzverfahrens (RIE, Reactive Ion Etch) in einem Schritt durchgeführt werden. Es können jedoch auch zwei unterschiedliche Ätzschritte und insbesondere zunächst ein Trockenätzverfahren zum Ausbilden der Spacer 4 und anschließend ein
5 Nassätzverfahren zum Entfernen der nicht bedeckten Teilbereiche 2A mittels Nasschemie durchgeführt werden. Nach diesem Entfernen der freiliegenden modifizierten Teilbereiche 2A des Gate-Dielektrikums 2 wird unter Verwendung der Spacer 4 und des Gestapels 3 als Maske ein Source- und Draingebiet S und
10 D beispielsweise durch eine Source-/Drainimplantation $I_{S/D}$ im Trägersubstrat 1 ausgebildet.

Figur 4E zeigt eine vereinfachte Schnittansicht des fertiggestellten Halbleiterbauelements, wie es nach einem optionalen
15 thermischen Ausheilschritt fertiggestellt ist, wobei z.B. die Implantationsschäden ausgeheilt und die Source- und Draingebiete S und D mit ihren Anschlussdotiergebieten SA und DA aktiviert werden.

20 Ein derartiges Halbleiterbauelement besitzt demzufolge an der Oberfläche des Trägersubstrats 1 im Bereich des Kanalgebiets KA ein unmodifiziertes Gate-Dielektrikum 2 aus einem High-k-Material, welches die notwendige kapazitive Kopplung bei einer ausreichend hohen physikalischen Schichtdicke ermöglicht, während die Teilbereiche 2A außerhalb des Kanalgebiets
25 KA und im Wesentlichen zwischen dem Trägersubstrat 1 und den Spacern 4 durch das Einbringen der zusätzlichen Elemente derart modifiziert sind, dass ihre Dielektrizitätskonstante wesentlich kleiner ist als eine Dielektrizitätskonstante des unmodifizierten Gate-Dielektrikums 2. Dadurch können uner-
30 wünschte Streufelder bzw. „fringing fields“ wesentlich verringert werden, wodurch sich die elektrischen Eigenschaften des Halbleiterbauelements wesentlich verbessern. In gleicher Weise werden auch die Gate-Source-Kapazitäten sowie Gate-
35 Drain-Kapazitäten wesentlich verringert, wodurch sich die Leistungs-Charakteristika des Bauelements insbesondere hin-

sichtlich einer Hochgeschwindigkeits-Schalteigenschaft verbessern.

Vorzugsweise können die auch zu einem früheren Zeitpunkt
5 möglichen Ausheilprozesse im Schritt gemäß Figur 4E zum
Durchführen einer thermischen Ausheilung der modifizierten
Teilbereiche 2A zu diesem späten Zeitpunkt durchgeführt wer-
den, wodurch sich eine weitere Verbesserung der elektrischen
Eigenschaften des Halbleiterbauelements realisieren lässt. Da
10 gemäß Figur 4E die Spacer 4 weiterhin an der Oberfläche der
modifizierten Teilbereiche 2A ausgebildet sind, stellen die
gemäß Figur 3 auftretenden Unterätzungen bzw. Beschädigungen
des Gate-Dielektrikums keine Probleme dar. Da jedoch die aus
der gleichen dielektrischen Schicht bestehenden modifizierten
15 Teilbereiche 2A eine wesentlich verringerte Dielektrizitäts-
konstante aufweisen, verringern sich bei einem sehr ein-
fachen Herstellungsverfahren die Streufelder und die parasitä-
ren Kapazitäten in diesen Bereichen wesentlich.

20 Figur 5 zeigt eine vereinfachte Schnittansicht eines wesent-
lichen Verfahrensschritts zur Herstellung eines Halbleiter-
bauelements gemäß einem zweiten Ausführungsbeispiel, bei dem
im Wesentlichen eine schräge Ionenimplantation durchgeführt
wird, und der im Wesentlichen dem Verfahrensschritt gemäß
25 Figur 4B entspricht. Gleiche Bezugszeichen bezeichnen hierbei
gleiche oder entsprechende Elemente oder Schichten wie in
Figuren 1 bis 4, weshalb auf eine wiederholte Beschreibung
nachfolgend verzichtet wird.

30 Gemäß diesem zweiten Ausführungsbeispiel kann alternativ zu
einer senkrechten Ionenimplantation zur Realisierung einer
Modifizierung des Gate-Dielektrikums und/oder der Anschluss-
dotiergebiete SA und DA auch eine schräg zur Oberfläche des
Trägersubstrats ausgerichtete Ionenimplantation durchgeführt
35 werden, die ein Einbringen von zusätzlichen Elementen in das
Gate-Dielektrikum 2 und/oder das Trägersubstrat 1 schräg
unterhalb des Gatestapels 3 ermöglicht. Vorzugsweise kann

hierbei durch einen gewählten Implantationswinkel und die gewählte Implantationsenergie ein resultierender Überlappbereich (overlap) sehr genau eingestellt werden.

5 Gemäß diesem Ausführungsbeispiel kann die Anschlussimplantation I_A wiederum durch eine senkrechte oder unter einem Winkel erfolgende Implantation realisiert werden, wobei wiederum entweder gleichzeitig, vor oder nach dieser Anschlussimplantation I_A die Modifizierungs-Implantation I_K in die High-k-
10 dielektrische Schicht 2 erfolgt. Durch die nicht senkrechte bzw. schräge Implantation können die Randzonen unterhalb des Gatestapels 3 besonders wirkungsvoll verändert. Ähnlich wie im Fall einer thermischen Seitenwandoxidation kann dadurch erreicht werden, dass durch die Modifizierungs-Implantation
15 I_K die Dielektrizitätskonstante im Gate-Dielektrikum 2 bzw. im Teilbereich 2A verringert wird. Dadurch ergeben sich wiederum kleinere Felder am Rand des Gatestapels 3, was zu kleineren GIDL-Leckströmen führt (Gate Induced Drain Leakage). Dies ist insbesondere für DRAM-Felder (Dynamic Random Access
20 Memory) von Bedeutung. Darüber hinaus kann eine Zuverlässigkeit bzw. GOI (Gate Oxide Integrity) des Gate-Dielektrikums durch Vermeidung von Feldspitzen am Rand ebenfalls verbessert werden.

25 Gemäß Figur 5 kann darüber hinaus durch eine schräge Implantation auch die Seitenwand oder die gesamte Oberfläche des Gatestapels 3 derart implantiert werden, dass sich eine Umwandlung einer obersten Schicht 3A des Gatestapels 3 realisieren lässt. Wenn beispielsweise Sauerstoff (O) oder Stickstoff (N) als Modifizierungs-Implantation I_K verwendet wird,
30 können neben der Modifizierung der Teilbereiche 2A des Gate-Dielektrikums hin zu einem kleineren k auch sogenannte SWOX (Side Wall OXide) bzw. Seitenwandoxidschichten gleichzeitig erzeugt werden.

35

Eine weitere nicht dargestellte Möglichkeit besteht darin, das Einbringen der zusätzlichen Elemente in die nicht von dem

Gatestapel 3 bedeckten Teilbereiche 2A des Gate-Dielektrikums 2 zum Verringern der Dielektrizitätskonstante durch eine Plasmadotierung durchzuführen. Ein derartiges Plasmadoping stellt im Wesentlichen eine ungerichtete Dotierung dar, wobei
5 aus einem ionisierten Gas die zusätzlichen Elemente in die freiliegenden Bereiche des Gate-Dielektrikums 2 eingebracht werden. Wiederum können dadurch auch bei Auswahl der geeigneten Materialien zusätzliche Seitenwand-Oxidationsschichten 3A an der Oberfläche des Gatestapels 3 ausgebildet werden.

10 Gemäß einem weiteren nicht dargestellten Ausführungsbeispiel können die zusätzlichen Elemente auch mittels einer ganzflächig ausgebildeten Dotierschicht in die freiliegenden Teilbereiche 2A des Gate-Dielektrikums 2 eingebracht werden, um die
15 Dielektrizitätskonstante gezielt zu modifizieren bzw. zu verringern. Derartige Schichten können beispielsweise mittels Atomlagenabscheidung (ALD, atomic layer deposition) oder chemischer Dampfabcheidung (CVD, chemical vapor deposition) in Form von Dotiergläsern ausgebildet werden, wobei eine
20 anschließende Reaktion mit dem Gate-Dielektrikum 2 durch ein thermisches Ausheilen durchgeführt wird. Ein besonderer Fall dieses Ausführungsbeispiels ist in Figuren 6A und 6B dargestellt.

25 Die Figuren 6A und 6B zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements gemäß einem dritten Ausführungsbeispiel. Gleiche Bezugszeichen bezeichnen hierbei
30 gleiche oder entsprechende Elemente wie in den Figuren 1 bis 5, weshalb auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß diesem dritten Ausführungsbeispiel wird im Schritt gemäß Figur 6A keine Modifizierungs-Implantation sondern eine
35 lokale Oberflächendiffusionsdotierung durchgeführt. Nach dem Ausbilden bzw. Strukturieren des Gatestapels 3 an der Oberfläche des unmodifizierten Gate-Dielektrikums 2 werden demzu-

folge abweichend von Figur 4B keine Modifizierungs-Implantationen und alternativ zur Figur 4C nunmehr modifizierte Spacer 4A an den Seitenwänden des Gatestapels 3 ausgebildet, wobei die modifizierten Spacer 4A die zusätzlichen Elemente als Diffusionsmaterial aufweisen. Die modifizierten Spacer 4A werden mittels herkömmlicher Spacerverfahren beispielsweise durch Ausbilden einer konformalen Schicht mit nachfolgendem anisotropen Rückätzen hergestellt und können sowohl isolierend als auch elektrisch leitend sein. Insbesondere bei Verwendung von elektrisch leitenden bzw. metallischen Spacern kann zusätzlich ein Schritt zum Entfernen dieses nur zeitweise vorhandenen Spacers durchgeführt werden, wobei abschließend ein endgültiger vorzugsweise isolierender Spacer ausgebildet werden kann.

Gemäß Figur 6B erfolgt die Modifikation der Teilbereiche 2A unterhalb der modifizierten Spacer 4A bzw. zwischen den modifizierten Spacern 4A und dem Trägersubstrat 1 durch Ausdiffusion der zusätzlichen Elemente aus dem modifizierten Spacer 4A in das zunächst nicht modifizierte Gate-Dielektrikum 2. Ähnlich wie bei der schrägen Modifizierungs-Implantation I_A gemäß Figur 5 kann dadurch wiederum im Randbereich auch unterhalb des Gatestapels 3 eine gewisse Modifizierung bzw. Verringerung der Dielektrizitätskonstante im Gate-Dielektrikum 2 durchgeführt werden, wodurch sich in gewissen Fällen eine Verbesserung der elektrischen Eigenschaften des Halbleiterbauelements ergeben kann.

Obwohl der vorstehend beschriebene Diffusionsschritt auch zu einem früheren Zeitpunkt durchgeführt werden kann, findet er vorzugsweise gemäß Figur 6B nach einer Source-/Drain-Implantation $I_{S/D}$ zum Ausbilden der Source-/Draingebiete S und D statt, wobei gleichzeitig die Implantationsschäden ausgeheilt, die Dotiergebiete aktiviert und die Modifizierung der Teilbereiche 2A durch Ausdiffusion aus den Spacern 4A in einem gemeinsamen thermischen Ausheilschritt durchgeführt werden kann.

Während bei einer Modifizierungs-Implantation gemäß den Ausführungsbeispielen von Figur 4 und 5 eine Verteilung der zusätzlichen Elemente in den Teilbereichen 2A ein senkrecht
5 oder ein schräges Implantations-Dotierprofil aufweist, besitzt das Halbleiterbauelement gemäß Figur 6 eine Verteilung der zusätzlichen Elementen in den Teilbereichen 2A gemäß einer Oberflächendiffusions-Dotierprofil. Sofern das vorstehend beschriebene Plasmadotierverfahren verwendet wurde,
10 besitzt die Verteilung der zusätzlichen Elemente in den Teilbereichen 2A ein Plasma-Dotierprofil.

Die Erfindung wurde vorstehend an Hand eines Halbleiterbauelements beschrieben, bei dem der Gatestapel aus einer elekt-
15 risch leitenden Steuerschicht besteht. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise auch Halbleiterbauelemente, bei denen der Gatestapel 3 ferner eine Ladungsspeicherschicht und eine zusätzliche dielektrische Schicht aufweist, wie sie beispielsweise zur Realisierung von
20 nicht-flüchtigen Speicherelementen in EEPROMs verwendet wird.

Ferner wurde die Erfindung an Hand spezieller Materialien für das Trägersubstrat und die darauffolgenden Schichten beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst
25 in gleicher Weise auch alternative Materialien mit entsprechenden Eigenschaften.

Patentansprüche

1. Halbleiterbauelement mit
einem Trägersubstrat (1), in dem voneinander beabstandete
5 Source-/Draingebiete (S, D) zum Festlegen eines Kanalgebiets
(KA) ausgebildet sind;
einem Gate-Dielektrikum (2), das an der Oberfläche des Trä-
gersubstrats (1) im Bereich des Kanalgebiets (KA) ausgebildet
ist; und
10 einem Gatestapel (3) mit Spacer (4), die an der Oberfläche
des Gate-Dielektrikums (2) ausgebildet sind, dadurch gekenn-
zeichnet, dass
Teilbereiche (2A) des Gate-Dielektrikums zwischen dem Träger-
substrat (1) und den Spacern (4) durch Einbringen von zusätz-
15 lichen Elementen derart modifiziert sind, dass eine Die-
lektrizitätskonstante des modifizierten Teilbereichs (2A)
kleiner ist als eine Dielektrizitätskonstante des unmodifi-
zierten Gate-Dielektrikums (2).
- 20 2. Halbleiterbauelement nach Patentanspruch 1, dadurch ge-
kennzeichnet, dass das Gate-Dielektrikum (2) ein High-k-
Dielektrikum aufweist.
3. Halbleiterbauelement nach Patentanspruch 2, dadurch ge-
25 kennzeichnet, dass das High-k-Dielektrikum (2) HfO_2 , ZrO_2
oder Al_2O_3 oder deren Silikate und Nitrate oder ternäre und
quarternäre Verbindungen aus Hf, Zr, Al, Si, N und O auf-
weist.
- 30 4. Halbleiterbauelement nach einem der Patentansprüche 1 bis
3, dadurch gekennzeichnet, dass die zum Modifizieren des
Gate-Dielektrikums (2) verwendeten Elemente Si, F, C, Hf, Zr,
Ti, B, Al, Ga, In, Ge, P, As, Sb, N aufweisen.
- 35 5. Halbleiterbauelement nach einem der Patentansprüche 1 bis
4, dadurch gekennzeichnet, dass die Source-/Draingebiete (S,
D) Anschlussdotiergebiete (SA, DA) zum Anschließen des Kanal-

gebiets (KA) aufweisen und die Teilbereiche (2A) an der Oberfläche der Anschlussdotiergebiete (SA, DA) ausgebildet sind.

5 6. Halbleiterbauelement nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass eine Verteilung der zusätzlichen Elemente in den Teilbereichen (2A) durch eine senkrechte oder schräge Ionen-Implantation erzeugt wird.

10 7. Halbleiterbauelement nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass eine Verteilung der zusätzlichen Elemente in den Teilbereichen (2A) ein Plasma-Dotierprofil aufweist.

15 8. Halbleiterbauelement nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass eine Verteilung der zusätzlichen Elemente in den Teilbereichen (2A) ein Oberflächendiffusions-Dotierprofil aufweist.

20 9. Halbleiterbauelement nach einem der Patentansprüche 1 bis 8, dadurch gekennzeichnet, dass das Kanalgebiet (KA) eine Kanallänge kleiner 100nm aufweist.

10. Verfahren zur Herstellung eines Halbleiterbauelements mit den Schritten:

- 25 a) Vorbereiten eines Trägersubstrats (1);
b) Ausbilden eines Gate-Dielektrikums (2) an der Oberfläche des Trägersubstrats (1);
c) Ausbilden und strukturieren eines Gatestapels (3) an der Oberfläche des Gate-Dielektrikums (2);
30 d) Durchführen einer Modifikation von Teilbereichen (2A) des Gate-Dielektrikums (2) unter Verwendung des Gatestapels (3) als Maske durch Einbringen von zusätzlichen Elementen derart, dass eine Dielektrizitätskonstante des modifizierten Teilbereichs (2A) kleiner ist als eine Dielektrizitätskonstante des
35 unmodifizierten Gate-Dielektrikums (2);

e) Ausbilden von Spacern (4) an den Seitenwänden des Gatestapels (3) und an der Oberfläche der modifizierten Teilbereiche (2A);

f) Entfernen der modifizierten Teilbereiche (2A) unter Verwendung der Spacer (4) und des Gatestapels (3) als Maske; und
5 g) Ausbilden von Source-/Draingebieten (S, D) im Trägersubstrat (1) unter Verwendung der Spacer (4) und des Gatestapels (3) als Maske.

10 11. Verfahren nach Patentanspruch 10, dadurch gekennzeichnet, dass in Schritt b) ein High-k-Dielektrikum oder eine Schichtenfolge bestehend aus verschiedenen High-k-Dielektrika oder aus Schichtfolgen aus Silizium-Dioxid oder Siliziumnitrid und High-k-Dielektrika (2) ganzflächig oder selektiv abgeschieden
15 wird.

12. Verfahren nach Patentanspruch 10, dadurch gekennzeichnet, dass als High-k-Dielektrikum (2) HfO_2 , ZrO_2 oder Al_2O_3 oder deren Silikate und Nitrate oder ternäre und quaternäre Verbindungen aus Hf, Zr, Al, Si, N und O abgeschieden wird.
20

13. Verfahren nach einem der Patentansprüche 10 bis 12, dadurch gekennzeichnet, dass in Schritt d) eine senkrechte oder schräge Modifizierungs-Implantation (I_k) zum Implantieren der
25 zusätzlichen Elemente durchgeführt wird.

14. Verfahren nach Patentanspruch 13, dadurch gekennzeichnet, dass eine Implantationsenergie der Modifizierungs-Implantation (I_k) derart ausgewählt ist, dass 95% bis 30% der implantierten Elemente in die Teilbereiche (2A) des Gate-Dielektrikums eingebracht werden.
30

15. Verfahren nach einem der Patentansprüche 10 bis 12, dadurch gekennzeichnet, dass in Schritt d) eine Plasmadotierung
35 durchgeführt wird.

16. Verfahren nach einem der Patentansprüche 10 bis 12, dadurch gekennzeichnet, dass in Schritt d) eine Oberflächendiffusionsdotierung durchgeführt wird.

5 17. Verfahren nach einem der Patentansprüche 10 bis 12, dadurch gekennzeichnet, dass in Schritt d) die Modifikation der Teilbereiche (2A) durch Si, F, C, Hf, Zr, Ti, B, Al, Ga, In, Ge, P, As, Sb, N als zusätzliche Elemente durchgeführt wird.

10 18. Verfahren nach einem der Patentansprüche 10 bis 12, dadurch gekennzeichnet, dass gleichzeitig, vor oder nach Schritt d) eine Anschlussdotierung zum Ausbilden von Anschlussdotiergebieten (SA, DA) im Trägersubstrat (1) durchgeführt wird.

15

19. Verfahren nach Patentanspruch 18, dadurch gekennzeichnet, dass die Anschlussdotierung eine senkrechte oder schräge Anschluss-Implantation (I_A) darstellt.

20 20. Verfahren nach einem der Patentansprüche 10 bis 19, gekennzeichnet durch den weiteren Schritt
h) Durchführen einer thermischen Ausheilung der modifizierten Teilbereiche (2A).

25 21. Verfahren nach einem der Patentansprüche 10 bis 20, dadurch gekennzeichnet, dass Schritt e) vor Schritt d) durchgeführt wird, wobei modifizierte Spacer (4A) verwendet werden, die die zusätzlichen Elemente als Diffusionsmaterial aufweisen, und

30 in Schritt d) die Modifikation der Teilbereiche (2A) durch Diffusion der zusätzlichen Elemente aus den modifizierten Spacern (4A) in das Gate-Dielektrikum (2) erfolgt.

22. Verfahren nach Patentanspruch 21, dadurch gekennzeichnet,
35 dass die zusätzlichen Elemente mittels Implantation eingebracht werden.

23. Verfahren nach einem der Patentansprüche 10 bis 20, gekennzeichnet durch den weiteren Schritt
h) Entfernen der Spacer (4).

1/4

FIG 1 Stand der Technik

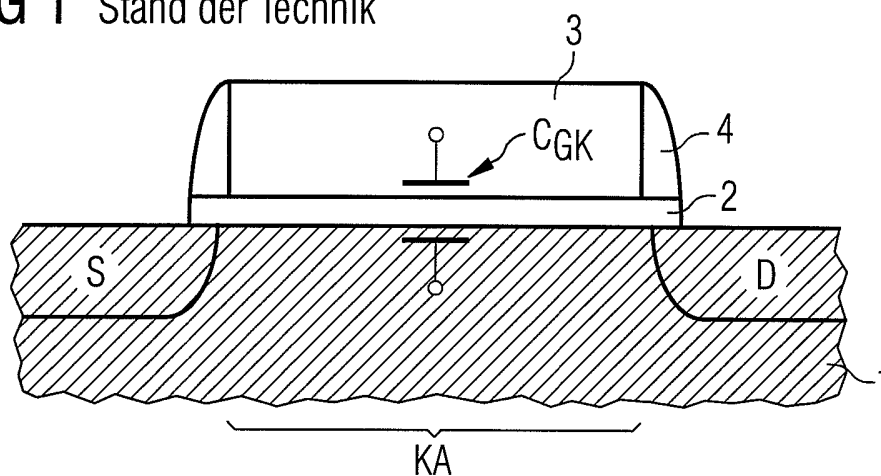


FIG 2 Stand der Technik

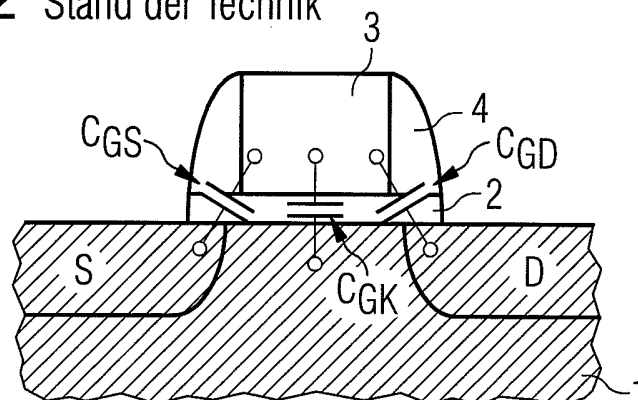
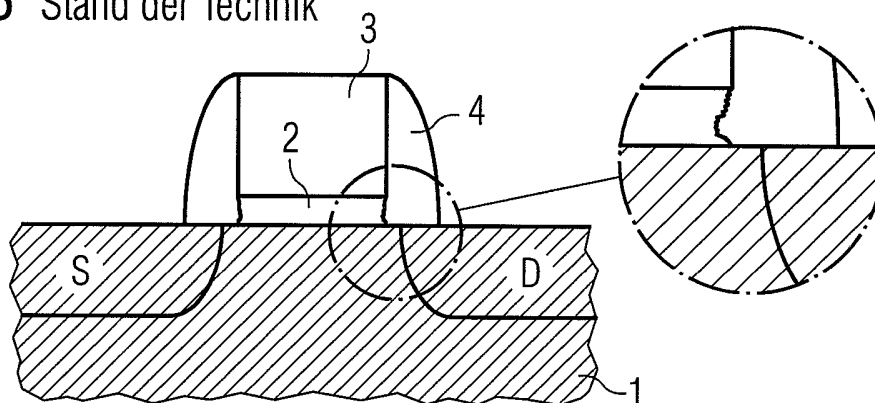


FIG 3 Stand der Technik



2/4

FIG 4A

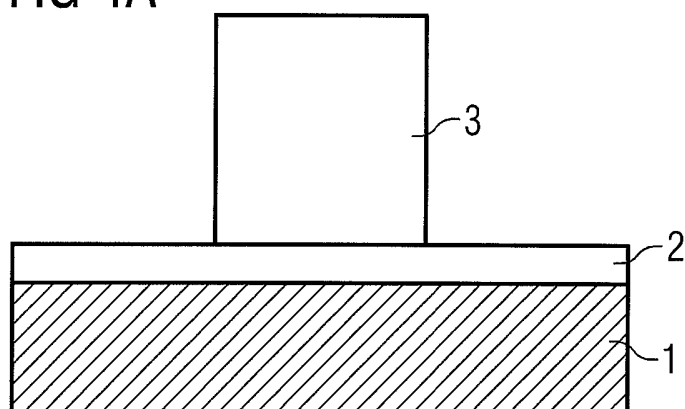


FIG 4B

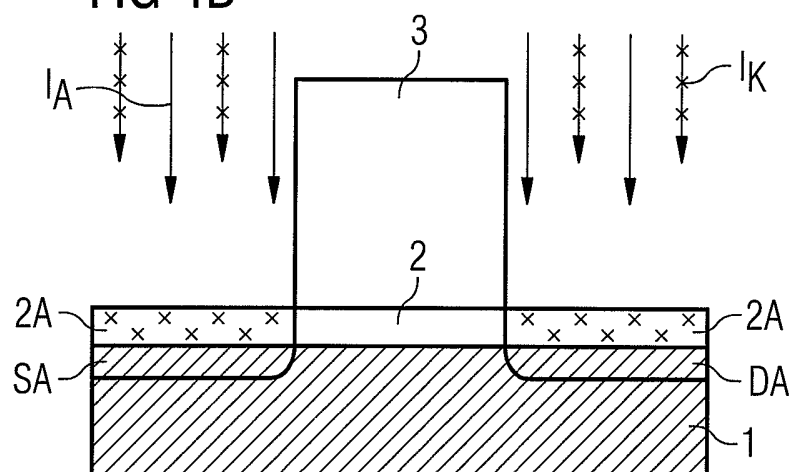
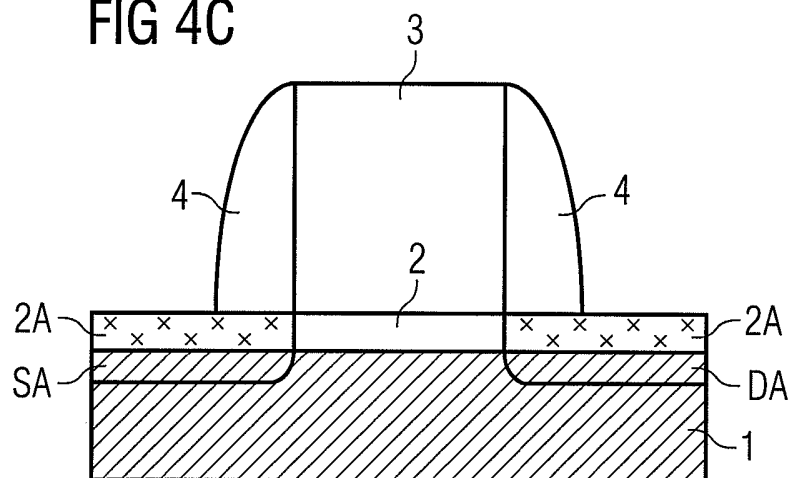


FIG 4C



3/4

FIG 4D

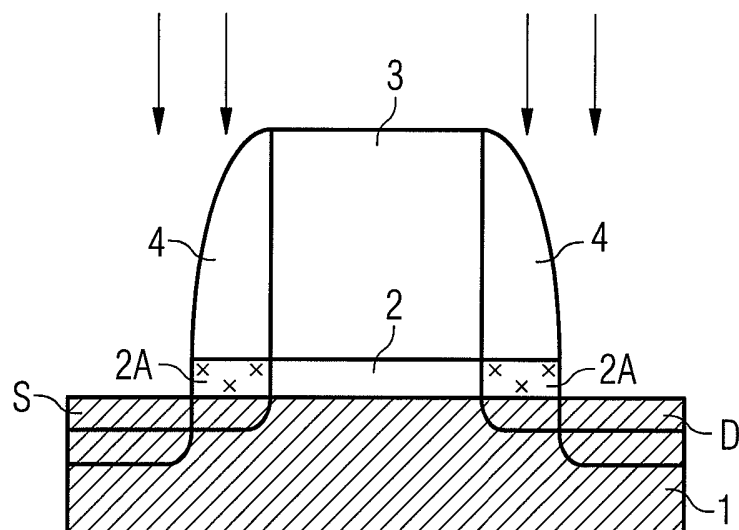


FIG 4E

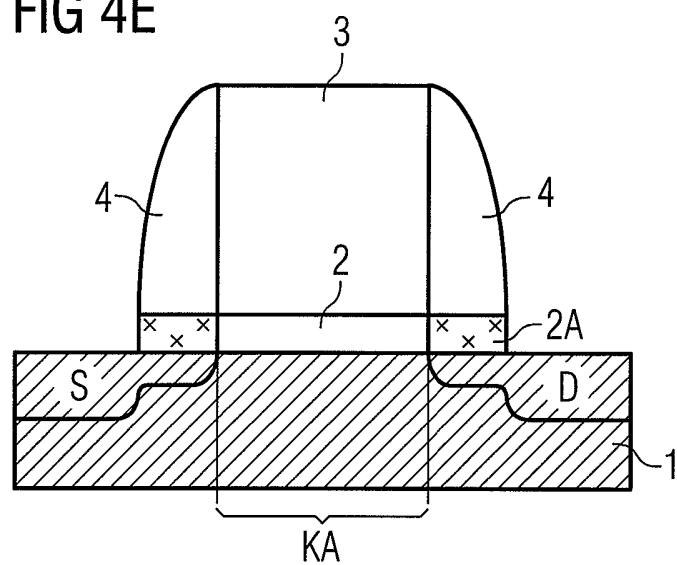


FIG 5

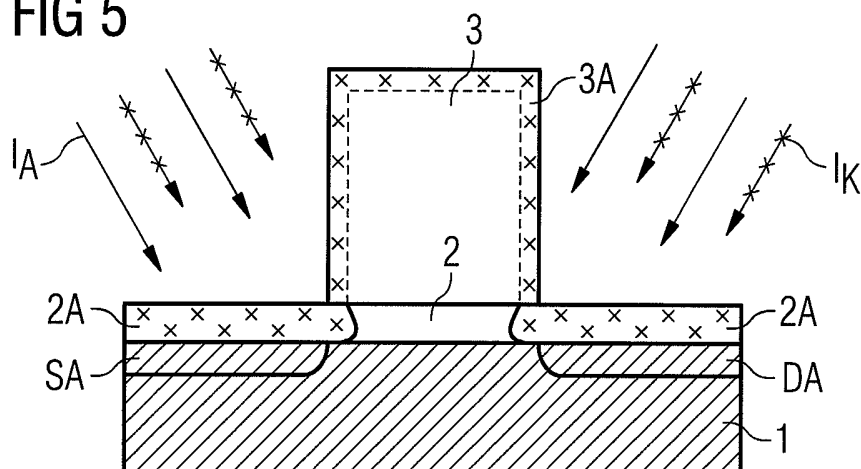


FIG 6A

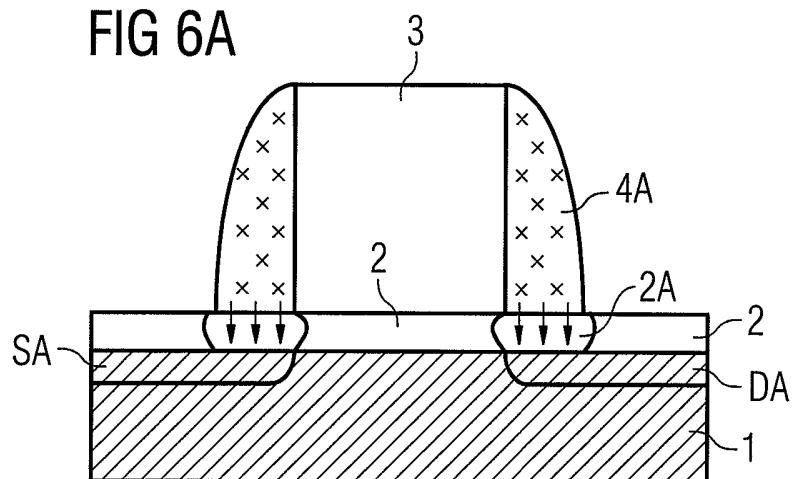
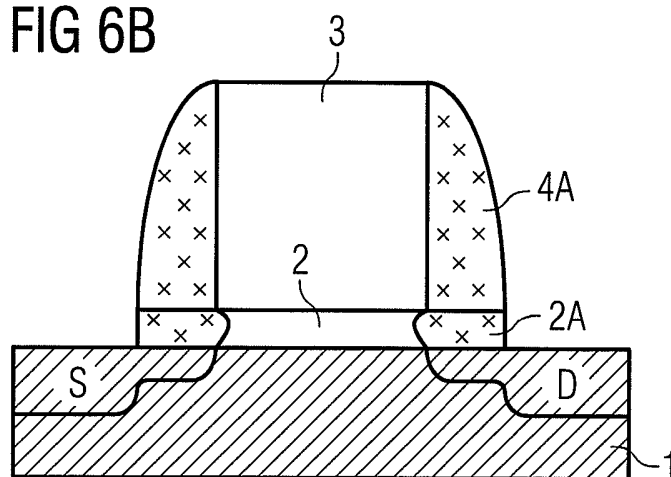


FIG 6B



INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/054183

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/336 H01L29/49 H01L21/265

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EP0-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/017689 A1 (AKRAM SALMAN ET AL) 23 January 2003 (2003-01-23) figures 1-10 paragraph '0021! - paragraph '0024! paragraph '0025! paragraph '0027! paragraph '0031!	1-23
X	US 2002/163039 A1 (CLEVENGER LAWRENCE A ET AL) 7 November 2002 (2002-11-07) figures 6,7	1-20
X	US 5 672 525 A (PAN ET AL) 30 September 1997 (1997-09-30) figures 1A-1J	1-23
	----- -/-- -----	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

2 November 2005

Date of mailing of the international search report

10/11/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/054183

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 720 213 B1 (GAMBINO JEFFREY P ET AL) 13 April 2004 (2004-04-13) figures 1-7 column 4, line 32 - line 40 -----	1-14, 17-20
X	EP 1 067 597 A (CHARTERED SEMICONDUCTOR MANUFACTURING PTE LTD) 10 January 2001 (2001-01-10) the whole document -----	1-6,9
X	EP 1 227 513 A (CHARTERED SEMICONDUCTOR MANUFACTURING LTD; CHARTERED SEMICONDUCTOR MAN) 31 July 2002 (2002-07-31) the whole document -----	1,2
X	US 6 406 945 B1 (LEE JAMES YONG MENG ET AL) 18 June 2002 (2002-06-18) figure 7 -----	1-3
X	EP 1 089 344 A (KABUSHIKI KAISHA TOSHIBA) 4 April 2001 (2001-04-04) the whole document -----	1-3

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/054183

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2003017689	A1	23-01-2003	AU 1933199 A JP 2002509361 T WO 9931732 A2	05-07-1999 26-03-2002 24-06-1999
US 2002163039	A1	07-11-2002	JP 2003023155 A TW 541648 B	24-01-2003 11-07-2003
US 5672525	A	30-09-1997	SG 66362 A1 US 5814863 A	20-07-1999 29-09-1998
US 6720213	B1	13-04-2004	US 2004171201 A1	02-09-2004
EP 1067597	A	10-01-2001	JP 2000323710 A SG 87833 A1 US 6297106 B1	24-11-2000 16-04-2002 02-10-2001
EP 1227513	A	31-07-2002	JP 2002270835 A SG 108291 A1 TW 510013 B US 2002173106 A1 US 2002100947 A1	20-09-2002 28-01-2005 11-11-2002 21-11-2002 01-08-2002
US 6406945	B1	18-06-2002	EP 1227514 A2 JP 2002289851 A SG 99379 A1 TW 488018 B	31-07-2002 04-10-2002 27-10-2003 21-05-2002
EP 1089344	A	04-04-2001	CN 1290040 A CN 1560926 A JP 3450758 B2 JP 2001102573 A TW 469651 B US 6495890 B1	04-04-2001 05-01-2005 29-09-2003 13-04-2001 21-12-2001 17-12-2002

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/054183

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/336 H01L29/49 H01L21/265

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2003/017689 A1 (AKRAM SALMAN ET AL) 23. Januar 2003 (2003-01-23) Abbildungen 1-10 Absatz '0021! - Absatz '0024! Absatz '0025! Absatz '0027! Absatz '0031!	1-23
X	US 2002/163039 A1 (CLEVINGER LAWRENCE A ET AL) 7. November 2002 (2002-11-07) Abbildungen 6,7	1-20
X	US 5 672 525 A (PAN ET AL) 30. September 1997 (1997-09-30) Abbildungen 1A-1J	1-23
	-/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

2. November 2005

Absendedatum des internationalen Recherchenberichts

10/11/2005

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Nesso, S

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2005/054183

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 720 213 B1 (GAMBINO JEFFREY P ET AL) 13. April 2004 (2004-04-13) Abbildungen 1-7 Spalte 4, Zeile 32 - Zeile 40 -----	1-14, 17-20
X	EP 1 067 597 A (CHARTERED SEMICONDUCTOR MANUFACTURING PTE LTD) 10. Januar 2001 (2001-01-10) das ganze Dokument -----	1-6,9
X	EP 1 227 513 A (CHARTERED SEMICONDUCTOR MANUFACTURING LTD; CHARTERED SEMICONDUCTOR MAN) 31. Juli 2002 (2002-07-31) das ganze Dokument -----	1,2
X	US 6 406 945 B1 (LEE JAMES YONG MENG ET AL) 18. Juni 2002 (2002-06-18) Abbildung 7 -----	1-3
X	EP 1 089 344 A (KABUSHIKI KAISHA TOSHIBA) 4. April 2001 (2001-04-04) das ganze Dokument -----	1-3

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/054183

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2003017689	A1	23-01-2003	AU	1933199 A	05-07-1999
			JP	2002509361 T	26-03-2002
			WO	9931732 A2	24-06-1999
US 2002163039	A1	07-11-2002	JP	2003023155 A	24-01-2003
			TW	541648 B	11-07-2003
US 5672525	A	30-09-1997	SG	66362 A1	20-07-1999
			US	5814863 A	29-09-1998
US 6720213	B1	13-04-2004	US	2004171201 A1	02-09-2004
EP 1067597	A	10-01-2001	JP	2000323710 A	24-11-2000
			SG	87833 A1	16-04-2002
			US	6297106 B1	02-10-2001
EP 1227513	A	31-07-2002	JP	2002270835 A	20-09-2002
			SG	108291 A1	28-01-2005
			TW	510013 B	11-11-2002
			US	2002173106 A1	21-11-2002
			US	2002100947 A1	01-08-2002
US 6406945	B1	18-06-2002	EP	1227514 A2	31-07-2002
			JP	2002289851 A	04-10-2002
			SG	99379 A1	27-10-2003
			TW	488018 B	21-05-2002
EP 1089344	A	04-04-2001	CN	1290040 A	04-04-2001
			CN	1560926 A	05-01-2005
			JP	3450758 B2	29-09-2003
			JP	2001102573 A	13-04-2001
			TW	469651 B	21-12-2001
			US	6495890 B1	17-12-2002