(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月11日(11.10.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/186027 A1

(51) 国際特許分類:
H01L 21/3205 (2006.01) *H01L 27/00* (2006.01)
H01L 21/768 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/146* (2006.01)
H01L 23/522 (2006.01) *H04N 5/369* (2011.01)
H01L 23/532 (2006.01)

(21) 国際出願番号： PCT/JP2018/005280

(22) 国際出願日： 2018年2月15日(15.02.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-074802 2017年4月4日(04.04.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 藤井 宣年(FUJII, Nobutoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 萩本 賢哉(HAGIMOTO, Yoshiya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

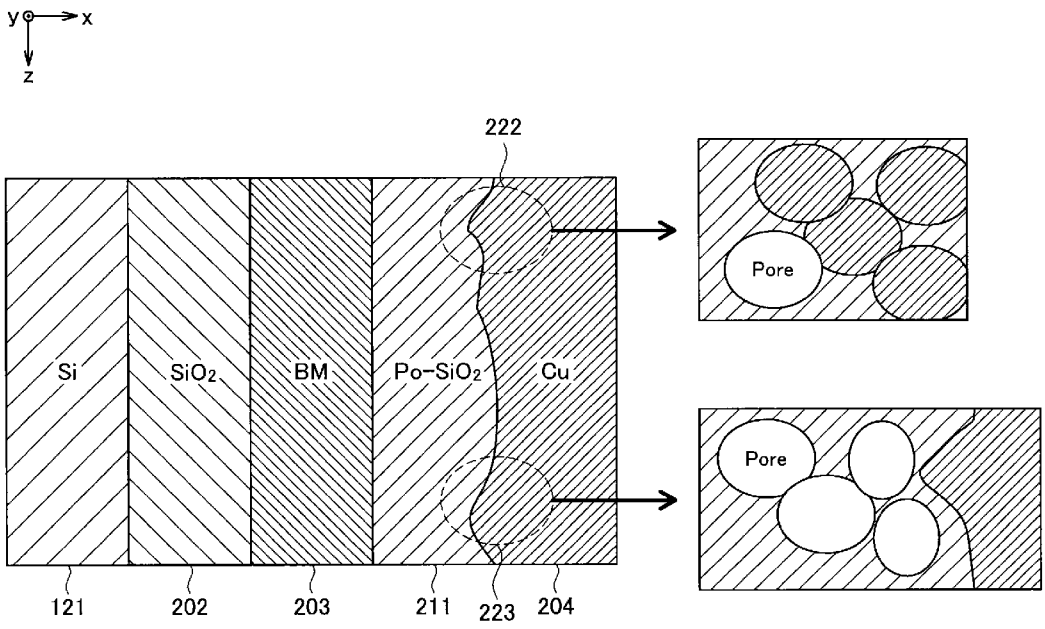
(74) 代理人: 亀谷 美明, 外 (KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3－1－

WO 2018/186027 A1

(54) **Title:** SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND ELECTRONIC INSTRUMENT

(54) 発明の名称： 半導体装置、半導体装置の製造方法、及び電子機器

[図6]



(57) **Abstract:** [Problem] To enable further improvement of reliability in a semiconductor device. [Solution] Provided is a semiconductor device in which: a plurality of substrates are configured so as to be layered, each of the substrates having a semiconductor substrate on which a circuit having a prescribed function is formed and a multilayer wiring layer that is layered on the semiconductor substrate; an electrode joining structure for electrically connecting at least two substrates from among the plurality of substrates is present on a lamination surface between the two substrates, electrodes formed

[続葉有]

３ 第一冨澤ビル はづき国際特許事務所四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

on the lamination surface being joined together in a directly connected state; and in at least one of the two substrates, with respect to at least one of an electrode constituting part of the electrode joining structure and a via for connecting the electrode to wiring in the multilayer wiring layer, a porous film comprising a porous material is present in at least part of a region between an electroconductive material that constitutes the electrode and the via and a side wall of a through-hole in which the electroconductive material is embedded.

(57) 要約：【課題】半導体装置において、信頼性をより向上させることを可能にする。【解決手段】所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、をそれぞれ有する複数の基板が積層されて構成され、前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアの少なくともいずれかについては、前記電極及び前記ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する、半導体装置を提供する。

明　細　書

発明の名称 ： 半導体装置、半導体装置の製造方法、及び電子機器

技術分野

[0001] 本開示は、半導体装置、半導体装置の製造方法、及び電子機器に関する。

背景技術

[0002] 高集積化を実現するために、複数のチップが積層された積層型の半導体装置が開発されている。例えば、特許文献１には、画素部が設けられる画素チップと、固体撮像装置の動作に係る各種の信号処理を実行するロジック回路が搭載されるロジックチップと、当該画素において取得された画素信号を保持するメモリ回路が搭載されるメモリチップと、が積層された３層積層型の固体撮像装置が開示されている。

[0003] なお、本明細書では、半導体装置の構造について説明する際に、積層される各チップを構成する、半導体基板と、当該半導体基板上に形成される多層配線層と、を合わせた構成を、「基板」とも呼称する。そして、当該「基板」のことを、積層構造における上側から下側に向かって、順に、「第１基板」、「第２基板」、「第３基板」、・・・と、それぞれ呼称して、区別する。なお、積層型の半導体装置は、各基板がウエハの状態で積層された後、複数個の積層型半導体装置（積層型半導体装置チップ）へとダイシングされることにより、製造される。本明細書では、便宜的に、「基板」とは、ダイシング前のウエハの状態も意味し得るし、ダイシング後のチップの状態も意味し得ることとする。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１４－９９５８２号公報

発明の概要

発明が解決しようとする課題

[0005] 積層型の半導体装置においては、積層された基板間における配線同士を電

気的に接続するために、各基板の貼り合わせ面にそれぞれ設けられた電極同士を互いに接触させるようにこれらの基板を貼り合わせた後、熱処理を行うことにより、当該電極同士を接合させる方法が用いられることがある。この際、当該電極の形状に異常が生じると、電極同士の接合に不良が生じ、半導体装置の正常な動作が妨げられる恐れがある。

[0006] 上記事情に鑑みれば、積層型の半導体装置においては、基板を貼り合わせる際の電極間の接合を良好に行うことにより、より信頼性の高い半導体装置を実現する技術が求められていた。そこで、本開示では、信頼性をより向上させることが可能な、新規かつ改良された半導体装置、半導体装置の製造方法、及び電子機器を提案する。

課題を解決するための手段

[0007] 本開示によれば、所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、をそれぞれ有する複数の基板が積層されて構成され、前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアの少なくともいずれかについては、前記電極及び前記ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する、半導体装置が提供される。

[0008] また、本開示によれば、所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、を有する複数の基板をそれぞれ作製する工程と、前記複数の基板を積層する工程と、を含み、前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存

在し、前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアを形成する工程は、前記基板の一面から前記配線にまで至る貫通孔を形成する工程と、前記貫通孔の側壁の少なくとも一部領域に、多孔質材料からなる多孔質膜を形成する工程と、前記多孔質膜が形成された前記貫通孔内に、前記電極及び前記ビアを構成する導電材料を埋め込む工程と、を含む、半導体装置の製造方法が提供される。

[0009] また、本開示によれば、観察対象を電子的に撮影する固体撮像装置、を備え、前記固体撮像装置は、所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、をそれぞれ有する複数の基板が積層されて構成され、前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアの少なくともいずれかについては、前記電極及び前記ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する、電子機器が提供される。

[0010] 本開示によれば、積層型の半導体装置において、積層される２つの基板を電気的に接続する電極接合構造が設けられる。そして、当該２つの基板のうちの少なくともいずれかの基板において、当該電極接合構造を構成する電極、及び当該電極を当該基板の多層配線層内の配線に接続するためのビアの少なくともいずれかについて、当該電極及び当該ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する。かかる構成を有することにより、電極接合構造を形成するための熱処理工程において、電極及びビアを構成する導電材料が熱膨張したとしても、その膨張が当該多孔質膜によって

吸収される。従って、電極が、接合される他の電極の方に向かって突出する現象（すなわち、ポンピング）の発生が抑制され得る。よって、電極接合構造をより安定的に形成することができるとともに、ポンピングによって基板同士が剥離する危険性を低減することができる。従って、より信頼性の高い半導体装置が実現され得る。

発明の効果

[0011] 以上説明したように本開示によれば、半導体装置において、信頼性をより向上させることが可能になる。なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、又は上記の効果に代えて、本明細書に示されたいずれかの効果、又は本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0012] [図1]本実施形態に係る半導体装置の概略構成を示す縦断面図である。

[図2A]電極接合構造を構成するビア及び電極の、既存の形成方法について説明するための図である。

[図2B]電極接合構造を構成するビア及び電極の、既存の形成方法について説明するための図である。

[図2C]電極接合構造を構成するビア及び電極の、既存の形成方法について説明するための図である。

[図2D]電極接合構造を構成するビア及び電極の、既存の形成方法について説明するための図である。

[図3]電極のポンピングについて説明するための図である。

[図4A]本実施形態に係る電極接合構造を構成するビア及び電極の、第１の形成方法について説明するための図である。

[図4B]本実施形態に係る電極接合構造を構成するビア及び電極の、第１の形成方法について説明するための図である。

[図4C]本実施形態に係る電極接合構造を構成するビア及び電極の、第１の形成方法について説明するための図である。

[図4D]本実施形態に係る電極接合構造を構成するビア及び電極の、第１の形成方法について説明するための図である。

[図5]ビアの側壁の、図４Ｄに示す破線で囲まれた領域の拡大図である。

[図6]本実施形態の第１の形成方法に係るビアにおける、熱処理時のＣｕの挙動について説明するための図である。

[図7A]本実施形態に係る電極接合構造を構成するビア及び電極の、第２の形成方法について説明するための図である。

[図7B]本実施形態に係る電極接合構造を構成するビア及び電極の、第２の形成方法について説明するための図である。

[図7C]本実施形態に係る電極接合構造を構成するビア及び電極の、第２の形成方法について説明するための図である。

[図7D]本実施形態に係る電極接合構造を構成するビア及び電極の、第２の形成方法について説明するための図である。

[図7E]本実施形態に係る電極接合構造を構成するビア及び電極の、第２の形成方法について説明するための図である。

[図8]ビアの側壁の、図７Ｅに示す破線で囲まれた領域の拡大図である。

[図9A]本実施形態に係る電極接合構造を構成するビア及び電極の、第３の形成方法について説明するための図である。

[図9B]本実施形態に係る電極接合構造を構成するビア及び電極の、第３の形成方法について説明するための図である。

[図9C]本実施形態に係る電極接合構造を構成するビア及び電極の、第３の形成方法について説明するための図である。

[図9D]本実施形態に係る電極接合構造を構成するビア及び電極の、第３の形成方法について説明するための図である。

[図10]ビア及び電極の第３の形成方法におけるウェットエッチング工程について説明するための図である。

[図11]本実施形態の第３の形成方法に係るビアにおける、熱処理時のＣｕの挙動について説明するための図である。

[図12]ウェットエッチングにおけるエッチング量の違いによる、SiO_2膜における空孔量の変化を示す図である。

[図13]積層型の固体撮像装置２３０２０の構成例を示す断面図である。

[図14]本実施形態に係る半導体装置が適用され得る電子機器の一例である、スマートフォンの外観を示す図である。

[図15]本実施形態に係る半導体装置が適用され得る電子機器の一例である、デジタルカメラの外観を示す図である。

[図16]本実施形態に係る半導体装置が適用され得る電子機器の一例である、デジタルカメラの外観を示す図である。

[図17]内視鏡手術システムの概略的な構成の一例を示す図である。

[図18]カメラヘッド及びＣＣＵの機能構成の一例を示すブロック図である。

[図19]車両制御システムの概略的な構成の一例を示すブロック図である。

[図20]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0013] 以下に添付図面を参照しながら、本開示の好適な実施形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0014] なお、以下に説明する実施形態では、一例として、半導体装置が固体撮像装置である場合について説明する。ただし、本開示はかかる例に限定されず、本開示に係る技術は、複数の基板が積層されて構成される積層型の半導体装置であれば、各種の半導体装置に対して適用可能である。

[0015] また、以下に示す各図面では、説明のため、一部の構成部材の大きさを誇張して表現している場合がある。各図面において図示される各構成部材の相対的な大きさは、必ずしも実際の構成部材間における大小関係を正確に表現するものではない。

[0016] なお、説明は以下の順序で行うものとする。

１．半導体装置の全体構成

２．既存の技術に対する検討

３．電極接合構造の形成方法

３－１．第１の形成方法

３－２．第２の形成方法

３－３．第３の形成方法

３－４．第１～第３の形成方法についてのまとめ

４．適用例

５．補足

[0017] （１．半導体装置の全体構成）

図１を参照して、本開示の一実施形態に係る半導体装置の構成について説明する。図１は、本実施形態に係る半導体装置の概略構成を示す縦断面図である。

[0018] 図１に示すように、本実施形態に係る半導体装置１は、第１基板１１０Ａと、第２基板１１０Ｂと、第３基板１１０Ｃと、が積層されて構成される、３層積層型の固体撮像装置である。図中において、破線Ａ－Ａは、第１基板１１０Ａと第２基板１１０Ｂとの貼り合わせ面を示しており、破線Ｂ－Ｂは、第２基板１１０Ｂと第３基板１１０Ｃとの貼り合わせ面を示している。第１基板１１０Ａは、画素部が設けられる画素基板である。第２基板１１０Ｂ及び第３基板１１０Ｃには、半導体装置１の動作に係る各種の信号処理を行うための回路が設けられる。第２基板１１０Ｂ及び第３基板１１０Ｃは、例えば、ロジック回路が設けられるロジック基板又はメモリ回路が設けられるメモリ基板である。半導体装置１は、第１基板１１０Ａの後述する裏面側から入射した光を画素部において光電変換する、裏面照射型のＣＭＯＳ（Complementary Metal－Oxide－Semiconductor）イメージセンサである。なお、以下、図１についての説明では、一例として、第２基板１１０Ｂがロジック基板であり、第３基板１１０Ｃがメモリ基板である場合について説明する。

[0019] 積層型の半導体装置１では、各基板の機能に対応するように、各回路をより適切に構成することが可能であるため、半導体装置１の高機能化をより容

易に実現することができる。図示する構成例であれば、第１基板１１０Ａにおける画素部と、第２基板１１０Ｂ及び第３基板１１０Ｃにおけるロジック回路又はメモリ回路と、を各基板の機能に対応するように適切に構成することができるため、高機能な半導体装置１を実現することができる。

[0020] なお、以下では、第１基板１１０Ａ、第２基板１１０Ｂ及び第３基板１１０Ｃの積層方向をｚ軸方向とも呼称する。また、ｚ軸方向において第１基板１１０Ａが位置する方向をｚ軸の正方向と定義する。また、ｚ軸方向と垂直な面（水平面）上において互いに直交する２方向を、それぞれ、ｘ軸方向及びｙ軸方向とも呼称する。また、以下では、各基板において、後述するＳｉ基板１０１、１２１、１３１が設けられる側を裏面側とも呼称し、後述する多層配線層１０５、１２５、１３５が設けられる側を表面側とも呼称する。

[0021] 第１基板１１０Ａは、半導体基板の一例であるシリコン基板１０１（Ｓｉ基板１０１）と、当該Ｓｉ基板１０１上に積層される多層配線層１０５と、を主に有する。Ｓｉ基板１０１上には、画素が２次元状に並べられた画素部と、画素信号を処理する画素信号処理回路と、が主に形成される。各画素は、観察対象からの光（観察光）を受光し光電変換するフォトダイオード（ＰＤ）と、当該ＰＤによって取得された観察光に対応する電気信号（画素信号）を読み出すためのトランジスタ等を有する駆動回路と、から主に構成される。画素信号処理回路において、画素信号に対して、例えばアナログ－デジタル変換（ＡＤ変換）等の各種の信号処理が実行される。なお、本実施形態では、画素部は、画素が２次元状に配列されて構成されるものに限定されず、画素が３次元状に配列されて構成されてもよい。また、本実施形態では、Ｓｉ基板１０１に代えて、Ｓｉ以外の半導体材料からなる基板が用いられてもよい。あるいは、Ｓｉ基板１０１に代えて、半導体以外の材料からなる基板が用いられてもよい。例えば、半導体以外の材料からなる基板としては、サファイア基板が用いられ得る。この場合、当該サファイア基板の上に光電変換を行う膜（例えば有機光電変換膜）が堆積されて画素が形成される形態が適用されてもよい。

[0022] 画素部及び画素信号処理回路が形成されたＳｉ基板１０１の表面には、絶縁膜１０３が積層される。絶縁膜１０３は、例えばシリコン酸化物（SiO_2）からなる。絶縁膜１０３の内部には、画素信号、及び駆動回路のトランジスタを駆動するための駆動信号等の各種の信号を伝達するための信号線配線を含む多層配線層１０５が形成される。多層配線層１０５には、更に、電源配線やグランド配線（ＧＮＤ配線）等が含まれる。なお、以下では、簡単のため、信号線配線のことを単に信号線と記載することがある。また、電源配線及びＧＮＤ配線を併せて電源線と記載することがある。多層配線層１０５の最下層の配線は、例えばタングステン（Ｗ）等の導電材料が埋め込まれたコンタクト１０７によって、画素部又は画素信号処理回路と電気的に接続され得る。なお、実際には、所定の厚さの層間絶縁膜の形成と、配線層の形成と、を繰り返すことにより、複数層の配線層が形成され得るが、図１では、簡単のため、これら複数層の層間絶縁膜を絶縁膜１０３と総称し、複数層の配線層を多層配線層１０５と総称する。

[0023] なお、多層配線層１０５の最上層には、絶縁膜１０３からその金属面が露出するように、電極１６１が形成される。電極１６１は、ビア１７１によって、多層配線層１０５の所定の配線と電気的に接続されている。かかる電極１６１は、後述するように、第１基板１１０Ａと第２基板１１０Ｂとを貼り合わせる際に、これらの基板同士を電気的に接続するための電極接合構造１５９ａを構成する。なお、本明細書では、簡単のため、一の基板内の配線と他の基板内の配線とが電気的に接続されることを、単に、一の基板と他の基板とが電気的に接続される、と略記することがある。このとき、基板同士が電気的に接続される際に電気的に接続される配線は、信号線であってもよいし、電源線であってもよい。

[0024] 第２基板１１０Ｂは、例えばロジック基板である。第２基板１１０Ｂは、半導体基板の一例であるＳｉ基板１２１と、当該Ｓｉ基板１２１上に積層される多層配線層１２５と、を主に有する。Ｓｉ基板１２１上には、ロジック回路が形成される。当該ロジック回路では、半導体装置１の動作に係る各種

の信号処理が実行される。例えば、当該ロジック回路では、第１基板１１０Ａの画素部を駆動するための駆動信号の制御（すなわち、画素部の駆動制御）や、外部との信号のやり取りが制御され得る。なお、本実施形態では、Ｓｉ基板１２１に代えて、Ｓｉ以外の半導体材料からなる基板が用いられてもよい。あるいは、Ｓｉ基板１２１に代えて、半導体以外の材料からなる基板が用いられてもよい。例えば、半導体以外の材料からなる基板としては、サファイア基板が用いられ得る。この場合、当該サファイア基板の上に半導体膜（例えばＳｉ膜）が堆積され、当該半導体膜においてロジック回路が形成される形態が適用されてもよい。

[0025] ロジック回路が形成されたＳｉ基板１２１の表面には、絶縁膜１２３が積層される。絶縁膜１２３は、例えばSiO_2からなる。絶縁膜１２３の内部には、ロジック回路の動作に係る各種の信号を伝達するための多層配線層１２５が形成される。多層配線層１２５には、更に、電源配線やＧＮＤ配線等が含まれる。多層配線層１２５の最下層の配線は、例えばW等の導電材料が埋め込まれたコンタクト１２７によって、ロジック回路と電気的に接続され得る。なお、第１基板１１０Ａの絶縁膜１０３及び多層配線層１０５と同様に、第２基板１１０Ｂについても、絶縁膜１２３は複数層の層間絶縁膜の総称であり、多層配線層１２５は複数層の配線層の総称であり得る。

[0026] なお、多層配線層１２５の最上層には、絶縁膜１２３からその金属面が露出するように、電極１６２が形成される。電極１６２は、ビア１７２によって、多層配線層１２５の所定の配線と電気的に接続されている。かかる電極１６２は、後述するように、第１基板１１０Ａと第２基板１１０Ｂとを貼り合わせる際に、これらの基板同士を電気的に接続するための電極接合構造１５９ａを構成する。また、多層配線層１２５には、電源信号及びＧＮＤ信号等の各種の信号を外部とやり取りするための外部入出力部（Ｉ／Ｏ部）として機能する、パッド１５１が形成され得る。パッド１５１は、チップの外周に沿った領域に設けられ得る。

[0027] 第３基板１１０Ｃは、例えばメモリ基板である。第３基板１１０Ｃは、半

導体基板の一例であるＳｉ基板１３１と、当該Ｓｉ基板１３１上に積層される多層配線層１３５と、を主に有する。Ｓｉ基板１３１上には、メモリ回路が形成される。当該メモリ回路では、第１基板１１０Ａの画素部で取得され、画素信号処理回路によってＡＤ変換された画素信号が、一時的に保持される。メモリ回路に画素信号を一旦保持することにより、グローバルシャッター方式が実現されるとともに、半導体装置１から外部への当該画素信号の読み出しをより高速で行うことが可能になる。従って、高速撮影時においても、歪みの抑制された、より高品質な画像を撮影することが可能になる。なお、本実施形態では、Ｓｉ基板１３１に代えて、Ｓｉ以外の半導体材料からなる基板が用いられてもよい。あるいは、Ｓｉ基板１３１に代えて、半導体以外の材料からなる基板が用いられてもよい。例えば、半導体以外の材料からなる基板としては、サファイア基板が用いられ得る。この場合、当該サファイア基板の上にメモリ素子を形成するための膜（例えば相変化材料膜）が堆積され、当該膜を用いてメモリ回路が形成される形態が適用されてもよい。

[0028] メモリ回路が形成されたＳｉ基板１３１の表面には、絶縁膜１３３が積層される。絶縁膜１３３は、例えばSiO_2からなる。絶縁膜１３３の内部には、メモリ回路の動作に係る各種の信号を伝達するための多層配線層１３５が形成される。多層配線層１３５には、更に、電源配線やＧＮＤ配線等が含まれる。多層配線層１３５の最下層の配線は、例えばW等の導電材料が埋め込まれたコンタクト１３７によって、メモリ回路と電気的に接続され得る。なお、第１基板１１０Ａの絶縁膜１０３及び多層配線層１０５と同様に、第３基板１１０Ｃについても、絶縁膜１３３は複数層の層間絶縁膜の総称であり、多層配線層１３５は複数層の配線層の総称であり得る。

[0029] なお、多層配線層１３５の最上層には、絶縁膜１３３からその金属面が露出するように、電極１６４が形成される。電極１６４は、ビア１７４によって、多層配線層１３５の所定の配線と電気的に接続されている。かかる電極１６４は、後述するように、第２基板１１０Ｂと第３基板１１０Ｃとを貼り合わせる際に、これらの基板同士を電気的に接続するための電極接合構造１

５９ｂを構成する。また、多層配線層１３５には、Ｉ／Ｏ部として機能する、パッド１５１が形成され得る。パッド１５１は、チップの外周に沿った領域に設けられ得る。

[0030] 第１基板１１０Ａ、第２基板１１０Ｂ、及び第３基板１１０Ｃが、それぞれウエハの状態で作製される。その後、これらが貼り合わされ、電気的な接続を取るための各工程が行われる。

[0031] 具体的には、まず、第２基板１１０Ｂの裏面（Ｓｉ基板１２１が設けられる側の面）と、第３基板１１０Ｃの表面（多層配線層１３５が設けられる側の面）と、が対向するように、ウエハ状態である第２基板１１０Ｂと、ウエハ状態である第３基板１１０Ｃと、が貼り合わされる。以下では、このような、２つの基板がその表面と裏面とを対向させて貼り合わされる状態を、Ｆａｃｅ　ｔｏ　Ｂａｃｋ（ＦｔｏＢ）ともいう。

[0032] この際、第２基板１１０Ｂについては、貼り合わせ工程の前に、Ｓｉ基板１２１が薄肉化され、その裏面側に例えばSiO_2からなる所定の厚さの絶縁膜１２９が形成される。更に、絶縁膜１２９には、当該絶縁膜１２９からその金属面が露出するように、電極１６３が形成される。電極１６３は、Ｓｉ基板１２１を貫通して設けられるビア１７３（すなわち、ＴＳＶ）によって、多層配線層１２５内の所定の配線と電気的に接続されている。これらの、Ｓｉ基板１２１の薄肉化、絶縁膜１２９の形成、並びに電極１６３及びビア１７３の形成は、例えば第２基板１１０Ｂの表面側に支持基板を貼り合わせ、当該支持基板によって当該第２基板１１０Ｂを支持しながら行われてもよい。

[0033] 第２基板１１０Ｂと第３基板１１０Ｃの表面とを貼り合わせる際には、第２基板１１０Ｂの裏面に形成された当該電極１６３と、第３基板１１０Ｃの多層配線層１３５の最上層に形成された電極１６４と、が接触するように、当該第２基板１１０Ｂと当該第３基板１１０Ｃとが貼り合わされる。そして、熱処理（例えばアニーリング）が行われることにより、電極同士が接合し、第２基板１１０Ｂと第３基板１１０Ｃとが電気的に接続される。本明細書

では、このような、基板同士を電気的に接続するための、電極同士が直接接合される構造のことを、電極接合構造とも呼称する。以下、この第２基板１１０Ｂと第３基板１１０Ｃとの間の電極接合構造のことを、後述する第１基板１１０Ａと第２基板１１０Ｂとの間の電極接合構造と区別するために、電極接合構造１５９ｂとも記載する。なお、両者を特に区別する必要がない場合には、これらの一方又は両方を指して、単に、電極接合構造１５９とも記載する。

[0034] なお、電極接合構造１５９ｂにおいては、必ずしも、水平面内において略同じ位置に存在する第２基板１１０Ｂの多層配線層１２５内の配線と、第３基板１１０Ｃの多層配線層１３５内の配線と、が電気的に接続されなくてもよい。つまり、電極接合構造１５９ｂにおいては、当該電極接合構造１５９ｂを構成する電極１６３、１６４のうちの一方又は両方が水平面内方向に延伸するように形成され、水平面内において異なる位置に存在する多層配線層１２５内の配線と、多層配線層１３５内の配線と、が電気的に接続されてもよい。この場合、電極１６３、１６４のうちの水平面内方向に延伸されるものは、電極としての機能とともに、配線としての機能も併せ持つことができる。図示する例であれば、図１に示す３つの電極接合構造１５９ｂのうち、最も右側に位置する電極接合構造１５９ｂでは、電極１６３が水平面内方向に延伸し、配線としても機能している。

[0035] 次に、第１基板１１０Ａの表面（多層配線層１０５が設けられる側の面）と、第２基板１１０Ｂの表面（多層配線層１２５が設けられる側の面）と、が対向するように、ウエハ状態である第１基板１１０Ａと、ウエハ状態である第２基板１１０Ｂ及び第３基板１１０Ｃの積層構造体と、が貼り合わされる。以下では、このような、２つの基板が表面同士を対向させて貼り合わされる状態を、Ｆａｃｅ　ｔｏ　Ｆａｃｅ（ＦｔｏＦ）ともいう。

[0036] この際、第１基板１１０Ａの多層配線層１０５の最上層の電極１６１と、第２基板１１０Ｂの多層配線層１２５の最上層の電極１６２と、が接触するように、当該第１基板１１０Ａと当該第２基板１１０Ｂとが貼り合わされる

。そして、熱処理（例えばアニーリング）が行われることにより、電極同士が接合して電極接合構造１５９ａが形成され、第１基板１１０Ａと第２基板１１０Ｂとが電気的に接続される。なお、電極接合構造１５９ａ、１５９ｂを形成するための熱処理は、第１基板１１０Ａ、第２基板１１０Ｂ、及び第３基板１１０Ｃを貼り合わせた後に、一括して行われてもよい。

[0037] なお、電極接合構造１５９ａにおいても、電極接合構造１５９ｂと同様に、当該電極接合構造１５９ａを構成する電極１６１、１６２のうちの一方又は両方が水平面内方向に延伸するように形成され、配線として機能し得る。図示する例であれば、図１に示す２つの電極接合構造１５９ａのうち、左側に位置する電極接合構造１５９ａでは、電極１６１が水平面内方向に延伸し、配線としても機能している。

[0038] 次に、第１基板１１０ＡのＳｉ基板１０１が薄肉化され、その裏面上に例えばSiO_2からなる絶縁膜１０９が形成される。そして、第１基板１１０ＡのＳｉ基板１０１の裏面側に、当該絶縁膜１０９を介して、カラーフィルタ層１１１（ＣＦ層１１１）及びマイクロレンズアレイ１１３（ＭＬアレイ１１３）が形成される。

[0039] ＣＦ層１１１は、複数のＣＦが２次元状に配列されて構成される。ＭＬアレイ１１３は、複数のＭＬが２次元状に配列されて構成される。ＣＦ層１１１及びＭＬアレイ１１３は、画素部の直上に形成され、１つの画素のＰＤに対して１つのＣＦ及び１つのＭＬが配設される。

[0040] ＣＦ層１１１の各ＣＦは、例えば赤色、緑色、及び青色のいずれかの色を有する。ＣＦを通過した観察光が画素のＰＤに入射し、画素信号が取得されることにより、観察対象について、当該カラーフィルタの色の成分の画素信号が取得されることとなる（すなわち、カラーでの撮像が可能となる）。実際には、１つのＣＦに対応する１つの画素が副画素として機能し、複数の副画素によって１つの画素が形成され得る。例えば、半導体装置１では、赤色のＣＦが設けられる画素（すなわち、赤色の画素）、緑色のＣＦが設けられる画素（すなわち、緑色の画素）、青色のＣＦが設けられる画素（すなわち

、青色の画素）、及びＣＦが設けられない画素（すなわち、白色の画素）の４色の副画素によって、１つの画素が形成され得る。ただし、本明細書では、説明のため、便宜的に、副画素と画素を区別せず、１つの副画素に対応する構成のことも、単に画素と呼称することとする。なお、ＣＦの配列方法は特に限定されず、例えば、デルタ配列、ストライプ配列、ダイアゴナル配列、又はレクタングル配列等、各種の配列であってよい。

[0041] ＭＬアレイ１１３は、各ＣＦの直上に各ＭＬが位置するように形成される。ＭＬアレイ１１３が設けられることにより、ＭＬによって集光された観察光がＣＦを介して画素のＰＤに入射することとなるため、観察光の集光効率を向上させ、感度を向上させる効果を得ることができる。

[0042] ＣＦ層１１１及びＭＬアレイ１１３が形成されたら、次に、第２基板１１０Ｂの多層配線層１２５、及び第３基板１１０Ｃの多層配線層１３５に設けられるパッド１５１の表面を露出させるために、パッド開口部１５３ｂ、１５３ａが形成される。パッド開口部１５３ｂは、第１基板１１０Ａの裏面側から、第１基板１１０Ａを貫通し、第２基板１１０Ｂの多層配線層１２５に設けられるパッド１５１まで達するように形成される。パッド開口部１５３ａは、第１基板１１０Ａの裏面側から、第１基板１１０Ａ及び第２基板１１０Ｂを貫通し、第３基板１１０Ｃの多層配線層１３５に設けられるパッド１５１まで達するように形成される。パッド開口部１５３ａ、１５３ｂを介して、例えばワイヤボンディングによって、パッド１５１と外部の他の回路とが電気的に接続される。つまり、当該外部の他の回路を介して、第２基板１１０Ｂ及び第３基板１１０Ｃが電気的に接続され得る。

[0043] そして、ウエハ状態で積層され加工された積層ウエハ構造体を、個々の半導体装置１ごとにダイシングすることにより、半導体装置１が完成する。

[0044] 以上、半導体装置１の概略構成について説明した。以上説明したように、半導体装置１では、電極接合構造１５９ａによって第１基板１１０Ａ及び第２基板１１０Ｂが電気的に接続され、電極接合構造１５９ｂによって第２基板１１０Ｂ及び第３基板１１０Ｃが電気的に接続され、パッド開口部１５３

ａ、１５３ｂによって露出させられるパッド１５１同士を、半導体装置１の外部に備わる配線や基板等の電気的接続手段を介して接続することによって、第２基板１１０Ｂ及び第３基板１１０Ｃが電気的に接続される。つまり、電極接合構造１５９ａ、１５９ｂ、パッド１５１、及びパッド開口部１５３ａ、１５３ｂを介して、第１基板１１０Ａ、第２基板１１０Ｂ、及び第３基板１１０Ｃが電気的に接続される。

[0045] なお、第１基板１１０Ａの多層配線層１０５、第２基板１１０Ｂの多層配線層１２５、及び第３基板１１０Ｃの多層配線層１３５は、比較的低抵抗である銅（Ｃｕ）によって形成される複数のＣｕ配線層１４１が積層されて構成され得る。Ｃｕ配線を用いることにより、より高速での信号のやり取りが可能となる。電極接合構造１５９ａ、１５９ｂを構成する、電極１６１～１６４を構成する金属、及びビア１７１～１７４に埋め込まれる金属も、Ｃｕである。ただし、パッド１５１については、ワイヤボンディングのワイヤとの接着性等を考慮して、アルミニウム（Ａｌ）によって形成され得る。従って、図示する構成例では、パッド１５１が設けられる第２基板１１０Ｂの多層配線層１２５及び第３基板１１０Ｃの多層配線層１３５には、当該パッド１５１と同層に、Ａｌによって形成されるＡｌ配線層１４３が含まれる。Ａｌ配線は、パッド１５１の他、例えば、一般的に幅広な配線として形成される電源配線やＧＮＤ配線として用いられ得る。

[0046] なお、各基板のＳｉ基板１０１、１２１、１３１に形成される各構成（第１基板１１０Ａに設けられる画素部及び画素信号処理回路、第２基板１１０Ｂに設けられるロジック回路、及び第３基板１１０Ｃに設けられるメモリ回路）、多層配線層１０５、１２５、１３５、並びに絶縁膜１０３、１０９、１２３、１２９、１３３の具体的な構成や、形成方法は、各種の公知のものと同様であってよいため、ここでは詳細な説明を省略する。

[0047] 例えば、上記では、絶縁膜１０３、１０９、１２３、１２９、１３３を構成する絶縁材料として、SiO_2を挙げていたが、本実施形態はかかる例に限定されない。これらの絶縁膜１０３、１０９、１２３、１２９、１３３は、

絶縁材料によって形成されればよく、その材料は限定されない。絶縁膜１０３、１０９、１２３、１２９、１３３は、例えば、シリコン窒化物（ＳｉＮ）によって形成されてもよい。また、絶縁膜１０３、１０９、１２３、１２９、１３３のそれぞれは、１つの種類の絶縁材料によって形成されなくてもよく、複数の種類の絶縁材料が積層されて形成されてもよい。また、例えば、絶縁膜１０３、１２３、１３３において、より高速での信号の伝達が求められる配線が形成される領域については、絶縁性を有するＬｏｗ－ｋ材料が用いられてもよい。Ｌｏｗ－ｋ材料を用いることにより、配線間の寄生容量を小さくすることができるため、信号の高速伝送により寄与することが可能になる。

[0048] また、例えば、上記では、多層配線層１０５、１２５、１３５の各配線層を構成する導電材料として、Ｃｕ及びＡｌを挙げていたが、本実施形態はかかる例に限定されない。これらの配線層は、導電材料によって形成されればよく、その材料は限定されない。当該材料としては、各種の導電材料が用いられてよい。また、２種類の金属を用いるのではなく、パッド１５１、及び多層配線層１０５、１２５、１３５の全てが同一の金属によって形成されてもよい。

[0049] その他、各基板のＳｉ基板１０１、１２１、１３１に形成される各構成、多層配線層１０５、１２５、１３５、及び絶縁膜１０３、１０９、１２３、１２９、１３３の具体的な構成や形成方法については、例えば、本願出願人による先行出願である特許文献１、特開２０１４－７２４１８号公報、特開２０１５－１３５９３８号公報、国際公開第２０１６／００９８３２号、及び国際公開第２０１５／１５９７６６号に記載等のものを適宜適用することができる。

[0050] また、以上説明した構成例では、第１基板１１０Ａに、画素信号に対してＡＤ変換等の信号処理を行う画素信号処理回路が搭載されていたが、本実施形態はかかる例に限定されない。当該画素信号処理回路の機能のうちの一部又は全てが、第２基板１１０Ｂに設けられてもよい。この場合には、例えば

、複数個の画素を列（カラム）方向と行（ロウ）方向の双方に向かって並べるようにアレイ状に配置した画素アレイにおいて、各画素に備えられるＰＤによって取得された画素信号が、画素ごとに第２基板１１０Ｂの画素信号処理回路に伝送されて、画素ごとにＡＤ変換が行われる、いわゆる画素ごとアナログ－デジタルコンバージョン（画素ＡＤＣ）方式の半導体装置１が実現され得る。これにより、画素アレイの列ごとに１つのＡＤ変換回路を備えて、列に含まれる複数個の画素のＡＤ変換を逐次行う、一般的なカラムごとアナログ－デジタルコンバージョン（カラムＡＤＣ）方式の半導体装置１に比べて、より高速で画素信号のＡＤ変換及び読み出しを行うことが可能となる。なお、画素ＡＤＣを実行可能に半導体装置１を構成する場合には、画素信号の伝送のために、画素ごとに、第１基板１１０Ａと第２基板１１０Ｂとを電気的に接続する電極接合構造１５９が設けられることとなる。

[0051] また、以上説明した構成例では、第２基板１１０Ｂがロジック基板であり、第３基板１１０Ｃがメモリ基板である場合について説明したが、本実施形態はかかる例に限定されない。第２基板１１０Ｂ及び第３基板１１０Ｃは画素基板以外の機能を有する基板であればよく、その機能は任意に決定されてよい。例えば、半導体装置１は、メモリ回路を有しなくてもよい。この場合には、例えば、第２基板１１０Ｂ及び第３基板１１０Ｃは、いずれもロジック基板として機能し得る。あるいは、ロジック回路及びメモリ回路が、第２基板１１０Ｂ及び第３基板１１０Ｃに分散して形成され、これらの基板が協働して、ロジック基板及びメモリ基板としての機能を果たしてもよい。あるいは、第２基板１１０Ｂがメモリ基板であり、第３基板１１０Ｃがロジック基板であってもよい。

[0052] また、以上説明した構成例では、第２基板１１０Ｂの裏面に形成される絶縁膜１２９に内には、電極接合構造１５９ｂを構成する電極１６３のみが形成されていた（すなわち、絶縁膜１２９内には、配線層が電極１６３に係る１層のみ形成されていた）が、本実施形態はかかる例に限定されない。絶縁膜１２９内には、多層配線層が設けられてもよい。絶縁膜１２９内に多層配

線層が設けられることにより、半導体装置１全体としての配線層の数を増加させることができるため、配線の設計の自由度が向上する。なお、この場合、当該多層配線層の最上層に、絶縁膜１２９から表面が露出するように、電極１６３として機能する配線層が形成されることとなる。

[0053] また、以上説明した構成例では、各基板において、半導体基板としてＳｉ基板１０１、１２１、１３１が用いられていたが、本実施形態はかかる例に限定されない。Ｓｉ基板１０１、１２１、１３１に代えて、例えば、ガリウムヒ素（ＧａＡｓ）基板や、シリコンカーバイド（ＳｉＣ）基板等、他の種類の半導体基板が用いられてもよい。あるいは、上述したように、Ｓｉ基板１０１、１２１、１３１に代えて、例えばサファイア基板等、半導体以外の材料によって形成される基板が用いられてもよい。

[0054] また、以上説明した構成例では、まず、第２基板１１０Ｂと第３基板１１０Ｃとを貼り合わせ、次に、その第２基板１１０Ｂ及び第３基板１１０Ｃの積層構造体に対して第１基板１１０Ａを貼り合わすことにより、半導体装置１が作製されていたが、本実施形態はかかる例に限定されない。順番を逆にして、まず、第１基板１１０Ａと第２基板１１０Ｂとを貼り合わせ、次に、その第１基板１１０Ａ及び第２基板１１０Ｂの積層構造体に対して第３基板１１０Ｃを貼り合わすことにより、半導体装置１が作製されてもよい。

[0055] また、図１及び以降の各図面においては図示を省略している場合があるが、半導体装置１において、Ｃｕ及びＡｌがＳｉ基板１０１、１２１、１３１と接触しているように図示されている部位については、この両者を電気的に絶縁するための絶縁材料が存在している。当該絶縁材料は、例えば、SiO_2又はＳｉＮ等、各種の公知の材料であってよい。当該絶縁材料は、導電材料とＳｉ基板１０１、１２１、１３１との間に介在するように存在してもよいし、両者の接触部位から離れたＳｉ基板１０１、１２１、１３１の内部に存在してもよい。また、図１及び以降の各図面においては図示を省略している場合があるが、ＣｕがＳｉ基板１０１、１２１、１３１又は絶縁膜１０３、１０９、１２３、１２９、１３３と接触している部位については、Ｃｕの拡

散を防止するためにバリアメタルが存在している。当該バリアメタルとしては、各種の公知の材料が用いられてよい。

[0056] （２．既存の技術に対する検討）

図１に示す半導体装置１では、第１基板１１０Ａと第２基板１１０Ｂとが電極接合構造１５９ａによって電気的に接続されており、第２基板１１０Ｂと第３基板１１０Ｃとが、電極接合構造１５９ｂによって電気的に接続されている。ここで、電極接合構造は、既存の積層型の半導体装置においても、基板間の導通を取るために一般的に用いられる構造である。しかしながら、既存の技術によって電極接合構造を構成するビア及び電極を形成しようとすると、その電極の形状に異常が生じ、当該電極接合構造が正常に形成されない恐れがある。ここでは、本実施形態に係る電極接合構造１５９の形成方法について詳細に説明するに先立ち、本開示をより明確なものとするために、既存の電極接合構造の形成方法について説明する。

[0057] 図２Ａ～図２Ｄを参照して、既存の電極接合構造の形成方法について説明する。図２Ａ～図２Ｄは、電極接合構造を構成するビア及び電極の、既存の形成方法について説明するための図である。図２Ａ～図２Ｄは、電極接合構造を構成するある基板におけるビア及び電極のｚ軸方向と平行な断面を、当該ビア及び当該電極の形成方法における工程順に概略的に図示したものであり、当該形成方法におけるプロセスフローを表すものである。図２Ａ～図２Ｄは、一例として、図１に示す半導体装置１の第２基板１１０Ｂに設けられているビア１７３及び電極１６３を、仮に、既存の技術で形成した場合におけるプロセスフローを示している。以下では、本実施形態に係るビア１７３及び電極１６３と区別するために、既存の形成方法によって形成された場合における当該ビア１７３及び当該電極１６３のことを、ビア２０５及び電極２０６とも記載する。つまり、図２Ａ～図２Ｄに示すプロセスフローは、ビア２０５が、第２基板１１０ＢのＳｉ基板１２１の裏面側（絶縁膜１２９が形成される側）から、当該絶縁膜１２９及びＳｉ基板１２１を貫通し、多層配線層１２５の所定の配線までの間に形成され、電極２０６が、当該Ｓｉ基

板１２１の裏面側の絶縁膜１２９中に、ビア２０５と電気的に接続されつつ、その表面が当該裏面側に露出するように形成される場合における、既存の形成方法に係るプロセスフローである。

[0058] ビア及び電極の既存の形成方法では、まず、Ｓｉ基板１２１の裏面側の絶縁膜１２９から、当該絶縁膜１２９及び当該Ｓｉ基板１２１を貫通し多層配線層１２５の配線１８１に達する貫通孔２０１が形成される（図２Ａ）。配線１８１は、図１に示す、多層配線層１２５の中の、ビア１７３が電気的に接続される配線に対応するものである。

[0059] 次に、貫通孔２０１の側壁及び底部に、例えばSiO_2からなる絶縁膜２０２がＣＶＤ（Chemical Vapor Deposition）法によって成膜される。当該絶縁膜２０２は、最終的に形成されるビア２０５をＳｉ基板１２１と電気的に絶縁するためのものである。次に、貫通孔２０１内の絶縁膜２０２の底部が、例えばドライエッチング法によって除去される（すなわち、貫通孔２０１の底部において配線１８１が露出させられる）。次に、この状態で、貫通孔２０１の側壁及び底部に、バリアメタル膜２０３が、例えばスパッタリング法によって成膜される（図２Ｂ）。バリアメタル膜２０３としては、例えば、チタン窒化物（ＴｉＮ）、タンタル窒化物（ＴａＮ）、又はタングステン窒化物（ＷＮ）等が成膜される。

[0060] 次に、Ｃｕシードが、例えばスパッタリング法によって貫通孔２０１の側壁及び底部に成膜された後、Ｃｕ２０４が、当該貫通孔２０１にめっき成膜法によって埋め込まれる（図２Ｃ）。

[0061] そして、ＣＭＰ（Chemical Mechanical Polishing）によって、貫通孔２０１に埋め込まれたＣｕ２０４と、周囲の絶縁膜１２９が平坦化されることにより、ビア２０５と、絶縁膜１２９の表面に露出される電極２０６が形成される（図２Ｄ）。このように、ビア２０５及び電極２０６は、いわゆるＤｕａｌ Ｄａｍａｓｃｅｎｅ法によって形成される。

[0062] 対向する第３基板１１０Ｃに対しても、同様に既存の形成方法によって、ビア１７４及び電極１６４に対応するビア及び電極が形成される（以下、後

述する図３に示すように、これらを、ビア２０７及び電極２０８と記載する）。そして、第２基板１１０Ｂに形成された電極２０６と、第３基板１１０Ｃに形成された電極２０８とが互いに接触するように当該第２基板１１０Ｂと当該第３基板１１０Ｃとが貼り合わせられ、熱処理が行われることにより、電極接合構造が形成される。

[0063] ここで、以上説明したように、ビア２０５及び電極２０６は、貫通孔２０１に対してＣｕ２０４を埋め込むことによって形成される。従って、当該ビア２０５及び当該電極２０６を合わせたＣｕの体積は、比較的大きなものとなる。第３基板１１０Ｃにおいて形成されるビア２０７及び電極２０８についても、同様に、その全体としてのＣｕの体積は比較的大きくなる。例えば、図１に示す例であれば、ビア１７１～１７４及び電極１６１～１６４は、その長さが約７μｍであり、電極１６１～１６４の径が約３μｍの大きさであり、これらを構成するＣｕの体積は比較的大きいと言える。

[0064] 従って、電極接合構造を形成するための熱処理を行うと、第２基板１１０Ｂのビア２０５及び電極２０６を構成するＣｕ、並びに第３基板１１０Ｃに設けられるビア２０７及び電極２０８を構成するＣｕが熱膨張し、図３に示すように、第２基板１１０Ｂの電極２０６、及び第３基板１１０Ｃの電極２０８が対向する基板に向かって突出する、いわゆるポンピングが発生する恐れがある。図３は、電極のポンピングについて説明するための図である。図３では、第２基板１１０Ｂの電極２０６、及び第３基板１１０Ｃの電極２０８について、ポンピングが発生している様子を模擬的に示している。なお、図３において、配線１８２は、図１に示す、第３基板１１０Ｃの多層配線層１３５の中の、ビア１７４が電気的に接続される配線に対応するものである。

[0065] ポンピングが発生すると、電極２０６、２０８同士の接合が正常に行われなくなるだけでなく、場合によっては、貼り合わされた基板１１０Ｂ、１１０Ｃが剥離してしまう恐れもある。つまり、電極２０６、２０８におけるポンピングの発生は、半導体装置の信頼性の低下を招く可能性がある。上述し

た画素ＡＤＣが適用される場合には、画素部において、画素ごとに電極接合構造が設けられ得るため、これら複数の電極接合構造におけるポンピングの発生が顕著であれば、基板１１０Ｂ、１１０Ｃを剥離させる力がより大きく働く恐れがあり、半導体装置の信頼性の低下の可能性が増大する恐れがある。

[0066] 上記事情に鑑みれば、積層型の半導体装置においては、かかる電極接合構造におけるポンピングの発生を抑制することにより、信頼性のより高い半導体装置を実現する技術が求められていた。そこで、本発明者らは、電極接合構造におけるポンピングの発生を抑制するための技術について鋭意検討した結果、本開示に想到した。図１に示す半導体装置１の電極接合構造１５９ａ、１５９ｂは、本発明者らが想到した、本開示の好適な一実施形態に係る形成方法によって形成されたものである。従って、半導体装置１によれば、より高い信頼性が実現され得る。

[0067] 以下、本実施形態に係る電極接合構造１５９ａ、１５９ｂの形成方法について詳細に説明する。なお、以下では、一例として、第２基板１１０Ｂと第３基板１１０Ｃとの間に設けられる電極接合構造１５９ｂの形成方法について説明する。ただし、第１基板１１０Ａと第２基板１１０Ｂとの間に設けられる電極接合構造１５９ａについても、同様に、本実施形態に係る形成方法によって形成され得る。

[0068] また、以下では、本実施形態に係る電極接合構造１５９ａ、１５９ｂの形成方法として、３種類の方法について説明する。半導体装置１の電極接合構造１５９ａ、１５９ｂは、これら３種類の形成方法のいずれの方法によって形成されてもよい。

[0069] （３．電極接合構造の形成方法）

（３－１．第１の形成方法）

図４Ａ～図４Ｄを参照して、本実施形態に係る電極接合構造１５９ｂの第１の形成方法について説明する。図４Ａ～図４Ｄは、本実施形態に係る電極接合構造１５９ｂを構成するビア１７３及び電極１６３の、第１の形成方法

について説明するための図である。図４Ａ～図４Ｄは、図１に示す半導体装置１の第２基板１１０Ｂにおけるビア１７３及び電極１６３のｚ軸方向と平行な断面を、当該ビア１７３及び当該電極１６３の形成方法における工程順に概略的に図示したものであり、当該形成方法におけるプロセスフローを表すものである。

[0070] 本実施形態に係るビア１７３及び電極１６３の第１の形成方法では、まず、Ｓｉ基板１２１の裏面側の絶縁膜１２９から、当該絶縁膜１２９及び当該Ｓｉ基板１２１を貫通し多層配線層１２５の配線１８１に達する貫通孔２０１が形成される。配線１８１は、図１に示す、多層配線層１２５の中の、ビア１７３が電気的に接続される配線に対応するものである。次に、貫通孔２０１の側壁及び底部に、例えばSiO_2からなる絶縁膜２０２がＣＶＤ法によって成膜される。当該絶縁膜２０２の膜厚は、通常ＴＳＶ形成時に適用される絶縁膜の膜厚と同程度であってよい。当該絶縁膜２０２は、最終的に形成されるビア１７３をＳｉ基板１２１と電気的に絶縁するためのものである。次に、貫通孔２０１内の絶縁膜２０２の底部が、例えばドライエッチング法によって除去される（すなわち、貫通孔２０１の底部において配線１８１が露出させられる）。次に、この状態で、貫通孔２０１の側壁及び底部に、バリアメタル膜２０３が、例えばスパッタリング法によって成膜される。バリアメタル膜２０３としては、例えば、ＴｉＮ、ＴａＮ、又はＷＮ等が成膜される。また、バリアメタル膜２０３の膜厚は、例えば３０ｎｍ程度である。かかる工程までは、図２Ａ～図２Ｄを参照して説明した、既存の方法と同様である。

[0071] 次に、バリアメタル膜２０３の上に、ポーラス膜２１１が成膜される（図４Ａ）。ポーラス膜２１１は、内部に空孔を有する多孔質な材料からなる膜である。例えば、ポーラス膜２１１は、ポーラスシリカ（以下、Ｐｏ－SiO_2と記載する）をＣＶＤ法によって成膜することによって形成される。

[0072] 次に、貫通孔２０１内のポーラス膜２１１の底部が、例えばドライエッチング法によって除去される（すなわち、貫通孔２０１の底部においてバリア

メタル膜２０３が露出させられる）（図４Ｂ）。

[0073] 次に、Ｃｕシードが、例えばスパッタリング法によって貫通孔２０１の側壁及び底部に成膜された後、Ｃｕ２０４が、当該貫通孔２０１にめっき成膜法によって埋め込まれる（図４Ｃ）。

[0074] そして、ＣＭＰによって、貫通孔２０１に埋め込まれたＣｕ２０４と、周囲の絶縁膜１２９が平坦化されることにより、ビア１７３と、絶縁膜１２９の表面に露出される電極１６３が形成される（図４Ｄ）。このように、ビア１７３及び電極１６３は、Ｄｕａｌ　Ｄａｍａｓｃｅｎｅ法によって形成される。ただし、その側壁には、ポーラス膜２１１が存在し得る。

[0075] つまり、本実施形態の第１の形成方法では、ビア１７３において、図５に示すように、貫通孔２０１に埋め込まれるＣｕ２０４と、当該貫通孔２０１の側壁（すなわち、当該貫通孔２０１が形成されるＳｉ基板１２１）との間に、ポーラス膜２１１が設けられる。図５は、ビア１７３の側壁の、図４Ｄに示す領域２２１の拡大図である。図５に示すように、ビア１７３の側壁近傍は、Ｓｉ基板１２１のＳｉ、絶縁膜２０２のSiO_2、バリアメタル膜２０３、ポーラス膜２１１の$Po-SiO_2$、及びＣｕ２０４が、この順に積層された構造を有する。

[0076] 電極１６３についても、同様に、貫通孔２０１に埋め込まれるＣｕ２０４と、当該貫通孔２０１の側壁（すなわち、当該貫通孔２０１が形成される絶縁膜１２９）との間に、ポーラス膜２１１が設けられる。具体的には、電極１６３の側壁近傍は、絶縁膜１２９及び絶縁膜２０２のSiO_2、バリアメタル膜２０３、ポーラス膜２１１の$Po-SiO_2$、並びにＣｕ２０４が、この順に積層された構造を有する。

[0077] 詳細な説明は省略するが、第３基板１１０Ｃに対しても、同様の方法によって、ビア１７４及び電極１６４が形成される。つまり、ビア１７４及び電極１６４は、貫通孔に埋め込まれるＣｕと、当該貫通孔の側壁との間に、ポーラス膜２１１が設けられた構造を有する。ただし、ビア１７４は、Ｓｉ基板１３１を貫通するものではなく、絶縁膜１３３内に設けられるビアである

ため、ビア１７４及び電極１６４を形成するためのＣｕが埋め込まれる貫通孔は、例えばSiO_2からなる絶縁膜１３３に形成される。従って、ビア１７４及び電極１６４の形成においては、当該貫通孔を形成した後の絶縁膜の形成（上記図４Ａ～図４Ｄに示す形成方法における絶縁膜２０２の形成）は、行われなくてよい。つまり、ビア１７４及び電極１６４の側壁近傍は、絶縁膜１３３のSiO_2、バリアメタル膜、ポーラス膜の$Po-SiO_2$、並びにＣｕが、この順に積層された構造を有し得る。

[0078] そして、第２基板１１０Ｂに形成された電極１６３と、第３基板１１０Ｃに形成された電極１６４とが互いに接触するように当該第２基板１１０Ｂと当該第３基板１１０Ｃとが貼り合わせられ、熱処理（例えばアニーリング）が行われることにより、電極接合構造１５９ｂが形成される。

[0079] このとき、本実施形態によれば、上記のように、第２基板１１０Ｂのビア１７３及び電極１６３では、貫通孔２０１に埋め込まれているＣｕ２０４と、当該貫通孔２０１の側壁との間に、ポーラス膜２１１が存在するため、熱処理によってＣｕ２０４が熱膨張すると、図６に示すように、当該ポーラス膜２１１によって膨張したＣｕ２０４が吸収される。図６は、本実施形態の第１の形成方法に係るビア１７３における、熱処理時のＣｕ２０４の挙動について説明するための図である。図６では、熱処理後におけるビア１７３の側壁の、図４Ｄに示す領域２２１の拡大図を示している。つまり、熱処理により、ビア１７３の側壁の領域２２１は、図５に示す状態から図６に示す状態に変化し得る。

[0080] 図６に示すように、ポーラス膜２１１が存在することにより、熱処理によってＣｕ２０４が熱膨張すると、当該Ｃｕ２０４が、ポーラス膜２１１の空孔（Ｐｏｒｅ）に滲み出したり（図６右側上段に示す領域２２２の拡大図）、多孔質なために脆弱なポーラス膜２１１を破壊したりして（図６右側下段に示す領域２２３の拡大図）、当該ポーラス膜２１１が存在する方向（すなわち、水平面内方向）に膨張することとなる。図６では、例として、ビア１７３について説明したが、電極１６３においても同様の現象が生じ得る。す

なわち、Ｃｕ２０４の熱膨張が、水平面内方向に伸展し得る。従って、電極１６３がｚ軸方向に膨張することが抑制される、すなわち、ポンピングの発生が抑制されることとなる。更に、第３基板１１０Ｃのビア１７４及び電極１６４においても、ポーラス膜２１１を有することにより、同様の現象が生じ、そのポンピングの発生が抑制され得る。

[0081] なお、詳細な説明は省略するが、本実施形態では、第１基板１１０Ａと第２基板１１０Ｂとの間に設けられる電極接合構造１５９ａについても、同様に、以上説明した本実施形態に係る第１の形成方法によって形成され得る。従って、当該電極接合構造１５９ａにおいても、好適に、ポンピングの発生が抑制され得る。

[0082] このように、本実施形態によれば、ビア１７１～１７４及び電極１６１～１６４の側壁にポーラス膜２１１を設けることにより、当該電極１６１～１６４におけるポンピングの発生が抑制される。従って、電極接合構造１５９ａ、１５９ｂがより安定的に形成され得るとともに、基板同士が剥離する危険性も低下させることができる。よって、より信頼性の高い半導体装置１を製造することが可能となる。

[0083] なお、ポーラス膜２１１の膜厚は、熱膨張した際のＣｕ２０４の膨張量を吸収し得るように、Ｃｕ２０４の熱膨張係数、ビア１７１～１７４及び電極１６１～１６４におけるＣｕ２０４の総体積、ビア１７１～１７４及び電極１６１～１６４の形状、及び熱処理の条件（温度、時間等）等を考慮して、適宜決定され得る。

[0084] また、電極接合構造１５９ａ、１５９ｂについて、ポーラス膜２１１を設ける工程以外の各工程については、一般的に電極接合構造を形成する際に用いられている各種の公知の工程が適用されてよい。例えば、絶縁膜２０２の材料はSiO_2に限定されず、ＳｉＮ等の他の材料であってもよいし、その膜厚も、ビア１７３とＳｉ基板１２１との絶縁性が確実に確保され得るように、適宜決定されてよい。ただし、絶縁膜２０２としてＳｉＮが用いられる場合には、後述する第２の形成方法のように、バリアメタル膜２０３は設けら

れなくてもよい。また、例えば、バリアメタル膜２０３の材料は上述したものに限定されず、一般的にＣｕ配線のバリアメタルとして用いられている各種の材料であってもよいし、その膜厚も、ビア１７１～１７４及び電極１６１～１６４のＣｕ２０４の拡散を確実に防止し得るように、適宜決定されてよい。

[0085] また、上述した例では、ポーラス膜２１１は$Po-SiO_2$から構成されていたが、本実施形態はかかる例に限定されない。ポーラス膜２１１は、Ｃｕ２０４の熱膨張によってその空孔が変形し得る程度の強度を有する多孔質膜であればよく、その材料は限定されない。例えば、ポーラス膜２１１は、ＳｉＮを有機材料とともにＣＶＤで成膜し、その後熱処理によって当該有機材料を気化させることにより、多孔質のＳｉＮとして作成されてもよい。その他、上記条件を満たし得る材料であれば、ポーラス膜２１１として各種の材料が用いられてよい。

[0086] （３－２．第２の形成方法）

図７Ａ～図７Ｅを参照して、本実施形態に係る電極接合構造１５９ｂの第２の形成方法について説明する。図７Ａ～図７Ｅは、本実施形態に係る電極接合構造１５９ｂを構成するビア１７３及び電極１６３の、第２の形成方法について説明するための図である。図７Ａ～図７Ｅは、図１に示す半導体装置１の第２基板１１０Ｂにおけるビア１７３及び電極１６３のｚ軸方向と平行な断面を、当該ビア１７３及び当該電極１６３の形成方法における工程順に概略的に図示したものであり、当該形成方法におけるプロセスフローを表すものである。なお、以下では、第１の形成方法によって形成されたビア１７３及び電極１６３と区別するために、便宜的に、第２の形成方法によって形成されたビア１７３及び電極１６３のことを、ビア１７３ａ及び電極１６３ａとも記載する。

[0087] 本実施形態に係るビア１７３ａ及び電極１６３ａの第２の形成方法では、まず、Ｓｉ基板１２１の裏面側の絶縁膜１２９から、当該絶縁膜１２９及び当該Ｓｉ基板１２１を貫通し多層配線層１２５の配線１８１に達する貫通孔

２０１が形成される。次に、貫通孔２０１の側壁及び底部に、ＳｉＮ膜２３１がＣＶＤ法によって成膜される（図７Ａ）。当該ＳｉＮ膜２３１は、ビア１７３ａをＳｉ基板１２１と電気的に絶縁するとともに、ビア１７３ａを構成するＣｕ２０４のＳｉ基板１２１への拡散を防止する役割を果たす。つまり、当該ＳｉＮ膜２３１は、絶縁膜としての機能とともに、バリアメタル膜２０３としての機能も併せ持つ。なお、当該ＳｉＮ膜２３１の膜厚は、絶縁膜としての機能、及びバリアメタル膜としての機能を確実に発揮し得るように、適宜決定され得る。

[0088] 次に、ＳｉＮ膜２３１の上に、ポーラス膜２１１が成膜される（図７Ｂ）。ポーラス膜２１１は、第１の形成方法と同様に、例えばＰｏ－ＳｉＯ$_2$をＣＶＤ法によって成膜することによって形成される。

[0089] 次に、貫通孔２０１内のＳｉＮ膜２３１及びポーラス膜２１１の底部が、例えばドライエッチング法によって除去される（すなわち、貫通孔２０１の底部において配線１８１が露出させられる）（図７Ｃ）。

[0090] 次に、Ｃｕシードが、例えばスパッタリング法によって貫通孔２０１の側壁及び底部に成膜された後、Ｃｕ２０４が、当該貫通孔２０１にめっき成膜法によって埋め込まれる（図７Ｄ）。

[0091] そして、ＣＭＰによって、貫通孔２０１に埋め込まれたＣｕ２０４と、周囲の絶縁膜１２９が平坦化されることにより、ビア１７３ａと、絶縁膜１２９の表面に露出される電極１６３ａが形成される（図７Ｅ）。このように、ビア１７３ａ及び電極１６３ａは、Ｄｕａｌ　Ｄａｍａｓｃｅｎｅ法によって形成される。ただし、その側壁には、ポーラス膜２１１が存在し得る。

[0092] つまり、本実施形態の第２の形成方法では、第１の形成方法と同様に、ビア１７３ａにおいて、図８に示すように、貫通孔２０１に埋め込まれるＣｕ２０４と、当該貫通孔２０１の側壁（すなわち、当該貫通孔２０１が形成されるＳｉ基板１２１）との間に、ポーラス膜２１１が設けられる。図８は、ビア１７３ａの側壁の、図７Ｅに示す領域２４１の拡大図である。図８に示すように、ビア１７３ａの側壁近傍は、Ｓｉ基板１２１のＳｉ、ＳｉＮ膜２

３１のＳｉＮ、ポーラス膜２１１のＰｏ－ＳｉＯ$_2$、及びＣｕ２０４が、この順に積層された構造を有する。電極１６３ａについても、同様に、貫通孔２０１に埋め込まれるＣｕ２０４と、当該貫通孔２０１の側壁（すなわち、当該貫通孔２０１が形成される絶縁膜１２９）との間に、ポーラス膜２１１が設けられる。具体的には、電極１６３の側壁近傍は、絶縁膜１２９のＳｉＯ$_2$、ＳｉＮ膜２３１のＳｉＮ、ポーラス膜２１１のＰｏ－ＳｉＯ$_2$、及びＣｕ２０４が、この順に積層された構造を有する。

[0093] 詳細な説明は省略するが、第３基板１１０Ｃに対しても、同様の方法によって、ビア１７４及び電極１６４が形成される。つまり、ビア１７４及び電極１６４は、当該貫通孔に埋め込まれるＣｕと、当該貫通孔の側壁との間に、ポーラス膜２１１が設けられた構造を有する。ただし、ビア１７４は、Ｓｉ基板１３１を貫通するものではなく、絶縁膜１３３内に設けられるビアであるため、ビア１７４及び電極１６４を形成するためのＣｕが埋め込まれる貫通孔は、例えばＳｉＯ$_2$からなる絶縁膜１３３に形成される。従って、ビア１７４及び電極１６４の側壁近傍は、絶縁膜１３３のＳｉＯ$_2$、ＳｉＮ膜のＳｉＮ、ポーラス膜のＰｏ－ＳｉＯ$_2$、及びＣｕが、この順に積層された構造を有し得る。

[0094] そして、第２基板１１０Ｂに形成された電極１６３ａと、第３基板１１０Ｃに形成された電極１６４とが互いに接触するように当該第２基板１１０Ｂと当該第３基板１１０Ｃとが貼り合わせられ、熱処理（例えばアニーリング）が行われることにより、電極接合構造１５９ｂが形成される。第２の形成方法に係る電極接合構造１５９ｂにおいても、第１の形成方法と同様に、熱処理におけるＣｕの熱膨張をポーラス膜２１１が吸収し得るため、ポンピングの発生を抑えることができる。また、第１基板１１０Ａと第２基板１１０Ｂとの間に設けられる電極接合構造１５９ａについても、同様に、以上説明した本実施形態に係る第２の形成方法によって形成され得る。従って、当該電極接合構造１５９ａにおいても、好適に、ポンピングの発生が抑制され得る。よって、第２の形成方法を適用することにより、より信頼性の高い半導

体装置１が実現され得る。

[0095] ここで、第２の形成方法に係るビア１７３ａ及び電極１６３ａは、第１の形成方法に係るビア１７３及び電極１６３において、絶縁膜２０２及びバリアメタル膜２０３の代わりに、ＳｉＮ膜２３１が用いられたものに対応する。上述したように、ＳｉＮ膜２３１は、バリアメタル膜としての役割を果たすため、追加的にバリアメタル膜２０３を形成する必要がないからである。このように、第２の形成方法によれば、ＳｉＮ膜を形成することにより、バリアメタル膜２０３を形成する工程を行う必要がなくなるため、第１の形成方法に比べて、より簡易的なプロセスフローでビア１７３ａ及び電極１６３ａを形成することが可能になる。従って、半導体装置１の製造コストをより低減させることができるという効果も享受され得る。

[0096] なお、上記では、バリアメタルとしての機能を果たし得る絶縁膜としてＳｉＮ膜２３１を用いていたが、本実施形態はかかる例に限定されない。ＳｉＮ膜２３１の材料としては、ＳｉＮの代わりに、Ｃｕの拡散防止の効果を有し得る他の絶縁材料が用いられてもよい。また、ポーラス膜２１１の膜厚及び材料については、第１の形成方法と同様に、Ｃｕ２０４の熱膨張を吸収し得るように適宜決定されてよい。

[0097] （３－３．第３の形成方法）

図９Ａ～図９Ｄを参照して、本実施形態に係る電極接合構造１５９ｂの第３の形成方法について説明する。図９Ａ～図９Ｄは、本実施形態に係る電極接合構造１５９ｂを構成するビア１７３及び電極１６３の、第３の形成方法について説明するための図である。図９Ａ～図９Ｄは、図１に示す半導体装置１の第２基板１１０Ｂにおけるビア１７３及び電極１６３のｚ軸方向と平行な断面を、当該ビア１７３及び当該電極１６３の形成方法における工程順に概略的に図示したものであり、当該形成方法におけるプロセスフローを表すものである。なお、以下では、第１の形成方法によって形成されたビア１７３及び電極１６３と区別するために、便宜的に、第３の形成方法によって形成されたビア１７３及び電極１６３のことを、ビア１７３ｂ及び電極１６

３ｂとも記載する。

[0098] 本実施形態に係るビア１７３ｂ及び電極１６３ｂの第３の形成方法では、まず、Ｓｉ基板１２１の裏面側の絶縁膜１２９から、当該絶縁膜１２９及び当該Ｓｉ基板１２１を貫通し多層配線層１２５の配線１８１に達する貫通孔２０１が形成される。次に、貫通孔２０１の側壁及び底部に、ＳｉＮ膜２５１及びSiO_2膜２５２が、例えばＣＶＤ法によってこの順に成膜される。当該ＳｉＮ膜２５１は、後述するように、ウェットエッチングにおいてエッチング溶液がＳｉ基板１２１に達しないようにする障壁としての機能を有するものであるため、当該ＳｉＮ膜２５１の膜厚は、この障壁としての機能を確実に実現し得るように、適宜決定され得る。次に、貫通孔２０１の側壁及び底部において、当該ＳｉＮ膜２５１及び当該SiO_2膜２５２の上に、ＳｉＣＮ膜２５３が、例えばスパッタリング法によって成膜される（図９Ａ）。ＳｉＣＮ膜２５３の膜厚は、例えば１０ｎｍ～３０ｎｍ程度である。

[0099] 次に、SiO_2膜２５２に対するウェットエッチングが行われる。ここで、図１０を参照して、当該ウェットエッチング工程について説明する。図１０は、ビア１７３ｂ及び電極１６３ｂの第３の形成方法におけるウェットエッチング工程について説明するための図である。図１０では、図９Ａにおける貫通孔２０１の側壁の一部領域２６１の断面を拡大して模擬的に示している。

[0100] ここで、ＳｉＣＮ膜については、スパッタリング法によって成膜することにより、その成膜後の膜中に多数のピンホール２６２が形成されることが知られている（図１０上段）。本実施形態では、SiO_2膜２５２の上にピンホール２６２を有するＳｉＣＮ膜２５３が成膜された状態で、例えばフッ化水素酸（ＨＦ）系のエッチング溶液を用いてSiO_2膜２５２に対するウェットエッチングを行う。この際、ＳｉＣＮは、ＨＦ系のエッチング溶液に対しては反応性が低いため、ピンホール２６２が存在する箇所のみエッチング溶液がＳｉＣＮ膜２５３を通過してSiO_2膜２５２に達し、SiO_2膜２５２がエッチングされることとなる。つまり、図１０に示すように、SiO_2膜２５

２の、当該ピンホール２６２に対応する部位についてエッチングが集中的に進行することとなり、当該部位に空孔２６３が形成される。従って、SiO_2膜２５２が多孔質化される。このとき、ＳｉＮ膜２５１は、ビア１７３ｂとＳｉ基板１２１との間の絶縁の役割とともに、エッチング溶液がSiO_2膜２５２を貫通してしまった場合に、当該エッチング溶液がＳｉ基板１２１のＳｉに達しないようにする、障壁としての役割を果たす。なお、エッチング溶液は、ＨＦ系の溶液に限定されず、SiO_2とＳｉＣＮに対する選択比が大きいものであれば、他の溶液が用いられてよい。

[0101] ウェットエッチングが行われると、次に、貫通孔２０１内のＳｉＮ膜２５１、SiO_2膜２５２、及びＳｉＣＮ膜２５３の底部が、例えばドライエッチング法によって除去される（すなわち、貫通孔２０１の底部において配線１８１が露出させられる）。次に、貫通孔２０１の側壁及び底部に、バリアメタル膜２０３が、例えばスパッタリング法によって成膜される（図９Ｂ）。バリアメタル膜２０３としては、例えば、ＴｉＮ、ＴａＮ、又はWN等が成膜される。また、バリアメタル膜２０３の膜厚は、例えば３０ｎｍ程度である。

[0102] 次に、Ｃｕシードが、例えばスパッタリング法によって貫通孔２０１の側壁及び底部に成膜された後、Ｃｕ２０４が、当該貫通孔２０１にめっき成膜法によって埋め込まれる（図９Ｃ）。

[0103] そして、ＣＭＰによって、貫通孔２０１に埋め込まれたＣｕ２０４と、周囲の絶縁膜１２９が平坦化されることにより、ビア１７３ｂと、絶縁膜１２９の表面に露出される電極１６３ｂが形成される（図９Ｄ）。このように、ビア１７３ｂ及び電極１６３ｂは、Ｄｕａｌ　Ｄａｍａｓｃｅｎｅ法によって形成される。ただし、その側壁には、多孔質化されたSiO_2膜２５２が存在し得る。

[0104] つまり、第３の形成方法では、ビア１７３ｂは、貫通孔２０１に埋め込まれるＣｕ２０４と、当該貫通孔２０１の側壁（すなわち、当該貫通孔２０１が形成されるＳｉ基板１２１）との間に、ウェットエッチングによって多孔

質化されたＳｉＯ$_2$膜２５２が設けられた構造を有する。具体的には、ビア１７３ｂの側壁近傍は、Ｓｉ基板１２１のＳｉ、ＳｉＮ膜２５１のＳｉＮ、ＳｉＯ$_2$膜２５２の多孔質化されたＳｉＯ$_2$、ＳｉＣＮ膜２５３のＳｉＣＮ、及びＣｕ２０４が、この順に積層された構造を有する。また、電極１６３ａも、同様に、貫通孔２０１に埋め込まれるＣｕ２０４と、当該貫通孔２０１の側壁（すなわち、当該貫通孔２０１が形成される絶縁膜１２９）との間に、多孔質化されたＳｉＯ$_2$膜２５２が設けられた構造を有する。具体的には、電極１６３ｂの側壁近傍は、絶縁膜１２９のＳｉＯ$_2$、ＳｉＮ膜２５１のＳｉＮ、ＳｉＯ$_2$膜２５２の多孔質化されたＳｉＯ$_2$、ＳｉＣＮ膜２５３のＳｉＣＮ、及びＣｕ２０４が、この順に積層された構造を有する。

[0105] 詳細な説明は省略するが、第３基板１１０Ｃに対しても、同様の方法によって、ビア１７４及び電極１６４が形成される。つまり、ビア１７４及び電極１６４は、当該貫通孔に埋め込まれるＣｕと、当該貫通孔の側壁との間に、多孔質化されたＳｉＯ$_2$膜が設けられた構造を有する。ただし、ビア１７４は、Ｓｉ基板１３１を貫通するものではなく、絶縁膜１３３内に設けられるビアであるため、ビア１７４及び電極１６４を形成するためのＣｕが埋め込まれる貫通孔は、例えばＳｉＯ$_2$からなる絶縁膜１３３に形成される。従って、ビア１７４及び電極１６４の側壁近傍は、絶縁膜１３３のＳｉＯ$_2$、ＳｉＮ膜のＳｉＮ、ＳｉＯ$_2$膜の多孔質化されたＳｉＯ$_2$、ＳｉＣＮ膜のＳｉＣＮ、及びＣｕが、この順に積層された構造を有し得る。

[0106] そして、第２基板１１０Ｂに形成された電極１６３ｂと、第３基板１１０Ｃに形成された電極１６４とが互いに接触するように当該第２基板１１０Ｂと当該第３基板１１０Ｃとが貼り合わせられ、熱処理（例えばアニーリング）が行われることにより、電極接合構造１５９ｂが形成される。

[0107] このとき、多孔質化されたＳｉＯ$_2$膜２５２は、第１及び第２の形成方法におけるポーラス膜２１１と同様に機能する。つまり、第３の形成方法に係るビア１７３ｂ及び電極１６３ｂにおいても、熱処理においてＣｕ２０４が熱膨張した際に、図１１に示すように、多孔質化されたＳｉＯ$_2$膜２５２の空孔

２６３によって、そのＣｕ２０４の膨張が吸収されることとなる。図１１は、本実施形態の第３の形成方法に係るビア１７３ｂにおける、熱処理時のＣｕ２０４の挙動について説明するための図である。図１１では、ビア１７３ｂの側壁の、図９Ｄに示す領域２６４の拡大図を示すとともに、熱処理の前後における当該領域２６４におけるＣｕ２０４の挙動を模擬的に示している。図１１に示すように、熱処理により、熱膨張したＣｕ２０４は、バリアメタル膜２０３及びＳｉＣＮ膜２５３を変形させながら、SiO_2膜２５２の空孔２６３に侵入し得る。つまり、SiO_2膜２５２の空孔２６３によって、Ｃｕ２０４の熱膨張が吸収され得る。

[0108] 図１１では、例として、ビア１７３ｂについて説明したが、電極１６３ｂにおいても同様の現象が生じ得る。すなわち、Ｃｕ２０４の熱膨張が、水平面内方向に伸展し得る。従って、電極１６３ｂにおけるポンピングの発生が抑制され得る。更に、第３基板１１０Ｃのビア１７４及び電極１６４においても、多孔質化されたSiO_2膜２５２を有することにより、同様の現象が生じ、そのポンピングの発生が抑制され得る。従って、第３の形成方法によれば、電極接合構造１５９ｂをより安定的に形成することが可能になる。

[0109] また、第１基板１１０Ａと第２基板１１０Ｂとの間に設けられる電極接合構造１５９ａについても、同様に、以上説明した本実施形態に係る第３の形成方法によって形成され得る。従って、当該電極接合構造１５９ａにおいても、好適に、ポンピングの発生が抑制され得る。

[0110] このように、第３の形成方法によれば、電極接合構造１５９ａ、１５９ｂにおけるポンピングの発生が抑制され得るため、より信頼性の高い半導体装置１が実現され得る。

[0111] なお、SiO_2膜２５２の膜厚、及び空孔量（例えば、SiO_2膜２５２内の所定の空間におけるSiO_2に対する空孔２６３の割合）は、Ｃｕ２０４の熱膨張係数、ビア１７３ｂ及び電極１６３ｂにおけるＣｕの総体積、及び熱処理の条件（温度、時間等）等を考慮して、ポンピングの発生を抑制し得るだけのＣｕ２０４の熱膨張を吸収し得るように、適宜調整され得る。なお、

SiO_2膜２５２の空孔量は、ウェットエッチングにおけるエッチング量を調整することにより制御することができる。例えば、エッチング量を増加させれば、図１２に示すように、SiO_2膜２５２におけるエッチングがより促進され、空孔量は多くなることとなる。図１２は、ウェットエッチングにおけるエッチング量の違いによる、SiO_2膜２５２における空孔量の変化を示す図である。図１２では、図１０と同様に、図９Ａにおける貫通孔２０１の側壁の一部領域２６１の断面を拡大して模擬的に示すとともに、図１０に示す場合よりもSiO_2膜２５２のエッチングが進行した様子を示している。

[0112] また、ＳＩＮ膜２５１の膜厚は、エッチング溶液の浸透を確実に防止し得るように、適宜決定され得る。また、ＳＩＯＮ膜２５３の膜厚は、ピンホール２６２の密度等を考慮して、ウェットエッチングによってSiO_2膜２５２において所望の空孔量が実現され得るように、適宜決定され得る。

[0113] また、上記の例では、SiO_2膜２５２をＨＦ系のエッチング溶液でウェットエッチングすることによって、多孔質のSiO_2膜２５２を形成していたが、本実施形態はかかる例に限定されない。多孔質化される膜の材料、及び当該膜を多孔質化するためのエッチング溶液としては、他の種類の材料及びエッチング溶液が用いられてよい。当該材料及びエッチング溶液の組み合わせとの他の例としては、ハフニア（HfO_2）及びＨＦ系溶液、アルミナ（Al_2O_3）及びＨＦ系溶液、酸化インジウムスズ（ＩＴＯ）及び塩酸等が挙げられる。あるいは、ＳｉＮについては、低温（例えば２００℃～４００℃）のプラズマＣＶＤで成膜した場合には、ＨＦ系のエッチング溶液によってエッチング可能であることが知られている。よって、SiO_2膜２５２の代わりに、このような低温で成膜されたＳｉＮ膜が用いられてもよい。

[0114] （３－４．第１～第３の形成方法についてのまとめ）

以上、本実施形態における、電極接合構造１５９の第１～第３の形成方法について説明した。以上説明したように、第１～第３の形成方法によれば、電極接合構造１５９を構成するビア１７１～１７４及び電極１６１～１６４を形成する際に、貫通孔に埋め込まれるＣｕと、当該貫通孔の側壁との間に

、空孔を有する膜（以下、多孔質膜ともいう）を形成する。当該多孔質膜を有することにより、電極接合構造１５９を形成する際の熱処理によって膨張したＣｕを、当該多孔質膜の空孔によって吸収することができるため、当該Ｃｕの基板の積層方向への膨張（すなわち、ポンピング）を抑制することができる。従って、電極接合構造１５９をより安定的な接合とすることができるとともに、基板同士が剥離する危険性も低減することができる。よって、より信頼性の高い半導体装置１が実現され得る。

[0115] なお、上述した第１～第３の形成方法では、多孔質膜は、Ｐｏ－ＳｉＯ$_2$をＣＶＤ法によって成膜することによって形成されたり、ピンホールを有するＳｉＣＮ膜２５３を介してＳｉＯ$_2$膜２５２をウェットエッチングによってエッチングすることによって形成されていたが、本実施形態はかかる例に限定されない。本実施形態では、多孔質膜の材料及び形成方法は限定されず、当該材料及び当該形成方法としては、一般的に半導体の製造プロセスで用いられ得る各種の材料及び方法が適用されてよい。

[0116] なお、上述したように、半導体装置１が、画素ＡＤＣが適用されるように構成される場合には、画素部の各画素について電極接合構造１５９ａを形成する必要があるため、当該電極接合構造１５９ａの数が多くなり、ポンピングが発生した場合には、第１基板１１０Ａと第２基板１１０Ｂとが剥離されやすくなる恐れがある。一方、上記のように、本実施形態によれば、ポンピングの発生が好適に抑制され得るため、画素ＡＤＣが適用される場合において、第１基板１１０Ａと第２基板１１０Ｂとが剥離される危険性を低下させることができる。つまり、本実施形態に係る電極接合構造１５９の形成方法は、画素ＡＤＣが適用される積層型の固体撮像装置において、特にその効果を発揮し得るものであると言える。

[0117] また、本実施形態に係る電極接合構造１５９の形成方法は、当該電極接合構造１５９を構成するビア１７１～１７４及び電極１６１～１６４におけるＣｕ２０４の体積が大きいほど、その効果を発揮し得ると考えられる。Ｃｕ２０４の体積が大きければ、それだけ、熱膨張に伴う体積変化も大きく、ポ

ンピングの度合いも大きくなるかと考えられるからである。つまり、本実施形態に係る技術は、ビア及び電極を合わせたＣｕの構造体について接合に問題が生じると考えられる程度のポンピングが発生し得る場合において、当該ビア及び当該電極を形成する際に好適に適用され得る。なお、接合に問題が生じると考えられる程度のポンピングが発生し得る条件は、例えば、ビア及び電極を合わせたＣｕの構造体における体積又はアスペクト比等によって規定することができる。具体的には、当該体積又はアスペクト比等は、例えばＣｕの熱膨張係数等を考慮して、適宜決定され得る。例えば、図１に示す半導体装置１におけるビア１７１～１７４及び電極１６１～１６４は、その長さが約７μｍであり、その径が約３μｍであり得る。この場合、Ｃｕの熱膨張係数等を考慮すると、ビア１７１～１７４及び電極１６１～１６４においては、ポンピングの度合いが比較的大きく、何ら対策を講じなければ接合に問題が生じる可能性があると考えられる。つまり、上記のサイズを有する当該ビア１７１～１７４及び当該電極１６１～１６４は、本実施形態に係る技術が好適に適用され得るサイズのビア及び電極であると言える。

[0118] ここで、例えば、特開２０１３－１１５１２３号公報には、電子部品搭載用等に用いられる配線基板において、セラミック焼結体からなり表面に配線導体が形成された絶縁板と、当該絶縁板を厚み方向に貫通する貫通孔に導電体が埋め込まれたビアと、を備えるものが記載されている。そして、当該文献には、電子部品実装時や検査時に加えられる熱によってかかるビアの導電体が熱膨張し、絶縁板を破壊してしまうことを避けるために、ビアの形成において貫通孔に導電体を埋め込む際に、当該貫通孔の側壁と当該導電体との間に空孔を設ける方法が開示されている。具体的には、当該文献では、貫通孔に金属粉末を含むペーストを埋め込み、熱処理を行うことにより、金属粉末を焼結させることで、ビアにおいて空孔を形成している。当該方法を、上述した半導体装置１のビア１７１～１７４及び電極１６１～１６４の形成に適用することにより、ポンピングの発生を抑制することができるようにも思える。

[0119] しかしながら、上記のように、当該文献に記載の技術は、セラミック焼結体からなる絶縁板に設けられるビアに関するものであり、当該文献には、ビアの直径は例えば２００μｍ～７００μｍであることが記載されている。また、当該文献に記載されているビアに空隙を形成する方法も、一般的な半導体の製造プロセスではない。一方、上記のように、本実施形態で対象としている半導体装置１では、ビア１７１～１７４及び電極１６１～１６４を形成する対象はＳｉ基板等の半導体基板又はSiO_2等からなる絶縁膜であり、当該ビア１７１～１７４及び電極１６１～１６４の径も、最大でも数μｍ程度であり得る。このように、対象とする製品が全く異なるため、当該文献に記載の技術をそのまま半導体装置１に適用することはほぼ不可能であると言える。

[0120] これに対して、本実施形態に係る形成方法では、半導体の製造プロセスを用いて電極接合構造１５９ａ、１５９ｂに係るビア１７１～１７４及び電極１６１～１６４を形成する。具体的には、貫通孔２０１を設ける対象はＳｉやSiO_2といった、半導体装置において一般的に広く用いられている材料である。また、その貫通孔２０１の径（すなわち、ビア１７１～１７４及び電極１６１～１６４の径）も、例えば数μｍ程度であり、一般的な半導体装置におけるビア径を対象としている。更に、多孔質膜も、半導体の製造プロセスを用いて形成される。このように、本実施形態に係る形成方法は、半導体装置１におけるビア１７１～１７４及び電極１６１～１６４の形成方法として、好適な形成方法であると言える。

[0121] （４．適用例）

（積層型の固体撮像装置への構成例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、以下で説明するような積層型の固体撮像装置に適用されてもよい。

[0122] 図１３は、本開示に係る技術を適用し得る積層型の固体撮像装置の構成例を示す断面図である。

[0123] 図１３は、積層型の固体撮像装置の構成例を示している。固体撮像装置２３０２０は、図１３に示すように、センサダイ２３０２１とロジックダイ２３０２４との２枚のダイが積層され、電気的に接続されて、１つの半導体チップとして構成されている。

[0124] センサダイ２３０２１には、画素領域となる画素を構成するＰＤ（フォトダイオード）や、ＦＤ（フローティングディフュージョン）、Ｔｒ（ＭＯＳＦＥＴ）、及び、制御回路となるＴｒ等が形成される。さらに、センサダイ２３０２１には、複数層、本例では３層の配線２３１１０を有する配線層２３１０１が形成される。なお、制御回路（となるＴｒ）は、センサダイ２３０２１ではなく、ロジックダイ２３０２４に構成することができる。

[0125] ロジックダイ２３０２４には、ロジック回路を構成するＴｒが形成される。さらに、ロジックダイ２３０２４には、複数層、本例では３層の配線２３１７０を有する配線層２３１６１が形成される。また、ロジックダイ２３０２４には、内壁面に絶縁膜２３１７２が形成された接続孔２３１７１が形成され、接続孔２３１７１内には、配線２３１７０等と接続される接続導体２３１７３が埋め込まれる。

[0126] センサダイ２３０２１とロジックダイ２３０２４とは、互いの配線層２３１０１及び２３１６１が向き合うように貼り合わされ、これにより、センサダイ２３０２１とロジックダイ２３０２４とが積層された積層型の固体撮像装置２３０２０が構成されている。

[0127] 固体撮像装置２３０２０は、配線２３１１０及び２３１７０が直接接触するように、センサダイ２３０２１とロジックダイ２３０２４とを重ね合わせ、所要の加重をかけながら加熱し、配線２３１１０及び２３１７０を直接接合することで構成される。これにより、センサダイ２３０２１とロジックダイ２３０２４とが、配線層２３１０１、及び、配線層２３１６１を介して、電気的に接続される。

[0128] 本開示に係る技術は、以上のような固体撮像装置に適用することができる。

[0129] （電子機器への適用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、図１４～図１６で示すような電子機器に適用されてよい。

[0130] 図１４は、本実施形態に係る半導体装置１が適用され得る電子機器の一例である、スマートフォンの外観を示す図である。図１４に示すように、スマートフォン３０１は、ボタンから構成されユーザによる操作入力を受け付ける操作部３０３と、各種の情報を表示する表示部３０５と、筐体内に設けられ、観察対象を電子的に撮影する撮像部（図示せず）と、を有する。当該撮像部が、半導体装置１によって構成され得る。

[0131] 図１５及び図１６は、本実施形態に係る半導体装置１が適用され得る電子機器の他の例である、デジタルカメラの外観を示す図である。図１５は、デジタルカメラ３１１を前方（被写体側）から眺めた外観を示しており、図１６は、デジタルカメラ３１１を後方から眺めた外観を示している。図１５及び図１６に示すように、デジタルカメラ３１１は、本体部（カメラボディ）３１３と、交換式のレンズユニット３１５と、撮影時にユーザによって把持されるグリップ部３１７と、各種の情報を表示するモニタ３１９と、撮影時にユーザによって観察されるスルー画を表示するＥＶＦ３２１と、筐体内に設けられ、観察対象を電子的に撮影する撮像部（図示せず）と、を有する。当該撮像部が、半導体装置１によって構成され得る。

[0132] 以上、本実施形態に係る半導体装置１が適用され得る電子機器のいくつかの例について説明した。なお、半導体装置１が適用され得る電子機器は上記で例示したものに限定されず、当該半導体装置１は、ビデオカメラ、眼鏡型のウェアラブルデバイス、ＨＭＤ（Head Mounted Display）、タブレットＰＣ、又はゲーム機器等、あらゆる電子機器に搭載される撮像部として適用することが可能である。

[0133] （内視鏡手術システムへの適用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例

えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0134] 図１７は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0135] 図１７では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

[0136] 内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0137] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0138] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、ＲＡＷデータとしてカメラコントロールユニット（ＣＣＵ： Ｃａｍｅ

ｒａ　Ｃｏｎｔｒｏｌ　Ｕｎｉｔ）１１２０１に送信される。

[0139] ＣＣＵ１１２０１は、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）やＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を統括的に制御する。さらに、ＣＣＵ１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0140] 表示装置１１２０２は、ＣＣＵ１１２０１からの制御により、当該ＣＣＵ１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0141] 光源装置１１２０３は、例えばＬＥＤ（Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）等の光源から構成され、術部等を撮影する際の照射光を内視鏡１１１００に供給する。

[0142] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0143] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患者１１１３２の体腔を膨らめるために、気腹チューブ１１１１１を介して当該体腔内にガスを送り込む。レコーダ１１２０７は、手術に関する各種の情報を記録可能な装置である。プリンタ１１２０８は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0144] なお、内視鏡１１１００に術部を撮影する際の照射光を供給する光源装置１１２０３は、例えばＬＥＤ、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。ＲＧＢレーザ光源の組み合

わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置１１２０３において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、ＲＧＢレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御することにより、ＲＧＢそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0145] また、光源装置１１２０３は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0146] また、光源装置１１２０３は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Ｎａｒｒｏｗ　Ｂａｎｄ　Ｉｍａｇｉｎｇ）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニングリーン（ＩＣＧ）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置１１２０３は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0147] 図１８は、図１７に示すカメラヘッド１１１０２及びＣＣＵ１１２０１の機能構成の一例を示すブロック図である。

[0148] カメラヘッド１１１０２は、レンズユニット１１４０１と、撮像部１１４０２と、駆動部１１４０３と、通信部１１４０４と、カメラヘッド制御部１１４０５と、を有する。ＣＣＵ１１２０１は、通信部１１４１１と、画像処理部１１４１２と、制御部１１４１３と、を有する。カメラヘッド１１１０２とＣＣＵ１１２０１とは、伝送ケーブル１１４００によって互いに通信可能に接続されている。

[0149] レンズユニット１１４０１は、鏡筒１１１０１との接続部に設けられる光学系である。鏡筒１１１０１の先端から取り込まれた観察光は、カメラヘッド１１１０２まで導光され、当該レンズユニット１１４０１に入射する。レンズユニット１１４０１は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0150] 撮像部１１４０２は、撮像素子で構成される。撮像部１１４０２を構成する撮像素子は、１つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部１１４０２が多板式で構成される場合には、例えば各撮像素子によってＲＧＢそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部１１４０２は、３Ｄ（Ｄｉｍｅｎｓｉｏｎａｌ）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0151] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0152] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これに

より、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0153] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0154] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0155] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Ａｕｔｏ　Ｅｘｐｏｓｕｒｅ）機能、ＡＦ（Ａｕｔｏ　Ｆｏｃｕｓ）機能及びＡＷＢ（Ａｕｔｏ　Ｗｈｉｔｅ　Ｂａｌａｎｃｅ）機能が内視鏡１１１００に搭載されていることになる。

[0156] カメラヘッド制御部１１４０５は、通信部１１４０４を介して受信したＣＣＵ１１２０１からの制御信号に基づいて、カメラヘッド１１１０２の駆動を制御する。

[0157] 通信部１１４１１は、カメラヘッド１１１０２との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４１１は、カメラヘッド１１１０２から、伝送ケーブル１１４００を介して送信される画像信号を受信する。

[0158] また、通信部１１４１１は、カメラヘッド１１１０２に対して、カメラヘッド１１１０２の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0159] 画像処理部１１４１２は、カメラヘッド１１１０２から送信されたＲＡＷデータである画像信号に対して各種の画像処理を施す。

[0160] 制御部１１４１３は、内視鏡１１１００による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部１１４１３は、カメラヘッド１１１０２の駆動を制御するための制御信号を生成する。

[0161] また、制御部１１４１３は、画像処理部１１４１２によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置１１２０２に表示させる。この際、制御部１１４１３は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部１１４１３は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具１１１１２の使用時のミスト等を認識することができる。制御部１１４１３は、表示装置１１２０２に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者１１１３１に提示されることにより、術者１１１３１の負担を軽減することや、術者１１１３１が確実に手術を進めることが可能になる。

[0162] カメラヘッド１１１０２及びＣＣＵ１１２０１を接続する伝送ケーブル１１４００は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0163] ここで、図示する例では、伝送ケーブル１１４００を用いて有線で通信が行われていたが、カメラヘッド１１１０２とＣＣＵ１１２０１との間の通信は無線で行われてもよい。

[0164] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、カメラヘッド１１１０２の撮像部１１４０２に適用され得る。撮像部１１４０２に本開示に係る技術を適用することにより、より信頼性が高い内視鏡手術システムを提供することができる。

[0165] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0166] （移動体への適用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0167] 図１９は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0168] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図１９に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａｃｅ）１２０５３が図示されている。

[0169] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0170] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィ

ンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0171] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0172] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0173] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0174] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆

動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Ａｄｖａｎｃｅｄ　Ｄｒｉｖｅｒ　Ａｓｓｉｓｔａｎｃｅ　Ｓｙｓｔｅｍ）の機能実現を目的とした協調制御を行うことができる。

[0175] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0176] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0177] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図１９の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0178] 図２０は、撮像部１２０３１の設置位置の例を示す図である。

[0179] 図２０では、車両１２１００は、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0180] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は

、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。撮像部１２１０１及び１２１０５で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0181] なお、図２０には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0182] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0183] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができ

る。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0184] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0185] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示

部１２０６２を制御してもよい。

[0186] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。撮像部１２０３１に本開示に係る技術を適用することにより、より信頼性が高い車両制御システムを提供することができる。

[0187] （５．補足）

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0188] 例えば、上記実施形態では、ビア１７３及び電極１６３を構成する貫通孔２０１の全域に渡って、当該貫通孔２０１に埋め込まれるＣｕ２０４と、当該貫通孔２０１の側壁との間に、多孔質膜が設けられていたが、本開示はかかる例に限定されない。本開示に係る技術では、貫通孔２０１の一部領域にのみ（例えば、ビア１７３及び電極１６３のいずれか一方のみ等）、その側壁に多孔質膜が設けられてもよい。この場合であっても、当該多孔質膜が設けられる領域においては、Ｃｕ２０４の熱膨張が当該多孔質膜によって吸収され得るため、ポンピングの発生の抑制の効果を得ることができる。例えば、ビア１７３及び電極１６３の形状や、熱処理の条件等に基づいて、Ｃｕ２０４の熱膨張が顕著に発生し得る領域についての知見が得られているのであれば、当該知見に基づいて、そのＣｕ２０４の熱膨張が顕著に発生し得る領域についてのみ、多孔質膜が設けられてよい。

[0189] また、例えば、上記実施形態では、ビア１７１～１７４及び電極１６１～１６４を構成する材料がＣｕである場合について説明したが、本開示はかかる例に限定されない。本開示に係る技術では、ビア１７１～１７４及び電極１６１～１６４を構成する材料は、Ｃｕ以外の各種の公知の導電材料であっ

てよい。なお、当該導電材料の熱膨張係数が大きいほど、ポンピングの度合いは顕著になるため、本開示に係る技術によってより大きな効果を得ることができると考えられる。

[0190] また、例えば、上記実施形態では、半導体装置１が固体撮像装置である場合を例に挙げて説明したが、本開示はかかる例に限定されない。本開示に係る技術は、積層型の半導体装置であれば、各種の半導体装置に適用可能である。

[0191] また、本明細書に記載された効果は、あくまで説明的又は例示的なものであって限定的なものではない。つまり、本開示に係る技術は、上記の効果とともに、又は上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏し得る。

[0192] なお、以下のような構成も本開示の技術的範囲に属する。

（１）

所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、をそれぞれ有する複数の基板が積層されて構成され、

前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、

前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアの少なくともいずれかについては、前記電極及び前記ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する、

半導体装置。

（２）

前記多孔質膜は、多孔質化されたSiO_2膜である、

前記（１）に記載の半導体装置。

（３）

前記電極及び前記ビアを構成する導電材料はＣｕであり、

前記Ｃｕと、前記Ｃｕが埋め込まれている前記貫通孔の側壁と、の間には、当該側壁側から順に、絶縁材料、バリアメタル、及び前記多孔質材料が、この順に存在する、

前記（１）又は（２）に記載の半導体装置。

（４）

前記電極及び前記ビアを構成する導電材料はＣｕであり、

前記Ｃｕと、前記Ｃｕが埋め込まれている前記貫通孔の側壁と、の間には、当該側壁側から順に、ＳｉＮ及び前記多孔質材料が、この順に存在する、

前記（１）又は（２）に記載の半導体装置。

（５）

前記電極及び前記ビアを構成する導電材料はＣｕであり、

前記Ｃｕと、前記Ｃｕが埋め込まれている前記貫通孔の側壁と、の間には、当該側壁側から順に、ＳｉＮ、前記多孔質材料、ＳｉＣＮ、及びバリアメタルが、この順に存在する、

前記（１）又は（２）に記載の半導体装置。

（６）

前記電極及び前記ビアを構成する導電材料と、前記導電材料が埋め込まれている貫通孔の側壁と、の間の全面に渡って、前記多孔質膜が存在する、

前記（１）～（５）のいずれか１項に記載の半導体装置。

（７）

前記複数の基板のうちの１つである第１基板は、前記半導体基板上に画素が２次元状に配列された画素部が存在する画素基板であり、

前記半導体装置は固体撮像装置である、

前記（１）～（６）のいずれか１項に記載の半導体装置。

（８）

前記複数の基板のうち、前記第１基板の直下に存在する第２基板には、前記画素の各々において取得される画素信号をＡＤ変換する画素信号処理回路が存在し、

前記第１基板と前記第２基板との貼り合わせ面には、前記画素の各々について、前記画素信号を前記画素信号処理回路に伝送するための前記電極接合構造が存在する、

前記（７）に記載の半導体装置。

（９）

前記ビアは、前記半導体基板を貫通する貫通孔内に前記導電材料が埋め込まれた構造を有する、

前記（１）～（８）のいずれか１項に記載の半導体装置。

（１０）

所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、を有する複数の基板をそれぞれ作製する工程と、

前記複数の基板を積層する工程と、

を含み、

前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、

前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアを形成する工程は、

前記基板の一面から前記配線にまで至る貫通孔を形成する工程と、

前記貫通孔の側壁の少なくとも一部領域に、多孔質材料からなる多孔質膜を形成する工程と、

前記多孔質膜が形成された前記貫通孔内に、前記電極及び前記ビアを構成する導電材料を埋め込む工程と、

を含む、

半導体装置の製造方法。

（１１）

前記電極接合構造は、前記貼り合わせ面にそれぞれ形成される前記電極同士が直接接触した状態で前記２つの基板を貼り合わせた後、熱処理を行い、接触している前記電極同士を接合することにより、形成される、

前記（１０）に記載の半導体装置の製造方法。

（１２）

前記多孔質膜を形成する工程は、前記貫通孔の少なくとも側壁に、ポーラスシリカをＣＶＤ法によって成膜する工程を含む、

前記（１０）又は（１１）に記載の半導体装置の製造方法。

（１３）

前記多孔質膜を形成する工程は、

前記貫通孔の側壁の少なくとも一部領域に、SiO_2膜及びＳｉＣＮ膜をこの順に積層する工程と、

ウェットエッチングにより前記SiO_2膜をエッチングする工程と、

を含む、

前記（１０）又は（１１）に記載の半導体装置の製造方法。

（１４）

観察対象を電子的に撮影する固体撮像装置、を備え、

前記固体撮像装置は、

所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、をそれぞれ有する複数の基板が積層されて構成され、

前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、

前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアの少なくともいずれかについては、前記電極及び前記ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する、

電子機器。

符号の説明

[0193] １　半導体装置

１０１、１２１、１３１　Ｓｉ基板

１０３、１０９、１２３、１２９、１３３、２０２　絶縁膜

１０５、１２５、１３５　多層配線層

１１０Ａ　第１基板

１１０Ｂ　第２基板

１１０Ｃ　第３基板

１１１　ＣＦ層

１１３　ＭＬアレイ

１５１　パッド

１５３ａ、１５３ｂ　パッド開口部

１５９、１５９ａ、１５９ｂ　電極接合構造

１６１、１６２、１６３、１６３ａ、１６３ｂ、１６４、２０６、２０８　電極

１７１、１７２、１７３、１７３ａ、１７３ｂ、１７４、２０５、２０７　ビア

１８１、１８２　配線

２０１　貫通孔

２０３　バリアメタル膜

２０４　Ｃｕ

２１１　ポーラス膜

２３１、２５１　　ＳｉＮ膜

２５２　　SiO_2膜

２５３　　ＳｉＣＮ膜

２６２　　ピンホール

２６３　　空孔

３０１　　スマートフォン（電子機器）

３１１　　デジタルカメラ（電子機器）

請求の範囲

[請求項1] 所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、をそれぞれ有する複数の基板が積層されて構成され、

前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、

前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアの少なくともいずれかについては、前記電極及び前記ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する、

半導体装置。

[請求項2] 前記多孔質膜は、多孔質化されたＳｉＯ$_2$膜である、

請求項１に記載の半導体装置。

[請求項3] 前記電極及び前記ビアを構成する導電材料はＣｕであり、

前記Ｃｕと、前記Ｃｕが埋め込まれている前記貫通孔の側壁と、の間には、当該側壁側から順に、絶縁材料、バリアメタル、及び前記多孔質材料が、この順に存在する、

請求項２に記載の半導体装置。

[請求項4] 前記電極及び前記ビアを構成する導電材料はＣｕであり、

前記Ｃｕと、前記Ｃｕが埋め込まれている前記貫通孔の側壁と、の間には、当該側壁側から順に、ＳｉＮ及び前記多孔質材料が、この順に存在する、

請求項２に記載の半導体装置。

[請求項5] 前記電極及び前記ビアを構成する導電材料はＣｕであり、

前記Ｃｕと、前記Ｃｕが埋め込まれている前記貫通孔の側壁と、の間には、当該側壁側から順に、ＳｉＮ、前記多孔質材料、ＳｉＣＮ、及びバリアメタルが、この順に存在する、

請求項２に記載の半導体装置。

[請求項6] 前記電極及び前記ビアを構成する導電材料と、前記導電材料が埋め込まれている貫通孔の側壁と、の間の全面に渡って、前記多孔質膜が存在する、

請求項１に記載の半導体装置。

[請求項7] 前記複数の基板のうちの１つである第１基板は、前記半導体基板上に画素が２次元状に配列された画素部が存在する画素基板であり、

前記半導体装置は固体撮像装置である、

請求項１に記載の半導体装置。

[請求項8] 前記複数の基板のうち、前記第１基板の直下に存在する第２基板には、前記画素の各々において取得される画素信号をＡＤ変換する画素信号処理回路が存在し、

前記第１基板と前記第２基板との貼り合わせ面には、前記画素の各々について、前記画素信号を前記画素信号処理回路に伝送するための前記電極接合構造が存在する、

請求項７に記載の半導体装置。

[請求項9] 前記ビアは、前記半導体基板を貫通する貫通孔内に前記導電材料が埋め込まれた構造を有する、

請求項１に記載の半導体装置。

[請求項10] 所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、を有する複数の基板をそれぞれ作製する工程と、

前記複数の基板を積層する工程と、

を含み、

前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面に

は、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、

前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアを形成する工程は、

前記基板の一面から前記配線にまで至る貫通孔を形成する工程と、

前記貫通孔の側壁の少なくとも一部領域に、多孔質材料からなる多孔質膜を形成する工程と、

前記多孔質膜が形成された前記貫通孔内に、前記電極及び前記ビアを構成する導電材料を埋め込む工程と、

を含む、

半導体装置の製造方法。

[請求項11] 前記電極接合構造は、前記貼り合わせ面にそれぞれ形成される前記電極同士が直接接触した状態で前記２つの基板を貼り合わせた後、熱処理を行い、接触している前記電極同士を接合することにより、形成される、

請求項１０に記載の半導体装置の製造方法。

[請求項12] 前記多孔質膜を形成する工程は、前記貫通孔の少なくとも側壁に、ポーラスシリカをＣＶＤ法によって成膜する工程を含む、

請求項１１に記載の半導体装置の製造方法。

[請求項13] 前記多孔質膜を形成する工程は、

前記貫通孔の側壁の少なくとも一部領域に、SiO_2膜及びＳｉＣＮ膜をこの順に積層する工程と、

ウェットエッチングにより前記SiO_2膜をエッチングする工程と、

を含む、

請求項１１に記載の半導体装置の製造方法。

[請求項14] 観察対象を電子的に撮影する固体撮像装置、を備え、

前記固体撮像装置は、

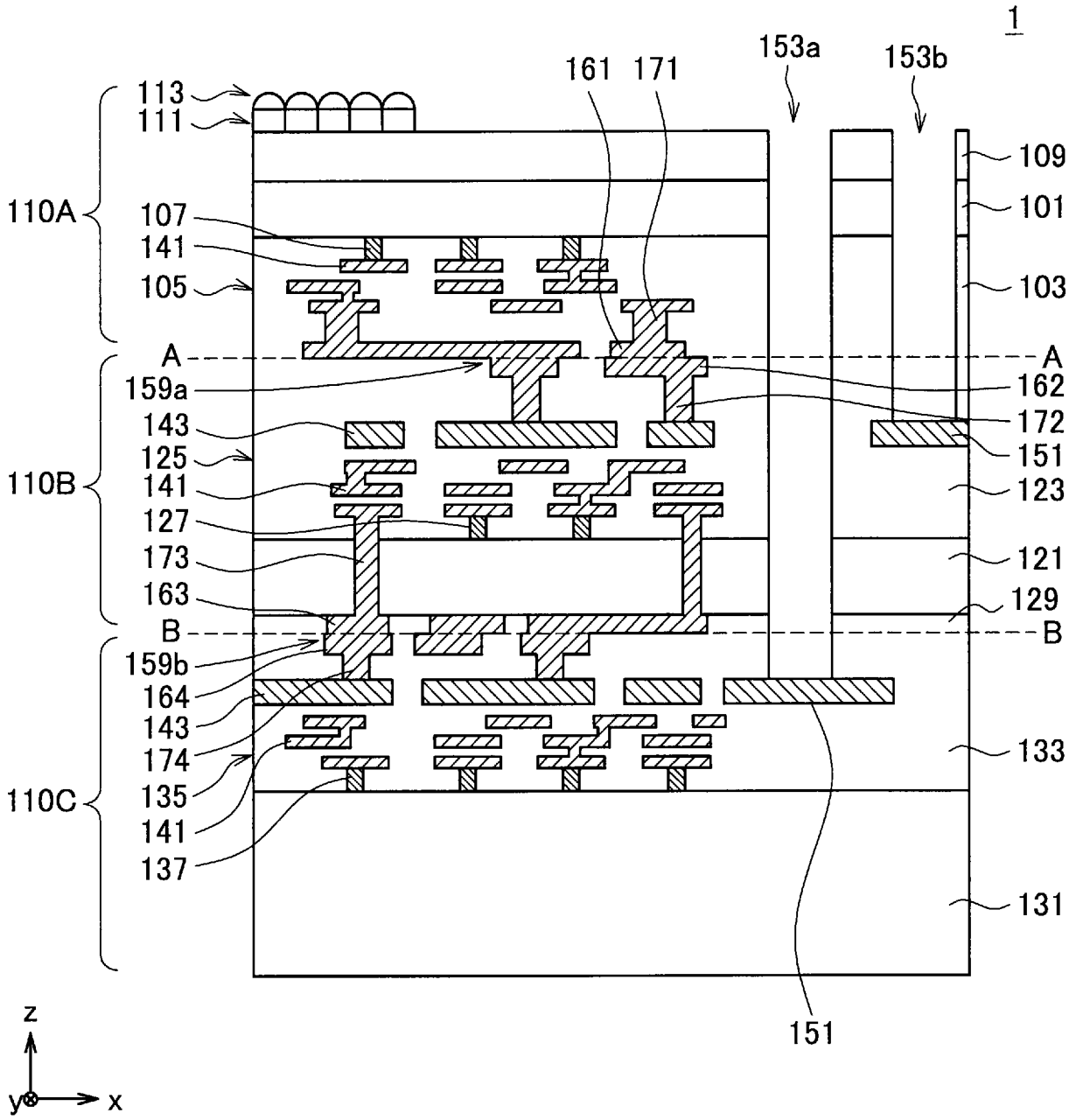
所定の機能を有する回路が形成された半導体基板と、前記半導体基板上に積層される多層配線層と、をそれぞれ有する複数の基板が積層されて構成され、

前記複数の基板のうちの少なくとも２つの基板間の貼り合わせ面には、当該２つの基板間を電気的に接続するための構造であって、前記貼り合わせ面にそれぞれ形成される電極同士が直接接触した状態で接合している電極接合構造が存在し、

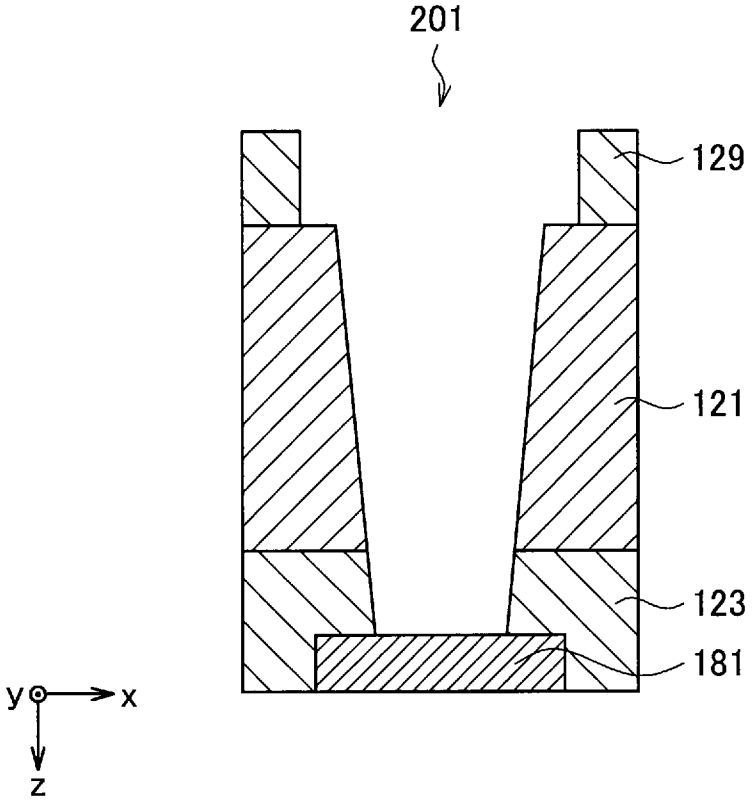
前記２つの基板のうちの少なくともいずれかにおいて、前記電極接合構造を構成する電極、及び前記電極を前記多層配線層内の配線に接続するためのビアの少なくともいずれかについては、前記電極及び前記ビアを構成する導電材料と、当該導電材料が埋め込まれている貫通孔の側壁と、の間の少なくとも一部領域に、多孔質材料からなる多孔質膜が存在する、

電子機器。

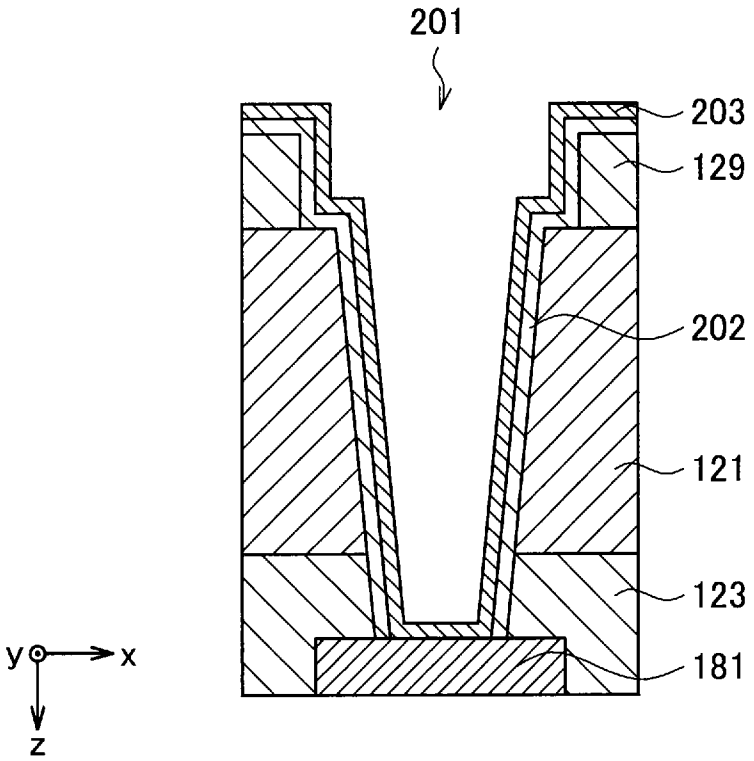
[図1]


1
153a
153b
161
171
113
111
110A
107
141
105
109
101
103
A
A
159a
162
143
172
125
151
110B
141
123
127
173
121
163
129
B
B
159b
164
143
174
133
110C
135
141
137
131
151
z
y
x

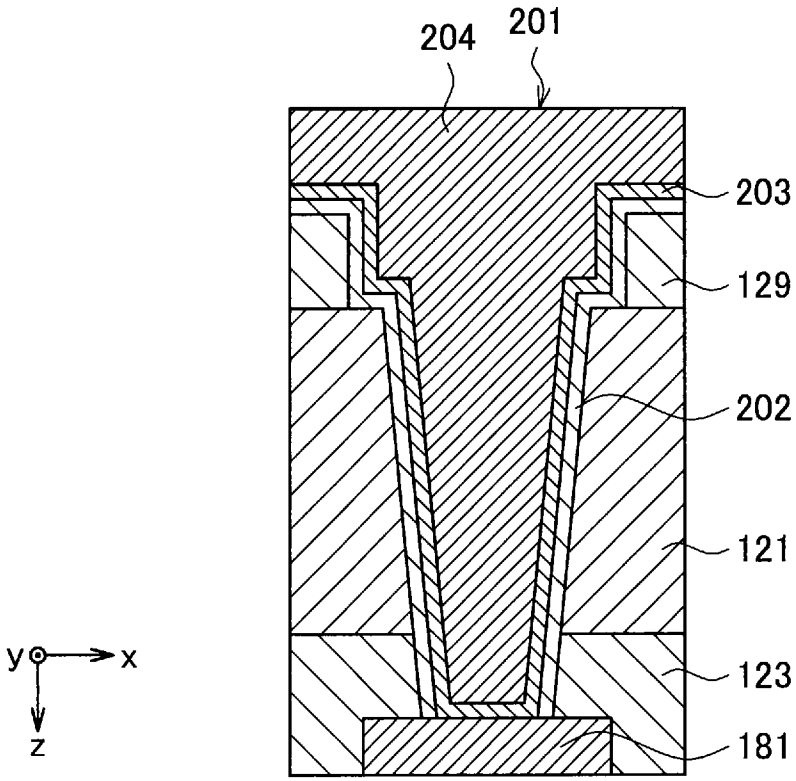
[図2A]



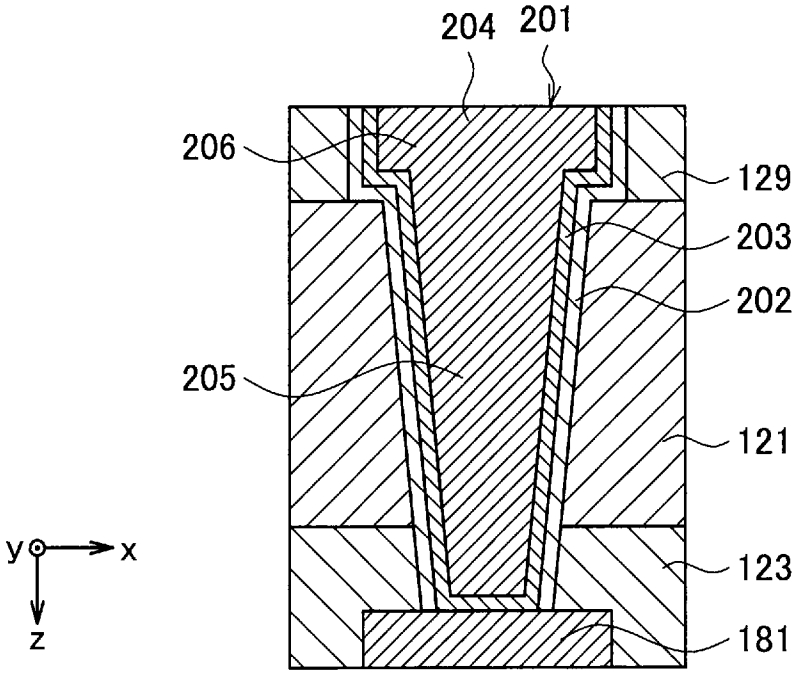
[図2B]



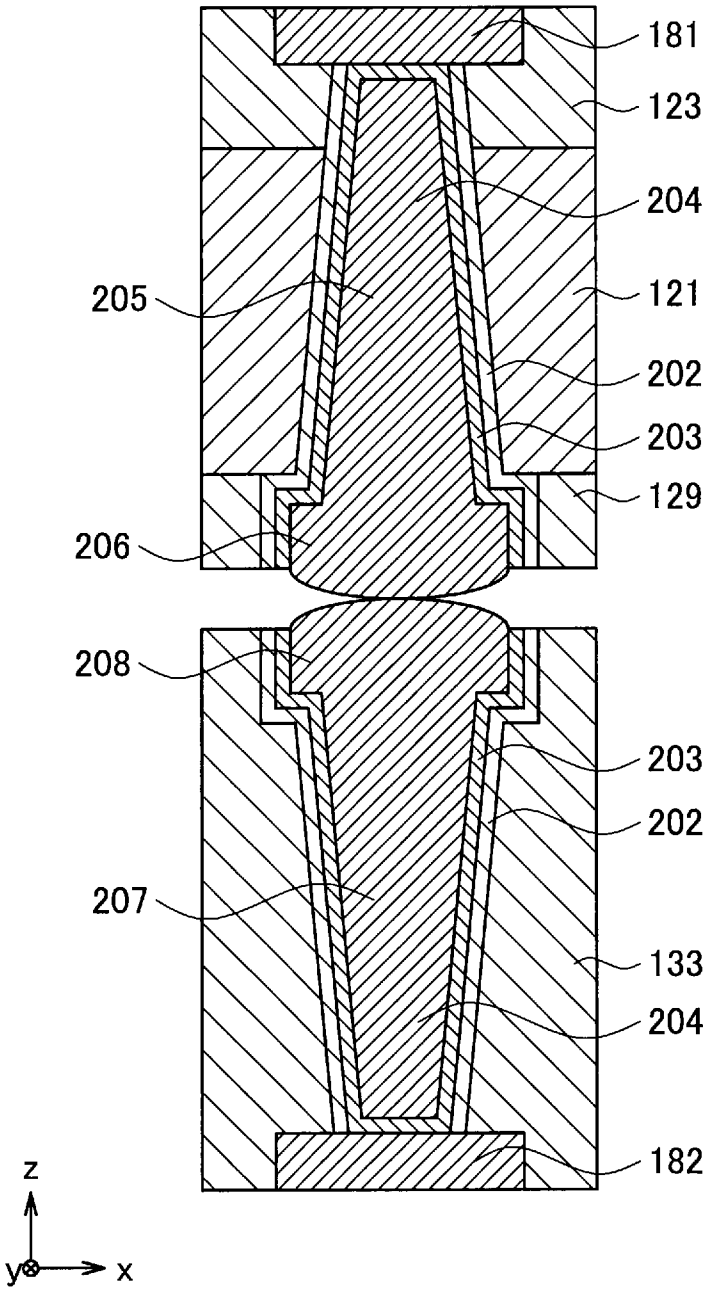
[図2C]


204
201
203
129
202
121
123
181
y
x
z

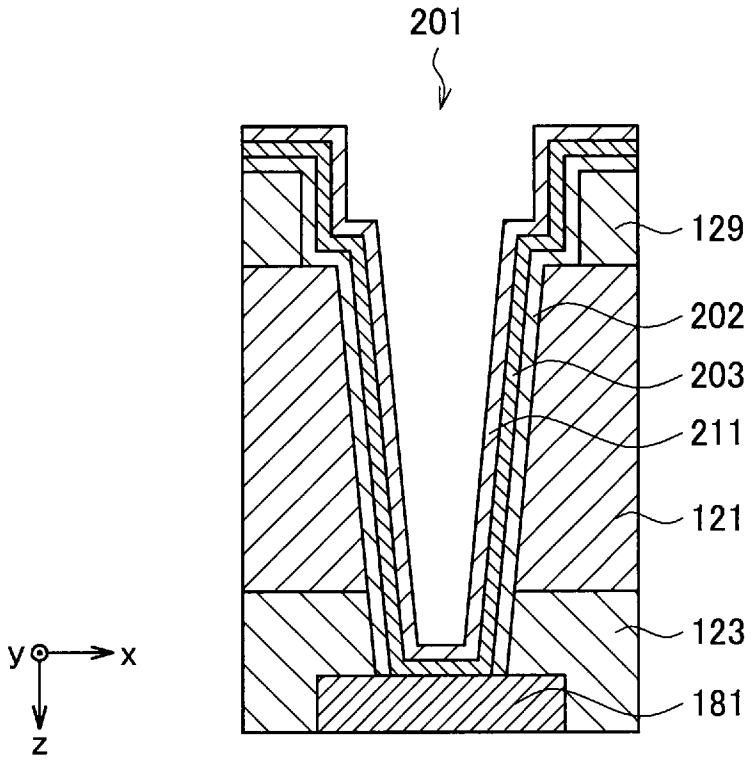
[図2D]


204
201
206
129
203
202
205
121
123
181
y
x
z

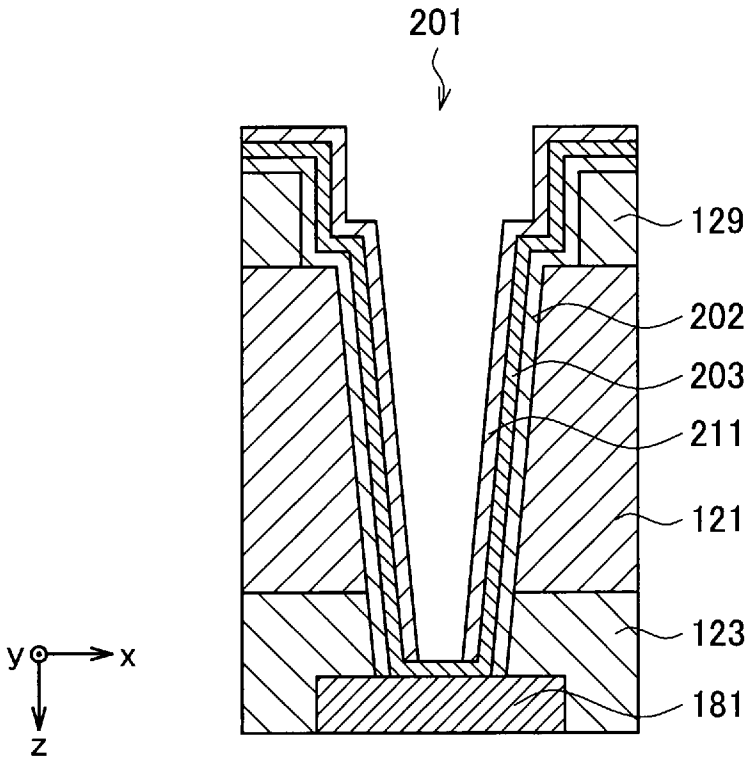
[図3]


181
123
204
205
121
202
203
129
206
208
203
202
207
133
204
182
z
y
x

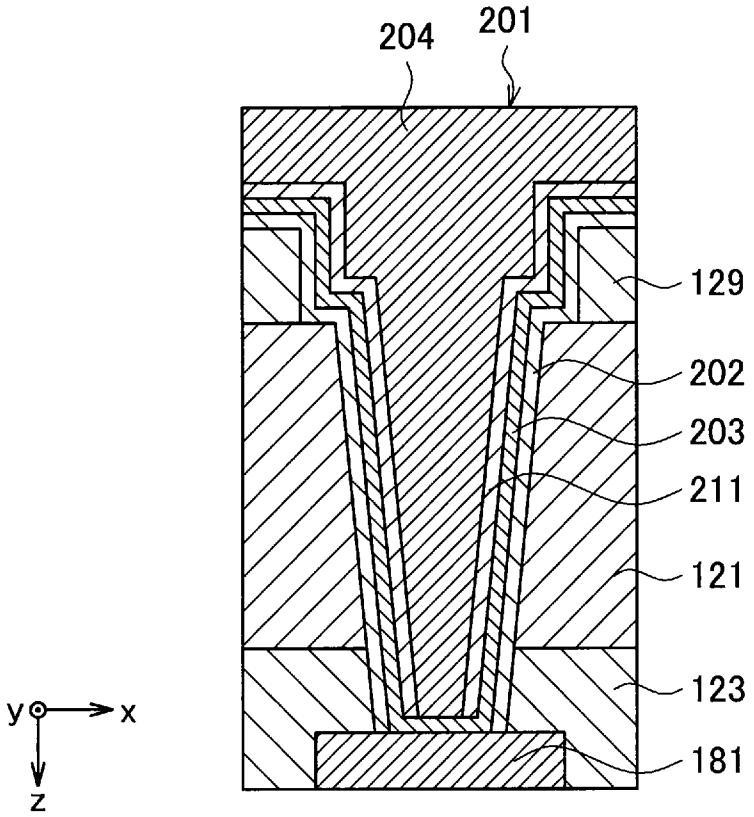
[図4A]


201
129
202
203
211
121
123
181
y
x
z

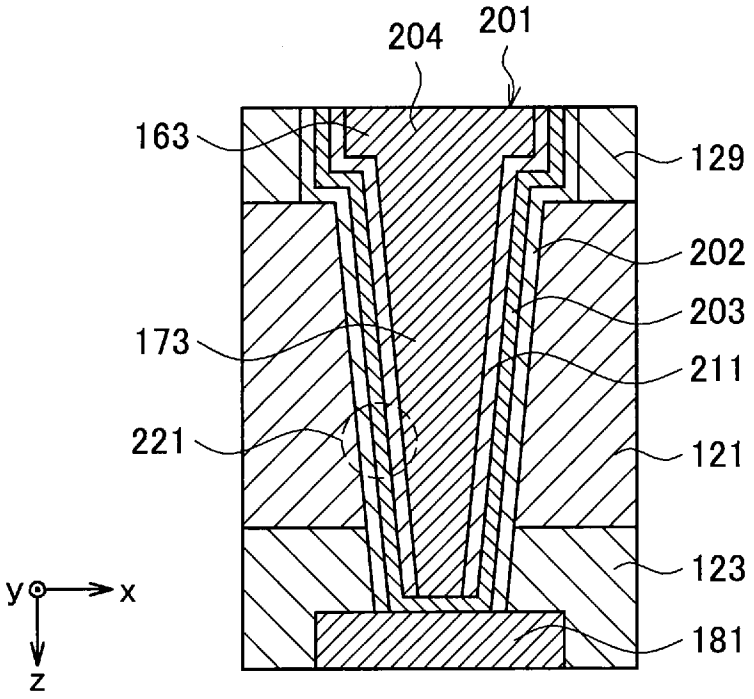
[図4B]


201
129
202
203
211
121
123
181
y
x
z

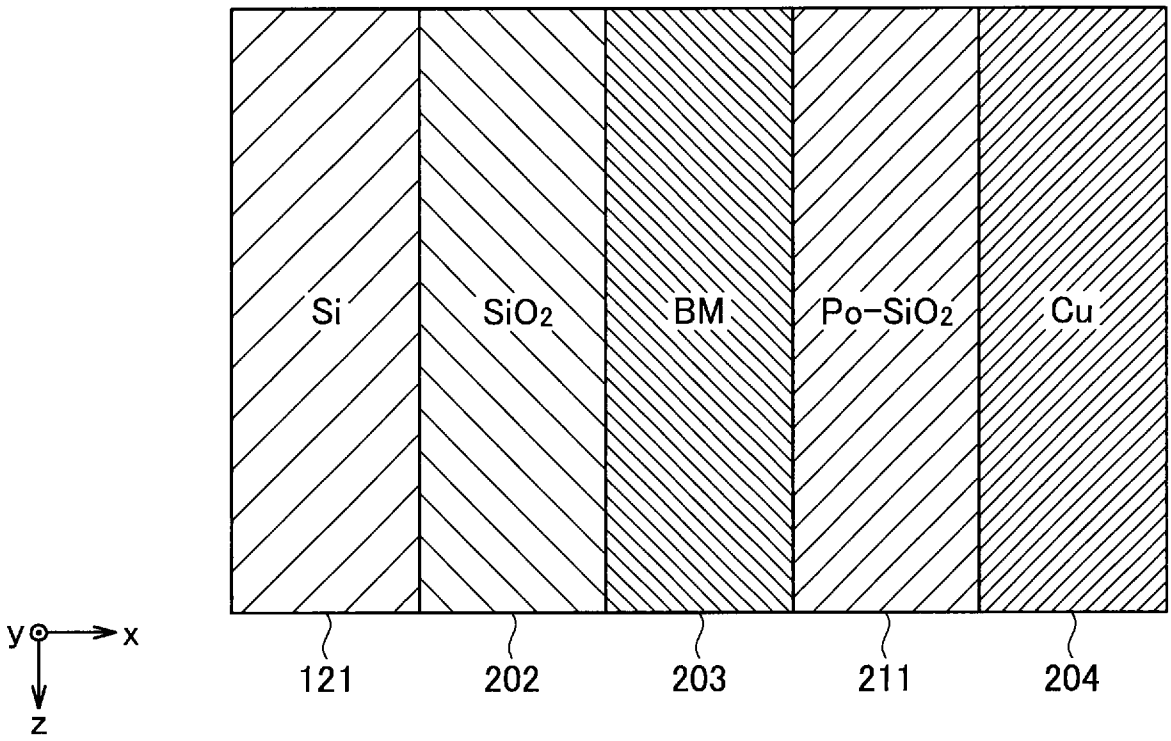
[図4C]


204
201
129
202
203
211
121
123
181
y
x
z

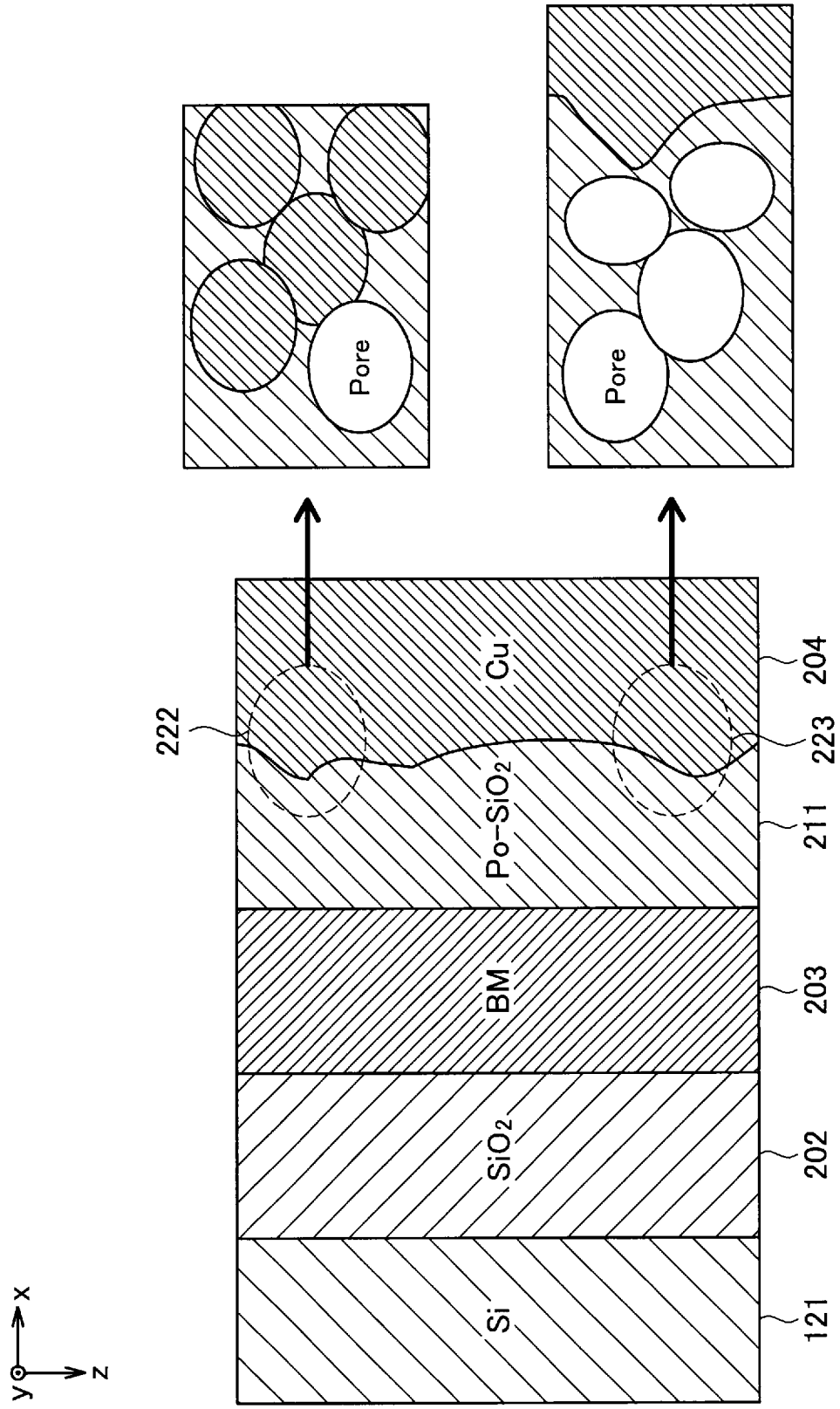
[図4D]


204
201
163
129
202
203
173
211
221
121
123
181
y
x
z

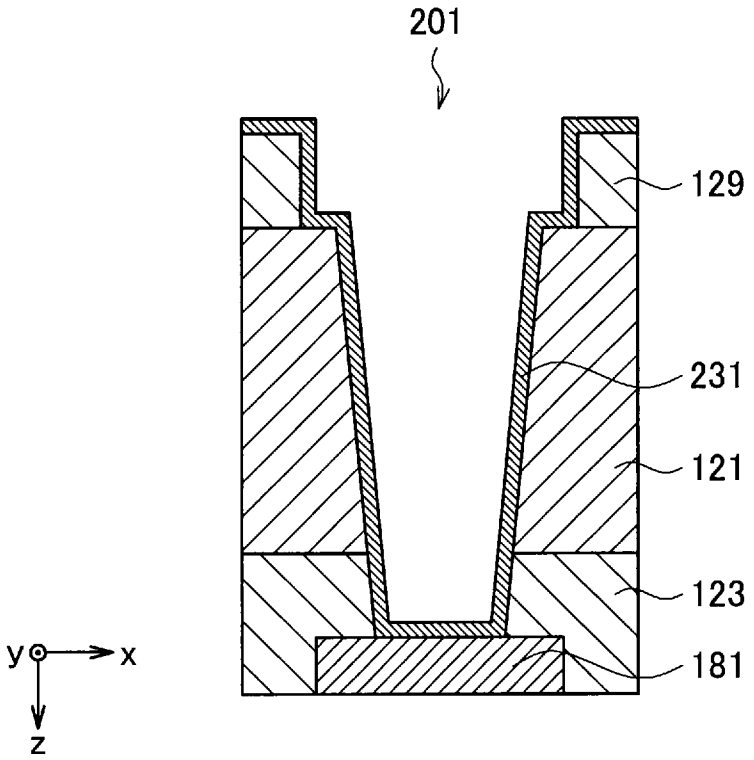
[図5]



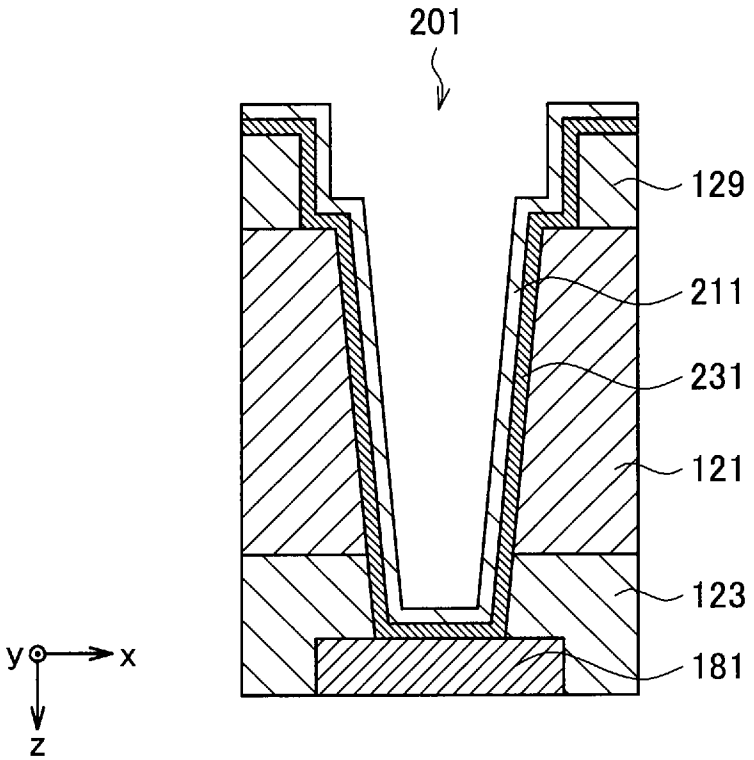
[図6]



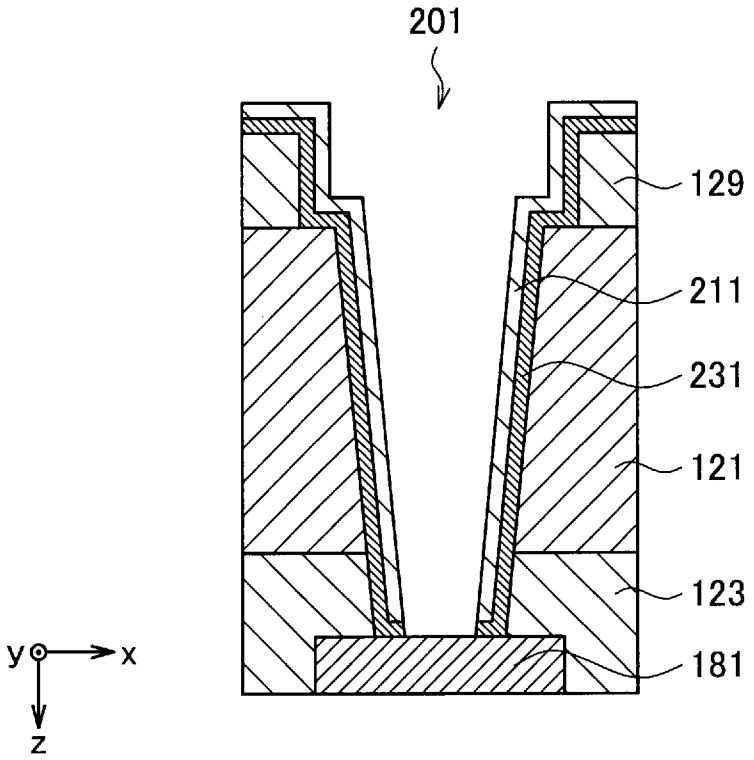
[図7A]



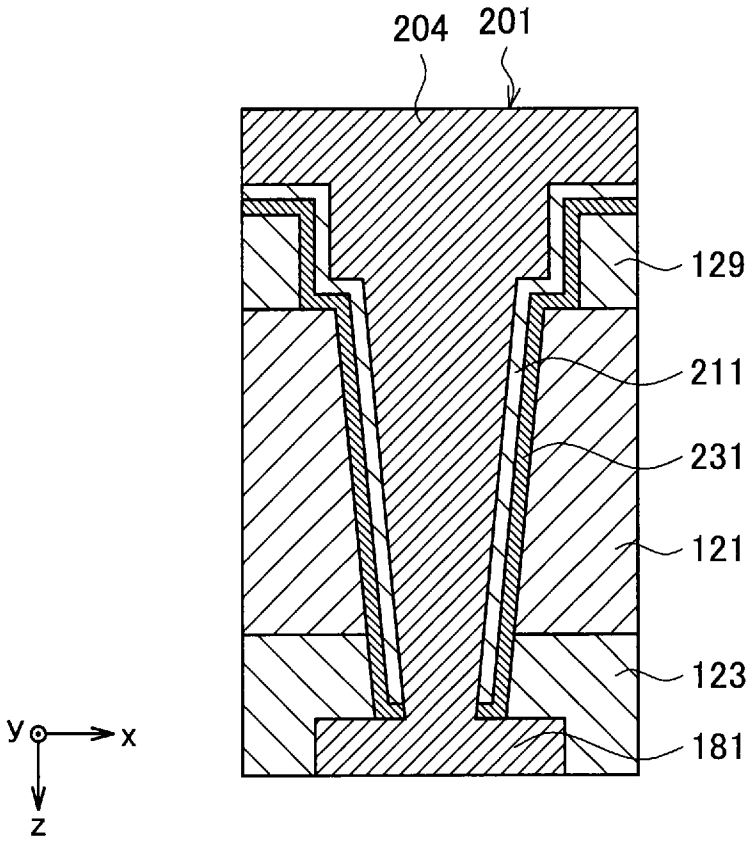
[図7B]



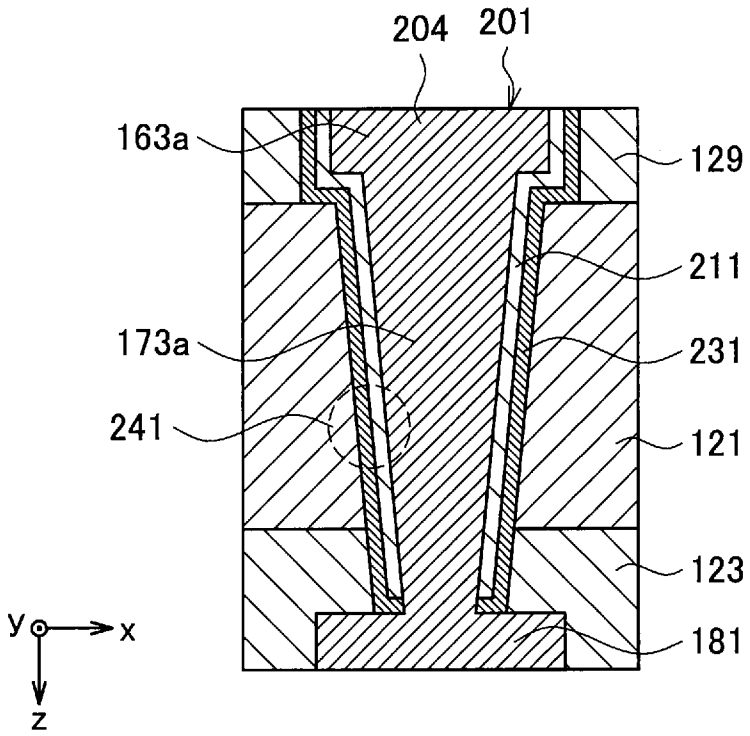
[図7C]


201
129
211
231
121
123
181
y
x
z

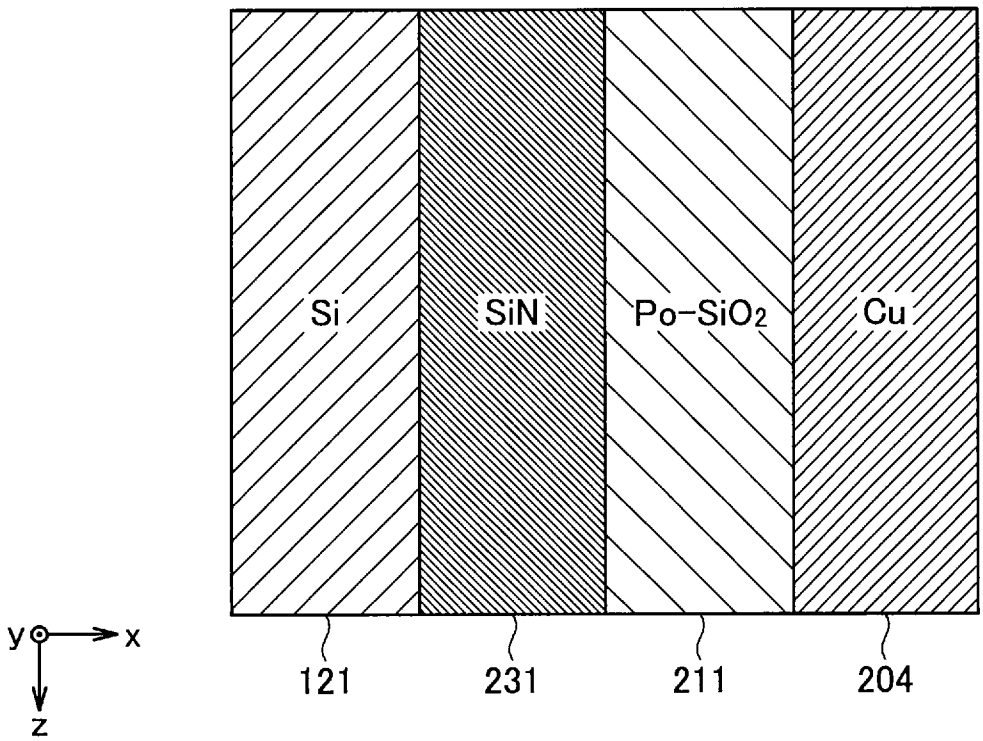
[図7D]


204
201
129
211
231
121
123
181
y
x
z

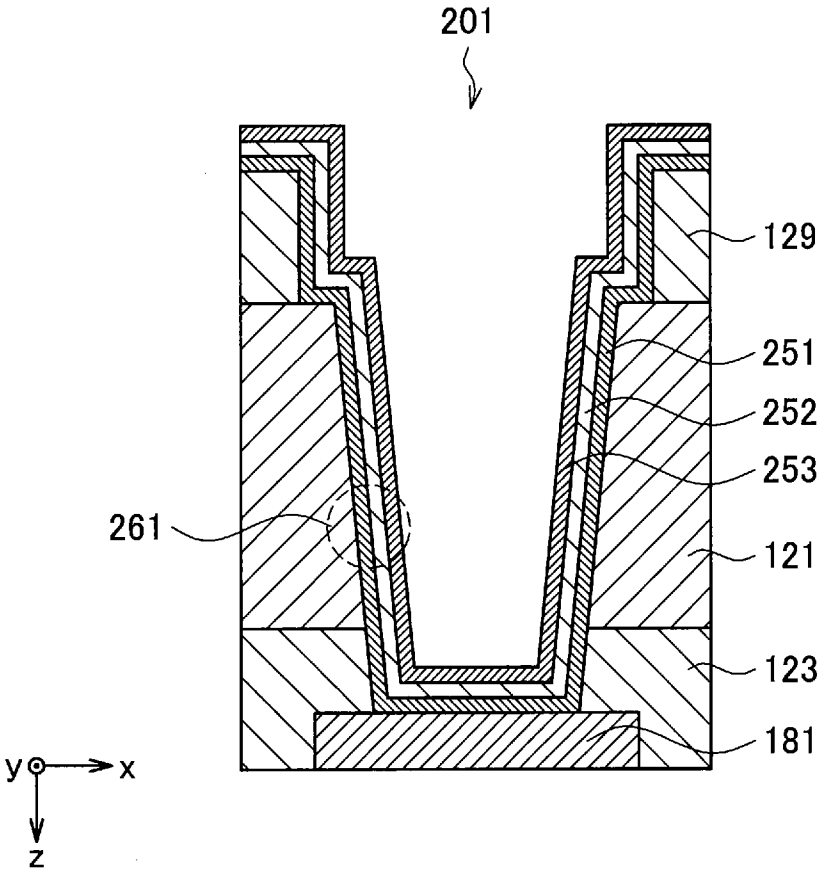
[図7E]


204
201
163a
129
211
173a
231
241
121
123
181
y
x
z

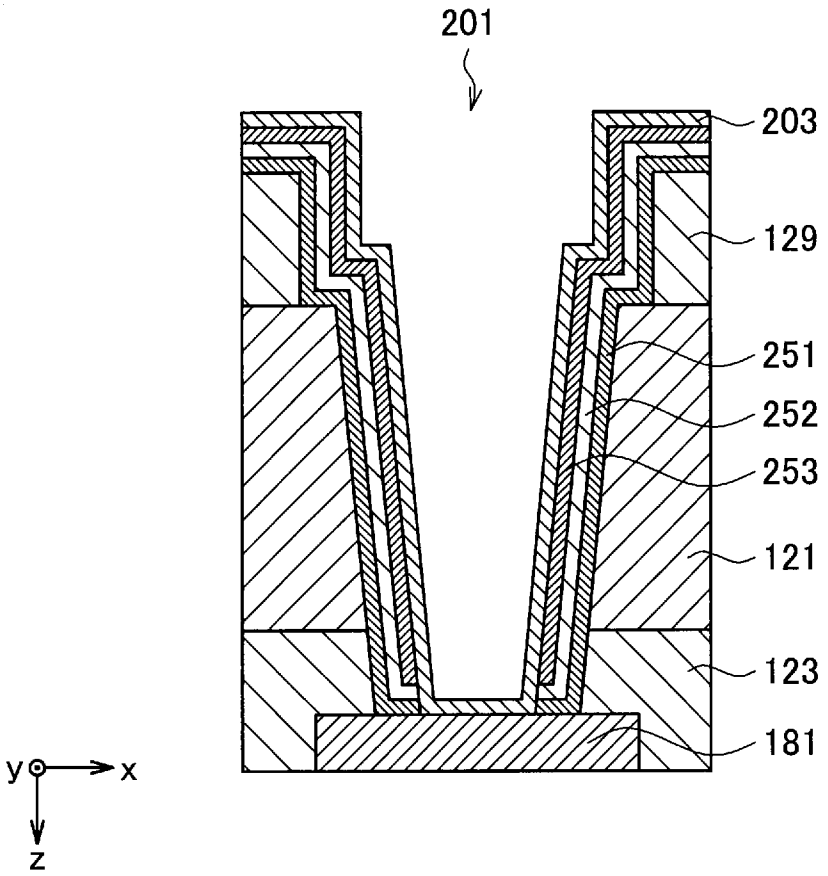
[図8]


Si
SiN
Po-SiO2
Cu
121
231
211
204
y
x
z

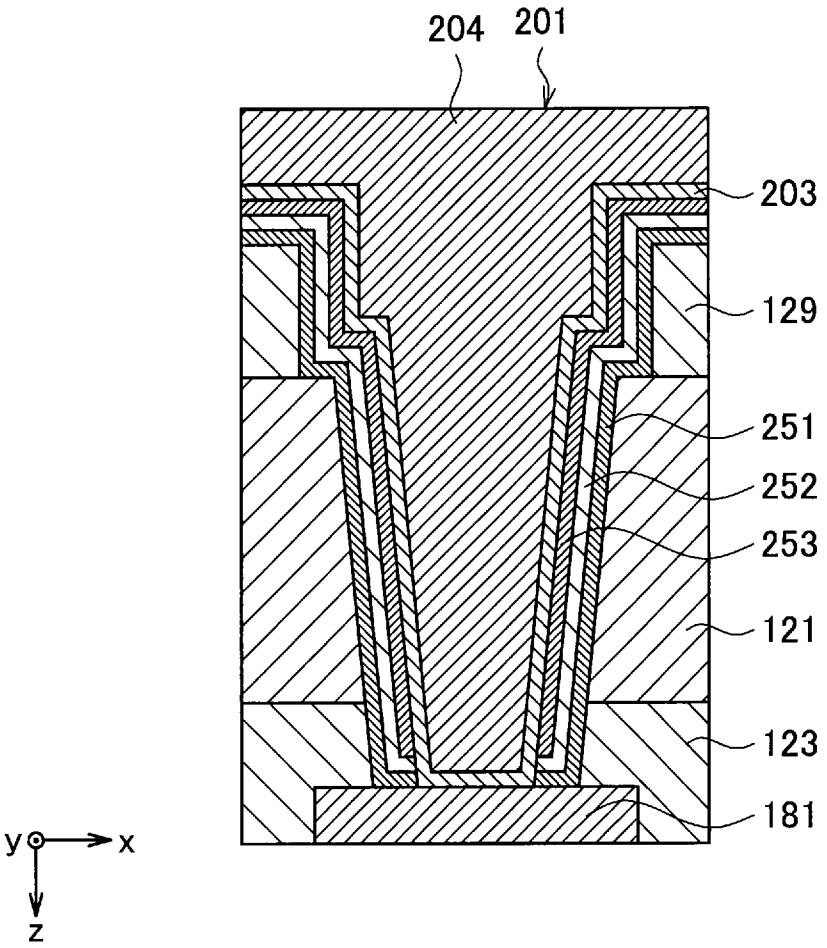
[図9A]


201
129
251
252
253
261
121
123
181
y
x
z

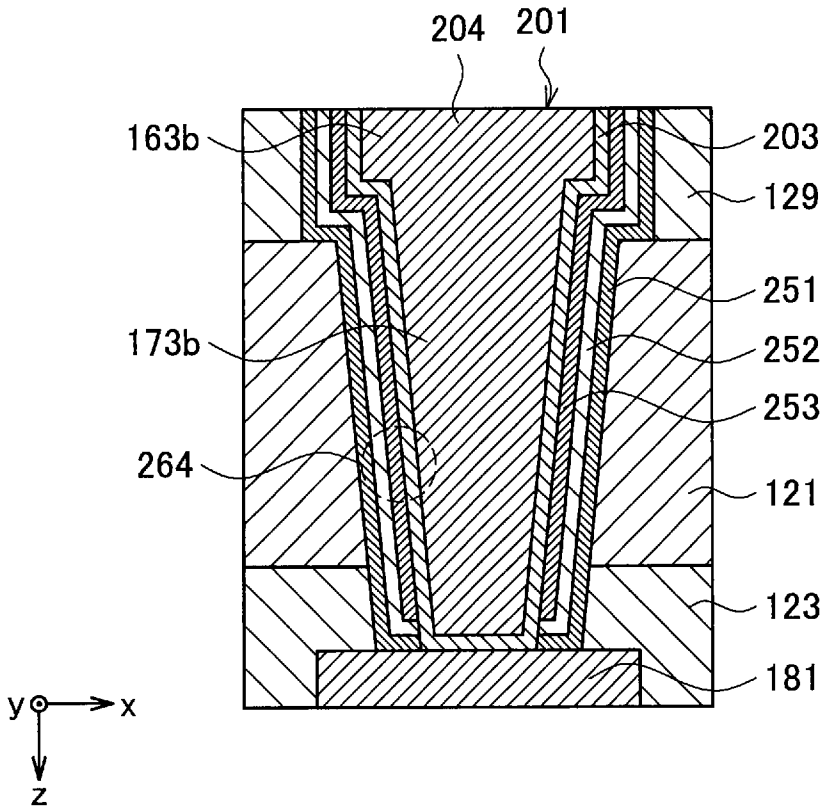
[図9B]


201
203
129
251
252
253
121
123
181
y
x
z

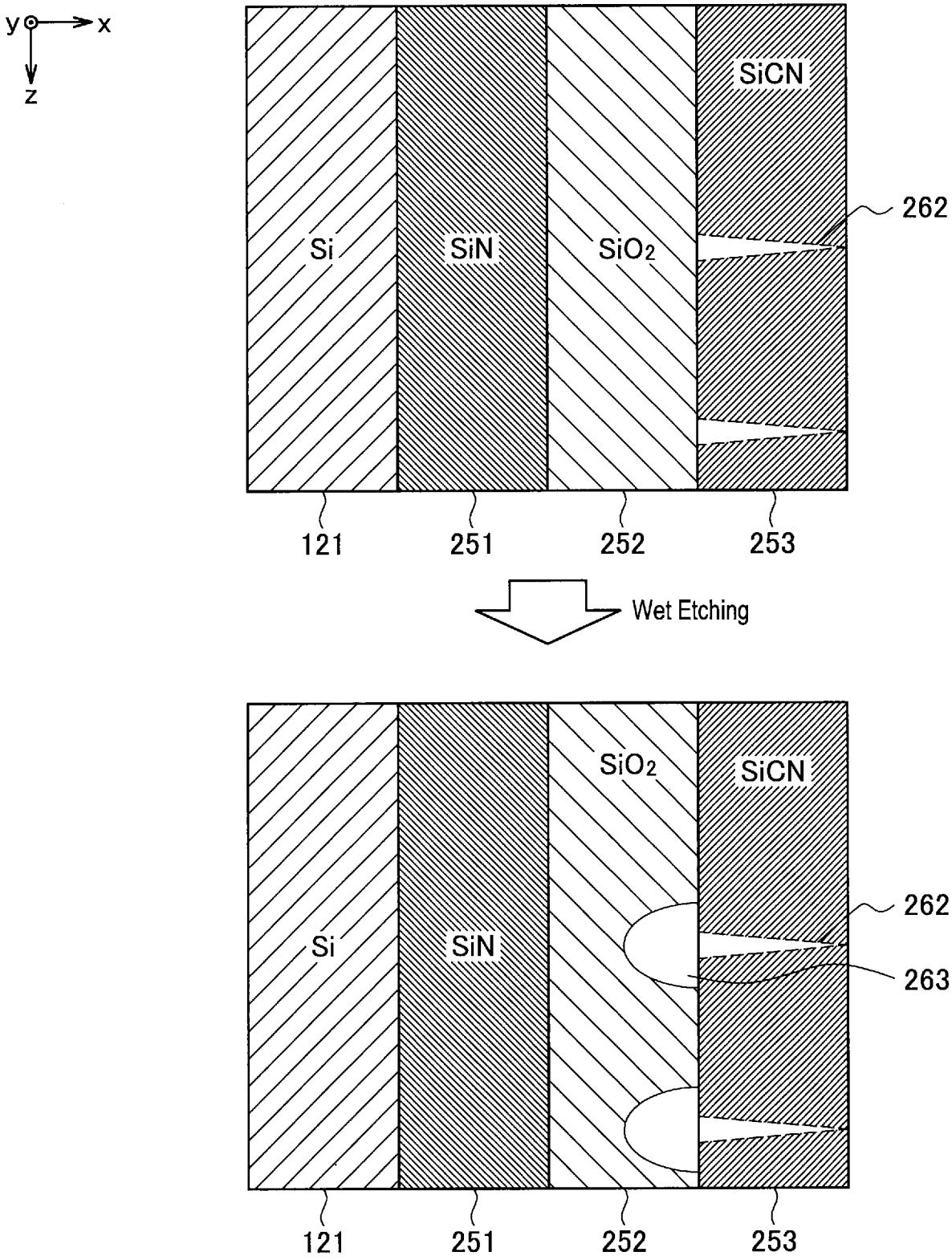
[図9C]



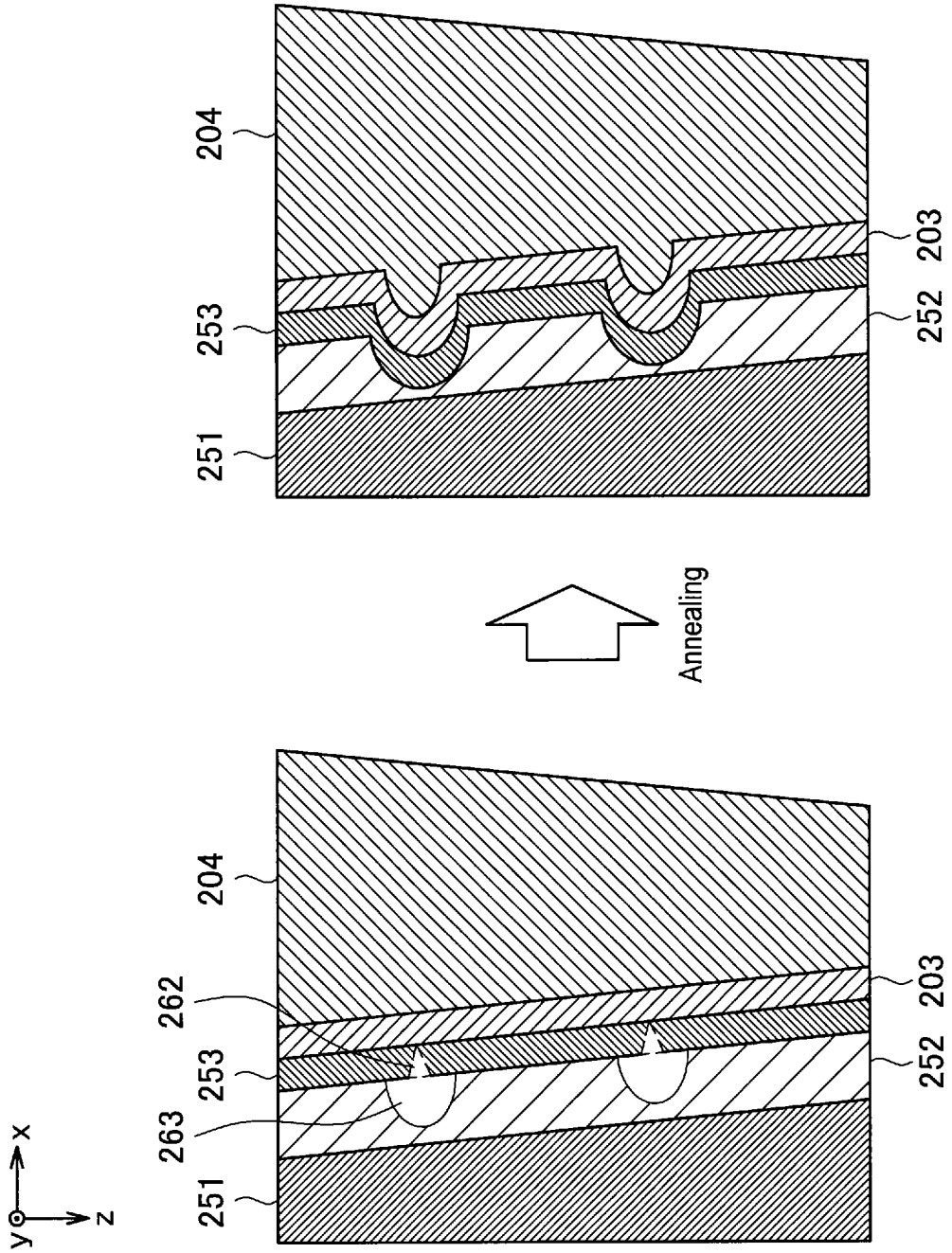
[図9D]



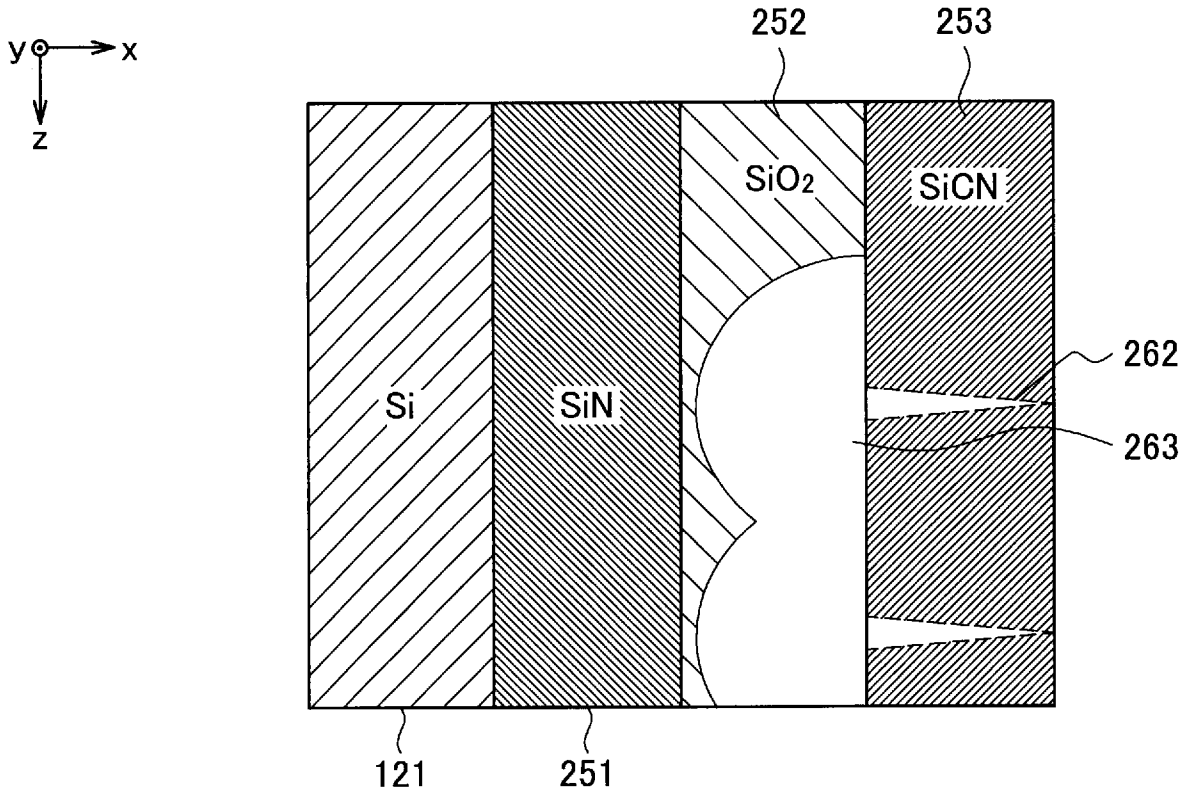
[図10]


y
x
z
Si
SiN
SiO2
SiCN
262
121
251
252
253
Wet Etching
Si
SiN
SiO2
SiCN
262
263
121
251
252
253

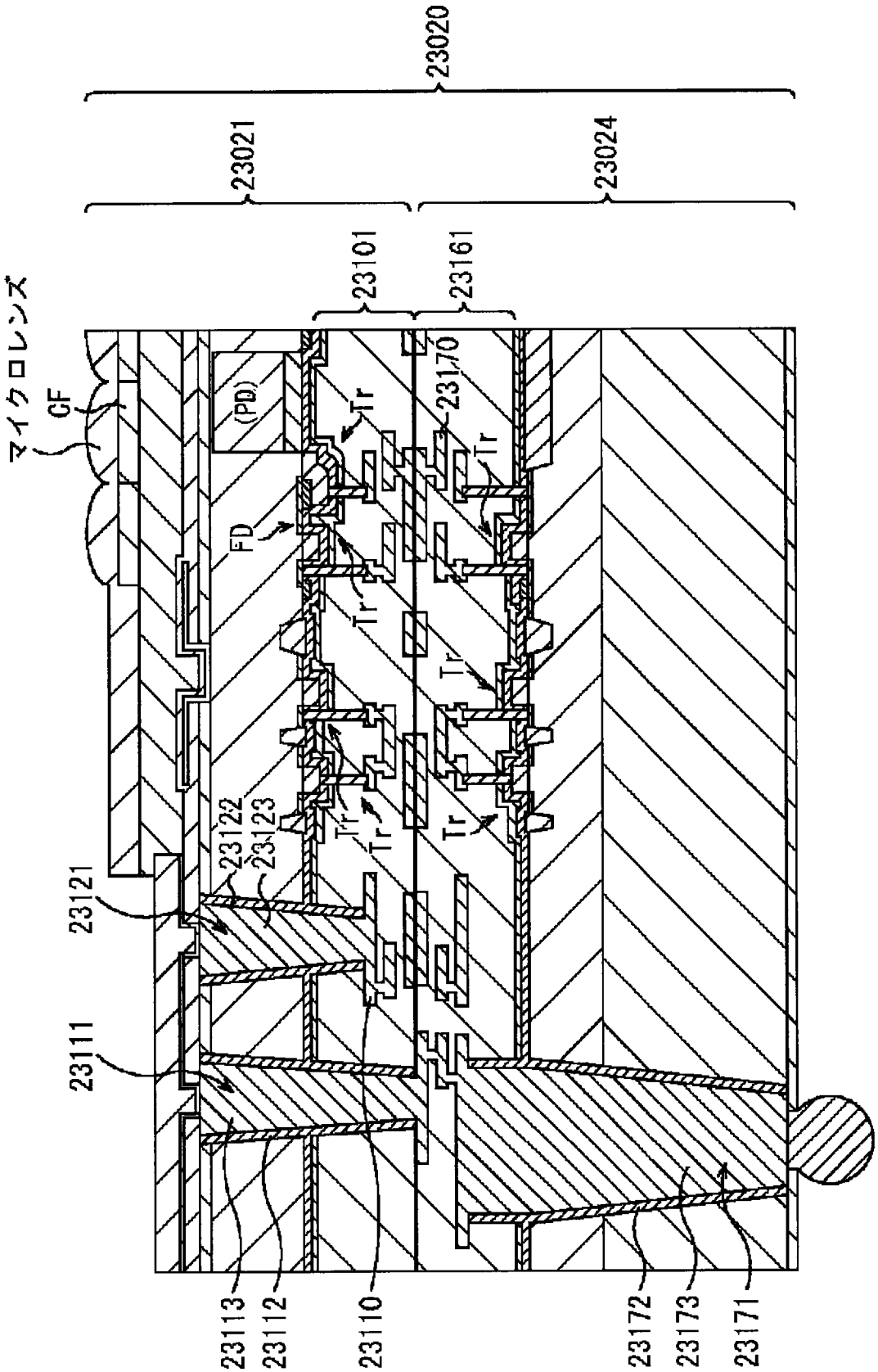
[図11]



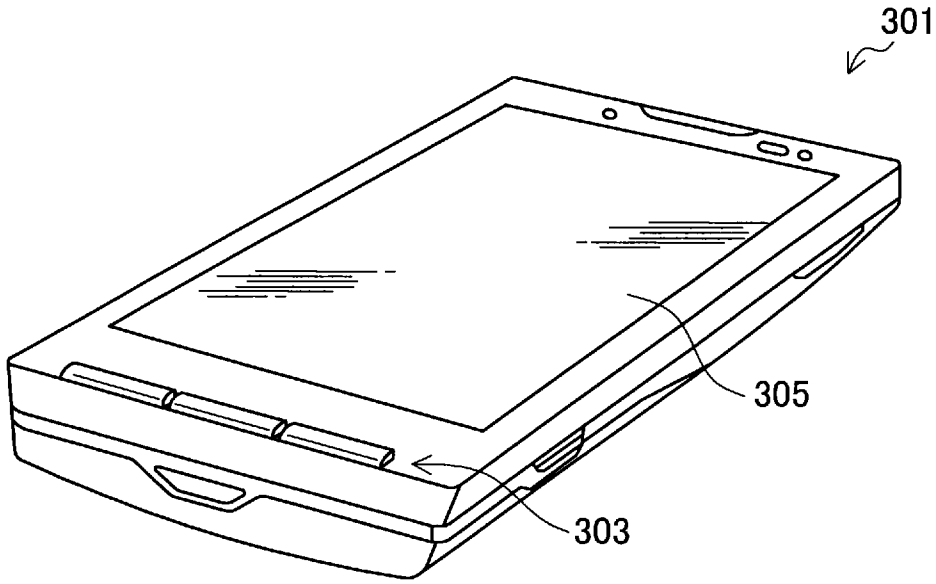
[図12]



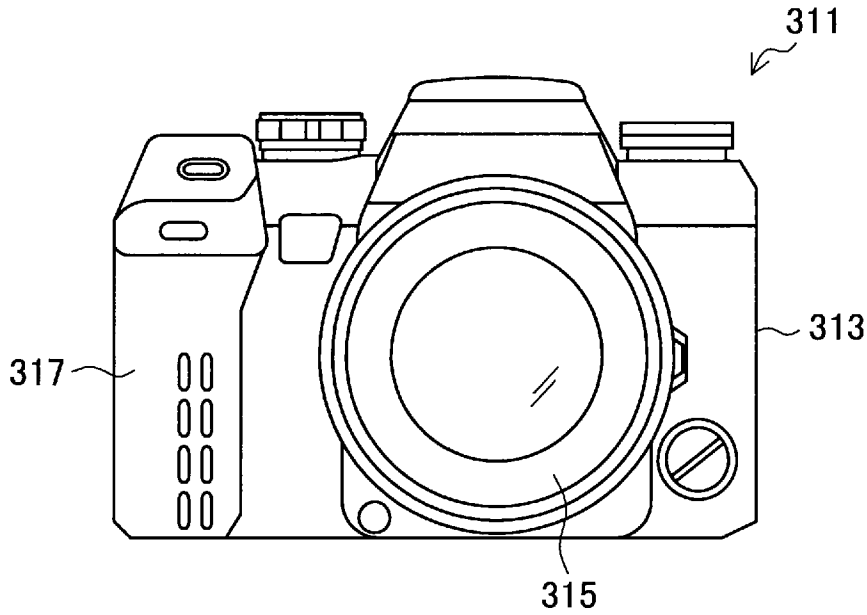
[図13]


23020
23021
23024
23101
23161
マイクロレンズ
CF
(PD)
FD
Tr
23170
23121
23122
23123
23111
23113
23112
23110
23172
23173
23171

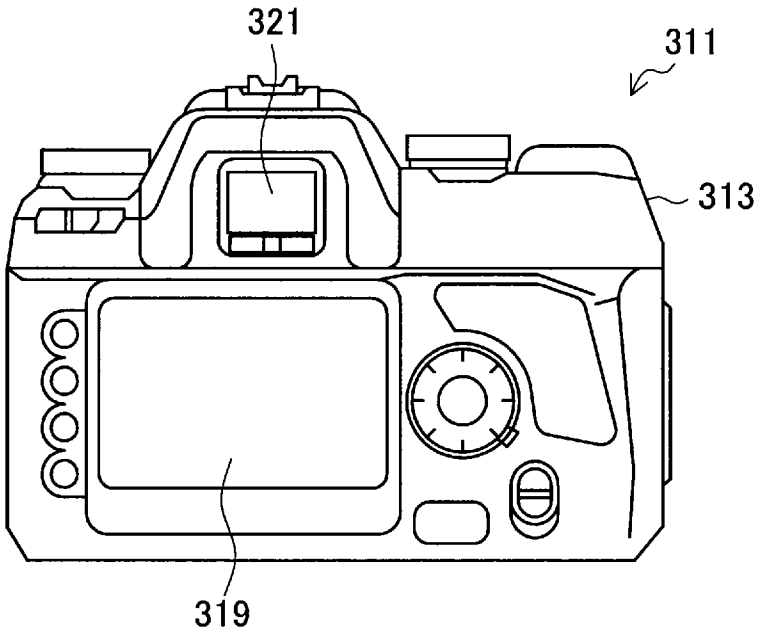
[図14]



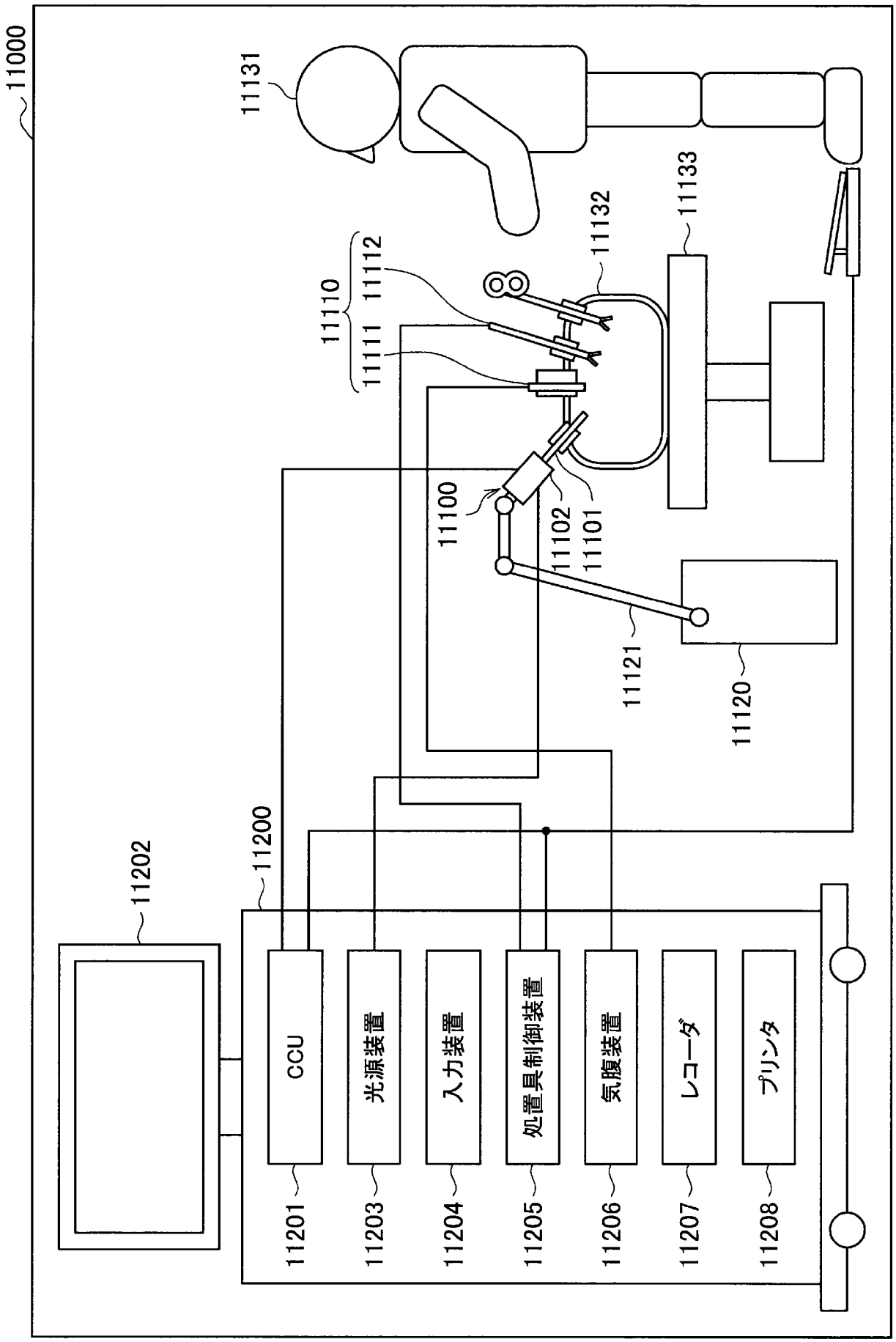
[図15]



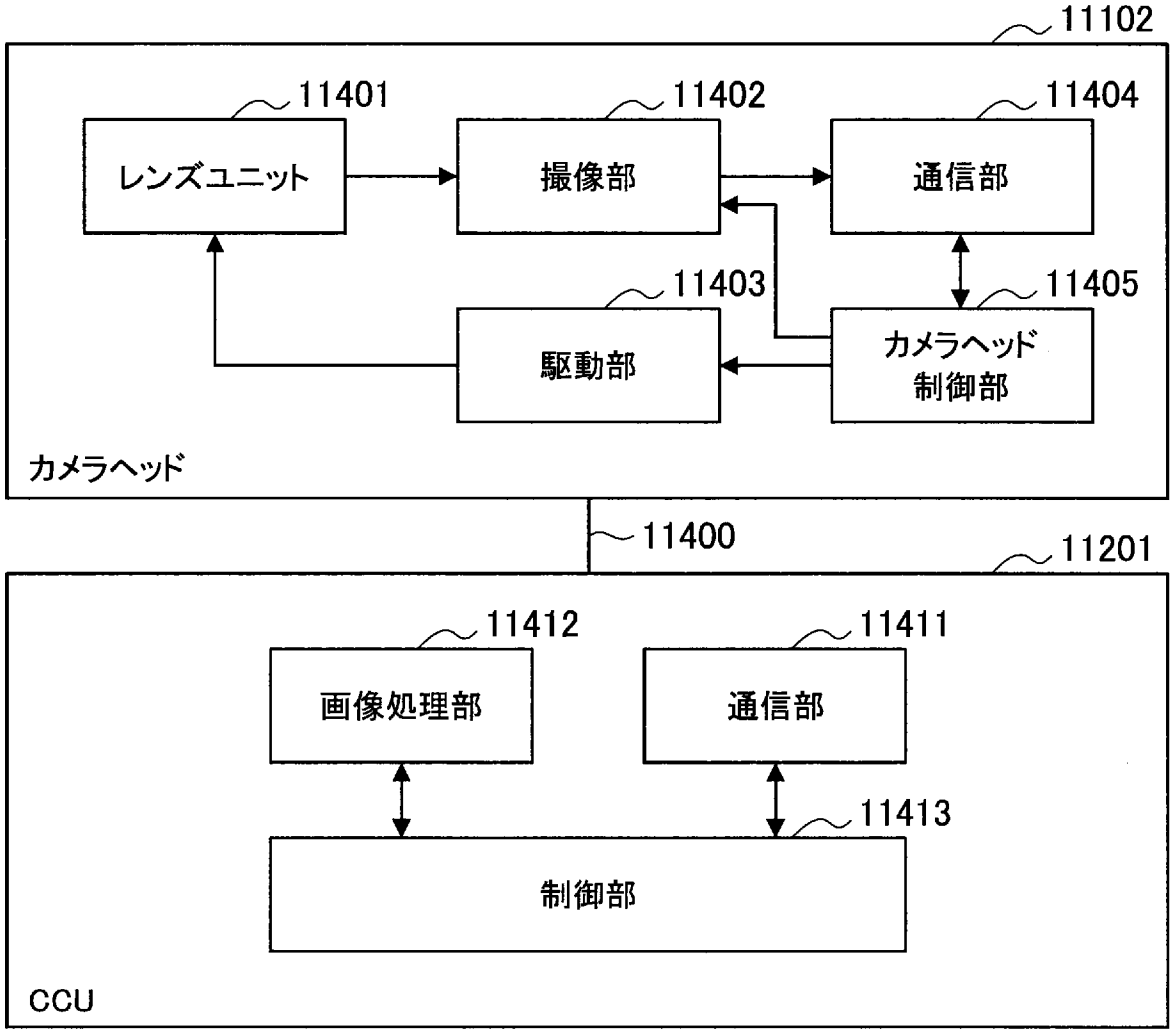
[図16]



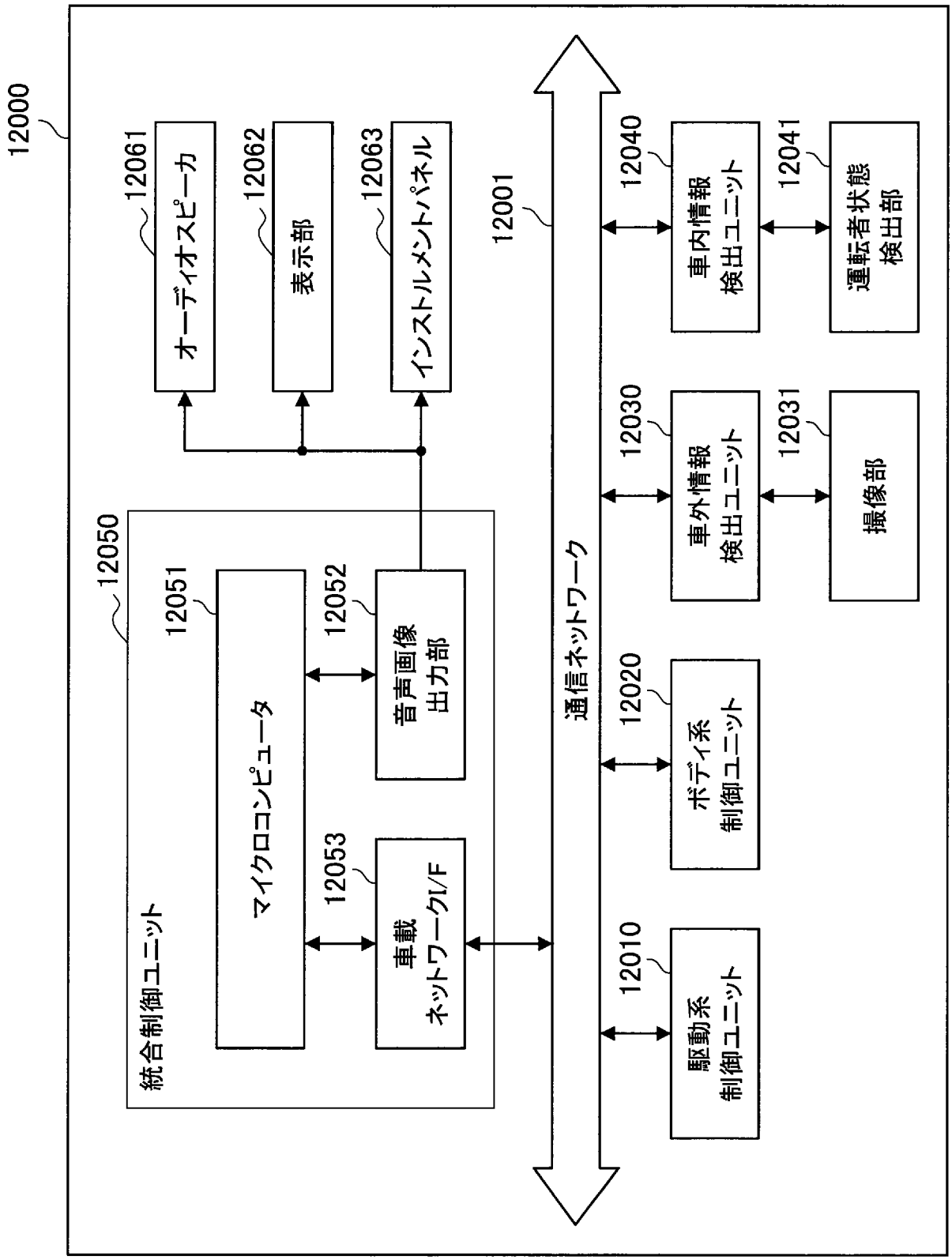
[図17]


11000
11131
11133
11132
11110
11112
11111
11100
11102
11101
11121
11120
11200
11202
CCU
光源装置
入力装置
処置具制御装置
気腹装置
レコーダ
プリンタ
11201
11203
11204
11205
11206
11207
11208

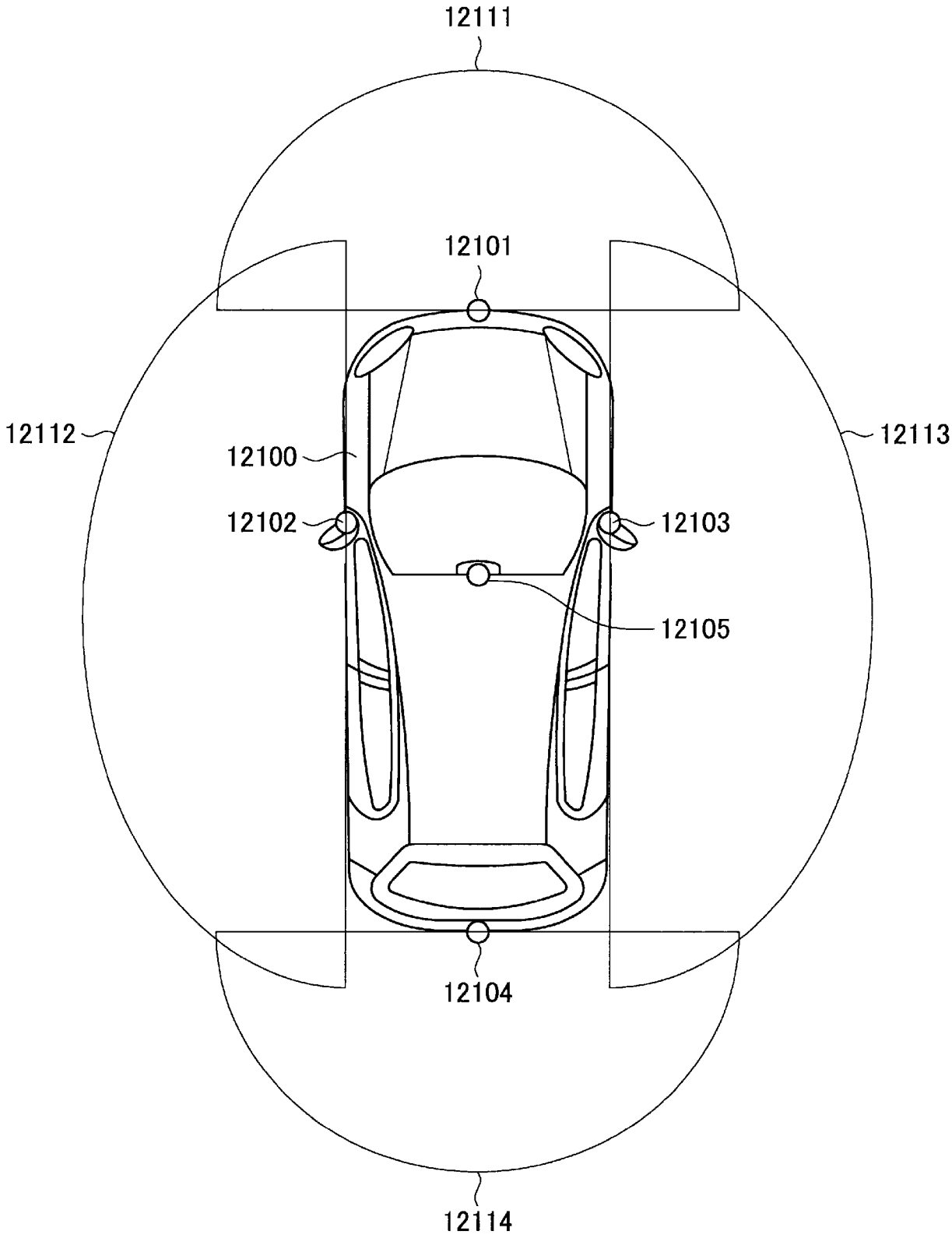
[図18]


11102
11401
11402
11404
レンズユニット
撮像部
通信部
11403
11405
駆動部
カメラヘッド
制御部
カメラヘッド
11400
11201
11412
11411
画像処理部
通信部
11413
制御部
CCU

[図19]


12000
12001
通信ネットワーク
12010
駆動系
制御ユニット
12020
ボディ系
制御ユニット
12030
車外情報
検出ユニット
12031
撮像部
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12050
統合制御ユニット
12051
マイクロコンピュータ
12052
音声画像
出力部
12053
車載
ネットワークI/F
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル

[図20]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/005280

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/8234(2006.01)i, H01L23/522(2006.01)i, H01L23/532(2006.01)i, H01L27/00(2006.01)i, H01L27/088(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/3205, H01L21/768, H01L21/8234, H01L23/522, H01L23/532, H01L27/00, H01L27/088, H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2016-171256 A (TOSHIBA CORPORATION) 23 September 2016, paragraphs [0019]-[0049], [0068]-[0081], fig. 1-6 & US 2016/0268163 A1, paragraphs [0025]-[0055], [0083]-[0094], fig. 1-6	1, 2, 6, 9, 10, 12 7, 8, 11, 14 3-5, 13
Y	JP 2013-211476 A (OLYMPUS OPTICAL CO.) 10 October 2013, paragraphs [0013]-[0021], fig. 1-3 & US 2013/0256839 A1, paragraphs [0018]-[0030], fig. 1-3	7, 8, 11, 14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22.03.2018	03.04.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/005280

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-074275 A (FUJITSU SEMICONDUCTOR LTD.) 22 April 2013, entire text, all drawings (Family: none)	1-14
A	WO 2016/098738 A1 (MITSUI CHEMICALS, INC.) 23 June 2016, entire text, all drawings & KR 10-2017-0077222 A & CN 107004599 A & TW 201637097 A	1-14
A	JP 2013-211474 A (OLYMPUS OPTICAL CO.) 10 October 2013, entire text, all drawings & US 2013/0256897 A1	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／００５２８０

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/8234(2006.01)i, H01L23/522(2006.01)i, H01L23/532(2006.01)i, H01L27/00(2006.01)i, H01L27/088(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205, H01L21/768, H01L21/8234, H01L23/522, H01L23/532, H01L27/00, H01L27/088, H01L27/146, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2016-171256 A (株式会社東芝) 2016.09.23, 段落[0019]-[0049],[0068]-[0081],図 1-6 & US 2016/0268163 A1,段落	1,2,6,9,10,12
Y	[0025]-[0055],[0083]-[0094],図 1-6	7,8,11,14
A		3-5,13
Y	JP 2013-211476 A (オリンパス株式会社) 2013.10.10, 段落[0013]-[0021],図 1-3 & US 2013/0256839 A1,段落[0018]-[0030],図 1-3	7,8,11,14

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２２．０３．２０１８	０３．０４．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　５８９５
佐藤　靖史
電話番号　０３－３５８１－１１０１　内線　３５５９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-074275 A (富士通セミコンダクター株式会社) 2013.04.22, 全文, 全図 (ファミリーなし)	1-14
A	WO 2016/098738 A1 (三井化学株式会社) 2016.06.23, 全文, 全図 & KR 10-2017-0077222 A & CN 107004599 A & TW 201637097 A	1-14
A	JP 2013-211474 A (オリンパス株式会社) 2013.10.10, 全文, 全図 & US 2013/0256897 A1	1-14