

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6263243号
(P6263243)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int.Cl.	F I
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B
H O 1 L 21/8234 (2006.01)	H O 1 L 27/088 E
H O 1 L 27/088 (2006.01)	

請求項の数 4 (全 39 頁)

(21) 出願番号	特願2016-184937 (P2016-184937)	(73) 特許権者	000153878
(22) 出願日	平成28年9月22日 (2016.9.22)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-157115 (P2012-157115) の分割	(72) 発明者	山崎 舜平
原出願日	平成24年7月13日 (2012.7.13)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2017-17333 (P2017-17333A)		半導体エネルギー研究所内
(43) 公開日	平成29年1月19日 (2017.1.19)	(72) 発明者	高橋 正弘
審査請求日	平成28年9月26日 (2016.9.26)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-161383 (P2011-161383)		半導体エネルギー研究所内
(32) 優先日	平成23年7月22日 (2011.7.22)	(72) 発明者	本田 達也
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	波多野 剛久
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

チャネル形成領域を有する酸化物半導体層と、
ゲート絶縁膜を介して前記酸化物半導体層と重なる領域を有するゲート電極と、
前記酸化物半導体層は、少なくともインジウム、ガリウム、亜鉛、及び酸素の4元素を含み、

前記4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上であることを特徴とする半導体装置。

【請求項2】

インジウム：ガリウム：亜鉛の組成比が3：1：2の酸化物ターゲットを用いて酸化物半導体層を形成する工程と、

ゲート絶縁層膜を形成する工程と、

ゲート電極を形成する工程と、を有し、

前記酸化物半導体層は、前記ゲート絶縁膜を介して前記ゲート電極と重なる領域を有し、

前記酸化物半導体層に含まれるインジウム、ガリウム、亜鉛、及び酸素の4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上であることを特徴とする半導体装置の作製方法。

【請求項3】

インジウム：ガリウム：亜鉛の組成比が3：1：2の酸化物ターゲットを用いて酸化物

10

20

半導体層を形成する工程と、

ゲート絶縁層膜を形成する工程と、

ゲート電極を形成する工程と、を有し、

前記酸化物半導体層は、前記ゲート絶縁膜を介して前記ゲート電極と重なる領域を有し

、

前記酸化物半導体層に含まれるインジウム、ガリウム、亜鉛、及び酸素の4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上であり、且つ、亜鉛の割合はガリウムの割合よりも大きいことを特徴とする半導体装置の作製方法。

【請求項4】

10

インジウム：ガリウム：亜鉛の組成比が4：2：3の酸化物ターゲットを用いて酸化物半導体層を形成する工程と、

ゲート絶縁層膜を形成する工程と、

ゲート電極を形成する工程と、を有し、

前記酸化物半導体層は、前記ゲート絶縁膜を介して前記ゲート電極と重なる領域を有し

、

前記酸化物半導体層に含まれるインジウム、ガリウム、亜鉛、及び酸素の4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFT）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

30

【0004】

例えば、トランジスタの活性層として、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0005】

40

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体をチャネル形成領域に用いたトランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現するトランジスタ構造およびその作製方法を提供することを課題の一つとする。

【0007】

また、より高性能な半導体装置を実現するため、トランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置の高速応答、高速駆動を実現する構成

50

およびその作製方法を提供することを課題の一つとする。

【0008】

また、長期間の使用に際しても、しきい値電圧が変動しにくく、信頼性の高い半導体装置を提供することを課題の一つとする。

【0009】

上記課題のうち、少なくともいずれか一を解決することを課題とする。

【課題を解決するための手段】

【0010】

半導体層、ソース電極層又はドレイン電極層、ゲート絶縁膜、及びゲート電極層が順に積層されたトランジスタにおいて、該半導体層としてインジウム、ガリウム、亜鉛、及び酸素の4元素を少なくとも含み、該4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上である酸化物半導体層を用いる。

10

【0011】

本明細書で開示する発明の構成の一形態は、酸化物絶縁層上に設けられたチャネル形成領域を含む酸化物半導体層と、酸化物半導体層上にゲート絶縁膜と、ゲート絶縁膜上に酸化物半導体層と重なるゲート電極層とを有し、酸化物半導体層はインジウム、ガリウム、亜鉛、及び酸素の4元素を少なくとも含み、該4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上である半導体装置である。

【0012】

20

本明細書で開示する発明の構成の一形態は、酸化物絶縁層上に設けられたチャネル形成領域を含む酸化物半導体層と、酸化物半導体層上にソース電極層及びドレイン電極層と、ソース電極層及びドレイン電極層上にゲート絶縁膜と、ゲート絶縁膜上に酸化物半導体層と重なるゲート電極層とを有し、酸化物半導体層はインジウム、ガリウム、亜鉛、及び酸素の4元素を少なくとも含み、該4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上である半導体装置である。

【0013】

本明細書で開示する発明の構成の一形態は、酸化物絶縁層上に間隔を有して設けられた一対の第1の酸化物半導体層と、酸化物絶縁層及び一対の第1の酸化物半導体層上に接して設けられたチャネル形成領域を含む第2の酸化物半導体層と、酸化物絶縁層及び第2の酸化物半導体層上にゲート絶縁膜と、ゲート絶縁膜上に第2の酸化物半導体層と重なるゲート電極層とを有し、第2の酸化物半導体層はインジウム、ガリウム、亜鉛、及び酸素の4元素を少なくとも含み、該4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上である半導体装置である。

30

【0014】

酸化物半導体層又は第2の酸化物半導体層は、非単結晶半導体であって、c軸配向した結晶領域を含んでもよい。

【0015】

酸化物半導体層又は第2の酸化物半導体層は、非単結晶半導体であって、インジウム：ガリウム：亜鉛の組成比が3：1：2の酸化物ターゲットで作製することができる。

40

【0016】

酸化物半導体層又は第2の酸化物半導体層において、ゲート電極層と重畳しない領域は、ドーパントを含む構成としてもよい。

【0017】

また、酸化物半導体層又は第2の酸化物半導体層において、ソース電極層またはドレイン電極層と重畳しない領域は、ソース電極層またはドレイン電極層と重畳する領域よりも高い酸素濃度を有する構成としてもよい。

【0018】

また、ゲート電極層をマスクとして酸化物半導体層に自己整合的にドーパントを導入し、酸化物半導体層においてチャネル形成領域を挟んでチャネル形成領域より抵抗が低く、ド

50

ーパントを含む低抵抗領域を形成してもよい。ドーパントは、酸化物半導体層の導電率を変化させる不純物である。ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

【0019】

チャンネル長方向にチャンネル形成領域を挟んで低抵抗領域を含む酸化物半導体層を有することにより、該トランジスタはオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0020】

また、酸化物半導体層に水素若しくは水分を放出させる加熱処理（脱水化又は脱水素化処理）を行ってもよい。また、酸化物半導体層として結晶性酸化物半導体層を用いる場合、結晶化のための加熱処理を行ってもよい。

10

【0021】

また、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがある。酸化物半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。

【0022】

よって、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素を供給することが好ましい。酸化物半導体層へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

20

【0023】

例えば、酸素の供給源となる酸素を多く（過剰に）含む酸化物絶縁膜を酸化物半導体層と接して設けることによって、該酸化物絶縁膜から酸化物半導体層へ酸素を供給することができる。上記構成において、脱水化又は脱水素化処理として加熱処理を行った酸化物半導体層及び酸化物絶縁膜を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体層への酸素の供給を行ってもよい。

【0024】

また、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

30

【0025】

さらに、好ましくはトランジスタに設けられる酸化物半導体層は、酸化物半導体が結晶状態における化学量論的組成比に対し、酸素の含有量が過剰な領域が含まれている膜とする。この場合、酸素の含有量は、酸化物半導体の化学量論的組成比を超える程度とする。あるいは、酸素の含有量は、単結晶の場合の酸素の量を超える程度とする。酸化物半導体の格子間に酸素が存在する場合もある。

【0026】

水素若しくは水分を酸化物半導体から除去し、不純物が極力含まれないように高純度化し、酸素を供給して酸素欠損を補填することによりI型（真性）の酸化物半導体、又はI型（真性）に限りなく近い酸化物半導体とすることができる。そうすることにより、酸化物半導体のフェルミ準位（ E_f ）を真性フェルミ準位（ E_i ）と同じレベルにまですることができる。よって、該酸化物半導体層をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧 V_{th} のばらつき、しきい値電圧のシフト V_{th} を低減することができる。

40

【0027】

本発明の一形態は、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、酸化物半導体でチャンネル形成領域が形成される、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば

50

、ＬＳＩや、ＣＰＵや、電源回路に搭載されるパワーデバイスや、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置や発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【発明の効果】

【００２８】

酸化物半導体をチャネル形成領域に用いたトランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現するトランジスタ構造およびその作製方法を提供することができる。

【００２９】

また、より高性能な半導体装置を実現するため、トランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することができる。

【００３０】

また、長期間の使用に際しても、しきい値電圧がシフトしにくく、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【００３１】

【図１】半導体装置及び半導体装置の作製方法の一形態を説明する図。

【図２】半導体装置の一形態を説明する図。

【図３】半導体装置の一形態を説明する図。

【図４】半導体装置及び半導体装置の作製方法の一形態を説明する図。

【図５】半導体装置の一形態を示す断面図、平面図及び回路図。

【図６】半導体装置の一形態を示す回路図及び斜視図。

【図７】半導体装置の一形態を示す断面図及び平面図。

【図８】半導体装置の一形態を示す回路図。

【図９】半導体装置の一形態を示すブロック図。

【図１０】半導体装置の一形態を示すブロック図。

【図１１】半導体装置の一形態を示すブロック図。

【図１２】酸化物半導体のエネルギーバンド図を示す図。

【図１３】酸化物半導体膜のＸＲＤ測定結果を示す図。

【図１４】トランジスタ１の電気特性評価を示す図。

【図１５】トランジスタ２の電気特性及び信頼性評価を示す図。

【図１６】酸化物半導体膜のＴＥＭ写真図。

【図１７】トランジスタのリーク電流の示す図。

【発明を実施するための形態】

【００３２】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々な変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第１、第２として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【００３３】

（実施の形態１）

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図１及び図３を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体膜を有するトランジスタを示す。

【００３４】

トランジスタはチャネル形成領域が１つ形成されるシングルゲート構造でも、２つ形成さ

10

20

30

40

50

れるダブルゲート構造もしくは3つ形成されるトリプルゲート構造であってもよい。また、チャネル領域の上下にゲート絶縁膜を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。

【0035】

図1(A)乃至(E)に示すトランジスタ440aは、トップゲート構造を有するプレーナ型のトランジスタの例である。

【0036】

トランジスタ440aは、酸化物絶縁層436が設けられた絶縁表面を有する基板400上に、チャネル形成領域409、低抵抗領域404a、404bを含む酸化物半導体層403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401を有する。トランジスタ440a上には、絶縁膜407が形成されている。

10

【0037】

図1は、酸化物半導体層403上において、ソース電極層405a、及びドレイン電極層405bとゲート電極層401とは重ならない構造であるが、図2(A)で示すトランジスタ440bのようにソース電極層405a、及びドレイン電極層405bとゲート電極層401とが一部重なる構造であってもよい。

【0038】

酸化物半導体層403は、インジウム、ガリウム、亜鉛、及び酸素の4元素を少なくとも含み、該4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上である酸化物半導体層(IGZO層ともいう)である。

20

【0039】

酸化物半導体層403は、インジウム：ガリウム：亜鉛の組成比が3：1：2の酸化タターゲットを用いたスパッタリング法によって作製することができる。

【0040】

酸化物半導体は非単結晶であり、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0041】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

30

【0042】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0043】

なお、Raは、JIS B0601で定義されている算術平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

40

【0044】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0045】

なお、上記において、 S_0 は、測定面(座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される4点によって囲まれる長方形の領域)の面積を指し、 Z_0 は測定面の平均高さを指す。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

50

【0046】

酸化物半導体層403として、結晶を含み、結晶性を有する酸化物半導体層（結晶性酸化物半導体層）を用いることができる。結晶性酸化物半導体層における結晶状態は、結晶軸の方向が無秩序な状態でも、一定の配向性を有する状態であってもよい。

【0047】

例えば、結晶性酸化物半導体層として、表面に概略垂直なc軸を有している結晶を含む酸化物半導体層を用いることができる。

【0048】

表面に概略垂直なc軸を有している結晶を含む酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、c軸配向を有した結晶（C Axis Aligned Crystal；CAACともいう）を含む酸化物半導体（CAAC OS）層である。

10

【0049】

CAAC OSとは、c軸配向し、かつab面、表面または界面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向においては、金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面（あるいは表面または界面）においては、a軸またはb軸の向きが異なる（c軸を中心に回転した）結晶である。CAACを含む薄膜とは、c軸に対しては結晶化した薄膜であり、ab面に対しては必ずしも配列していない。

【0050】

20

広義に、CAACとは、非単結晶であって、そのab面に垂直な方向から見て、三角形もしくは六角形、または正三角形もしくは正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て金属原子が層状または金属原子と酸素原子が層状に配列した相を含む。

【0051】

CAACを含む薄膜は単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACを含む薄膜は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0052】

CAACを構成する酸素の一部は窒素で置換されてもよい。また、CAACを含む薄膜を構成する個々の結晶部分のc軸は一定の方向（例えば、CAACが形成される基板面やCAACの表面や膜面、界面等に垂直な方向）に揃っていてもよい。あるいは、CAACを含む薄膜を構成する個々の結晶部分のab面の法線は一定の方向（例えば、基板面、表面、膜面、界面等に垂直な方向）を向いていてもよい。

30

【0053】

該結晶性酸化物半導体層とすることで、可視光や紫外光の照射によるトランジスタの電気的特性変化をより抑制し、信頼性の高い半導体装置とすることができる。

【0054】

c軸配向を有した結晶性酸化物半導体層を得る方法としては、3つ挙げられる。1つ目は、成膜温度を200 以上500 以下として酸化物半導体層の成膜を行い、表面に概略垂直にc軸配向させる方法である。2つ目は、膜厚を薄く成膜した後、200 以上700 以下の加熱処理を行い、表面に概略垂直にc軸配向させる方法である。3つ目は、一層目の膜厚を薄く成膜した後、200 以上700 以下の加熱処理を行い、2層目の成膜を行い、表面に概略垂直にc軸配向させる方法である。

40

【0055】

酸化物半導体層403の膜厚は、1nm以上30nm以下（好ましくは5nm以上10nm以下）とし、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。また、酸化物半導体層403は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

50

【0056】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【0057】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0058】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 80 以下、好ましくは - 100 以下である成膜ガスを用いる。

【0059】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0060】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30 体積 % 以上、好ましくは 100 体積 % とする。

【0061】

スパッタリング用ターゲットの一例として、I n - G a - Z n - O 化合物ターゲットについて以下に示す。

【0062】

I n O_x 粉末、G a O_y 粉末および Z n O_z 粉末を所定の m o l 数比で混合し、加圧処理後、1000 以上 1500 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n - O 化合物ターゲットとする。なお、X、Y および Z は任意の正数である。ここで、所定の m o l 数比は、例えば、I n O_x 粉末、G a O_y 粉末および Z n O_z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 の m o l 数比である。なお、粉末の種類、およびその混合する比率は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0063】

図 1 (A) 乃至 (E) にトランジスタ 440 a を用いて、作製方法の一例を示す。

【0064】

まず、絶縁表面を有する基板 400 上に酸化物絶縁層 436 を形成する。

【0065】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 400 として用いてもよい。

【0066】

また、基板 400 として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体層 403 を含むトランジス

10

20

30

40

50

タ440aを直接作製してもよいし、他の作製基板に酸化物半導体層403を含むトランジスタ440aを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体膜を含むトランジスタ440aとの間に剥離層を設けるとよい。

【0067】

酸化物絶縁層436としては、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を用いて形成することができる。

【0068】

酸化物絶縁層436は、単層でも積層でもよい。例えば、基板400上に酸化シリコン膜、In-Hf-Zn系酸化物膜、酸化物半導体層403を順に積層してもよいし、基板400上に酸化シリコン膜、In:Zr:Zn=1:1:1の原子数比のIn-Zr-Zn系酸化物膜、酸化物半導体層403を順に積層してもよいし、基板400上に酸化シリコン膜、In:Gd:Zn=1:1:1の原子数比のIn-Gd-Zn系酸化物膜、酸化物半導体層403を順に積層してもよい。

【0069】

本実施の形態では酸化物絶縁層436としてスパッタリング法を用いて形成する酸化シリコン膜を用いる。

【0070】

また、酸化物絶縁層436と基板400との間に窒化物絶縁膜を設けてもよい。窒化物絶縁膜は、プラズマCVD法又はスパッタリング法等により、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、又はこれらの混合材料を用いて形成することができる。

【0071】

次に、酸化物絶縁層436上に酸化物半導体層403を形成する。

【0072】

酸化物絶縁層436は、酸化物半導体層403と接するため、膜中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。例えば、酸化物絶縁層436として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 >0 ）とする。このような酸化物絶縁層436を用いることで、酸化物半導体層403に酸素を供給することができ、特性を良好にすることができる。酸化物半導体層403へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

【0073】

例えば、酸素の供給源となる酸素を多く（過剰に）含む酸化物絶縁層436を酸化物半導体層403と接して設けることによって、該酸化物絶縁層436から酸化物半導体層403へ酸素を供給することができる。酸化物半導体層403及び酸化物絶縁層436を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体層403への酸素の供給を行ってもよい。

【0074】

酸化物半導体層403の形成工程において、酸化物半導体層403に水素、又は水がなるべく含まれないようにするために、酸化物半導体層403の成膜の前処理として、スパッタリング装置の予備加熱室で酸化物絶縁層436が形成された基板を予備加熱し、基板及び酸化物絶縁層436に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0075】

酸化物絶縁層436において酸化物半導体層403が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば、化学的機械研磨（Chemical Mechanical Polishing：CMP）法）、ドライエッチング処理、プラズマ処理を用いることができる。

【0076】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、酸化物絶縁層436の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0077】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、酸化物絶縁層436表面の凹凸状態に合わせて適宜設定すればよい。

10

【0078】

なお、酸化物半導体層403は、成膜時に酸素が多く含まれるような条件（例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど）で成膜して、酸素を多く含む（好ましくは酸化物半導体が結晶状態における化学量論的組成比に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

【0079】

なお、本実施の形態において、酸化物半導体層403を、スパッタリング法で作製するためのターゲットとしては、組成比として、 $In:Ga:Zn = 3:1:2$ [原子百分率]の酸化物ターゲットを用い、 $In-Ga-Zn$ 系酸化物膜（IGZO膜）を成膜する。

【0080】

20

また、金属酸化物ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

【0081】

酸化物半導体層403を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0082】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に酸化物半導体層403を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体層403に含まれる不純物の濃度を低減できる。

30

【0083】

また、酸化物絶縁層436と酸化物半導体層403とを大気に解放せずに連続的に形成することが好ましい。酸化物絶縁層436と酸化物半導体層403とを大気に曝露せずに連続して形成すると、酸化物絶縁層436表面に水素や水分などの不純物が吸着することを防止することができる。

40

【0084】

酸化物半導体層403は、膜状の酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工して形成することができる。

【0085】

また、島状の酸化物半導体層403を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0086】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよ

50

く、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0087】

また、酸化物半導体層403に、過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。加熱処理の温度は、300以上700以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層403に対して窒素雰囲気下450において1時間の加熱処理を行う。

【0088】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

【0089】

例えば、加熱処理として、650～700の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0090】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0091】

また、加熱処理で酸化物半導体層403を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層403を高純度化及び電氣的にI型（真性）化することができる。

【0092】

なお、脱水化又は脱水素化のための加熱処理は、酸化物半導体層403加工前の膜状の酸化物半導体膜の形成後、絶縁膜407の形成前であれば、トランジスタ440aの作製工程においてどのタイミングで行ってもよい。例えば、膜状の酸化物半導体膜の形成後、又は島状の酸化物半導体層403形成後に行うことができる。

【0093】

また、脱水化又は脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【0094】

脱水化又は脱水素化のための加熱処理を、酸化物半導体層 403 として島状に加工される前、膜状の酸化物半導体膜が酸化物絶縁層 436 を覆った状態で行うと、酸化物絶縁層 436 に含まれる酸素が加熱処理によって放出されるのを防止することができるため好ましい。

【0095】

また、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。

【0096】

脱水化又は脱水素化処理を行った酸化物半導体層 403 に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体層 403 を高純度化、及び電氣的に I 型（真性）化することができる。高純度化し、電氣的に I 型（真性）化した酸化物半導体層 403 を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

【0097】

酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【0098】

酸素の導入工程は、酸化物半導体層 403 に酸素導入する場合、酸化物半導体層 403 に直接導入してもよいし、ゲート絶縁膜 402 や絶縁膜 407 などの他の膜を通過して酸化物半導体層 403 へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよいが、酸素を露出された酸化物半導体層 403 へ直接導入する場合は、プラズマ処理なども用いることができる。

【0099】

酸化物半導体層 403 への酸素の導入は、脱水化又は脱水素化処理を行った後であればよく、特に限定されない。また、上記脱水化又は脱水素化処理を行った酸化物半導体層 403 への酸素の導入は複数回行ってよい。

【0100】

次いで、酸化物半導体層 403 上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を形成する。該導電膜は後の加熱処理に耐えられる材料を用いる。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。また、ソース電極層、及びドレイン電極層に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ（ In_2O_3 SnO_2 ）、酸化インジウム酸化亜鉛（ In_2O_3 ZnO ）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0101】

フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 405a、ドレイン電極層 405b を形成した後、レジストマスクを除去する。

【0102】

次いで、酸化物半導体層 403、ソース電極層 405a、及びドレイン電極層 405b を覆うゲート絶縁膜 402 を形成する（図 1（C）参照）。

【0103】

なお、ゲート絶縁膜 402 の被覆性を向上させるために、酸化物半導体層 403、ソース

10

20

30

40

50

電極層 405a、及びドレイン電極層 405b 表面にも上記平坦化処理を行ってもよい。特にゲート絶縁膜 402 として膜厚の薄い絶縁膜を用いる場合、酸化物半導体層 403、ソース電極層 405a、及びドレイン電極層 405b 表面の平坦性が良好であることが好ましい。

【0104】

ゲート絶縁膜 402 の膜厚は、1nm 以上 20nm 以下とし、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いることができる。また、ゲート絶縁膜 402 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0105】

ゲート絶縁膜 402 の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁膜 402 は、酸化物半導体層 403 と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜 402 は、膜中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜 402 として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 > 0 ）とする。本実施の形態では、ゲート絶縁膜 402 として、 $\text{SiO}_2 +$ （ただし、 > 0 ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁膜 402 として用いることで、酸化物半導体層 403 に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁膜 402 は、作製するトランジスタのサイズやゲート絶縁膜 402 の段差被覆性を考慮して形成することが好ましい。

【0106】

また、ゲート絶縁膜 402 の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSiO_xN_y （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））、酸化ランタンなどの high-k 材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁膜 402 は、単層構造としても良いし、積層構造としても良い。

【0107】

そして、ゲート電極層 401 をプラズマ CVD 法又はスパッタリング法等により、ゲート絶縁膜 402 上に形成する（図 1（B）参照）。ゲート電極層 401 の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層 401 としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層 401 は、単層構造としてもよいし、積層構造としてもよい。

【0108】

また、ゲート電極層 401 の材料は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0109】

また、ゲート絶縁膜 402 と接するゲート電極層 401 の一層として、窒素を含む金属酸化物、具体的には、窒素を含む In-Ga-Zn-O 膜や、窒素を含む In-Sn-O 膜や、窒素を含む In-Ga-O 膜や、窒素を含む In-Zn-O 膜や、窒素を含む Sn-O 膜や、窒素を含む In-O 膜や、金属窒化膜（InN、SnN など）を用いることができる。これらの膜は 5eV（電子ボルト）、好ましくは 5.5eV（電子ボルト）以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

10

20

30

40

50

【0110】

次に、ゲート電極層401、ソース電極層405a、及びドレイン電極層405bをマスクとして酸化物半導体層403にドーパント421を導入し、低抵抗領域404a、404bを形成する。

【0111】

ソース電極層405a、及びドレイン電極層405bの膜厚や、ドーパント421の導入条件によっては、ソース電極層405a、及びドレイン電極層405b下の酸化物半導体層403にもドーパント421が導入される場合と導入されない場合があり、また導入されても濃度が低くソース電極層405a、又はドレイン電極層405b下以外の低抵抗領域と比べて抵抗が高い領域となる場合もある。

10

【0112】

図2(B)で示すトランジスタ440cは、ソース電極層405a、ドレイン電極層405bとして膜厚の薄い、例えば10nmのタングステン膜を形成する。このようにソース電極層405a、ドレイン電極層405bの膜厚が薄いと、低抵抗領域を形成するために酸化物半導体層403へドーパントを導入する場合、ソース電極層405a、ドレイン電極層405bを通過してソース電極層405a、ドレイン電極層405b下の酸化物半導体層403にもドーパントを導入することができる。従って、トランジスタ440cはソース電極層405a、ドレイン電極層405b下の酸化物半導体層403の領域も低抵抗領域404a、404bが形成されている。

【0113】

20

ドーパント421は、酸化物半導体層403の導電率を変化させる不純物である。ドーパント421としては、15族元素(代表的にはリン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。

【0114】

ドーパント421は、注入法により、他の膜(例えば絶縁膜407、ソース電極層405a、及びドレイン電極層405b)を通過して、酸化物半導体層403に導入することもできる。ドーパント421の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント421の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

30

【0115】

ドーパント421の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント421としてホウ素を用いて、イオン注入法でホウ素イオンの注入を行う。なお、ドーパント421のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0116】

40

低抵抗領域におけるドーパント421の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0117】

ドーパント421を導入する際に、基板400を加熱しながら行ってもよい。

【0118】

なお、酸化物半導体層403にドーパント421を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

【0119】

また、ドーパント421の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲気

50

気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0120】

酸化物半導体層403を結晶性酸化物半導体膜とした場合、ドーパント421の導入により、一部非晶質化する場合がある。この場合、ドーパント421の導入後に加熱処理を行うことによって、酸化物半導体層403の結晶性を回復することができる。

【0121】

よって酸化物半導体層403において、チャネル形成領域409を挟んで低抵抗領域404a、404bが設けられた酸化物半導体層403が形成される。

【0122】

以上の工程で、本実施の形態のトランジスタ440aが作製される（図1（C）参照）。インジウム、ガリウム、亜鉛、及び酸素の4元素を少なくとも含み、該4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の2倍以上であるIGZO膜を用いた酸化物半導体層403を用いることによって、トランジスタ440aに高いオン特性（電界効果移動度）、低いオフ電流、高い信頼性を付与することが可能となる。

【0123】

次いで、酸化物半導体層403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401上に絶縁膜407を形成する（図1（D）参照）。

【0124】

絶縁膜407は、プラズマCVD法、スパッタリング法、又は蒸着法等により成膜することができる。絶縁膜407は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁膜などを用いることができる。

【0125】

また、絶縁膜407として、酸化アルミニウム膜、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜）、又は金属窒化物膜（例えば、窒化アルミニウム膜）も用いることができる。

【0126】

絶縁膜407は、単層でも積層でもよく、例えば酸化シリコン膜及び酸化アルミニウム膜の積層を用いることができる。

【0127】

絶縁膜407は、スパッタリング法など、絶縁膜407に水、水素等の不純物を混入させない方法を適宜用いて形成することが好ましい。また、絶縁膜407において、酸化物半導体層403に接する絶縁膜は、酸素を過剰に含む膜とすると、酸化物半導体層403への酸素の供給源となるために好ましい。

【0128】

本実施の形態では、絶縁膜407として膜厚100nmの酸化シリコン膜を、スパッタリング法を用いて成膜する。酸化シリコン膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。

【0129】

酸化物半導体膜の成膜時と同様に、絶縁膜407の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁膜407に含まれる不純物の濃度を低減できる。また、絶縁膜407の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0130】

絶縁膜407を、成膜する際に用いるスパッタガスとしては、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0131】

酸化物半導体層 403 上に設けられる絶縁膜 407 として用いることのできる酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高い。

【0132】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体層 403 への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体層 403 からの放出を防止する保護膜として機能する。

【0133】

また、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

10

【0134】

また、ゲート絶縁膜 402 及び絶縁膜 407 にソース電極層 405a、ドレイン電極層 405b に達する開口を形成し、開口にソース電極層 405a、ドレイン電極層 405b と電氣的に接続する配線層 465a、465b を形成する（図 1（E）参照）。配線層 465a、465b を用いて他のトランジスタと接続させ、様々な回路を構成することができる。

【0135】

20

また、図 2（C）に示すトランジスタ 440d のように、ソース電極層 405a、ドレイン電極層 405b を設けずに、酸化物半導体層 403 に直接配線層 465a、465b を接するように設けてもよい。

【0136】

配線層 465a、配線層 465b はゲート電極層 401、ソース電極層 405a、405b と同様の材料及び方法を用いて形成することができる。例えば、配線層 465a、配線層 465b として窒化タンタル膜と銅膜との積層、又は窒化タンタル膜とタングステン膜との積層などを用いることができる。

【0137】

高純度化され、酸素欠損が補填された酸化物半導体層 403 は、水素、水などの不純物が十分に除去されており、酸化物半導体層 403 中の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下である。なお、酸化物半導体層 403 中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定されるものである。

30

【0138】

本実施の形態を用いて作製した、高純度化し、酸素欠損を補填する酸素を過剰に含む酸化物半導体層 403 を用いたトランジスタ 440a は、オフ状態における電流値（オフ電流値）を、チャネル幅 $1 \mu\text{m}$ 当たり室温にて $100 \text{ zA} / \mu\text{m}$ （ 1 zA （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、好ましくは $50 \text{ zA} / \mu\text{m}$ 以下レベルにまで低くすることができる。

40

【0139】

以上のように、酸化物半導体をチャネル形成領域に用いたトランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現するトランジスタ構造およびその作製方法を提供することができる。

【0140】

また、より高性能な半導体装置を実現するため、トランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することができる。

【0141】

また、長期間の使用に際しても、しきい値電圧が変動しにくく、信頼性の高い半導体装置

50

を提供することができる。

【0142】

(実施の形態2)

本実施の形態では、半導体装置及び半導体装置の作製方法の他の一形態を、図3及び図4を用いて説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0143】

図3(A)乃至(C)に示すトランジスタ450は、トップゲート構造のトランジスタの一例である。図3(A)は平面図であり、図3(A)中の一点鎖線X-Yで切断した断面が図3(B)に相当し、図3(A)中の一点鎖線V-Wで切断した断面が図3(C)に相当する。

10

【0144】

チャネル長方向の断面図である図3(B)に示すように、トランジスタ450は、酸化物絶縁層436が設けられた絶縁表面を有する基板400上に、第1の酸化物半導体層である酸化物半導体層408a、408b、チャネル形成領域409、低抵抗領域414a、414bを含む第2の酸化物半導体層である酸化物半導体層403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401を有する。酸化物半導体層408a、408bは、酸化物絶縁層436上に接して間隔を有して形成され、酸化物半導体層403は酸化物半導体層408a、408b及び酸化物絶縁層436と

20

【0145】

図3(C)は、チャネル幅方向の断面図であり、酸化物半導体層403は端部に20度～50度のテーパを有している。端部が垂直であると酸素が抜けやすく酸素欠陥を生じやすいが、端部にテーパを有することで酸素欠陥を抑制し、トランジスタ450のリーク電流(寄生チャネル)の発生を低減している。

【0146】

膜厚3～5nmの酸化物半導体層403の下に酸化物半導体層408a、408bを設けることで、ソース電極層405a、405bとのコンタクト抵抗を低下させることができる。

30

【0147】

低抵抗領域414a、414bはゲート電極層401をマスクとして酸化物半導体層403へドーパントを導入することで形成することができる。また、低抵抗領域は金属元素を拡散させることによっても形成することができる。ドーパント及び金属元素の拡散を用いて低抵抗領域を形成することで、より配線層とのコンタクト抵抗を低下させることができる。

【0148】

また、ゲート電極層401の側面にサイドウォール構造の側壁絶縁層を設けてもよい。トランジスタ450は、ゲート電極層401の側面に膜厚の薄い側壁絶縁層412a、412bが設けられている。側壁絶縁層412a、412bは、ゲート電極層401を覆う絶縁膜を形成した後、これをRIE(Reactive ion etching:反応性イオンエッチング)法による異方性のエッチングによって絶縁膜を加工し、ゲート電極層401の側壁に自己整合的にサイドウォール構造の側壁絶縁層412a、412bを形成すればよい。ここで、絶縁膜について特に限定はないが、例えば、TEOS(Tetraethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコンを用いることができる。絶縁膜は熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD、スパッタリング等の方法によって形成することができる。また、低温酸化(LTO:Low Temperature Oxidation)法により形成する酸化シリコンを用いてもよい。

40

【0149】

50

側壁絶縁層 4 1 2 a、4 1 2 b を設けることで、ゲート電極層 4 0 1 と低抵抗領域 4 0 4 a、4 0 4 b とのショートを防止することができる。

【0 1 5 0】

酸化物半導体層 4 0 8 a、4 0 8 b 全体にドーパントを導入して低抵抗領域とすると、酸化物半導体層 4 0 8 a、4 0 8 b 下、酸化物絶縁層 4 3 6 側からも他の導電層と電気的接続を行うことができる。

【0 1 5 1】

酸化物半導体層 4 0 3 をインジウム、ガリウム、亜鉛、及び酸素の 4 元素を少なくとも含み、該 4 元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の 2 倍以上である高い電界効果移動度の I G Z O 膜を用いて、膜厚を 3 ~ 5 n m と薄くおさえることによってショートチャネル効果によるトランジスタのノーマリーオンを防止することができる。

10

【0 1 5 2】

酸化物半導体層 4 0 8 a、4 0 8 b としては、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である I n - Z n 系酸化物、S n - Z n 系酸化物、A l - Z n 系酸化物、Z n - M g 系酸化物、S n - M g 系酸化物、I n - M g 系酸化物、I n - G a 系酸化物、三元系金属の酸化物である I n - G a - Z n 系酸化物 (I G Z O と表記する)、I n - A l - Z n 系酸化物、I n - S n - Z n 系酸化物、S n - G a - Z n 系酸化物、A l - G a - Z n 系酸化物、S n - A l - Z n 系酸化物、I n - H f - Z n 系酸化物、I n - L a - Z n 系酸化物、I n - C e - Z n 系酸化物、I n - P r - Z n 系酸化物、I n - N d - Z n 系酸化物、I n - S m - Z n 系酸化物、I n - E u - Z n 系酸化物、I n - G d - Z n 系酸化物、I n - T b - Z n 系酸化物、I n - D y - Z n 系酸化物、I n - H o - Z n 系酸化物、I n - E r - Z n 系酸化物、I n - T m - Z n 系酸化物、I n - Y b - Z n 系酸化物、I n - L u - Z n 系酸化物、四元系金属の酸化物である I n - S n - G a - Z n 系酸化物、I n - H f - G a - Z n 系酸化物、I n - A l - G a - Z n 系酸化物、I n - S n - A l - Z n 系酸化物、I n - S n - H f - Z n 系酸化物、I n - H f - A l - Z n 系酸化物を用いることができる。

20

【0 1 5 3】

酸化物半導体層 4 0 8 a、4 0 8 b として、酸化インジウム、酸化スズ、酸化亜鉛のような導電性の高い酸化物半導体層を用いてもよい。

30

【0 1 5 4】

本実施の形態では、酸化物半導体層 4 0 8 a、4 0 8 b として、インジウム：ガリウム：亜鉛の組成比が 1 : 1 : 1 の酸化物ターゲットで作製された酸化物半導体層を用いる。

【0 1 5 5】

酸化物半導体層 4 0 8 a、4 0 8 b の膜厚は 2 0 ~ 5 0 n m とすればよい。

【0 1 5 6】

トランジスタ 4 5 0 の作製方法の一例を図 4 (A) 乃至 (E) に示す。

【0 1 5 7】

まず、絶縁表面を有する基板 4 0 0 上に酸化物絶縁層 4 3 6 を形成し、酸化物絶縁層 4 3 6 上に酸化物半導体膜 4 4 4 を形成する (図 4 (A) 参照)。本実施の形態では酸化物半導体膜 4 4 4 をインジウム：ガリウム：亜鉛の組成比が 1 : 1 : 1 の酸化物ターゲットを用いてスパッタリング法により形成する。

40

【0 1 5 8】

次に酸化物半導体膜 4 4 4 をフォトリソグラフィ工程によって島状に加工し、一对の間隔を有して設けられた酸化物半導体層 4 0 8 a、4 0 8 b を形成する。酸化物半導体層 4 0 8 a、4 0 8 b 及び酸化物絶縁層 4 3 6 に接して酸化物半導体層 4 0 3 を形成する (図 4 (B) 参照)。酸化物半導体層 4 0 3 は、インジウム：ガリウム：亜鉛の組成比が 3 : 1 : 2 の酸化物ターゲットを用いてスパッタリング法により形成する。酸化物半導体層 4 0 3 の端部はテーパを有する形状が好ましく、本実施の形態では 3 0 度のテーパを有する形状とする。

50

【0159】

次いで、酸化物半導体層403上にゲート絶縁膜402、ゲート電極層401、ゲート電極層401の側面を覆う側壁絶縁層412a、412bを形成する(図4(C)参照)。ゲート絶縁膜402は酸化物半導体層403上に絶縁膜を形成し、該絶縁膜をゲート電極層401及び側壁絶縁層412a、412bをマスクとしてエッチングすることで形成することができる。なお、酸化物半導体層403の一部は露出する。

【0160】

次いで、酸化物半導体層403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401上に、酸化物半導体層403の一部と接して、金属元素を含む膜417を形成する(図1(C)参照)。

10

【0161】

金属元素を含む膜417としては、金属膜、金属酸化物膜、金属窒化物膜等が挙げられる。

【0162】

金属元素を含む膜中の金属元素としては、アルミニウム(Al)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ハフニウム(Hf)、タンタル(Ta)、ランタン(La)、バリウム(Ba)、マグネシウム(Mg)、ジルコニウム(Zr)、及びニッケル(Ni)のいずれかから選択される一以上を用いることができる。金属元素を含む膜として、上記金属元素のいずれかから選択される一以上を含む金属膜、金属酸化物膜、又は金属窒化物膜(例えば、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を用いることができる。また、金属元素を含む膜にリン(P)、ホウ素(B)などのドーパントを含ませてもよい。本実施の形態において金属元素を含む膜417は導電性を有する。

20

【0163】

金属元素を含む膜417は、プラズマCVD法、スパッタリング法、又は蒸着法等により成膜することができる。金属元素を含む膜417の膜厚は5nm以上30nm以下とすればよい。

【0164】

本実施の形態では、金属元素を含む膜417として膜厚10nmのアルミニウム膜をスパッタリング法によって形成する。

30

【0165】

次に、ゲート絶縁膜402、ゲート電極層401、及び側壁絶縁層412a、412bをマスクとして、酸化物半導体層403に金属元素を含む膜417を通過してドーパント421を選択的に導入し、低抵抗領域を形成する(図4(D)参照)。

【0166】

ドーパント421は、酸化物半導体層403の導電率を変化させる不純物である。ドーパント421としては、15族元素(代表的にはリン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。

40

【0167】

上記ドーパントは金属元素を含む膜417に含ませてもよい。

【0168】

ドーパント421は、注入法により、金属元素を含む膜417を通過して、酸化物半導体層403に導入する。ドーパント421の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント421の単体のイオンあるいは水素化物やフッ化物、塩化物のイオンを用いると好ましい。

【0169】

50

ドーパント421の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる金属元素を含む膜417の膜厚を適宜設定して制御すればよい。例えば、ホウ素を用いて、イオン注入法でホウ素イオンの注入を行う場合、加速電圧15kV、ドーズ量を $1 \times 10^{15} \text{ ions/cm}^2$ とすればよい。ドーズ量を $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0170】

低抵抗領域におけるドーパント421の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0171】

ドーパントを導入する際に、基板400を加熱しながら行ってもよい。

10

【0172】

なお、酸化物半導体層403にドーパント421を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

【0173】

また、ドーパント421の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0174】

次に、金属元素を含む膜417及び酸化物半導体層403の一部が接した状態で加熱処理を行う。加熱処理は酸素雰囲気下で行うことが好ましい。加熱処理は減圧下、窒素雰囲気下でも行うことができる。また、加熱温度は100以上700以下、好ましくは200以上400以下とすればよい。

20

【0175】

例えば、加熱処理装置の一つである電気炉に基板を導入し、金属元素を含む膜417及び酸化物半導体層403に対して酸素雰囲気下200において1時間の加熱処理を行う。

【0176】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0177】

例えば、加熱処理として、650～700の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

40

【0178】

加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下で行えばよいが、上記窒素、酸素、超乾燥空気、または希ガス等の雰囲気の水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0179】

加熱処理により、金属元素を含む膜417から酸化物半導体層403へ金属元素が導入さ

50

れ、低抵抗領域 4 1 4 a、4 1 4 b が形成される。よって酸化物半導体層 4 0 3 において、チャンネル形成領域 4 0 9 を挟んで、ドーパント及び金属元素を含む低抵抗領域 4 1 4 a、4 1 4 b が形成される。

【0180】

本実施の形態では、ドーパントとしてホウ素、金属元素としてアルミニウムを用いたため、低抵抗領域 4 1 4 a、4 1 4 b はホウ素及びアルミニウムを含む。

【0181】

次に金属元素を含む膜 4 1 7 をエッチングにより除去する。本実施の形態ではウェットエッチング法により金属元素を含む膜 4 1 7 を除去する。

【0182】

以上の工程で、本実施の形態のトランジスタ 4 5 0 が作製される。チャンネル長方向にチャンネル形成領域 4 0 9 を挟んで低抵抗領域 4 1 4 a、4 1 4 b を含む酸化物半導体層 4 0 3 を有することにより、該トランジスタ 4 5 0 はオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0183】

低抵抗領域 4 1 4 a、4 1 4 b はソース領域、又はドレイン領域として機能させることができる。低抵抗領域 4 1 4 a、4 1 4 b を設けることによって、低抵抗領域 4 1 4 a、4 1 4 b の間に形成されるチャンネル形成領域 4 0 9 に加わる電界を緩和させることができる。また、低抵抗領域 4 1 4 a、4 1 4 b において酸化物半導体層 4 0 3 とソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b とを電氣的に接続させることによって、酸化物半導体層 4 0 3 とソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b との接触抵抗を低減することができる。

【0184】

また、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0185】

本実施の形態では、トランジスタ 4 5 0 上に平坦化絶縁膜 4 1 5 を形成する。また、平坦化絶縁膜 4 1 5 に酸化物半導体層 4 0 3 達する開口を形成し、開口に酸化物半導体層 4 0 3 と電氣的に接続するソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b を形成する（図 4（E）参照）。

【0186】

以上のように、酸化物半導体をチャンネル形成領域に用いたトランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現するトランジスタ構造およびその作製方法を提供することができる。

【0187】

また、より高性能な半導体装置を実現するため、トランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することができる。

【0188】

また、長期間の使用に際しても、しきい値電圧がシフトしにくく、信頼性の高い半導体装置を提供することができる。

【0189】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0190】

（実施の形態 3）

本実施の形態では、実施の形態 1 又は実施の形態 2 に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導

10

20

30

40

50

体装置の一例を、図面を用いて説明する。なお、本実施の形態の半導体装置は、トランジスタ１６２として実施の形態１又は実施の形態２に記載のトランジスタを適用して構成される。トランジスタ１６２としては、実施の形態１または２で示すトランジスタのいずれの構造も適用することができる。

【０１９１】

トランジスタ１６２は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【０１９２】

図５は、半導体装置の構成の一例である。図５（Ａ）に、半導体装置の断面図を、図５（Ｂ）に半導体装置の平面図を、図５（Ｃ）に半導体装置の回路図をそれぞれ示す。ここで、図５（Ａ）は、図５（Ｂ）のＣ１－Ｃ２、及びＤ１－Ｄ２における断面に相当する。

【０１９３】

図５（Ａ）及び図５（Ｂ）に示す半導体装置は、下部に第１の半導体材料を用いたトランジスタ１６０を有し、上部に第２の半導体材料を用いたトランジスタ１６２を有するものである。トランジスタ１６２は、実施の形態１又は実施の形態２で示した構成と同一の構成とすることができる。

【０１９４】

ここで、第１の半導体材料と第２の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第１の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第２の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【０１９５】

なお、上記トランジスタは、いずれもｎチャネル型トランジスタであるものとして説明するが、ｐチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ１６２に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【０１９６】

図５（Ａ）におけるトランジスタ１６０は、半導体材料（例えば、シリコンなど）を含む基板１８５に設けられたチャネル形成領域１１６と、チャネル形成領域１１６を挟むように設けられた不純物領域１２０と、不純物領域１２０に接する金属化合物領域１２４と、チャネル形成領域１１６上に設けられたゲート絶縁層１０８と、ゲート絶縁層１０８上に設けられたゲート電極１１０と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

【０１９７】

基板１８５上にはトランジスタ１６０を囲むように素子分離絶縁層１０６が設けられており、トランジスタ１６０を覆うように絶縁層１３０が設けられている。なお、高集積化を実現するためには、図５（Ａ）に示すようにトランジスタ１６０がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ１６０の特性を重視する場合には、ゲート電極１１０の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域１２０としてもよい。

【０１９８】

図５（Ａ）に示すトランジスタ１６２は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ１６２に含まれる酸化物半導体層１４４は、高純

10

20

30

40

50

度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ162を得ることができる。

【0199】

トランジスタ162上には、絶縁層150が単層または積層で設けられている。また、絶縁層150を介して、トランジスタ162の電極層142aと重畳する領域には、導電層148bが設けられており、電極層142aと、絶縁層150と、導電層148bとによって、容量素子164が構成される。すなわち、トランジスタ162の電極層142aは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。

10

【0200】

トランジスタ162および容量素子164の上には絶縁層152が設けられている。そして、絶縁層152上にはトランジスタ162と、他のトランジスタを接続するための配線156が設けられている。図5(A)には図示しないが、配線156は、絶縁層150、絶縁層152及びゲート絶縁膜146などに形成された開口に形成された電極を介して電極層142bと電氣的に接続される。ここで、該電極は、少なくともトランジスタ162の酸化物半導体層144の一部と重畳するように設けられることが好ましい。

【0201】

図5(A)及び図5(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体層144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重畳するように設けられている。例えば、容量素子164の導電層143bは、トランジスタ160のゲート電極128と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

20

【0202】

なお、電極層142b及び配線156の電氣的接続は、電極層142b及び配線156を直接接触させて行ってもよいし、間の絶縁層に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は、複数でもよい。

30

【0203】

次に、図5(A)及び図5(B)に対応する回路構成の一例を図5(C)に示す。

【0204】

図5(C)において、第1の配線(1st Line)とトランジスタ160のソース電極とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方は、容量素子164の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

40

【0205】

図5(C)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0206】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与え

50

られる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される（保持）。

【0207】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0208】

次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0209】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0210】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0211】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0212】

また、トランジスタ162は、インジウム、ガリウム、亜鉛、及び酸素の4元素を少なくとも含み、該4元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウム

10

20

30

40

50

の割合及び亜鉛の割合の2倍以上である酸化物半導体層を用いるため、しきい値電圧がプラスであるトランジスタとすることができる。該トランジスタを採用することで、半導体装置の高性能化を達成することができる。さらに、本実施の形態の半導体装置は、長期間の使用に際しても、しきい値電圧がシフトしにくいトランジスタを用いるため、半導体装置の高信頼性化を図ることができる。

【0213】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0214】

(実施の形態4)

本実施の形態においては、実施の形態1又は実施の形態2に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態3に示した構成と異なる構成について、図6及び図7を用いて説明を行う。なお、本実施の形態の半導体装置は、トランジスタ162として実施の形態1又は実施の形態2に記載のトランジスタを適用して構成される。トランジスタ162としては、実施の形態1または2で示すトランジスタのいずれの構造も適用することができる。

【0215】

図6(A)は、半導体装置の回路構成の一例を示し、図6(B)は半導体装置の一例を示す概念図である。まず、図6(A)に示す半導体装置について説明を行い、続けて図6(B)に示す半導体装置について、以下説明を行う。

【0216】

図6(A)に示す半導体装置において、ビット線BLとトランジスタ162のソース電極又はドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極とは電氣的に接続され、トランジスタ162のソース電極又はドレイン電極と容量素子254の第1の端子とは電氣的に接続されている。

【0217】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位(あるいは、容量素子254に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0218】

次に、図6(A)に示す半導体装置(メモリセル250)に、情報の書き込みおよび保持を行う場合について説明する。

【0219】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される(保持)。

【0220】

トランジスタ162のオフ電流は極めて小さいから、容量素子254の第1の端子の電位(あるいは容量素子に蓄積された電荷)は長時間にわたって保持することができる。

【0221】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位(あるいは容量素子254に蓄積された電荷)によって、異なる値をとる。

【0222】

例えば、容量素子 254 の第 1 の端子の電位を V 、容量素子 254 の容量を C 、ビット線 BL が有する容量成分（以下、ビット線容量とも呼ぶ）を CB 、電荷が再分配される前のビット線 BL の電位を $VB0$ とすると、電荷が再分配された後のビット線 BL の電位は、 $(CB * VB0 + C * V) / (CB + C)$ となる。従って、メモリセル 250 の状態として、容量素子 254 の第 1 の端子の電位が $V1$ と $V0$ ($V1 > V0$) の 2 状態をとるとすると、電位 $V1$ を保持している場合のビット線 BL の電位 ($= (CB * VB0 + C * V1) / (CB + C)$) は、電位 $V0$ を保持している場合のビット線 BL の電位 ($= (CB * VB0 + C * V0) / (CB + C)$) よりも高くなることがわかる。

【0223】

そして、ビット線 BL の電位を所定の電位と比較することで、情報を読み出すことができる。

10

【0224】

このように、図 6 (A) に示す半導体装置は、トランジスタ 162 のオフ電流が極めて小さいという特徴から、容量素子 254 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0225】

次に、図 6 (B) に示す半導体装置について、説明を行う。

20

【0226】

図 6 (B) に示す半導体装置は、上部に記憶回路として図 6 (A) に示したメモリセル 250 を複数有するメモリセルアレイ 251 a 及び 251 b を有し、下部に、メモリセルアレイ 251 (メモリセルアレイ 251 a 及び 251 b) を動作させるために必要な周辺回路 253 を有する。なお、周辺回路 253 は、メモリセルアレイ 251 と電氣的に接続されている。

【0227】

図 6 (B) に示した構成とすることにより、周辺回路 253 をメモリセルアレイ 251 (メモリセルアレイ 251 a 及び 251 b) の直下に設けることができるため半導体装置の小型化を図ることができる。

30

【0228】

周辺回路 253 に設けられるトランジスタは、トランジスタ 162 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0229】

なお、図 6 (B) に示した半導体装置では、2 つのメモリセルアレイ 251 (メモリセルアレイ 251 a と、メモリセルアレイ 251 b) が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3 つ以上のメモリセルを積層する構成としても良い。

40

【0230】

次に、図 6 (A) に示したメモリセル 250 の具体的な構成について図 7 を用いて説明を行う。

【0231】

図 7 は、メモリセル 250 の構成の一例である。図 7 (A) に、メモリセル 250 の平面図を、図 7 (B) に図 7 (A) の線分 A - B における断面図をそれぞれ示す。

【0232】

50

図 7 (A) 及び図 7 (B) に示すトランジスタ 1 6 2 は、実施の形態 1 又は実施の形態 2 で示した構成と同一の構成とすることができる。

【 0 2 3 3 】

図 7 (B) に示すように、電極 5 0 2 及び電極 5 0 4 上にトランジスタ 1 6 2 が設けられている。電極 5 0 2 は、図 6 (A) におけるビット線 B L として機能する配線であり、トランジスタ 1 6 2 の低抵抗領域と接して設けられている。また、電極 5 0 4 は、図 6 (A) における容量素子 2 5 4 の一方の電極として機能し、トランジスタ 1 6 2 の低抵抗領域と接して設けられている。トランジスタ 1 6 2 上において、電極 5 0 4 と重畳する領域に設けられた電極 5 0 6 は、容量素子 2 5 4 の他方の電極として機能する。

【 0 2 3 4 】

また、図 7 (A) に示すように、容量素子 2 5 4 の他方の電極 5 0 6 は、容量線 5 0 8 と電氣的に接続する。ゲート絶縁膜 1 4 6 を介して酸化半導体層 1 4 4 上に設けられたゲート電極 1 4 8 a は、ワード線 5 0 9 と電氣的に接続する。

【 0 2 3 5 】

また、図 7 (C) に、メモリセルアレイ 2 5 1 と、周辺回路との接続部における断面図を示す。周辺回路は、例えば n チャンネル型トランジスタ 5 1 0 及び p チャンネル型トランジスタ 5 1 2 を含む構成とすることができる。n チャンネル型トランジスタ 5 1 0 及び p チャンネル型トランジスタ 5 1 2 に用いる半導体材料としては、酸化半導体以外の半導体材料 (シリコンなど) を用いるのが好ましい。このような材料を用いることで、周辺回路に含まれるトランジスタの高速動作を図ることができる。

【 0 2 3 6 】

図 7 (A) に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 2 3 7 】

以上のように、上部に多層に形成された複数のメモリセルは、酸化半導体を用いたトランジスタにより形成されている。インジウム、ガリウム、亜鉛、及び酸素の 4 元素を少なくとも含み、該 4 元素の組成比を原子百分率で表したとき、インジウムの割合が、ガリウムの割合及び亜鉛の割合の 2 倍以上である酸化半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、容量素子 2 5 4 は、図 7 (B) で示すように電極 5 0 4、酸化半導体層 1 4 4、ゲート絶縁膜 1 4 6、電極 5 0 6 が積層されることによって形成される。上記のような組成を有する酸化半導体層の比誘電率は非常に高いため (比誘電率で 6 6)、これを誘電体膜として用いることにより容量素子 2 5 4 が必要とする面積を縮小することができる。

【 0 2 3 8 】

このように、酸化半導体以外の材料を用いたトランジスタ (換言すると、十分な高速動作が可能なトランジスタ) を用いた周辺回路と、酸化半導体を用いたトランジスタ (より広義には、十分にオフ電流が小さいトランジスタ) を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【 0 2 3 9 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 4 0 】

(実施の形態 5)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 8 乃至図 1 1 を用いて説明する。

【 0 2 4 1 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶

10

20

30

40

50

などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

【0242】

通常のSRAMは、図8(A)に示すように1つのメモリセルがトランジスタ801～806の6個のトランジスタで構成されており、それをXデコーダー807、Yデコーダー808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常 $100 \sim 150F^2$ である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

10

【0243】

それに対して、DRAMはメモリセルが図8(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダー813、Yデコーダー814にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常 $10F^2$ 以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

【0244】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10F^2$ 前後であり、且つ頻繁なりフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

20

【0245】

図9に携帯機器のブロック図を示す。図9に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス909(IF909)を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

30

【0246】

図10に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図10に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路950は、画像データ(入力画像データ)の信号線、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

40

【0247】

まず、ある画像データがアプリケーションプロセッサ(図示しない)によって、形成される(入力画像データA)。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ(記憶画像データA)は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

【0248】

50

入力画像データAに変更が無い場合、記憶画像データAは、通常30～60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

【0249】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

10

【0250】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

20

【0251】

図11に電子書籍のブロック図を示す。図11はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

【0252】

ここでは、図11のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

30

【0253】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

40

【0254】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【実施例1】

【0255】

本実施例では、インジウム、ガリウム、及び亜鉛を含む酸化物半導体膜（IGZO膜）を作製し、酸化物半導体膜のイオン化ポテンシャルの測定を行い、その結果に基づきエネルギーバンド図を計算した。本明細書において、イオン化ポテンシャルの値は、バンドギャップ（エネルギーギャップ）と電子親和力を加算した値であり、バンドギャップの値は、材料の単膜の分光エリプソメトリーで測定して得られる値を用いる。また、酸化物半導体

50

膜の組成分析を行った。

【0256】

まず、分光エリプソメトリーで測定して得られたバンドギャップの結果を示す。

【0257】

試料となる酸化物半導体膜として、石英基板上にスパッタリング法を用いて膜厚100nmのIGZO膜を成膜した。成膜条件は、基板温度を300とし、ターゲットとしては、In:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用いた。

【0258】

バンドギャップは、アルゴン及び酸素(アルゴン:酸素=30sccm:15sccm)雰囲気下において成膜し、成膜後熱処理なしの試料では2.83eV、成膜後450℃で熱処理(窒素雰囲気下で1時間の後、酸素雰囲気下で1時間)した試料は2.90eV、成膜後650℃で熱処理(窒素雰囲気下で1時間の後、酸素雰囲気下で1時間)した試料は2.94eV、また、酸素雰囲気(酸素100%)下において成膜し、成膜後熱処理なしの試料では2.82eV、成膜後450℃で熱処理(窒素雰囲気下で1時間の後、酸素雰囲気下で1時間)した試料は2.89eV、成膜後650℃で熱処理(窒素雰囲気下で1時間の後、酸素雰囲気下で1時間)した試料は2.94eVであり、約2.8eV~2.9eVであった。

【0259】

また、単結晶シリコン基板上に、酸素雰囲気(酸素100%)下、基板温度300℃、In:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用いたスパッタリング法により膜厚15nmで成膜して得られたIGZO膜を、該膜の表面側からスパッタリングしながら紫外線光電子分光分析(UPS:Ultraviolet Photoelectron Spectroscopy)によるイオン化ポテンシャルを測定した。なお、イオン化ポテンシャルは真空準位から価電子帯までのエネルギー差を表す。

【0260】

イオン化ポテンシャルの値から分光エリプソメトリーで測定したバンドギャップを引くことで伝導帯のエネルギーを算出し、この、In:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用いて成膜したIGZO膜のバンド構造を作成した。ただし、IGZO膜のバンドギャップは2.8eVとした。その結果が図12となる。

【0261】

次に、単結晶シリコン基板上に、酸素雰囲気(酸素100%)下、基板温度300℃、In:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用いたスパッタリング法により膜厚15nmで成膜して得られたIGZO膜の組成をX線光電子分光法(XPS:X-ray Photoelectron Spectroscopy)分析によって定量化して評価した。

【0262】

IGZO膜において、インジウム(In)が23.7atomic%、ガリウム(Ga)が7.5atomic%、亜鉛(Zn)が9atomic%、酸素(O)が59.7atomic%であった。

【0263】

また、In:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用いて成膜したIGZO膜のX線回折(XRD:X-Ray Diffraction)測定を行った。

【0264】

試料として、石英基板上にスパッタリング法を用いて膜厚100nmのIGZO膜を成膜した。成膜条件は、基板温度を室温、200℃、300℃、又は400℃とし、成膜雰囲気をアルゴン及び酸素(アルゴン:酸素=30sccm:15sccm)とし、ターゲットとして、In:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用いた。

【0265】

それぞれのIGZO膜についてout-of-plane法を用いてXRDスペクトルを測定した結果を図13に示す。図13において、縦軸はx線回折強度(任意単位)であり

10

20

30

40

50

、横軸は回転角 2θ (deg.) である。なお、XRD スペクトルの測定は、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用いた。

【0266】

図 13 に示すように、室温で成膜した IGZO 膜は、XRD スペクトルでは結晶を示すピークが見られず非晶質酸化物半導体膜であることが確認できた。また、 200° 、 300° 、又は 400° で成膜した IGZO 膜は、図 13 に示すように XRD スペクトルにおいて、 $2\theta = 31^\circ$ 近傍に、結晶に起因するピークが見られ、結晶性酸化物半導体膜であることが確認できた。

【0267】

次に IGZO 膜の端面を切り出し、高分解能透過電子顕微鏡 (日立ハイテクノロジー製「H9000-NAR」: TEM) で加速電圧を 300 kV とし、IGZO 膜の断面観察を行った。

10

【0268】

試料として、石英基板上にスパッタリング法を用いて膜厚 100 nm の IGZO 膜を成膜した。成膜条件は、基板温度を 300°C 、成膜雰囲気アルゴン及び酸素 (アルゴン: 酸素 = $30\text{ sccm} : 15\text{ sccm}$) とし、ターゲットとして、 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ [原子数比] の酸化物ターゲットを用いた。

【0269】

図 16 (A) に成膜後加熱処理なし、図 16 (B) に成膜後 450°C 熱処理 (酸素雰囲気下 1 時間の後、酸素雰囲気下 1 時間)、図 16 (C) に成膜後 650°C 熱処理 (酸素雰囲気下 1 時間の後、酸素雰囲気下 1 時間) の IGZO 膜の断面における TEM 像を示す。

20

【0270】

図 16 (A) 乃至 (C) に示すように、表面に概略垂直な c 軸を有している結晶 (CAAC) を含む IGZO 膜が確認できた。

【0271】

以上のように、 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ [原子数比] の酸化物ターゲットを用いて非単結晶の IGZO 膜が得られることが確認できた。

【実施例 2】

【0272】

本実施例では、 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ [原子数比] の酸化物ターゲットを用いて成膜された IGZO 膜を有するトランジスタを作製し、電気特性及び信頼性の評価を行った。

30

【0273】

トランジスタとして、図 1 に示すトランジスタ 440a の構造のトランジスタ 1、及び図 2 (A) に示すトランジスタ 440b の構造のトランジスタ 2 を作製した。以下にトランジスタ 1 及びトランジスタ 2 の作製方法を示す。

【0274】

ガラス基板上に絶縁層としてスパッタリング法を用いて、膜厚 300 nm の酸化シリコン膜を形成した (成膜条件: 酸素雰囲気下、圧力 0.4 Pa 、電源 1.5 kW 、ガラス基板とターゲットとの間の距離を 60 mm 、基板温度 100°C)。

40

【0275】

酸化シリコン膜表面を研磨処理後、酸化物半導体膜として $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ [原子数比] の酸化物ターゲットを用いたスパッタリング法により、膜厚 20 nm の IGZO 膜を形成した。成膜条件は、アルゴン及び酸素 (アルゴン: 酸素 = $30\text{ sccm} : 15\text{ sccm}$) 雰囲気下、圧力 0.4 Pa 、電源 1.5 kW 、ガラス基板とターゲットとの間の距離を 60 mm 、基板温度 200°C とした。

【0276】

次に、温度 450°C 、酸素雰囲気下 1 時間の熱処理後、酸素雰囲気下 1 時間の熱処理を行った。IGZO 膜を ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法により、エッチング (エッチング条件: エッチングガ

50

ス ($\text{BCl}_3 : \text{Cl}_2 = 60 \text{ sccm} : 20 \text{ sccm}$)、電源電力 450 W 、バイアス電力 100 W 、圧力 1.9 Pa) し、島状に加工した。

【0277】

スパッタリング法により膜厚 50 nm のタンゲステン膜 (成膜条件: アルゴン雰囲気下、圧力 0.8 Pa 、電源電力 1 kW) を成膜し、ICP エッチング法により、エッチング (エッチング条件: エッチングガス ($\text{CF}_4 : \text{Cl}_2 : \text{O}_2 = 25 \text{ sccm} : 25 \text{ sccm} : 10 \text{ sccm}$)、電源電力 500 W 、バイアス電力 150 W 、圧力 1.0 Pa) してソース電極層及びドレイン電極層を形成した。

【0278】

次に CVD 法により酸化窒化シリコン膜を 30 nm 成膜し、ゲート絶縁膜を形成した。

10

【0279】

スパッタリング法により膜厚 15 nm の窒化タンタル膜 (成膜条件: アルゴン及び窒素 ($\text{Ar} : \text{N}_2 = 50 \text{ sccm} : 10 \text{ sccm}$) 雰囲気下、圧力 0.6 Pa 、電源電力 1 kW) 及び膜厚 135 nm のタンゲステン膜 (成膜条件: アルゴン雰囲気下、圧力 2.0 Pa 、電源電力 4 kW) の積層を成膜し、エッチング法により、エッチング (第1エッチング条件: エッチングガス ($\text{Cl}_2 : \text{SF}_6 : \text{O}_2 = 33 \text{ sccm} : 33 \text{ sccm} : 10 \text{ sccm}$ 、電源電力 2000 W 、バイアス電力 50 W 、圧力 0.67 Pa) (第2エッチング条件: エッチングガス ($\text{Cl}_2 = 100 \text{ sccm}$ 、電源電力 2000 W 、バイアス電力 50 W 、圧力 0.67 Pa) してゲート電極層を形成した。

【0280】

20

トランジスタ1のみ、ゲート電極層、ソース電極層及びドレイン電極層をマスクとしてイオン注入法により IGZO 膜に、リン (P) イオンを注入した。なお、リン (P) イオンの注入条件は加速電圧 40 kV 、ドーズ量を $1.0 \times 10^{15} \text{ ions/cm}^2$ とした。

【0281】

絶縁膜としてゲート電極層上に、スパッタリング法により酸化アルミニウム膜 (成膜条件: アルゴン及び酸素 (アルゴン: 酸素 = $25 \text{ sccm} : 25 \text{ sccm}$) 雰囲気下、圧力 0.4 Pa 、電源電力 2.5 kW 、ガラス基板とターゲットとの間の距離を 60 mm 、基板温度 250°C) を成膜し、CVD 法により酸化窒化シリコン膜を 300 nm 積層した。

【0282】

次に、ゲート絶縁膜及び絶縁膜に IGZO 膜に達する開口を形成し、該開口にスパッタリング法により膜厚 50 nm のチタン膜 (成膜条件: アルゴン ($\text{Ar} = 20 \text{ sccm}$) 雰囲気下、圧力 0.1 Pa 、電源電力 12 kW)、膜厚 100 nm のアルミニウム膜 (成膜条件: アルゴン ($\text{Ar} = 50 \text{ sccm}$) 雰囲気下、圧力 0.4 Pa 、電源電力 1 kW)、膜厚 50 nm のチタン膜 (成膜条件: アルゴン ($\text{Ar} = 20 \text{ sccm}$) 雰囲気下、圧力 0.1 Pa 、電源電力 12 kW) の積層を成膜し、エッチング (エッチング条件: エッチングガス ($\text{BCl}_3 : \text{Cl}_2 = 60 \text{ sccm} : 20 \text{ sccm}$)、電源電力 450 W 、バイアス電力 100 W 、圧力 1.9 Pa) して、配線層を形成した。

30

【0283】

以上の工程でトランジスタ1及びトランジスタ2を作製した。なお、トランジスタ1においては、チャンネル長 (L) は $3.2 \mu\text{m}$ 及びチャンネル幅 (W) は $10.1 \mu\text{m}$ 、酸化物半導体膜上においてソース電極層、ドレイン電極層、及びゲート電極層のどれとも重ならない領域のチャンネル長方向の幅 (Loff) とするは $0.15 \mu\text{m}$ とした。一方、なお、トランジスタ2においては、チャンネル長 (L) は $2.9 \mu\text{m}$ 及びチャンネル幅 (W) は $10.1 \mu\text{m}$ 、酸化物半導体膜上においてソース電極層又はドレイン電極層がゲート電極層と重なる領域のチャンネル長方向の幅 (Lov) とするは $1.15 \mu\text{m}$ とした。

40

【0284】

得られたトランジスタ1及びトランジスタ2の電気特性、及びトランジスタ1においては信頼性評価も行った。トランジスタ2のドレイン電圧 (V_d) が 3 V 、 0.1 V におけるゲート電圧 (V_g) - ドレイン電流 (I_d) 特性、及びドレイン電圧 (V_d) が 0.1 V における電界効果移動度を図14に、トランジスタ1のドレイン電圧 (V_d) が 3 V 、 0

50

、1 Vにおけるゲート電圧 (V_g) - ドレイン電流 (I_d) 特性、及びドレイン電圧 (V_d) が0.1 Vにおける電界効果移動度を図15 (A) (B) に示す。

【0285】

図14及び図15に示すようにトランジスタ1及びトランジスタ2は、高いオン特性を示し、電界効果移動度は $20\text{ cm}^2/\text{Vs}$ 付近であり、トランジスタ2においては $20\text{ cm}^2/\text{Vs}$ を超える電界効果移動度であった。

【0286】

トランジスタの信頼性を調べるための手法の一つに、バイアス - 熱ストレス試験 (以下、GBT (Gate Bias Temperature) 試験と呼ぶ。) がある。GBT試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。特に、GBT試験前後におけるトランジスタのしきい値電圧の変化量は、信頼性を調べるための重要な指標となる。GBT試験前後において、しきい値電圧の変化量が小さいほど信頼性が高い。

10

【0287】

トランジスタが形成されている基板を一定の温度に維持し、トランジスタのソースとドレインを同電位とし、ゲートにはソース及びドレインとは異なる電位を一定時間与える。基板の温度は、試験目的に応じて適宜設定すればよい。なお、「+GBT試験」では、ゲートに与える電位がソース及びドレインの電位 (ソースとドレインは同電位である。) よりも高く、「-GBT試験」では、ゲートに与える電位がソース及びドレインの電位 (ソースとドレインは同電位である。) よりも低い。

20

【0288】

GBT試験の試験強度は、基板温度、ゲート絶縁層に加えられる電界強度及び電界印加時間により決定することができる。ゲート絶縁層中の電界強度は、ゲートと、ソース及びドレインと、の間の電位差をゲート絶縁層の厚さで除して決定される。

【0289】

本実施例ではトランジスタ1にGBT試験を行った。まず+GBT試験として、基板温度を 40°C とし、 V_d を3 Vとし、トランジスタ1の $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150°C とし、 V_d を0.1 Vとした。次に、ゲート絶縁膜に印加される電界強度が 2 MV/cm となるように V_g に6 Vを印加し、そのまま大気雰囲気下で1時間保持した。次に、 V_g を0 Vとした。次に、基板温度 40°C とし、 V_d を10 Vとし、トランジスタ1の $V_g - I_d$ 測定を行った。+GBT試験結果を図15 (A) に示す。

30

【0290】

同様に、-GBT試験まず基板温度を 40°C とし、 $V(d_s)$ を10 Vとし、トランジスタ1の $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150°C とし、 V_d を0.1 Vとした。次に、ゲート絶縁膜に印加される電界強度が -2 MV/cm となるように V_g に-6 Vを印加し、そのまま大気雰囲気下で1時間保持した。次に、 V_g を0 Vとした。次に、基板温度 40°C とし、 V_d を10 Vとし、トランジスタ1の $V_g - I_d$ 測定を行った。-GBT試験結果を図15 (B) に示す。

【0291】

なお、図15 (A) (B) において、GBT試験前を太線、試験後を細線で示している。

40

【0292】

図15 (A) (B) に示すように、トランジスタ1の+GBT試験および-GBT試験によるしきい値電圧の変動は、ほとんど見られなかった。従って、本実施例のトランジスタは、GBT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことが確認できた。

【0293】

また、トランジスタ1と同様の作製行程によって、チャネル長 (L) を $0.8\text{ }\mu\text{m}$ 、チャネル幅 (W) を $1000\text{ }\mu\text{m}$ 、 L_{off} を $0.3\text{ }\mu\text{m}$ としたトランジスタを作製し、当該トランジスタのオフリーク電流 (オフ電流) を測定した。測定は、125 または85の条件下にて行った。測定結果を図17に示す。

50

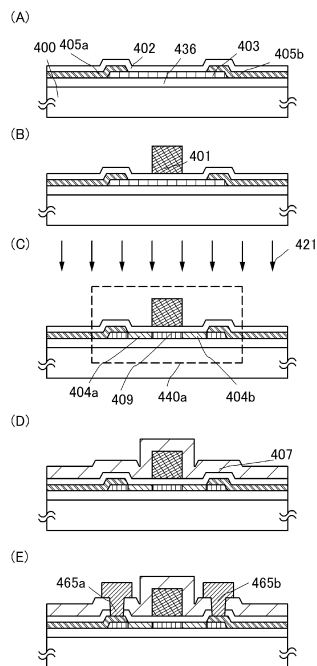
【 0 2 9 4 】

図 1 7 より、本実施例に係るトランジスタを 8 5 において 4 1 . 5 時間動作させた場合のオフリーク電流は、 $0.5 \text{ z A} / \mu \text{ m}$ であり、極めて低い値であった。

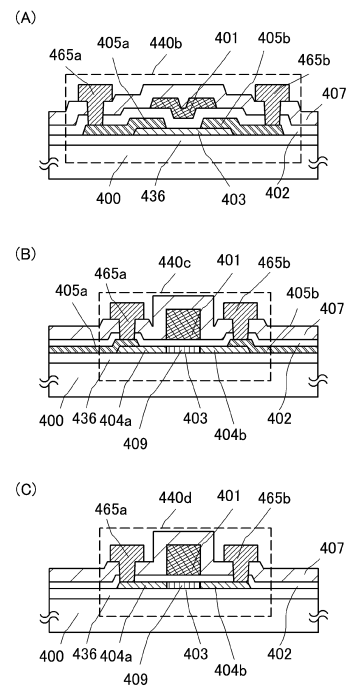
【 0 2 9 5 】

以上より、本実施例のトランジスタは、オフ電流値が極めて低く、信頼性の高いトランジスタであることが示された。

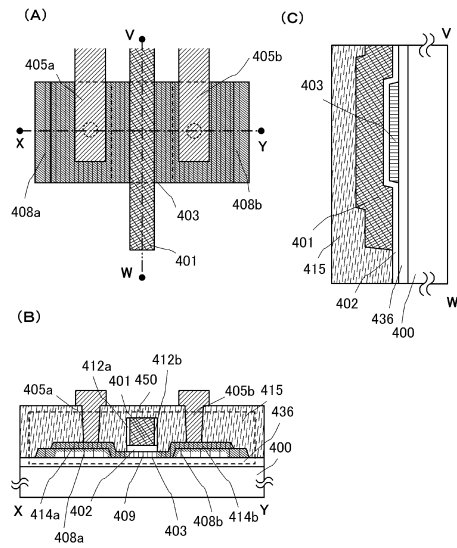
【 図 1 】



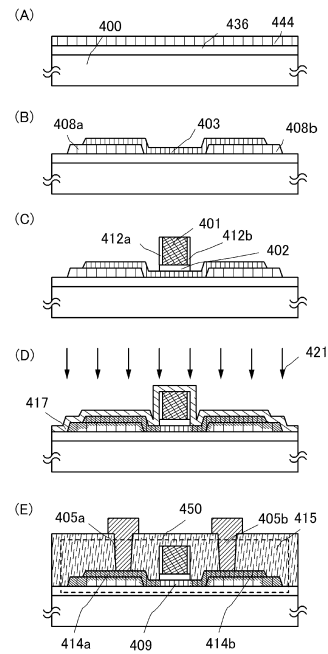
【 図 2 】



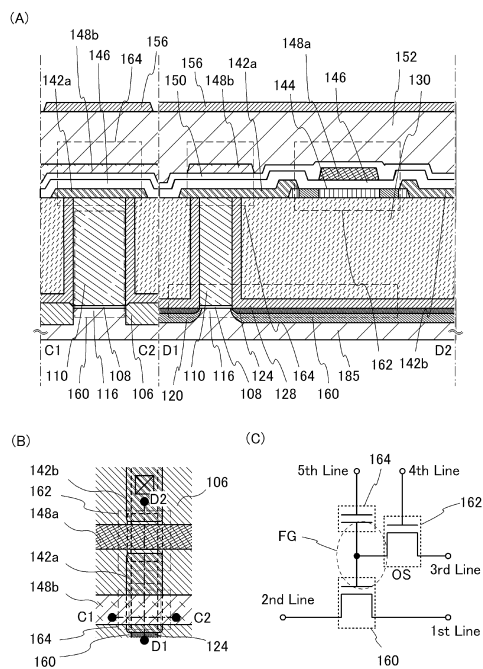
【図 3】



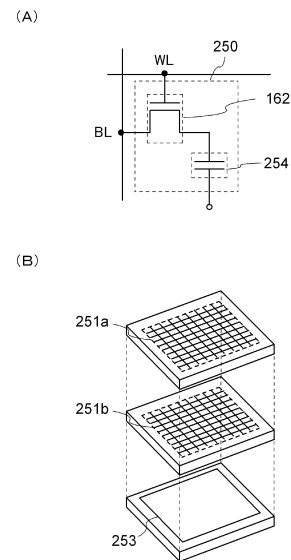
【図 4】



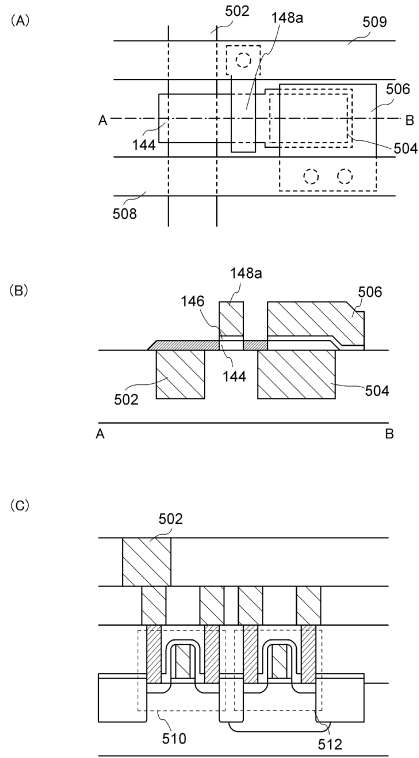
【図 5】



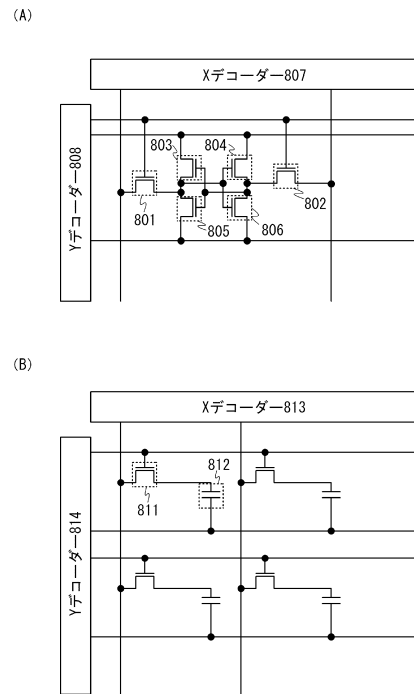
【図 6】



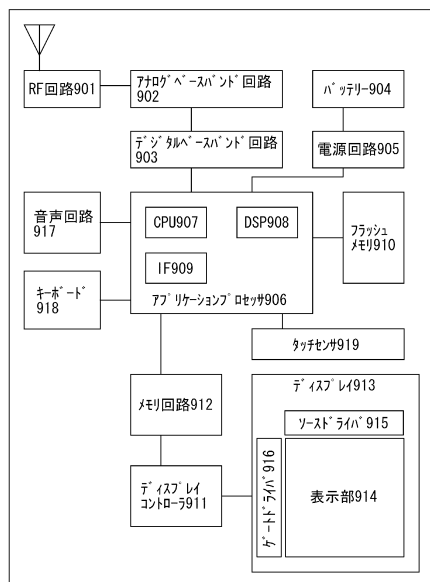
【図 7】



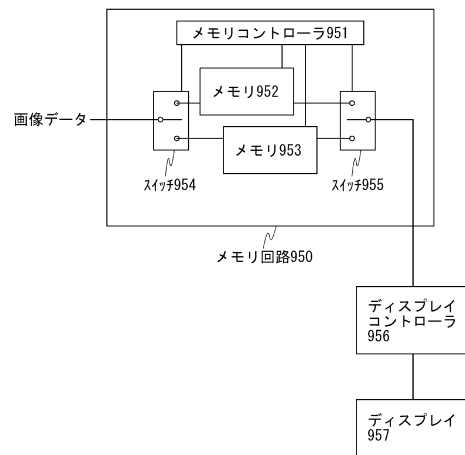
【図 8】



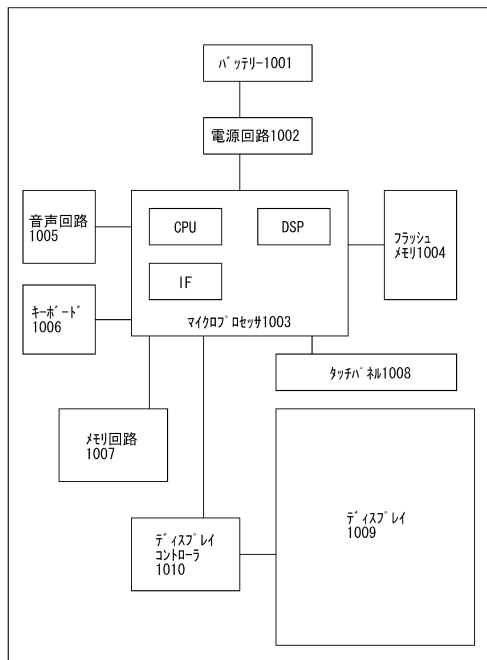
【図 9】



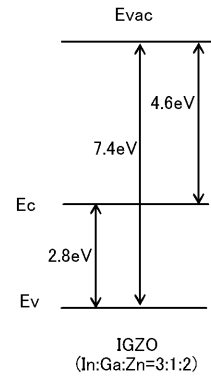
【図 10】



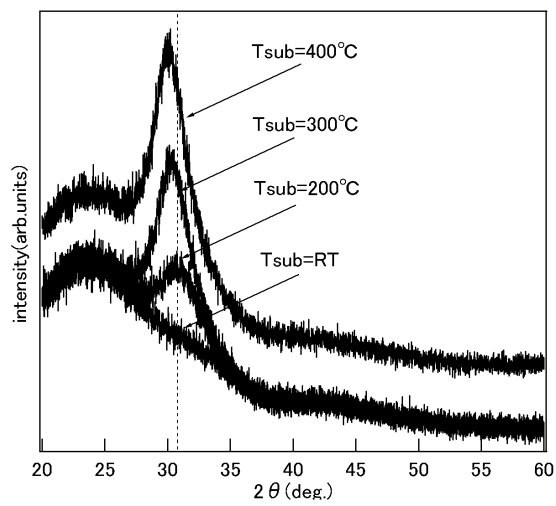
【図 1 1】



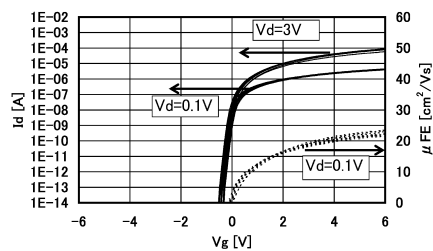
【図 1 2】



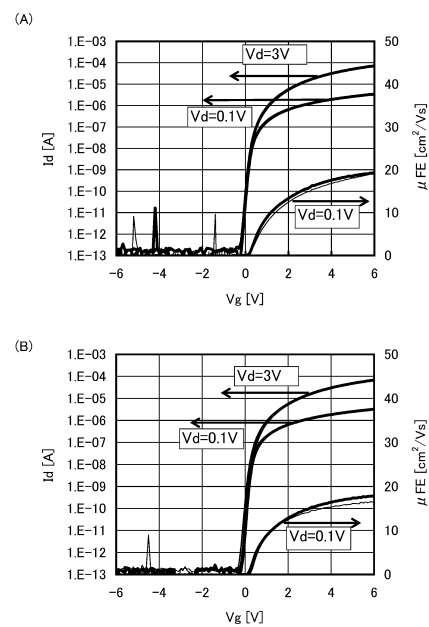
【図 1 3】



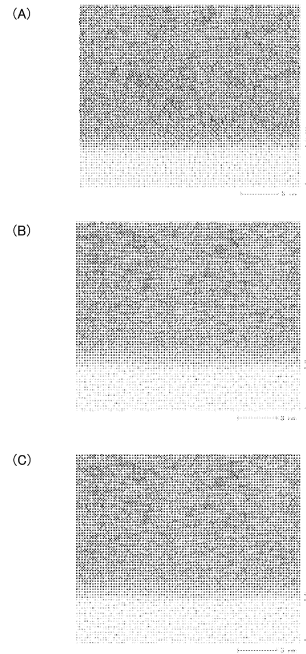
【図 1 4】



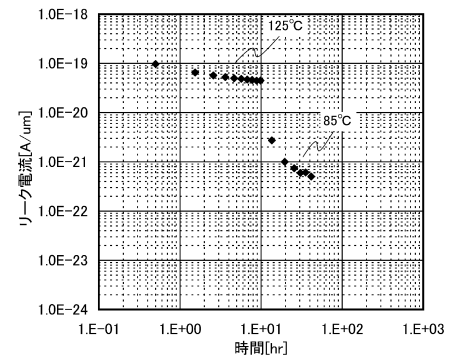
【図 1 5】



【図 16】



【図 17】



フロントページの続き

審査官 市川 武宜

- (56)参考文献 国際公開第2011/001715(WO, A1)
特開2008-140684(JP, A)
特開2008-059824(JP, A)
国際公開第2011/024501(WO, A1)
特開2011-103402(JP, A)
特開2007-281409(JP, A)
国際公開第2009/075281(WO, A1)
特開2008-085048(JP, A)
特開2011-119672(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/786
H01L 21/8234
H01L 27/088