(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0082180
(43) 공개일자 2018년07월18일

(51) 국제특허분류(Int. Cl.)
H03M 1/74 (2006.01) *H03M 1/08* (2006.01)
(52) CPC특허분류
H03M 1/742 (2013.01)
H03M 1/0845 (2013.01)
(21) 출원번호 10-2017-0003549
(22) 출원일자 2017년01월10일
심사청구일자 2017년01월10일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울특별시 용산구 이촌로 310, 101동 2303호(이촌동, 래미안 첼리투스)
최희철
서울특별시 강남구 논현로 209, 101동 202호(도곡동, 경남아파트)
(뒷면에 계속)
(74) 대리인
특허법인충현

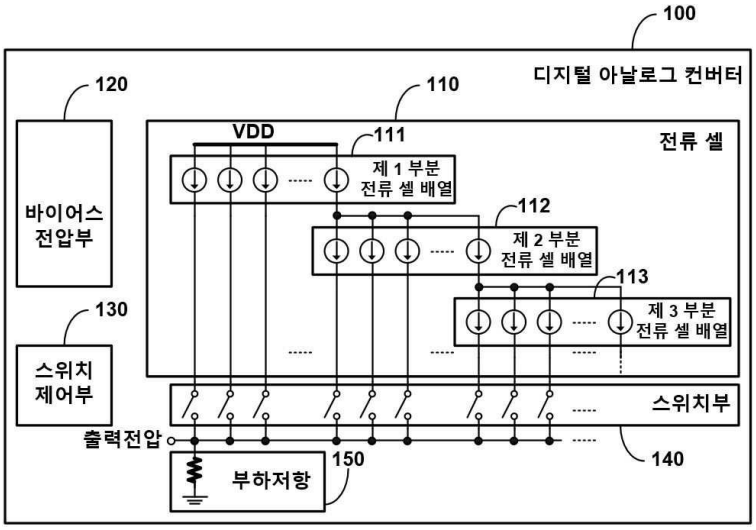
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **부분 소자 정합 기법 기반의 전류 구동 디지털 아날로그 컨버터**

(57) 요 약

본 발명은 디지털 아날로그 컨버터에 관한 것으로서, 전류 구동 디지털 아날로그 컨버터에 있어서, 복수의 부분 전류 셀 배열로 형성되는 전류 셀, 및 상기 각 부분 전류 셀 배열에 인가되는 바이어스 전압부를 포함하고, 상기 전류 셀은, 구현하고자 하는 비트를 소정의 수로 나누고, 나누어진 수만큼 부분 전류 셀 배열을 형성하되, 하위 부분 전류 셀 배열을 형성하는 N 개의 전류 셀 중 하나의 전류 셀에 흐르는 전류는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀에 흐르는 전류의 1/(N+1)과 동일한 것을 특징으로 함으로써 스위칭 타이밍 오류에 따른 디지털 아날로그 컨버터 성능 저하를 해결함과 동시에 별도의 보정 기법 없이 소면적, 고해상도 및 고속 동작의 디지털 아날로그 컨버터를 구현할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H03M 1/0863 (2013.01)
H03M 2201/3194 (2013.01)
(72) 발명자
안태지
서울특별시 마포구 백범로10길 26, 105호 (신수동)

김원강
경기도 군포시 금산로 91, 107동 2503호(산본동, 래미안 하이어스)

이 발명을 지원한 국가연구개발사업
과제고유번호 10080488
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업기술혁신사업
연구과제명 고속 고해상도 ADC 기술개발
기 여 율 1/1
주관기관 한양대학교 산학협력단
연구기간 2017.07.01 ~ 2018.03.31

명 세 서

청구범위

청구항 1

전류 구동 디지털 아날로그 컨버터에 있어서,

복수의 부분 전류 셀 배열로 형성되는 전류 셀; 및

상기 각 부분 전류 셀 배열에 바이어스 전압을 인가하는 바이어스 전압부를 포함하고,

상기 전류 셀은,

구현하고자 하는 비트를 소정의 수로 나누고, 나누어진 수만큼 부분 전류 셀 배열을 형성하되,

하위 부분 전류 셀 배열을 형성하는 N 개의 전류 셀 중 하나의 전류 셀에 흐르는 전류는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀에 흐르는 전류의 1/(N+1)과 동일한 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 2

제 1 항에 있어서,

상기 전류 셀은,

상기 부분 전류 셀 배열 및 최하위 부분 전류 셀 배열의 전류 셀과 동일한 전류가 흐르는 더미(dummy) 전류 셀로 형성되는 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 3

제 1 항에 있어서,

상기 부분 전류 셀 배열을 형성하는 전류 셀의 크기는 동일한 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 4

제 1 항에 있어서,

상기 전류 셀은,

하위 부분 전류 셀을 형성하는 N 개의 전류 셀 중 하나의 전류 셀의 크기는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀의 크기의 1/(N+1)과 동일한 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 5

제 1 항에 있어서,

상기 전류 셀은,

구현하고자 하는 비트가 12비트이고, 최상위 비트 부분 전류 셀 배열, 제 1 중간 비트 부분 전류 셀 배열, 제 2 중간 비트 부분 전류 셀 배열, 최하위 비트 부분 전류 셀 배열, 및 하나의 더미 전류 셀로 형성되는 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 6

제 5 항에 있어서,

상기 각 부분 전류 셀 배열은,

3비트 온도계 코드를 기반으로 7 개의 전류 셀로 형성되는 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 7

제 1 항에 있어서,

상기 바이어스 전압부는,

상위 부분 전류 셀 배열의 공통 노드 전압을 레벨 시프터(level Shifter)를 통해 전압 강하하여 하위 부분 전류 셀 배열에 인가되는 바이어스 전압으로 이용하는 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 8

제 7 항에 있어서,

상기 레벨 시프터는,

소스 폴로워(source follower)로 구현되는 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 9

제 7 항에 있어서,

상기 전류 셀이 최상위 비트 부분 전류 셀 배열, 제 1 중간 비트 부분 전류 셀 배열, 제 2 중간 비트 부분 전류 셀 배열, 최하위 비트 부분 전류 셀 배열로 형성되고,

상기 바이어스 전압부는,

상기 최상위 비트 부분 전류 셀 배열 및 상기 제 1 중간 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 바이어스 전압 회로에서 직접 생성하고,

상기 제 2 중간 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 상기 제 1 중간 비트 부분 전류 셀 배열의 공통 노드 전압을 전압 강하하여 생성하고,

상기 최하위 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 상기 제 2 중간 비트 부분 전류 셀 배열의 공통 노드 전압을 전압 강하하여 생성하는 것을 특징으로 하는 디지털 아날로그 컨버터.

청구항 10

제 1 항 내지 제 8 항 중 어느 한 항의 디지털 아날로그 컨버터를 포함하는 영상시스템.

발명의 설명

기 술 분 야

[0001] 본 발명은 디지털 아날로그 컨버터에 관한 것으로서, 더욱 상세하게는 부분 소자 정합 기법에 기반하여 부분 전류 셀 배열을 이용하는 전류 구동 디지털 아날로그 컨버터에 관한 것이다.

배 경 기 술

[0002] 최근 organic light emitting diode (OLED), liquid crystal display (LCD) 등 디스플레이 패널 기술의 발달로 일반적인 high definition (HD)급 패널보다 4배 높은 해상도를 갖는 quad HD (QHD)급 패널 사용이 증가하고 있다. QHD급 패널은 TV, 스마트폰 및 태블릿 PC 등 멀티미디어 시스템뿐만 아니라, 고성능의 보안 시스템에 대한 수요가 일반 가정까지 확산됨에 따라 고화질의 보안용 감시 카메라에도 사용이 증가하고 있다. 이러한 영상 시스템에는 디지털 신호를 아날로그 신호로 변환하기 위한 digital-to-analog converter (DAC)가 필수적으로 요구되며, 일반적인 QHD급 영상 시스템 응용을 위한 DAC는 12비트 수준의 해상도 및 150MS/s 수준의 동작 속도를 필요로 한다. 특히, QHD급 보안용 감시 카메라에 사용되는 DAC의 경우 150MS/s 수준의 동작 속도 및 36-42MHz 범위의 출력 주파수에서 약 60dB 이상의 spurious-free dynamic range (SFDR)가 요구된다. 이러한 영상 시스템에서 필수적으로 요구되는 고해상도 및 고속 동작의 DAC는 그 역할이 점점 더 중요해지고 있다.

[0003] DAC는 구동 방식에 따라 전압 구동 DAC와 전류 구동 DAC로 구분된다. 일반적인 전압 구동 DAC의 경우, DAC 출력부에 연산증폭기를 사용하므로 출력 전압의 정착 시간이 연산증폭기의 slew rate에 의해 결정되기 때문에 고속 동작을 요구하는 시스템에는 적합하지 않다. 따라서 고속 동작의 DAC를 구현하기 위해 전류 구동 DAC에 대한 연

구가 활발히 진행되고 있다.

[0004] 일반적인 전류 구동 DAC는 우수한 성능의 전류원 및 스위치로 구성된 전류 셀, 스위치 구동 회로 등으로 구성되며, 스위치 구동 방식에 따라 이진 가중치 코드 기반의 DAC와 온도계 코드 기반의 DAC로 구분된다. 이진 가중치 코드 기반의 DAC의 경우 비교적 회로 구현이 간단하고 소면적 DAC 구현이 가능하지만, 디지털 입력 코드의 변화에 따라 큰 글리치 에너지가 발생하여 DAC의 성능 저하를 유발한다. 이와 다르게 온도계 코드 기반의 DAC는 고해상도에서 우수한 선형성을 갖지만, 전류 셀 개수 증가 및 디지털 입력을 온도계 코드로 변환하는 디코더 회로의 사용으로 전체 회로의 복잡도 및 도선의 면적이 증가하는 단점이 있다.

[0005] 고해상도의 DAC 구현에는 통상 상위 비트 (most significant bit : MSB)는 높은 선형성을 얻기 위해 온도계 코드를 사용하고, 하위 비트 (least significant bit : LSB)는 전류 셀 개수 및 스위치 구동 회로의 복잡도를 고려하여 이진 가중치 코드를 사용하는 세그먼트 구조가 주로 사용된다. 그러나 온도계 코드 기반의 MSB 세그먼트와 이진 가중치 코드 기반의 LSB 세그먼트가 서로 다른 스위칭 구동 회로를 갖기 때문에 두 세그먼트 간 스위칭 타이밍 오류가 발생할 수 있으며, 고속 동작 시 스위칭 타이밍 오류가 심화되어 DAC 성능 저하가 발생한다.

[0006] 고해상도 및 고속 동작의 DAC 성능을 향상시키기 위한 연구 결과로 무작위 스위칭 기법, 전류 부정합 보정 기법, 동적 소자 정합 기법 등의 다양한 설계 기법들이 발표되었지만 이와 같은 설계 기법들을 사용할 경우, 별도의 보정 기법에 따른 디지털 회로 및 도선의 복잡도와 면적이 증가하는 단점이 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 전류 셀 구동 방식의 디지털-아날로그 변환기(한국공개특허 10-2006-0006501)

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는 부분 소자 정합 기법에 기반하여 부분 전류 셀 배열을 이용하는 전류 구동 디지털 아날로그 컨버터를 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명은 상기 과제를 달성하기 위하여, 전류 구동 디지털 아날로그 컨버터에 있어서, 복수의 부분 전류 셀 배열로 형성되는 전류 셀; 및 상기 각 부분 전류 셀 배열에 바이어스 전압을 인가하는 바이어스 전압부를 포함하고, 상기 전류 셀은, 구현하고자 하는 비트를 소정의 수로 나누고, 나누어진 수만큼 부분 전류 셀 배열을 형성하되, 하위 부분 전류 셀 배열을 형성하는 N 개의 전류 셀 중 하나의 전류 셀에 흐르는 전류는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀에 흐르는 전류의 1/(N+1)과 동일한 것을 특징으로 하는 디지털 아날로그 컨버터를 제공한다.

[0010] 본 발명의 실시예에 의하면, 상기 전류 셀은, 상기 부분 전류 셀 배열 및 최하위 부분 전류 셀 배열의 전류 셀과 동일한 전류가 흐르는 더미(dummy) 전류 셀로 형성되는 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

[0011] 본 발명의 실시예에 의하면, 상기 부분 전류 셀 배열을 형성하는 전류 셀의 크기는 동일한 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

[0012] 본 발명의 실시예에 의하면, 상기 전류 셀은, 하위 부분 전류 셀을 형성하는 N 개의 전류 셀 중 하나의 전류 셀의 크기는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀의 크기의 1/(N+1)과 동일한 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

[0013] 본 발명의 실시예에 의하면, 상기 전류 셀은, 구현하고자 하는 비트가 12비트이고, 최상위 비트 부분 전류 셀 배열, 제 1 중간 비트 부분 전류 셀 배열, 제 2 중간 비트 부분 전류 셀 배열, 최하위 비트 부분 전류 셀 배열, 및 하나의 더미 전류 셀로 형성되는 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

[0014] 본 발명의 실시예에 의하면, 상기 각 부분 전류 셀 배열은, 3비트 온도계 코드를 기반으로 7 개의 전류 셀로 형

성되는 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

[0015] 본 발명의 실시예에 의하면, 상기 바이어스 전압부는, 상위 부분 전류 셀 배열의 공통 노드 전압을 레벨 시프터(level Shifter)를 통해 전압 강하하여 하위 부분 전류 셀 배열에 인가되는 바이어스 전압으로 이용하는 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

[0016] 본 발명의 실시예에 의하면, 상기 레벨 시프터는, 소스 폴로워(source follower)로 구현되는 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

[0017] 본 발명의 실시예에 의하면, 상기 전류 셀이 최상위 비트 부분 전류 셀 배열, 제 1 중간 비트 부분 전류 셀 배열, 제 2 중간 비트 부분 전류 셀 배열, 최하위 비트 부분 전류 셀 배열로 형성되고, 상기 바이어스 전압부는, 상기 최상위 비트 부분 전류 셀 배열 및 상기 제 1 중간 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 바이어스 전압 회로에서 직접 생성하고, 상기 제 2 중간 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 상기 제 1 중간 비트 부분 전류 셀 배열의 공통 노드 전압을 전압 강하하여 생성하고, 상기 최하위 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 상기 제 2 중간 비트 부분 전류 셀 배열의 공통 노드 전압을 전압 강하하여 생성하는 것을 특징으로 하는 디지털 아날로그 컨버터일 수 있다.

발명의 효과

[0018] 본 발명에 따르면, 스위칭 타이밍 오류에 따른 디지털 아날로그 컨버터 성능 저하를 해결함과 동시에 별도의 보정 기법 없이 소면적, 고해상도 및 고속 동작의 디지털 아날로그 컨버터를 구현할 수 있다. 바이어스 회로를 간소화하는 동시에 스위칭 동작 시 발생하는 글리치 에너지로 인한 디지털 아날로그 컨버터 성능 저하를 최소화할 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른 디지털 아날로그 컨버터를 나타낸 것이다.

도 2는 본 발명의 바람직한 실시예에 따른 디지털 아날로그 컨버터를 나타낸 것이다.

도 3은 본 발명의 실시예에 따른 전류 셀의 개념을 나타낸 도면이다.

도 5는 공정상 부정합에 의한 해상도 저하를 고려한 전류 셀 설계를 나타낸 것이다.

도 4는 본 발명의 실시예에 따른 전류 셀을 종래의 전류 셀과 비교한 것이다.

도 6은 본 발명의 실시예에 따른 바이어스 전압부를 종래의 전류 셀과 비교한 것이다.

도 7은 본 발명의 실시예에 따른 바이어스 전압부를 바이어스 동작을 나타낸 것이다.

도 8은 글리치 및 클록 feed-through에 따른 디지털 아날로그 컨버터 출력 파형을 나타낸 것이다.

도 9는 본 발명의 실시예에 따른 디지털 래치를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0021] 본 발명의 일 실시예에 따른 디지털 아날로그 컨버터는, 전류 구동 디지털 아날로그 컨버터에 있어서, 복수의 부분 전류 셀 배열로 형성되는 전류 셀, 및 상기 각 부분 전류 셀 배열에 인가되는 바이어스 전압부를 포함하고, 상기 전류 셀은, 구현하고자 하는 비트를 소정의 수로 나누고, 나누어진 수만큼 부분 전류 셀 배열을 형성하되, 하위 부분 전류 셀 배열을 형성하는 N 개의 전류 셀 중 하나의 전류 셀에 흐르는 전류는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀에 흐르는 전류의 1/(N+1)과 동일한 것을 특징으로 한다.

[0022] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0023] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예

에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0024] 도 1은 본 발명의 일 실시예에 따른 디지털 아날로그 컨버터를 나타낸 것이다.

[0025] 본 발명의 일 실시예에 따른 디지털 아날로그 컨버터(100)는 전류 셀(110) 및 바이어스 전압부(120)로 구성되며, 스위치제어부(130), 스위치부(140), 부하저항(150), 또는 디지털 입력부, 디코더, 아날로그 출력부와 같이, 전류 구동 디지털 아날로그 컨버터에 필요한 구성들이 포함된다.

[0026] 고해상도 및 고속 동작의 디지털 아날로그 컨버터의 성능을 향상시키기 위한 종래의 방법들은 별도의 보정 방법이 필요하거나, 디지털 회로 및 도선의 복잡도와 면적이 증가하는 단점이 발생하는바, 본 발명에서는 부분 소자 정합 기법을 기반으로 전류 셀을 형성하고, 전류 셀에 인가되는 바이어스 전압을 간소화하여 종래의 방법들의 단점을 해결한다.

[0027] 전류 셀(110)은 복수의 부분 전류 셀 배열로 형성된다.

[0028] 보다 구체적으로, 전류 셀(110)은 구현하고자 하는 비트를 소정의 수로 나누고, 나누어진 수만큼 부분 전류 셀 배열을 형성하되, 하위 부분 전류 셀 배열을 형성하는 N 개의 전류 셀 중 하나의 전류 셀에 흐르는 전류는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀에 흐르는 전류의 1/(N+1)과 동일하게 구현된다.

[0029] 전류 셀(110)을 이용하여 구현하고자 하는 비트를 소정의 수로 나누고, 각 비트에 해당하는 부분 전류 셀 배열(111, 112, 113)에 필요한 전류 셀의 수를 정하고, 각 부분 전류 셀 배열을 형성한다. 이때, 하위 부분 전류 셀 배열을 형성하는 N 개의 전류 셀 중 하나의 전류 셀에 흐르는 전류는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀에 흐르는 전류의 1/(N+1)과 동일하게 구현된다. 즉, 하위 부분 전류 셀 배열은 상위 부분 전류 셀 배열로부터 파생되는 구조로 구현된다.

[0030] 전류 셀(110)은 상기 부분 전류 셀 배열 및 최하위 부분 전류 셀 배열의 전류 셀과 동일한 전류가 흐르는 더미(dummy) 전류 셀로 형성될 수 있다. 최하위 부분 전류 셀 배열까지 파생하여 구현한 이후 하나의 전류 셀이 남게 되며, 이는 더미 전류 셀로 구성할 수 있다.

[0031] 도 2는 본 발명의 실시예에 따른 12비트 150MS/s 전류 구동 CMOS 디지털 아날로그 컨버터를 나타낸 것으로, 12비트를 구현하기 위하여, 부분 소자 정합 기법을 기반으로 전류 셀을 각 3비트씩, 최상위 비트(MSB) 부분 전류 셀 배열, 제 1 중간 비트(ISB1) 부분 전류 셀 배열, 제 2 중간 비트(ISB2) 부분 전류 셀 배열, 최하위 비트(LSB) 부분 전류 셀 배열, 및 하나의 더미(Dummy) 전류 셀로 형성될 수 있다. 각 부분 전류 셀 배열은, 3비트 온도계 코드를 기반으로 7 개의 전류 셀로 형성될 수 있다.

[0032] 부분 전류 셀을 구현하는 개념은 도 3과 같이 나타낼 수 있다. 전류 셀에 흐르는 전류의 크기를 면적으로 나타내면, 제 1 중간 비트 부분 전류 셀 배열의 전류 셀에 흐르는 전류 하나의 크기는 최상위 비트 부분 전류 셀 배열의 전류 셀에 흐르는 전류의 1/8이되고, 제 2 중간 비트 부분 전류 셀 배열의 전류 셀에 흐르는 전류 하나의 크기는 제 1 비트 부분 전류 셀 배열의 전류 셀에 흐르는 전류의 1/8이되고, 최하위 비트 부분 전류 셀 배열의 전류 셀에 흐르는 전류 하나의 크기는 제 2 비트 부분 전류 셀 배열의 전류 셀에 흐르는 전류의 1/8이된다. 더미 셀은 최하위 비트 부분 전류 셀 배열의 전류 셀과 동일하다. 이를 통해 전체 전류 셀 배열은 28 개의 전류 셀과 하나의 더미 전류 셀로 구성된다. 이와 같이 구조적으로 각 부분 전류 셀 배열에 흐르는 전류가 적절히 분배되기 때문에 각 부분 전류 셀 배열을 구성하는 7개의 전류 셀 간의 정합 특성만 고려하면 높은 선형성을 갖는 12비트 전류 구동 디지털 아날로그 컨버터를 구현할 수 있다.

[0033] 한편, 디지털 아날로그 컨버터의 전류 셀 배열을 구성하는 단위 전류 셀의 트랜지스터 채널 길이는 도 5와 같이 monte carlo 모의실험을 통해 12비트 해상도에서 differential non-linearity (DNL)가 1LSB 범위 안으로 들어오는 길이로 구현할 수 있다. 12비트 CMOS 디지털 아날로그 컨버터의 경우, 상기 모의실험을 통해 3.6㎛로 결정함으로써, 공정상 부정합에 의한 해상도 저하를 고려하여 설계를 진행할 수 있다.

[0034] 이를 최상위 비트 전류 셀 배열의 전류 셀의 전류 값의 상대적인 크기로 나타내면 다음과 같다.

수학식 1

[0035] $$I_{ISB1}=\frac{1}{8}I_{MSB}$$

[0036] $$I_{ISB2}=\frac{1}{8}I_{ISB1}=\frac{1}{64}I_{MSB}$$

[0037] $$I_{LSB}=\frac{1}{8}I_{ISB2}=\frac{1}{512}I_{MSB}$$

[0038] 전체 전류 셀에 흐르는 전류 다음과 같다.

수학식 2

[0039] $$I_{TOTAL}=(I_{MSB}\times 7)+(\frac{7}{8}I_{MSB}+\frac{7}{64}I_{MSB}+\frac{7}{512}I_{MSB}+\frac{1}{512}I_{MSB})=20mA$$

[0040] 종래와 같이, 12 비트 해상도를 갖는 전류 구동 디지털 아날로그 컨버터를 온도계 코드만 사용하여 구현하는 경우 도 4(a)와 같이, 총 4095개의 전류 셀이 필요하며, 전류 셀 증가에 따른 전체 디지털 아날로그 컨버터의 면적 증가뿐만 아니라, 길이가 긴 전류 셀 배열에 따른 전원 전압 도선의 길이 증가로 전원 전압 강하가 발생하여 디지털 아날로그 컨버터의 성능 저하가 나타난다. 또한, 4095개의 모든 전류 셀 간의 정합 특성을 고려해야 하기 때문에 높은 선형성을 갖는 고해상도 디지털 아날로그 컨버터의 구현이 어렵다.

[0041] 하지만, 부분 소자 정합을 이용하여 전류 셀을 구현하는 경우, 도 4(b)와 같이, 전체 전류 셀 배열을 MSB, ISB1, ISB2 및 LSB 부분 전류 셀 배열로 총 4개의 부분 전류 셀 배열로 분리하여 구성하고, 각 부분 전류 셀 배열은 3비트 온도계 코드를 사용하여 구성할 수 있다. 온도계 코드만 사용하여 12비트 해상도를 갖는 전류 구동 디지털 아날로그 컨버터를 구현하기 위해서는 4095개의 전류 셀이 필요하지만, 본 발명의 실시예에 따른 디지털 아날로그 컨버터는 약 99.32% 감소한 28개의 전류 셀만으로도 12비트 해상도를 갖는 전류 구동 디지털 아날로그 컨버터의 구현이 가능하다. 전류 셀 개수 감소에 따른 면적 효율적인 디지털 아날로그 컨버터의 구현뿐만 아니라, 전원 전압 도선의 길이가 줄어듦으로써 전원 전압 강하로 인한 디지털 아날로그 컨버터의 성능 저하를 최소화할 수 있다.

[0042] 상기 부분 전류 셀 배열을 형성하는 전류 셀의 크기는 동일하게 구현할 수 있다. 상위 부분 전류 셀 배열의 전류 셀에 흐르는 전류와 하위 부분 전류 셀 배열의 전류 셀에 흐르는 전류는 구현하고자 하는 스펙에 따라 달라질 수 있다. 또는, 하위 부분 전류 셀을 형성하는 N 개의 전류 셀 중 하나의 전류 셀의 크기는 상위 부분 전류 셀 배열을 형성하는 하나의 전류 셀의 크기의 1/(N+1)과 동일하게 구현할 수도 있다.

[0043] 바이어스 전압부(120)는 각 부분 전류 셀 배열에 바이어스 전압을 인가한다.

[0044] 보다 구체적으로, 바이어스 전압부(120)는 각 부분 전류 셀 배열에 바이어스 전압을 인가할 때, 상위 부분 전류 셀 배열의 공통 노드 전압을 레벨 시프터(level Shifter)를 통해 전압 강하하여 하위 부분 전류 셀 배열에 인가되는 바이어스 전압으로 이용한다. 상기와 같이, 부분 소자 정합 기반의 전류 셀(110)로 구현되는 디지털 아날로그 컨버터 구조는 해상도의 확장성이 용이하여 고해상도 디지털 아날로그 컨버터 구현에 적합하나, 해상도 증가에 따른 부분 전류 셀 배열의 개수 증가로 각 부분 전류 셀 배열에서 요구되는 바이어스 전압 개수가 증가하기 때문에 복잡한 바이어스 회로 및 도선이 요구된다. 이러한 문제를 해결하기 위해, 레벨 시프터를 이용하여 바이어스 전압부를 간소화한다.

[0045] 상기 레벨 시프터는 소스 폴로워(source follower)로 구현될 수 있다. 모든 하위 부분 전류 셀 배열에 대해 레벨 시프터를 이용하여 바이어스 전압을 제어할 수 있고, 또는 디지털 아날로그 컨버터의 제작 환경이나 스펙에 따라 일부분의 부분 전류 셀 배열에 대해 레벨 시프터를 이용하여 바이어스 전압을 제어할 수 있다.

[0046] 도 2와 같이, 전류 셀이 최상위 비트 부분 전류 셀 배열, 제 1 중간 비트 부분 전류 셀 배열, 제 2 중간 비트

부분 전류 셀 배열, 최하위 비트 부분 전류 셀 배열로 형성되는 경우, 바이어스 전압부는, 상기 최상위 비트 부분 전류 셀 배열 및 상기 제 1 중간 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 바이어스 전압 회로에서 직접 생성하고, 상기 제 2 중간 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 상기 제 1 중간 비트 부분 전류 셀 배열의 공통 노드 전압을 전압 강하하여 생성하고, 상기 최하위 비트 부분 전류 셀 배열에 인가되는 바이어스 전압은 상기 제 2 중간 비트 부분 전류 셀 배열의 공통 노드 전압을 전압 강하하여 생성할 수 있다.

[0047] 4개의 MSB, ISB1, ISB2 및 LSB 부분 전류 셀 배열로 구성되며, 각 부분 전류 셀 배열을 구동하기 위해서는 4개의 바이어스 전압 (BS<1:4>)이 요구된다. 일반적인 바이어스 회로의 경우 도 6(a)과 같이, 4개의 부분 전류 셀 배열에서 요구되는 4개의 바이어스 전압 (BS<1:4>)을 바이어스 회로에서 직접 생성하기 때문에 바이어스 회로 및 도선이 복잡해진다. 또한, 12비트 이상의 고해상도 디지털 아날로그 컨버터 구현 시 해상도 증가에 따른 부분 전류 셀 개수 증가로 바이어스 전압 개수가 증가하기 때문에 바이어스 회로의 복잡도 및 면적이 증가하게 된다. 이와 달리 본 발명의 실시예에 따른 디지털 아날로그 컨버터에서는 소스 폴로워(source follower)기반의 레벨 시프터를 사용한 간단한 구조의 바이어스 회로를 통해, 도 6(b)과 같이 MSB 및 ISB1 부분 전류 셀 배열에 인가되는 바이어스 전압 (BS<1:2>)은 바이어스 회로에서 직접 생성하고, ISB2 및 LSB 부분 전류 셀 배열에 인가되는 바이어스 전압 (BS<3:4>)은 각각 ISB1 및 ISB2 부분 전류 셀 배열의 공통 노드 전압을 간단한 구조의 레벨 시프터를 사용하여 전압 강하를 통해 생성함으로써 전체 바이어스 회로의 복잡도 및 면적을 최소화할 수 있다.

[0048] 소스 폴로워 기반의 레벨 쉬프터를 사용한 바이어스 회로를 적용한 전체 전류 셀의 동작 및 전압 강하를 통한 바이어스 전압 생성 과정을 도 7과 같이 정량적으로 나타낼 수 있다. 전체 전류 셀 배열을 구성하는 PMOS 트랜지스터들이 최소 100mV 이상의 여유를 갖고 안정적으로 saturation 영역에서 동작하는 것을 확인할 수 있으며, ISB1 부분 전류 셀 배열의 노드 A 및 ISB2 부분 전류 셀 배열의 노드 B 전압을 source follower 기반의 레벨 쉬프터를 사용하여 전압 강하를 통해 바이어스 전압 BS<3> 및 BS<4>를 생성하는 것을 확인할 수 있다. 바이어스 전압 BS<3> 및 BS<4>의 크기는 레벨 쉬프터를 구성하는 source follower 및 전류원의 NMOS 트랜지스터 크기를 조절하여 결정하며, 생성된 바이어스 전압을 사용하여 ISB2 및 LSB 부분 전류 셀 배열의 PMOS 트랜지스터들이 최소 300mV 이상의 여유를 갖고 안정적으로 saturation 영역에서 동작하는 것을 확인할 수 있다.

[0049] 도 8은 글리치 및 클록 feed-through에 따른 디지털 아날로그 컨버터 출력 파형을 나타내 것으로, 일반적인 전류 구동 디지털 아날로그 컨버터의 경우, 전류 셀 스위치 동작 시 발생하는 타이밍 오류는 디지털 아날로그 컨버터의 동적 성능 저하를 야기한다. 전류 셀 스위칭 타이밍 오류는 도 8과 같이 크게 글리치 에너지에 의한 타이밍 오류와 클록 feed-through에 의한 타이밍 오류로 구분되며, 특히 글리치 에너지에 의한 타이밍 오류는 심각한 동적 성능 저하의 원인이 된다. 이를 해결하기 위하여, 본 발명의 실시예에 따른 디지털 아날로그 컨버터의 전류 셀 스위치 구동 회로에는 도 9와 같은 구조의 디지털 래치를 사용할 수 있다. 디지털 래치의 PMOS 트랜지스터 크기를 조절하여 T_{IN} 및 T_{INB} 신호의 교차 지점을 0.9V보다 낮은 값을 갖도록 구현할 수 있다. 도 9에서 전류 셀 스위치의 두 디지털 입력이 교차하는 순간 디지털 입력 신호의 동기 오차가 발생하여 T_{IN} 및 T_{INB}가 모두 “HIGH”가 될 경우, 순간적으로 큰 글리치 에너지가 발생할 수 있다. 따라서 T_{IN} 및 T_{INB}의 교차 지점을 0.9V보다 낮은 값을 갖도록 설계하여 전류 셀 스위치가 동시에 꺼지지 않도록 하며, 모의실험을 통해 가장 적절한 성능을 나타내는 T_{IN} 및 T_{INB}의 교차 지점(0.3V)을 결정할 수 있다.

[0050] 본 발명의 실시예에 따른 DAC의 성능을 확인하기 위하여, 12비트 150MS/s 시제품 DAC를 0.18㎛ CMOS 공정으로 제작하였으며, 3.3V의 아날로그 및 1.8V의 디지털 전원 전압을 사용하는 조건에서 총 67.24mW의 전력을 소모한다. 시제품 DAC의 입력 및 출력 도선과 패드를 제외한 전체 시제품 DAC의 칩 면적은 0.26mm^2로 제작하였다. 시제품 DAC는 3.3V의 아날로그 및 1.8V의 디지털 전원 전압을 인가하고 DAC의 단일 출력 신호 범위가 $1V_{P-P}$일 때, 50Ω의 외부 부하 저항을 구동하는 조건에서 정적 성능 측정 및 평가가 이루어졌다. 시제품 DAC의 정적 성능 측정 환경은 패턴 발생기로 12비트 디지털 카운트 코드를 시제품 DAC에 인가하고, 시제품 DAC를 통해 변환된 아날로그 출력 신호를 디지털 멀티미터로 관측하였다. 또한, 디지털 멀티미터 전용 계측 프로그램을 사용하여 디지털 멀티미터의 정밀한 제어가 가능하게 함으로써, 보다 정확한 측정 데이터를 얻을 수 있도록 하였다.

[0051] 시제품 DAC의 정적 성능 측정 결과, DNL 및 integral non-linearity (INL)은 12비트 해상도에서 각각 최대 0.80LSB 및 1.20LSB 수준을 보였다. 시제품 DAC에 3.3V의 아날로그 및 1.8V의 디지털 전원 전압을 인가했을 때 150MS/s의 동작 속도에서 38MHz의 출력 주파수에 대한 측정된 신호 스펙트럼을 나타내며, 측정된 SFDR은 63.54dB 수준을 보였다. 1MHz의 출력 주파수에서 시제품 DAC의 동작 속도를 20MS/s부터 150MS/s까지 증가시킬

때, 각각의 동작 속도에서 측정된 SFDR의 변화에서, 동작 속도가 150MS/s까지 증가하는 동안 측정된 SFDR은 최대 73.85dB, 최소 63.66dB 수준을 보였다. 150MS/s의 동작 속도에서 시제품 DAC의 출력 주파수가 20MHz부터 Nyquist 주파수까지 증가할 때, 각각의 출력 주파수에서 측정된 SFDR의 변화에서, 출력 주파수가 50MHz까지 증가하는 동안 측정된 SFDR은 최소 60.11dB 이상을 유지하며, Nyquist 주파수에서는 55.98dB 수준을 보였다. 시제품 DAC는 QHD급 보안용 감시 카메라 응용을 목표로 설계 되었으며, 요구되는 사양인 150MS/s 수준의 동작 속도 및 36-42MHz 범위의 출력 주파수에서 약 60dB 이상의 SFDR을 만족하는 것을 확인할 수 있다.

[0052] 제안하는 시제품 DAC의 주요 성능 측정 결과는 표 1과 같이 요약되며, 표 2에서는 최근 발표된 유사 사양의 전류 구동 DAC의 성능과 제안하는 시제품 DAC의 성능을 비교하였다.

표 1

[0053]

Resolution	12bits
Conversion Rate	150MS/s
Process	MagnaChip 0.18μm CMOS
Supply	Analog = 3.3V / Digital = 1.8V
Output Current	20mA (R_{load} = 50Ω)
SFDR (f_S = 150MS/s)	63.54dB (@ f_{out} = 38MHz) 60.11dB (@ f_{out} = 50MHz) 55.98dB (@ f_{out} = Nyquist)
DNL	-0.56LSB / +0.80LSB
INL	-1.20LSB / +1.17LSB
DAC Power	67.24mW
Active Die Area	0.26mm^2

표 2

[0054]

	Resol. [bits]	Speed [MS/s]	Supply [V]	Power [mW]	Output Current [mA]	Area [mm^2]	Cal.	DNL / INL [LSB]	SFDR (@ f_{out}) [dB]	Process [CMOS]
This Work	*12*	*150*	*3.3*	*67*	*20*	*0.26*	*X*	*0.56 / 1.20*	*64 (@ 38MHz) 60 (@ 50MHz) 56 (@ Nyquist)*	*0.18μm*
ISCAS'15 [21]	12	180	1.8	38	-	0.36	X	2.40 / 3.00	-	0.18μm
TCASII'15 [15]	14	200	1.5	28	10	0.9	O	0.66 / 0.64 (After Cal.)	67 (@ 10MHz) 48 (@ 50MHz) - (@ Nyquist)	0.13μm
JSSC'14 [5]	10	300	4	476	60	2.25	X	0.44 / 0.60	71 (@ 20MHz) 59 (@ 100MHz) 57 (@ Nyquist)	45nm
TVLSI'12 [9]	12	400	2.5	92	26.7	0.18	O	0.30 / 0.40 (After Cal.)	62 (@ 20MHz) 45 (@ 100MHz) - (@ Nyquist)	90nm

[0055] ISCAS'15 DAC는 측정된 DNL 및 INL이 각각 2.40LSB 및 3.00LSB로 높은 선형성을 갖는 고해상도 DAC 구현에 제한이 된다. TVLSI'12 및 TCASII'15에 발표된 DAC는 출력 주파수가 증가함에 따라 측정된 SFDR이 큰 폭으로 감소하며, 높은 정적 성능을 얻기 위해 별도의 보정 기법이 요구되기 때문에 즉각적인 시스템 응용에 적합하지 않다. 제안하는 시제품 DAC는 출력 주파수가 증가함에 따라 측정된 SFDR이 비교적 일정하게 유지되며, 별도의 보정 기법을 적용하지 않고 구현함으로써 즉각적인 시스템 응용에 용이하다.

[0056] 본 발명의 실시예에 따른 디지털 아날로그 컨버터는 영상시스템에 포함될 수 있다. 본 발명의 일 실시예에 따른 영상시스템에 포함되는 디지털 아날로그 컨버터에 대한 상세한 설명은 도 1 내지 도 9의 디지털 아날로그 컨버터(100)에 대한 상세한 설명에 대응한다. 상기 영상시스템은 0.18㎛ CMOS 공정을 기반으로 QHD급 보안용 감시 카메라 및 DTV 응용과 같이 고해상도, 고속 동작을 동시에 요구하는 영상 시스템을 포함할 수 있다.

[0057] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0058] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0059] 100: 디지털 아날로그 컨버터

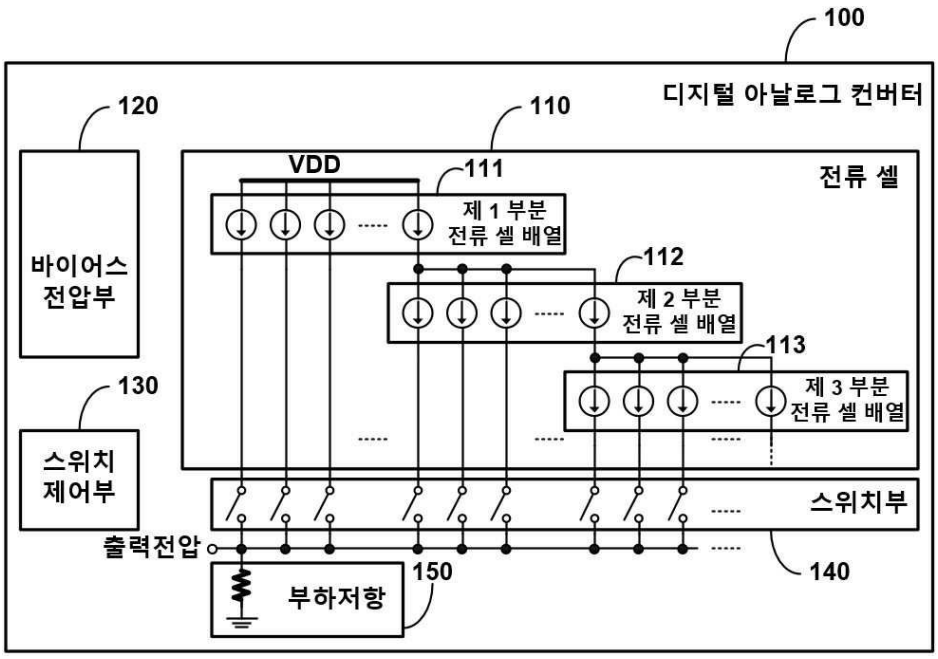
110: 전류 셀

111, 112, 113: 부분 전류 셀 배열

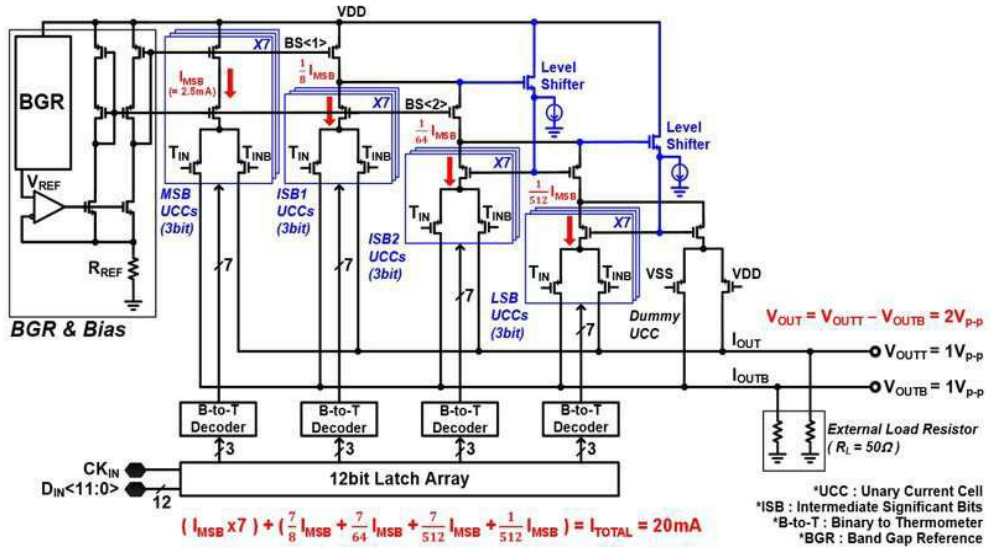
114: 더미 전류 셀

도면

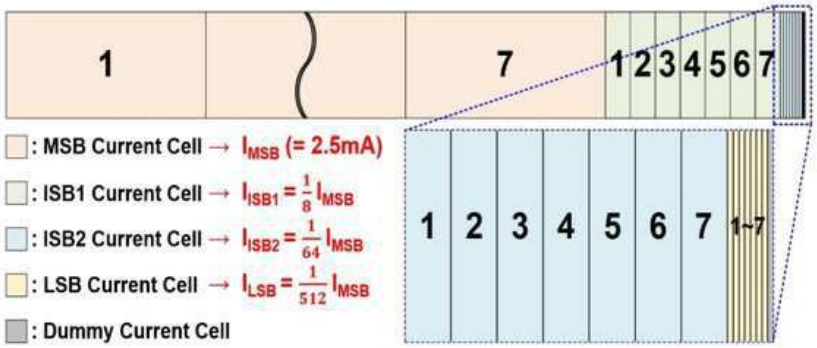
도면1



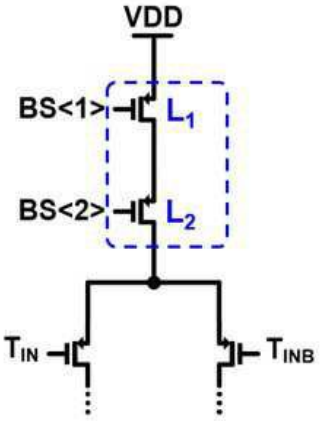
도면2



도면3



도면4

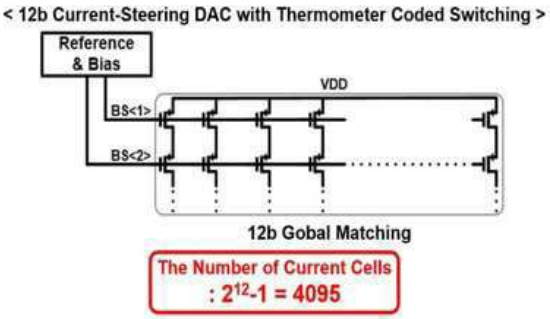


Channel Length (L_1, L_2)	Standard Deviation	Static Performance at 12b
1.2 μm	7.89μA	DNL : 3.35 LSB INL : 2.25 LSB
2.4 μm	3.90μA	DNL : 1.35 LSB INL : 1.85 LSB
3.2μm	2.95μA	DNL : 1.27 LSB INL : 1.21 LSB
3.6μm	***2.69μA***	***DNL : 0.46 LSB INL : 1.14 LSB***
4.0μm	2.43μA	DNL : 0.41 LSB INL : 1.09 LSB

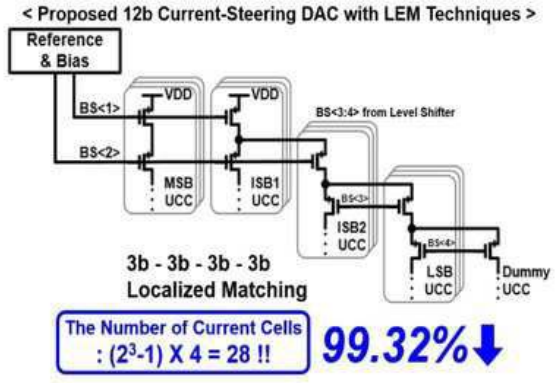
*INL : Integral Non-Linearity

도면5

(a)

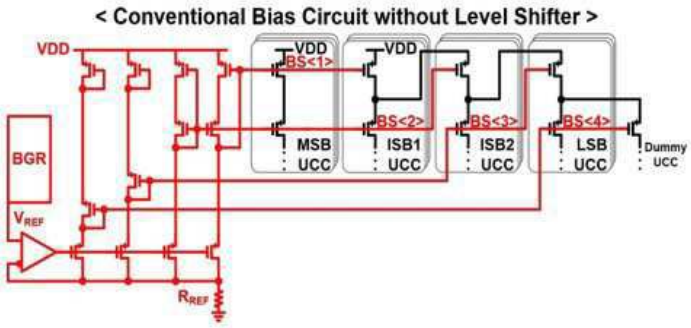

< 12b Current-Steering DAC with Thermometer Coded Switching >
Reference & Bias
VDD
BS<1>
BS<2>
12b Gobal Matching
The Number of Current Cells
: 2^12-1 = 4095

(b)

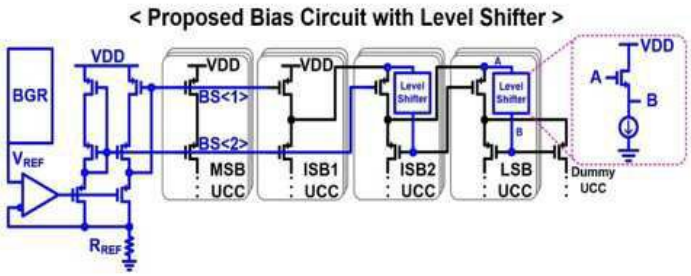

< Proposed 12b Current-Steering DAC with LEM Techniques >
Reference & Bias
BS<1>
BS<2>
VDD
MSB UCC
ISB1 UCC
BS<3:4> from Level Shifter
ISB2 UCC
LSB UCC
Dummy UCC
3b - 3b - 3b - 3b
Localized Matching
The Number of Current Cells
: (2^3-1) X 4 = 28 !!
99.32%

도면6

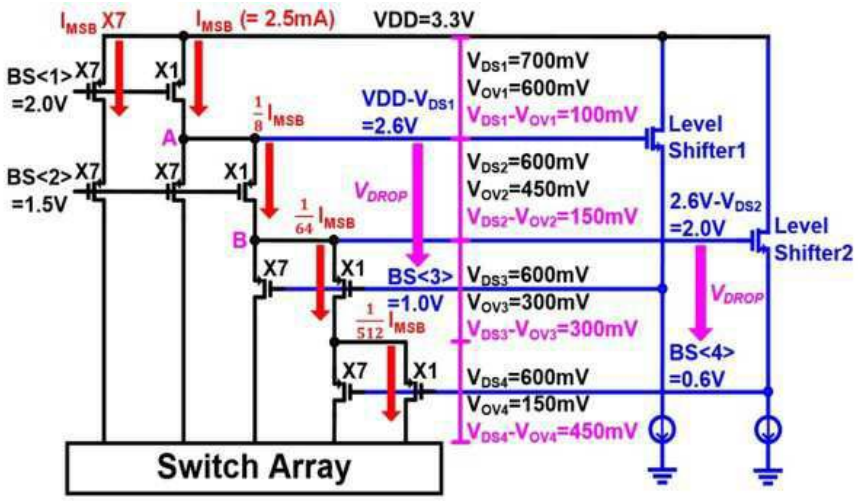
(a)


< Conventional Bias Circuit without Level Shifter >
VDD
BGR
VREF
RREF
BS<1>
BS<2>
BS<3>
BS<4>
MSB UCC
ISB1 UCC
ISB2 UCC
LSB UCC
Dummy UCC

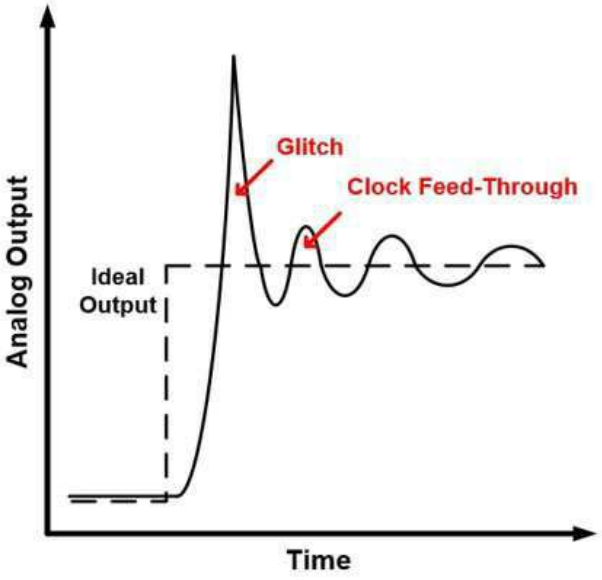
(b)


< Proposed Bias Circuit with Level Shifter >
BGR
VREF
RREF
VDD
BS<1>
BS<2>
Level Shifter
A
B
MSB UCC
ISB1 UCC
ISB2 UCC
LSB UCC
Dummy UCC

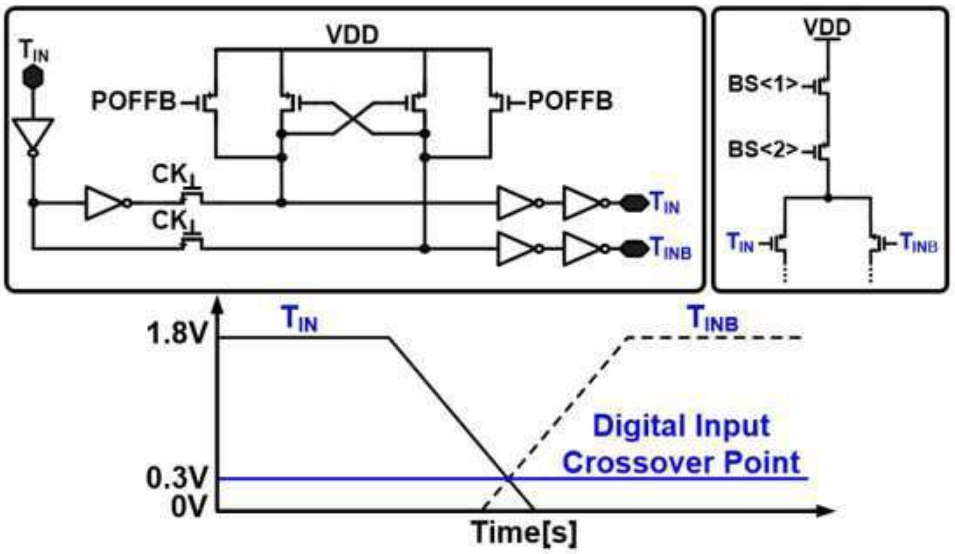
도면7


I_{MSB} X7
I_{MSB} (= 2.5mA)
VDD=3.3V
BS<1> =2.0V
BS<2> =1.5V
X7
X1
A
B
$\frac{1}{8} I_{MSB}$
$\frac{1}{64} I_{MSB}$
$\frac{1}{512} I_{MSB}$
VDD-V_{DS1} =2.6V
V_{DROP}
BS<3> =1.0V
BS<4> =0.6V
V_{DS1}=700mV
V_{OV1}=600mV
V_{DS1}-V_{OV1}=100mV
V_{DS2}=600mV
V_{OV2}=450mV
V_{DS2}-V_{OV2}=150mV
V_{DS3}=600mV
V_{OV3}=300mV
V_{DS3}-V_{OV3}=300mV
V_{DS4}=600mV
V_{OV4}=150mV
V_{DS4}-V_{OV4}=450mV
2.6V-V_{DS2} =2.0V
Level Shifter1
Level Shifter2
Switch Array

도면8


Analog Output
Time
Glitch
Clock Feed-Through
Ideal Output

도면9


VDD
T_{IN}
POFFB
POFFB
CK
CK
T_{IN}
T_{INB}
VDD
BS<1>
BS<2>
T_{IN}
T_{INB}

1.8V
0.3V
0V
T_{IN}
T_{INB}
Digital Input
Crossover Point
Time[s]