(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/60

(45) 공고일자 2002년08월03일
(11) 등록번호 10-0346899
(24) 등록일자 2002년07월18일

(21) 출원번호 10-1999-0041027
(22) 출원일자 1999년09월22일

(65) 공개번호 특2000-0023414
(43) 공개일자 2000년04월25일

(30) 우선권주장 1998-268570 1998년09월22일 일본(JP)

(73) 특허권자
가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자
히라이스미에
일본국가나가와현가와사키시사이와이구고무가이도시바정1번지가부시끼가이샤도시바다마가와공장내
오모리준
일본국가나가와현가와사키시사이와이구고무가이도시바정1번지가부시끼가이샤도시바다마가와공장내

(74) 대리인
김윤배
이범일

심사관 : 송원선

(54) 반도체장치 및 그 제조방법

요약

본 발명은, 센터 패드 구조의 반도체칩의 기능면에 회로기판이 접착되고, 상기 반도체칩의 센터 패드와 상기 회로기판의 본딩 패드가 본딩 와이어를 매개하여 접속된 반도체장치 및 그 제조방법에 관한 것이다. 여기에서, 상기 제조방법은, 금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 도금용 인출선을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와 본딩 패드를, 이들 양 영역에 걸쳐서 이들을 전기적으로 연결하는 회로패턴을, 각각 형성하여 회로기판을 얻는다. 더욱이, 상기 회로기판의 도금용 인출선으로부터 전기를 공급하면서 상기 외부 입출력단자부 및 본딩 패드에 전해도금을 실시하는 공정과, 상기 회로기판중, 반도체칩의 센터 패드와 대응하는 영역을 도금용 인출선과 더불어 제거하여 창부를 형성하는 공정, 상기 회로기판의 절연필름측을 상기 창부로부터 센터 패드가 노출되도록 반도체칩에 접착하는 공정, 상기 회로기판의 본딩 패드와 상기 반도체칩의 센터 패드를 본딩 와이어로 접속시키는 공정, 상기 회로기판의 외부 입출력단자부에 외부 입출력단자를 형성하는 공정을 갖추고 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시형태에 있어서의 테이프 형상의 회로기판의 배선패턴의 구성을 개략적으로 나타낸 평면도,

도 2는 본 발명의 한 실시형태에 있어서의 테이프 형상의 회로기판의 배열상태를 나타낸 평면도,

도 3a, 도 3b, 도 3c, 도 3d, 도 3e, 도 3f는 본 발명의 한 실시형태에 있어서의 테이프 형상의 회로기판의 제조공정 및 반도체장치의 제조공정을 나타낸 단면도,

도 4는 본 발명의 한 실시형태에 의한 반도체장치를 개략적으로 나타낸 단면도,

도 5는 본 발명의 다른 실시형태에 있어서의 회로기판의 배선패턴의 구성을 개략적으로 나타낸 평면도,

도 6은 도 5의 일부를 확대하여 나타낸 평면도,

도 7a, 도 7b, 도 7c, 도 7d, 도 7e, 도 7f는 본 발명의 더욱이 다른 실시형태에 있어서의 테이프 형상의 회로기판의 제조공정을 나타낸 단면도,

도 8a, 도 8b, 도 8c는 도 7a로부터 도 7f에 나타낸 제조공정에 의해 만들어진 회로기판과 반도체칩의 접속공정을 나타낸 단면도,

도 9는 본 발명의 더욱이 다른 실시형태에 있어서의 테이프 형상의 회로기판의 배선패턴의 구성을 개략적으로 나타낸 평면도,

도 10은 CSP의 반도체장치를 개략적으로 나타낸 단면도,

도 11a, 도 11b, 도 11c, 도 11d, 도 11e, 도 11f는 반도체장치에 이용하는 테이프 형상의 회로기판의 제조공정을 나타낸 단면도,

도 12는 종래의 반도체장치에 있어서의 회로기판의 배선패턴의 구성을 개략적으로 나타낸 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 배선효율을 양호하게 하고, 게다가 회로패턴을 둘러치는 것을 용이하게 하는 것에 적합한 반도체장치의 제조방법과, 회로기판의 제조방법 및, 회로기판에 관한 것으로, 더 상세하게는, 칩 스케일 사이즈의 반도체 패키지(CSP)의 반도체장치의 제조방법과, CSP에 이용되는 회로기판의 제조방법 및, 회로기판에 관한 것이다.

근년, 반도체 패키지 소형화의 요청으로 인해 본딩 패드가 중앙부에 배치(센터 패드化)된 반도체칩을 이용하여 칩 스케일 사이즈화(Chip Scale Size化)를 도모할 수 있는 반도체 패키지(CSP)가 주목되고 있다.

도 10은 이러한 칩 스케일 사이즈의 반도체 패키지의 일례를 단면도로서 모식적으로 나타낸 것이다.

이 반도체장치(1)는, 중앙부에 센터 패드로서 칩상 패드(2)를 예컨대 2열로 배치한 센터 패드 구조의 반도체칩(3)의 위에, 테이프 형상의 회로기판(4)을 접착제층(5)을 매개하여 접착하고, 회로기판(4)의 본딩 패드와 반도체칩(3)의 칩상 패드(2)에 본딩 와이어(6)를 압착하여 이것으로 이들을 전기적으로 접속시키며, 그 위에 예컨대 실리콘수지와 같은 내습성이며 전기절연성인 경화성 수지(7)를 포팅하여 본딩 와이어(6)를 밀봉한 것이다. 부호 8은 이 반도체장치(1)의 입출력단자와 실장 고정수단을 겸하는 단자상에 탑재된 리플로우된 땜납 볼이다.

이 반도체장치(1)의 반도체 패키지에 이용되는 회로기판(4)은, 예컨대 도 11a, 도 11b, 도 11c, 도 11d, 도 11e에 나타낸 공정에 의해 제조되고, 더욱이 도 11f에 나타낸 그 이후의 공정에 제공된다.

우선, 동박(銅箔; 9)과, 폴리이미드와 같은 절연필름(10)이 접착제를 매개하여 접착된다(도 11a). 상기 동박(9)은 회로패턴이나 패드, 리드, 단자 등으로서 필요한 부분을 남기고 에칭 제거되어, 도 11b의 부호 91로 나타낸 것처럼 된다.

다음으로, 패드나 단자 등의 도금이 필요한 부분을 빼고 레지스트 패턴(92)이 형성된다(도 11c). 그리고, 전해도금에 의해, 동박이 노출된 부분에만 Ni를 밑바탕으로 하여 Au 도금층(12)이 형성된다(도 11d).

다음으로, 접착된 때에 반도체칩의 센터 패드 위치에 상당하게 되는 부분을 구멍을 뚫어 제거하고(도 11e), 그런 다음, 반도체 패키지로서, 본딩 와이어(6), 땜납 볼(8) 등의 조립, 탑재, 기타의 공정으로 이행한다(도 11f).

그런데, 이러한 종래의 반도체 패키지에 이용되는 회로기판(4)에서는, 도 12에 나타낸 것처럼, 점선으로 나타낸 반도체칩의 접착 위치에 상당하는 영역을 사이에 두고, 전해도금시에 전기를 공급하기 위한 도금용 인출선(19)이 배치되어 있다. 이 도금용 인출선(19)은 외부 입출력용 단자(20), 본딩 패드(21a), 회로패턴(22)과 전기적으로 접속되어, 상기한 것처럼 전해도금시의 전기 공급 라인으로 된다.

그리고, 전해도금 후의 공정에서 반도체칩의 센터 패드 위치에 상당하는 도 12에 나타낸 사선 부분이 구멍이 뚫려서 제거되고, 또한, 반도체장치로 조립되는 소정의 공정에서 최종적으로 이 회로기판(4)은 반도체칩에 대응하는 치수선을 따라 절단되어, 외주부에 해당하는 불필요한 영역이 폐기된다.

따라서, 이러한 종래의 칩 스케일 사이즈의 반도체 패키지용 회로기판에서는, 패키지로서 필요한 영역 이외에 도금용 인출선을 위한 영역도 필요하게 되어 제조에 필요한 면적이 커지기 때문에, 1시트당 취할 수 있는 회로기판의 개수가 적어져서 기판의 코스트가 높아진다는 문제가 있었다.

또한, 도금용 인출선은 반도체 패키지 영역의 바깥과 안에 걸쳐서 형성되고 영역 바깥의 인출선은 패키지로서 불필요하기 때문에 도금 후에 절단되는데, 패키지 영역 내의 부분은 기판 내에 남기 때문에 배선효율이 낮아지는 바, 반도체 패키지의 슈링크화나 볼 피치의 협피치화(狹Pitch化)가 진척된 경우, 배선영역이 축소되어 회로패턴을 둘러치는 것이 불가능하게 된다는 문제가 있었다.

즉, 외부 입출력용 단자(20)로부터는 본딩 패드(21a)에 이르는 회로패턴(22)이 원래 필요한 바탕에서, 도금용 인출선(19)에 이르는 회로패턴(22)도 필요하여, 외부 입출력용 단자(20)로부터의 회로패턴의 수가 늘어나기 때문이다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 종래의 문제를 해결하기 위해 이루어진 것으로, 센터 패드 구조의 반도체칩의 기능면(機能面)에 회로기판이 접착되고, 상기 반도체칩의 센터 패드와 상기 회로기판의 본딩 패드가 본딩 와이어를 매개하여 접속되는 반도체장치의 제조방법에 있어서, 회로기판의 도금용 인출선용 영역을 적게 함과 더불어, 패키지 영역 내의 도금용 인출선을 적게 하여 배선효율을 개선하여, 반도체 패키지의 슈링크화나 볼 피치의 협피치화가 진척된 경우에도, 회로기판에 있어서 회로패턴을 둘러치는 자유도를 크게 할 수 있는 반도체장치의 제조방법을 제공하는 것을 목적으로 한다.

또한, 본 발명은, 센터 패드 구조의 반도체칩의 기능면에 접착되고, 상기 반도체칩의 센터 패드에 본딩 와이어를 매개하여 본딩 패드와 접속되는 회로기판의 제조방법에 있어서, 회로기판의 도금용 인출선용 영역을 적게 함과 더불어, 패키지 영역 내의 도금용 인출선을 적게 하여 배선효율을 개선하여, 반도체 패키지의 슈링크화나 볼 피치의 협피치화가 진척된 경우에도, 회로기판에 있어서 회로패턴을 둘러치는 자유도를 크게 할 수 있는 회로기판의 제조방법을 제공하는 것을 목적으로 한다.

또한, 본 발명은, 센터 패드 구조의 반도체칩의 기능면에 접착되고, 상기 반도체칩의 센터 패드에 본딩 와이어를 매개하여 본딩 패드와 접속되는 회로기판에 있어서, 회로기판의 도금용 인출선용 영역을 적게 함과 더불어, 패키지 영역 내의 도금용 인출선을 적게 하여 배선효율을 개선하여, 반도체 패키지의 슈링크화나 볼 피치의 협피치화가 진척된 경우에도, 회로기판에 있어서 회로패턴을 둘러치는 자유도를 크게 할 수 있는 회로기판을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명은 센터 패드 구조의 반도체칩의 기능면에 회로기판이 접착되고, 상기 반도체칩의 센터 패드와 상기 회로기판의 본딩 패드가 본딩 와이어를 매개하여 접속된 반도체장치의 제조방법에 관한 것이다. 여기에서, 금속박(金屬箔)과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 도금용 인출선을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와 본딩 패드를, 이들 양 영역에 걸쳐서 이들을 전기적으로 연결하는 회로패턴을, 각각 형성하여 회로기판을 얻는 공정을 갖추고 있다. 더욱이, 상기 회로기판의 도금용 인출선으로부터 전기를 공급하면서 상기 외부 입출력단자부 및 본딩 패드에 전해도금을 실시하는 공정과, 상기 회로기판중, 반도체칩의 센터 패드와 대응하는 영역을 도금용 인출선과 더불어 제거하여 창부(窓部)를 형성하는 공정, 상기 회로기판의 절연필름측을 상기 창부로부터 센터 패드가 노출되도록 반도체칩에 접착하는 공정, 상기 회로기판의 본딩 패드와 상기 반도체칩의 센터 패드를 본딩 와이어로 접속시키는 공정, 상기 회로기판의 외부 입출력단자부에 외부 입출력단자를 형성하는 공정을 갖춘 것을 특징으로 한다.

또한, 여기에서, 상기 반도체칩은, 웨이퍼에 매트릭스 형상으로 다수 형성된 다이싱 전의 반도체칩이라고 할 수도 있다.

또한, 여기에서, 상기 적층판은, 동박과 폴리이미드계 필름을 적층하여 이루어진 것이라고 할 수 있다. 이 폴리이미드계 필름으로서 폴리아미드이미드 필름을 이용할 수 있고, 또한, 폴리에스테르 필름으로 할 수도 있다. 적층은, 접착제에 의해 금속박과 절연필름을 접합하는 방법에 의한 것 이외에, 금속박에 필름재를 코팅하는 방법에 의한 것도 가능하다.

또한, 여기에서, 상기 동박의 두께는 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께는 25㎛ 내지 75㎛라고 할 수 있다.

또한, 여기에서, 상기 창부의 폭은 0.5mm 내지 2mm라고 할 수 있다.

또한, 본 발명은, 센터 패드 구조의 반도체칩의 기능면에 회로기판이 접착되고, 상기 반도체칩의 센터 패드에 상기 회로기판의 회로패턴으로부터 연장되는 리드가 접속된 반도체장치의 제조방법에 관한 것이다. 여기에서, 금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 복수의 리드를, 상기 반도체칩의 센터 패드와 대응하는 영역의 경계선을 따라 상기 각 리드부의 선단측을 연결하는 도금용 도전연결편(導電 連結片)을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와, 그 외부 입출력단자부와 상기 도금용 도전연결편을 전기적으로 연결하는 회로패턴을, 각각 형성하여 회로기판을 얻는 공정을 갖추고 있다. 더욱이, 상기 도금용 도전연결편을 매개하여 상기 외부 입출력단자부 및 리드에 전기를 공급하면서 이들에 전해도금을 실시하는 공정과, 상기 회로기판중, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 창부를 형성함과 더불어 리드를 형성하는 공정, 상기 회로기판의 금속박측을 상기 창부로부터 센터 패드가 노출되도록 반도체칩에 절연층을 매개하여 접착하는 공정, 상기 회로기판의 리드의 선단을 상기 도금용 도전연결편으로부터 잘라

내면서 상기 반도체칩의 센터 패드에 접속시키는 공정, 상기 회로기판의 외부 입출력단자부에 외부 입출력단자를 형성하는 공정을 갖춘 것을 특징으로 한다.

또한, 여기에서, 상기 회로기판중, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 리드를 형성한 후, 그 리드의 적층판에서의 금속층 부분만을 제거하여 전해도금층만에 의한 리드로 할 수도 있다.

또한, 여기에서, 상기 반도체칩은, 웨이퍼에 매트릭스 형상으로 다수 형성된 다이싱 전의 반도체칩이라고 할 수도 있다.

또한, 여기에서, 상기 적층판은 동박과 폴리이미드계 필름을 적층하여 이루어진다고 할 수 있다. 이 폴리이미드계 필름으로서 폴리아미드이미드 필름을 이용할 수 있고, 또한, 폴리에스테르 필름으로 할 수도 있다. 적층은, 접착제에 의해 금속박과 절연필름을 접합하는 방법에 의한 것 이외에, 금속박에 필름재를 코팅하는 방법에 의한 것도 가능하다.

또한, 여기에서, 상기 동박의 두께는 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께는 25㎛ 내지 75㎛라고 할 수 있다.

또한, 여기에서, 상기 창부의 폭은 0.5mm 내지 2mm라고 할 수 있다.

또한, 본 발명은, 금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 도금용 인출선을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와 본딩 패드를, 이들 양 영역에 걸쳐서 이들을 전기적으로 연결하는 회로패턴을, 각각 형성하는 공정과, 상기 적층판의 도금용 인출선으로부터 전기를 공급하면서 상기 외부 입출력단자부 및 본딩 패드에 전해도금을 실시하는 공정, 상기 적층판중, 반도체칩의 센터 패드와 대응하는 영역을 도금용 인출선과 더불어 제거하여 창부를 형성하는 공정을 갖춘 회로기판의 제조방법인 것을 특징으로 한다.

또한, 여기에서, 상기 적층판은, 동박과 폴리이미드계 필름을 적층하여 이루어진다고 할 수 있다. 이 폴리이미드계 필름으로서 폴리아미드이미드 필름을 이용할 수 있고, 또한, 폴리에스테르 필름으로 할 수도 있다. 적층은, 접착제에 의해 금속박과 절연필름을 접합하는 방법에 의한 것 이외에, 금속박에 필름재를 코팅하는 방법에 의한 것도 가능하다.

또한, 여기에서, 상기 동박의 두께는 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께는 25㎛ 내지 75㎛라고 할 수 있다.

또한, 여기에서, 상기 창부의 폭은 0.5mm 내지 2mm라고 할 수 있다.

또한, 본 발명은, 금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 복수의 리드를, 상기 반도체칩의 센터 패드와 대응하는 영역의 경계선을 따라 상기 각 리드부의 선단측을 연결하는 도금용 도전연결편을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와, 그 입출력단자부와 상기 도금용 도전연결편을 전기적으로 연결하는 회로패턴을, 각각 형성하는 공정과, 상기 도금용 도전연결편을 매개하여 상기 외부 입출력단자부 및 리드에 전기를 공급하면서 이들에 전해도금을 실시하는 공정, 상기 적층판중, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 리드를 형성하는 공정을 갖춘 회로기판의 제조방법인 것을 특징으로 한다.

또한, 여기에서, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 리드를 형성한 후, 그 리드의 적층판에서의 금속층 부분만을 제거하여 전해도금층만에 의한 리드로 할 수도 있다.

또한, 여기에서, 상기 적층판은, 동박과 폴리이미드계 필름을 적층하여 이루어진다고 할 수 있다. 이 폴리이미드계 필름으로서 폴리아미드이미드 필름을 이용할 수 있고, 또한, 폴리에스테르 필름으로 할 수도 있다. 적층은, 접착제에 의해 금속박과 절연필름을 접합하는 방법에 의한 것 이외에, 금속박에 필름재를 코팅하는 방법에 의한 것도 가능하다.

또한, 여기에서, 상기 동박의 두께는 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께는 25㎛ 내지 75㎛라고 할 수 있다.

또한, 여기에서, 상기 창부의 폭은 0.5mm 내지 2mm라고 할 수 있다.

또한, 본 발명은, 접착해야 할 반도체칩의 센터 패드에 대응하는 영역 이외의 영역에 설치된 외부 입출력단자부 및 본딩 패드와, 이들을 전기적으로 연결하는 회로패턴을 갖추고, 상기 외부 입출력단자부로부터 부설되는 상기 회로패턴은, 상기 본딩 패드에 이르는 것만이고, 상기 본딩 패드는, 상기 반도체칩의 센터 패드측으로부터의 전기 공급에 의해 전해도금이 실시된 것인 회로기판인 것을 특징으로 한다.

즉, 이 회로기판은, 반도체칩의 센터 패드측으로부터의 전기 공급에 의해 전해도금이 실시된 것이므로, 가장자리로 향하는 도금용 인출선은 형성되어 있지 않다.

또한, 본 발명은, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 설치된 복수의 리드와, 상기 반도체칩의 센터 패드와 대응하는 영역의 경계선을 따라 설치된 상기 각 리드부의 선단측을 연결하는 도금용 도전연결편, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 설치된 외부 입출력단자부, 상기 입출력단자부와 상기 도금용 도전연결편을 전기적으로 연결하는 회로패턴을 갖춘 회로기판인 것을 특징으로 한다.

더욱이 또한, 상기 전해도금으로서는, 두께 2㎛~10㎛로 설정한 Ni의 밑바탕 위에 두께 0.1㎛~2㎛로 설정한 Au를 이용할 수 있다.

또한, 상기 회로패턴으로서는, 폭 30㎛~150㎛로 설정할 수 있다.

또한, 상기 본딩 와이어로서는, Au를 이용할 수 있다.

< 적합한 실시예의 설명

이하, 본 발명의 실시형태에 대해 도면을 참조하여 설명한다.

[실시형태 1]

도 1, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 3e, 도 3f, 도 4는 본 발명의 제1 실시형태를 나타낸 도면이다.

이 실시형태의 회로기판(4a)에서는, 도 1에 나타낸 것처럼, 반도체칩의 센터 패드에 대응하는, 사선으로 나타낸 영역에, 전해도금시에 전기를 공급하기 위한 도금용 인출선(19)이 배치되어 있고, 이 인출선(19)에 회로기판(4a)의 본딩 패드(21a)와 외부 입출력단자(20)가 회로패턴(22)을 매개하여 전기적으로 연결되어 있다.

이 테이프 형상의 회로기판(4a)은 종래의 테이프 형상의 회로기판과 마찬가지로, 동박과, 폴리이미드와 같은 절연필름을, 접착제를 매개하여 접착하고, 포토레지스트 기술에 의해 도시한 것과 같은 동박의 패턴을 형성시킨 것이다.

그리고, 통상적으로는, 도 2에 나타낸 것처럼, 반도체칩 1개에 대응하는 단위 테이프(23)를, 폭 방향으로 수개(동 도면에서는 3개인 예를 나타내고 있음.) 병렬시키고 길이방향으로도 다수 연속시킨 일련의 것으로 함과 더불어, 반도체칩의 센터 패드의 위치에 형성한 도금용 인출선(19)을, 한쪽을 따라 형성한 도금용 인출모선(引出母線; 24)을 매개하여 서로 전기적으로 연결시키며, 더욱이 그 외측에 자동 급송을 위한 스프로켓(25)을 형성하여 구성되어 있다.

이 실시형태의 반도체장치용 회로기판(4a)에서는, 도시한 패턴상에 도금용 인출모선(24)을 매개해서 필요한 도체 패턴에 전기를 공급하여 전해도금을 행함으로써 동 패턴(銅 Pattern)상에 Au/Ni 도금층이 형성되고, 그런 다음, 도금용 인출선(19)이 형성되어 있는 사선 부분이 창 형상으로 뚫린다.

이상의 공정을, 도 3a, 도 3b, 도 3c, 도 3d, 도 3e를 이용하여 설명한다.

우선, 동박(9)과, 폴리이미드와 같은 절연필름(10)이 적층된다(도 3a). 상기 동박(9)은 회로패턴이나 패드, 단자 등으로서 필요한 부분을 남기고 에칭 제거되어, 도 3b의 부호 91로 나타낸 것처럼 된다.

다음으로, 패드나 단자 등의 도금이 필요한 부분을 빼고 레지스트 패턴(92)이 형성된다(도 3c). 그리고, 전해도금에 의해 동박이 노출된 부분에만 Ni를 밑바탕으로 하여 Au 도금층(12)이 형성된다(도 3d).

다음으로, 접착된 때에 반도체칩의 센터 패드 위치에 상당하게 되는 부분을 구멍을 뚫어 제거한다(도 3e).

그런 다음, 이 테이프 형상의 회로기판(4a)에는, 접착제를 매개하여, 센터 패드 구조의 반도체칩이 도 1에서의 점선 내에 위치하도록 접착되고, 회로기판(4a)에 형성한 창부에 노출되는 반도체칩의 센터 패드와, 회로기판(4a)의 본딩 패드(21a)가 본딩 와이어(6)에 의해 전기적으로 접속되며, 외부 입출력단자(20)에 땜납 볼(8)이 탑재되고(도 3f), 반도체칩의 센터 패드부에 경화성 수지에 의한 포팅이 실시되어 반도체장치가 완성된다.

이 반도체장치를 개략적으로 단면도로 나타낸 것이 도 4이다.

즉, 이 반도체장치(50)는 중앙부에 센터 패드로서 칩상 패드(2)를 예컨대 2열로 배치한 센터 패드 구조의 반도체칩(3)의 위에, 테이프 형상의 회로기판(4a)을 접착제층(5)을 매개하여 접착하고, 회로기판(4a)의 본딩 패드와 반도체칩(3)의 칩상 패드(2)에 본딩 와이어(6)를 압착하여 이것으로 이들을 전기적으로 접속시키며, 그 위에 예컨대 실리콘수지와 같은 내습성이고 전기절연성인 경화성 수지(7)를 포팅하여 본딩 와이어(6)를 밀봉한 것이다. 부호 8은 이 반도체장치(50)의 입출력단자와 실장 고정수단을 겸하는 단자상에 탑재된 리플로우된 땜납 볼이다.

[실시형태 2]

도 5, 도 6은 본 발명의 다른 실시형태를 나타낸 도면이다.

도 5는 매트릭스 형상으로 복수의 반도체칩이 형성된 웨이퍼의 반도체 형성면에 접착되어 이용되는 테이프 형상의 회로기판(4b)의 평면도를 나타낸 것으로, 도면에서 점선으로 둘러싸인 장방형의 1단위(31)가 웨이퍼의 주면에 형성된 1개의 반도체칩에 대응하고 있다. 일점쇄선은 도금용 인출선(32)을 나타내고 있다.

이 회로기판(4b)의 폭은, 당연히 접착해야 할 웨이퍼의 치수보다도 크게 되어 있고, 게다가 길이방향으로, 웨이퍼에 대응하는 테이프 형상의 회로기판의 단위가 소정의 간격을 두고 연속적으로 형성되어 있다.

도시한 것처럼, 접착해야 할 웨이퍼의 윤곽을 따라 도금용 인출선(32)이 접속되는 동박의 원형 패턴(33)이 형성되고, 장방형의 1단위(31)로 나타낸 각 다이싱 라인의 연장선상에는 정방형의 위치표시용 개구부(34)가 형성되어 있다. 부호 35는 위치결정용 구멍이다.

도 6은 도 5의 A부의 확대도로서, 반도체칩의 각 단위에 있어서의 센터 패드에 대응하는 영역 B에는 전해도금시에 전기를 공급하기 위한 도금용 인출선(19)이 배치되어 있고, 이 도금용 인출선(19)의 단부가 동박의 원형 패턴(33)에 접속되어 있다.

또한, 회로기판(4b)의 외부 입출력단자(36)가 패턴 배선(37), 본딩 패드(38)라는 경로에 의해 도금용 인출선(19)에 전기적으로 연결되어 있고, 도금을 필요로 하지 않는 더미 패드(39)는 도금용 인출선(19)에 접속되어 있지 않다.

이 테이프 형상 회로기판(4b)은 종래의 테이프 형상 회로기판과 마찬가지로, 동박과, 폴리이미드와 같은 절연필름을, 접착제를 매개하여 접착하고, 포토레지스트 기술에 의해 도시한 것과 같은 패턴을 형성시킨 것이다.

이 실시형태의 테이프 형상의 회로기판(4b)에서는, 도시한 패턴상에, 도금용 인출선(19)을 매개하여 필요한 도체 패턴에 전기를 공급하여 전해도금을 행함으로써 동 패턴상에 Au/Ni 도금층을 형성하고, 그런 다음, 도금용 인출선(19)이 형성되어 있는 영역 B가 창 형상으로 구멍이 뚫린다.

이 반도체장치용 회로기판(4b)은, 예컨대 다음과 같이 하여 웨이퍼와 접착되어, 반도체장치가 제조된다.

즉, 이 테이프 형상 회로기판(4b)에는, 접착제를 매개하여, 센터 패드 구조의 반도체칩의 1단위가 점선으로 나타낸 틀내에 위치하도록 웨이퍼의 주면에 접착되고, 회로기판(4b)에 형성한 창부에 노출되는 반도체칩마다의 패드와, 회로기판(4b)의 본딩 패드(38)가 본딩 와이어에 의해 전기적으로 접속된다.

그리고, 외부 입출력단자(36)에 땜납 볼이 탑재되어 리플로우에 의해 고정된 후, 와이어 본딩부에 경화성 수지에 의한 포팅이 실시되고, 점선을 따라 다이싱되어 개개의 반도체장치가 얻어진다.

한편, 실시형태 2는 실시형태 1에 있어서의 반도체 패키지를, 웨이퍼의 상태에서 완성시키고, 최후로 다이싱에 의해 개개의 반도체 패키지로 분리시킨 것인데, 다음에 설명하는 실시형태 3에 있어서의 반도체 패키지를, 마찬가지로 하여 웨이퍼의 상태에서 완성시키고, 최후로 다이싱에 의해 개개의 반도체 패키지로 분리시키는 것도 가능하다.

[실시형태 3]

도 7a, 도 7b, 도 7c, 도 7d, 도 7e, 도 7f, 도 8a, 도 8b, 도 8c, 도 9는 본 발명의 더욱이 다른 실시형태를 나타낸 도면이다.

도 7a, 도 7b, 도 7c, 도 7d, 도 7e, 도 7f는 반도체 패키지에 이용하는 회로기판(4c)의 제조공정을 나타낸 것이다.

우선, 동박(9)과, 폴리이미드와 같은 절연필름(10)이 접착제를 매개하여 접착된다(도 7a). 상기 동박(9)상에는 포토레지스트가 도포되는 바, 회로패턴이나 리드 등의 도금이 필요한 부분을 뺀 마스크, 또는 도금이 불필요한 부분을 뺀 마스크를 이용하여 노광 현상이 행하여져 레지스트 패턴(11)이 형성된다(도 7b). 다음으로, 전해도금에 의해, 동박이 노출된 부분에만 Ni를 밑바탕으로 하여 Au 도금층(12)이 형성된다(도 7c).

다음으로, 포토레지스트 패턴(11)이 제거되고, 절연필름(10)에 외부 출력 패드(볼 탑재 패드)를 형성하기 위한 구멍(13)과 본딩용 창부(14)가 레이저 빔의 조사에 의해 형성된다(도 7d). 상기 구멍(13)에는 도전성 페이스트(15)가 충전되어 외부 입출력단자부가 형성되고(도 7e), 창부(14)에 노출되어 있는 동박(9)이 에칭에 의해 제거되어 리드부(16)가 형성된다(도 7f).

이상의 각 공정을 거쳐서 회로기판(4c)이 완성된다.

도 8a, 도 8b, 도 8c는 이와 같이 하여 얻어진 회로기판(4c)을 이용하여 반도체장치를 제조하는 공정을 나타낸 것이다.

회로기판(4c)의 Au 도금층(12)측에는, 본딩을 위한 리드부(16)를 남기고 스크린 인쇄에 의해 에라스토머층(17)이 형성되고(도 8a), 이 에라스토머층(17)을 매개하여 반도체칩(18)이 회로기판(4c)의 대응하는 위치에 접착된다(도 8b). 그리고, 본딩 툴(61)에 의해 리드부(16)의 선단부가 잘리면서, 그 선단부가 반도체칩(18)의 대응하는 센터 패드에 접속된다(도 8c). 또한, 외부 입출력단자부에는 땜납 볼(62)이 탑재되어, 리플로우에 의해 범프가 형성되고(동 도면 c), 센터 패드부에는 경화성 수지가 포팅되어(도시하지 않았음), 반도체장치가 완성된다.

이 실시형태의 회로기판(4c)에 있어서는, 도 9에 나타낸 것처럼, 반도체칩의 센터 패드 위치에 대응하는, 사선으로 나타낸 영역에, 선단을 반도체칩의 칩상 패드에 압착시켜서 회로기판(4c)과 반도체칩을 전기적으로 접속시키기 위한 리드(21)가 형성되어 있다. 각 리드(21)의 선단은 사선으로 나타낸 영역을 따라 그 외측에 형성된 도금용 도전연결편(26)에 의해 전기적으로 접속됨과 더불어, 그 단부가 한쪽을 따라 형성된 도금용 인출모선(27)에 전기적으로 접속되어 있다.

이 테이프 형상의 회로기판(4c)은, 상기 도 7의 각 도면에 있어서 설명한 것처럼, 동박(9)과, 폴리이미드와 같은 절연필름(10)을 접착제를 매개하여 접착하고, 포토레지스트 기술에 의해 도시한 것과 같은 패턴을 형성시킨 것이다.

그리고, 통상적으로는, 제1 실시형태에서 설명한 도 2에 나타낸 것과 마찬가지로, 반도체칩 1개에 대응하는 단위 테이프(23)를, 폭 방향으로 수개 병렬시키고 길이 방향으로도 다수 연속시킨 일련의 것으로 함과 더불어, 한쪽을 따라 형성한 도금용 인출모선을 매개하여 서로 전기적으로 연결시키며, 더욱이 그 외측에 자동 급송을 위한 스프로켓(25)을 형성하여 구성되어 있다.

이 실시형태의 테이프 형상의 회로기판(4c)에서는, 도 9의 패턴상에, 도금용 인출모선(27) 및 도금용 도전연결편(26)을 매개해서 필요한 동 패턴에 전기를 공급하여 전해도금을 행함으로써 동 패턴상에 Au/Ni 도금층을 형성하고, 그런 다음, 리드(21)가 형성되어 있는 사선부분이 리드(21) 부분을 남기면서 레이저 빔에 의해 제거된다.

이와 같이 하여 얻어진 테이프 형상의 회로기판(4c)에는, 도 8a, 도 8b, 도 8c에 나타낸 것처럼, 접착제를 매개하여, 센터 패드 구조의 반도체칩(18)이 점선 내에 위치하도록 접착되고, 회로기판(4c)에 형성한 창부에 노출되는 반도체칩의 패드에 회로기판(4c)의 리드(21)의 선단이 본딩 툴에 의해 접속된다. 그리고, 외부 입출력단자(20)에 땜납 볼이 탑재되어 리플로우에 의해 고정된 후, 와이어 본딩부에 경화성 수지에 의한 포팅이 실시되어 반도체장치가 완성된다.

발명의 효과

이상, 각 실시형태에서 상술한 것처럼, 본 발명에 의하면, 본딩 접속을 위한 제거 영역에 도금용 인출선을 배선함으로써, 회로기판으로서 필요한 영역이 적어지고 기판 면적이 감소되어, 기판 코스트를 저감할 수 있다.

또한, 외부 접속용 단자와 본딩 패드를 접속시키는 회로패턴이, 외부 접속용 단자와 도금용 인출선을 접속시키는 회로패턴과 공용될 수 있으므로, 배선효율이 향상되어 협피치화에 대응할 수 있다.

(57) 청구의 범위

청구항 1.

센터 패드 구조의 반도체칩의 기능면에 회로기판이 접착되고, 상기 반도체칩의 센터 패드와 상기 회로기판의 본딩 패드가 본딩 와이어를 매개하여 접속된 반도체장치의 제조방법에 있어서,

금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 도금용 인출선을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와 본딩 패드를, 이들 양 영역에 걸쳐서 이들을 전기적으로 연결하는 회로패턴을, 각각 형성하여 회로기판을 얻는 공정과,

상기 회로기판의 도금용 인출선으로부터 전기를 공급하면서 상기 외부 입출력단자부 및 본딩 패드에 전해도금을 실시하는 공정,

상기 회로기판중, 반도체칩의 센터 패드와 대응하는 영역을 도금용 인출선과 더불어 제거하여 창부를 형성하는 공정,

상기 회로기판의 절연필름측을 상기 창부로부터 센터 패드가 노출되도록 반도체칩에 접착하는 공정,

상기 회로기판의 본딩 패드와 상기 반도체칩의 센터 패드를 본딩 와이어로 접속시키는 공정,

상기 회로기판의 외부 입출력단자부에 외부 입출력단자를 형성하는 공정을 갖춘 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2.

제1항에 있어서, 상기 반도체칩이, 웨이퍼에 매트릭스 형상으로 다수 형성된 다이싱 전의 반도체칩인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3.

제1항에 있어서, 상기 적층판이, 동박과 폴리이미드계 필름을 적층하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4.

제3항에 있어서, 상기 동박의 두께가 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께가 25㎛ 내지 75㎛인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5.

제1항에 있어서, 상기 창부의 폭이 0.5mm 내지 2mm인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6.

센터 패드 구조의 반도체칩의 기능면에 회로기판이 접착되고, 상기 반도체칩의 센터 패드에 상기 회로기판의 회로패턴으로부터 연장되는 리드가 접속된 반도체장치의 제조방법에 있어서,

금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 복수의 리드를, 상기 반도체칩의 센터 패드와 대응하는 영역의 경계선을 따라 상기 각 리드부의 선단측을 연결하는 도금용 도전연결편을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와, 그 외부 입출력단자부와 상기 도금용 도전연결편을 전기적으로 연결하는 회로패턴을, 각각 형성하여 회로기판을 얻는 공정과,

상기 도금용 도전연결편을 매개하여 상기 외부 입출력단자부 및 리드에 전기를 공급하면서 이들에 전해도금을 실시하는 공정,

상기 회로기판중, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 창부를 형성함과 더불어 리드를 형성하는 공정,

상기 회로기판의 금속박측을 상기 창부로부터 센터 패드가 노출되도록 반도체칩에 절연층을 매개하여 접착하는 공정,

상기 회로기판의 리드의 선단을 상기 도금용 도전연결편으로부터 잘라 내면서 상기 반도체칩의 센터 패드에 접속시키는 공정,

상기 회로기판의 외부 입출력단자부에 외부 입출력단자를 형성하는 공정을 갖춘 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7.

제6항에 있어서, 상기 회로기판중, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 리드를 형성한 후, 그 리드의 적층판에서의 금속층 부분만을 제거하여 전해도금층만에 의한 리드로 하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8.

제6항에 있어서, 상기 반도체칩이, 웨이퍼에 매트릭스 형상으로 다수 형성된 다이싱 전의 반도체칩인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9.

제6항에 있어서, 상기 적층판이, 동박과 폴리이미드계 필름을 적층하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10.

제9항에 있어서, 상기 동박의 두께가 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께가 25㎛ 내지 75㎛인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11.

제6항에 있어서, 상기 창부의 폭이 0.5mm 내지 2mm인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12.

금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 도금용 인출선을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와 본딩 패드를, 이들 양 영역에 걸쳐서 이들을 전기적으로 연결하는 회로패턴을, 각각 형성하는 공정과,

상기 적층판의 도금용 인출선으로부터 전기를 공급하면서 상기 외부 입출력단자부 및 본딩 패드에 전해도금을 실시하는 공정,

상기 적층판중, 반도체칩의 센터 패드와 대응하는 영역을 도금용 인출선과 더불어 제거하여 창부를 형성하는 공정을 갖춘 것을 특징으로 하는 회로기판의 제조방법.

청구항 13.

제12항에 있어서, 상기 적층판이, 동박과 폴리이미드계 필름을 적층하여 이루어진 것을 특징으로 하는 회로기판의 제조방법.

청구항 14.

제13항에 있어서, 상기 동박의 두께가 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께가 25㎛ 내지 75㎛인 것을 특징으로 하는 회로기판의 제조방법.

청구항 15.

제12항에 있어서, 상기 창부의 폭이 0.5mm 내지 2mm인 것을 특징으로 하는 회로기판의 제조방법.

청구항 16.

금속박과 절연필름을 적층시킨 적층판의 상기 금속박에 에칭을 실시하여, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 복수의 리드를, 상기 반도체칩의 센터 패드와 대응하는 영역의 경계선을 따라 상기 각 리드부의 선단측을 연결하는 도금용 도전연결편을, 상기 반도체칩의 그 이외의 부분과 대응하는 영역에 외부 입출력단자부와, 그 입출력단자부와 상기 도금용 도전연결편을 전기적으로 연결하는 회로패턴을, 각각 형성하는 공정과,

상기 도금용 도전연결편을 매개하여 상기 외부 입출력단자부 및 리드에 전기를 공급하면서 이들에 전해도금을 실시하는 공정,

상기 적층판중, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 리드를 형성하는 공정을 갖춘 것을 특징으로 하는 회로기판의 제조방법.

청구항 17.

제16항에 있어서, 접착해야 할 반도체칩의 센터 패드와 대응하는 영역의 절연필름만을 제거하여 리드를 형성한 후, 그 리드의 적층판에서의 금속층 부분만을 제거하여 전해도금층만에 의한 리드로 하는 것을 특징으로 하는 회로기판의 제조방법.

청구항 18.

제16항에 있어서, 상기 적층판이, 동박과 폴리이미드계 필름을 적층하여 이루어진 것을 특징으로 하는 회로기판의 제조방법.

청구항 19.

제18항에 있어서, 상기 동박의 두께가 10㎛ 내지 20㎛이고, 상기 폴리이미드계 필름의 두께가 25㎛ 내지 75㎛인 것을 특징으로 하는 회로기판의 제조방법.

청구항 20.

제16항에 있어서, 상기 창부의 폭이 0.5mm 내지 2mm인 것을 특징으로 하는 회로기판의 제조방법.

청구항 21.

접착해야 할 반도체칩의 센터 패드에 대응하는 영역 이외의 영역에 설치된 외부 입출력단자부 및 본딩 패드와,

이들을 전기적으로 연결하는 회로패턴을 갖추고,

상기 외부 입출력단자부로부터 부설되는 상기 회로패턴은, 상기 본딩 패드에 이르는 것만이고,

상기 본딩 패드는, 상기 반도체칩의 센터 패드측으로부터의 전기 공급에 의해 전해도금이 실시된 것인 것을 특징으로 하는 회로기판.

청구항 22.

접착해야 할 반도체칩의 센터 패드와 대응하는 영역에 설치된 복수의 리드와,

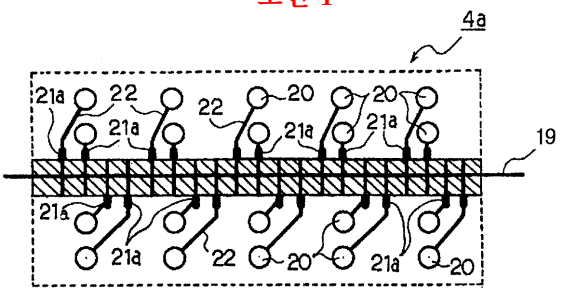
상기 반도체칩의 센터 패드와 대응하는 영역의 경계선을 따라 설치된 상기 각 리드부의 선단측을 연결하는 도금용 도전연결편,

상기 반도체칩의 그 이외의 부분과 대응하는 영역에 설치된 외부 입출력단자부,

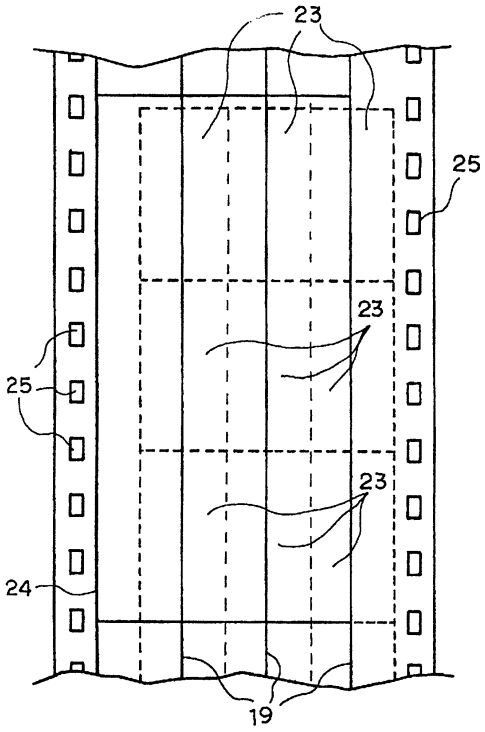
상기 입출력단자부와 상기 도금용 도전연결편을 전기적으로 연결하는 회로패턴을 갖춘 것을 특징으로 하는 회로기판.

도면

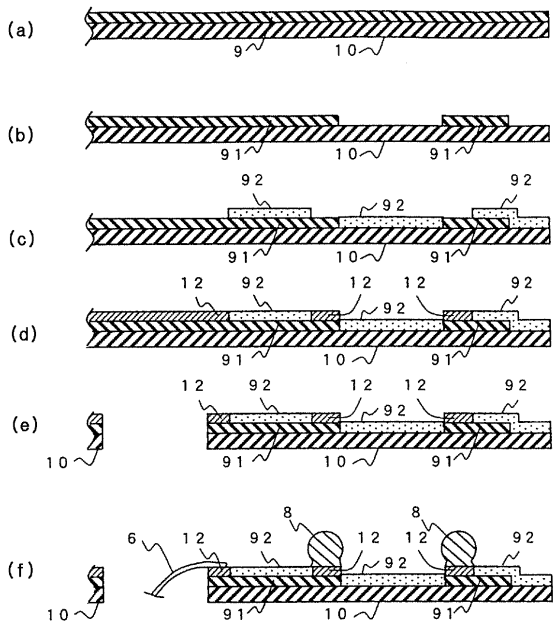
도면 1



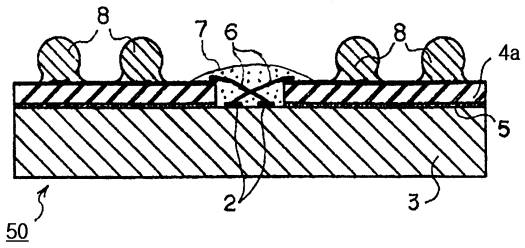
도면 2



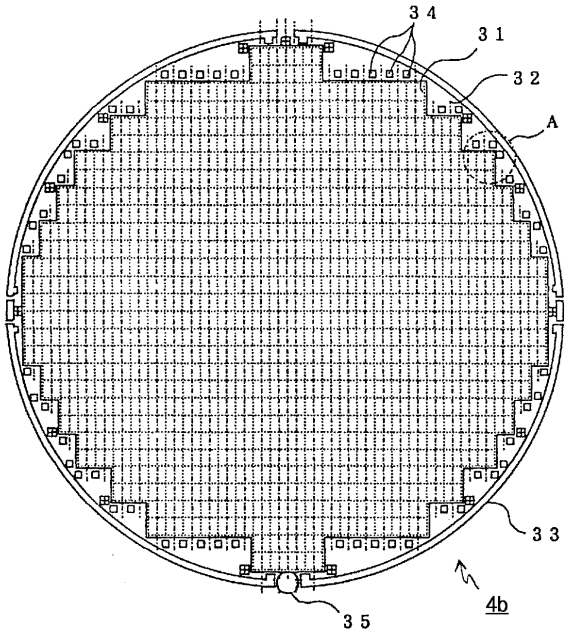
도면 3



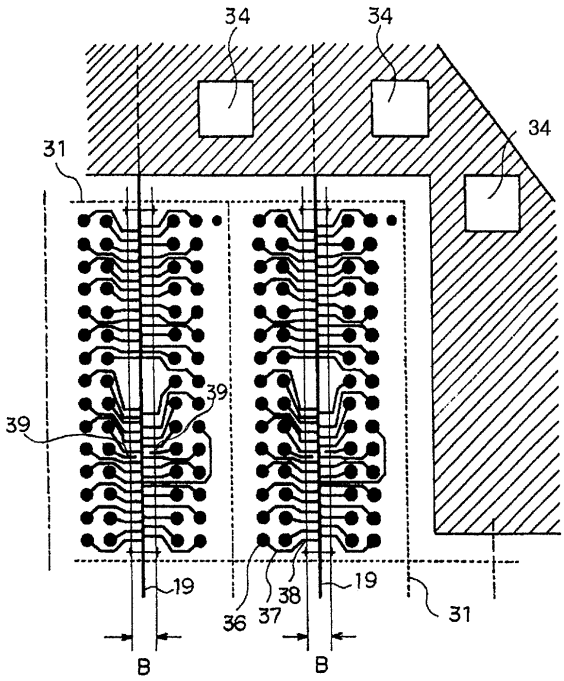
도면 4



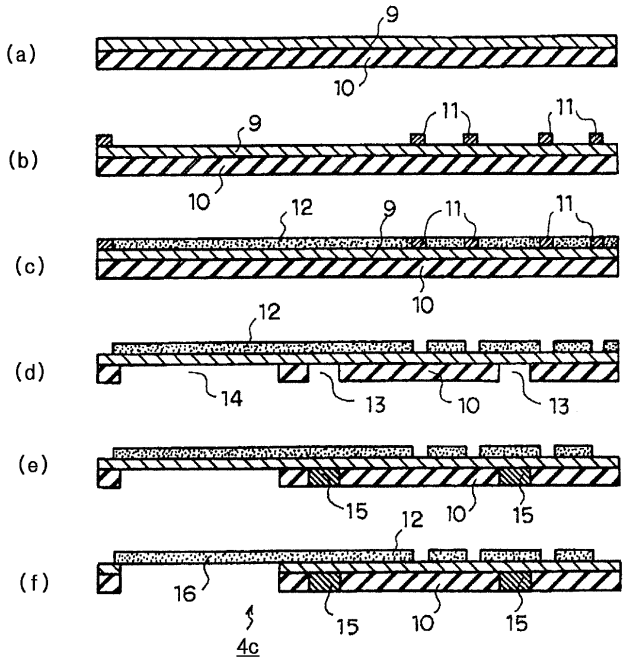
도면 5



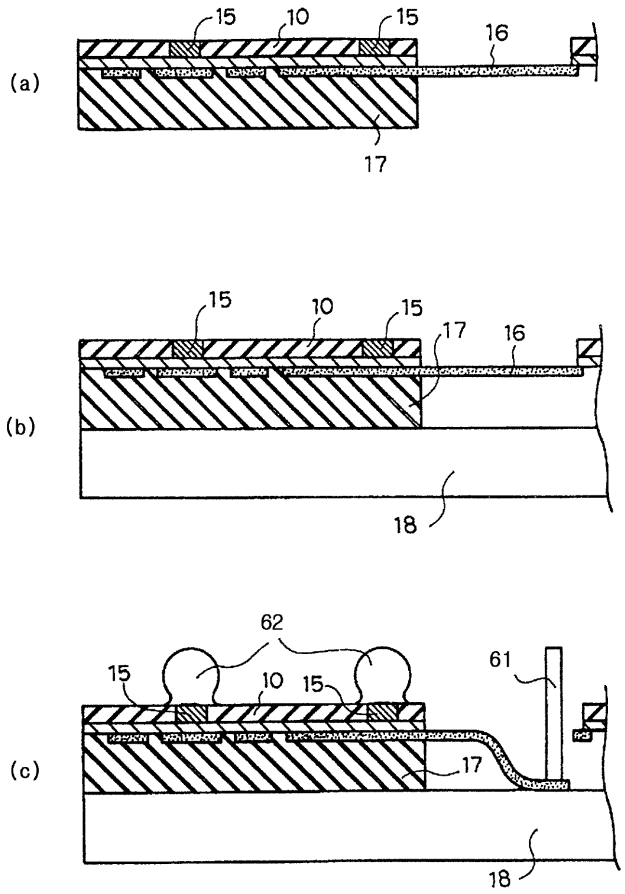
도면 6



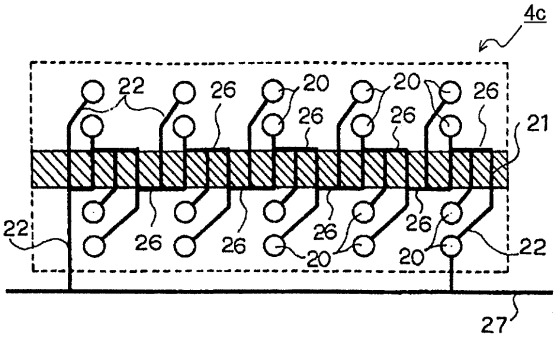
도면 7


(a)
9
10
(b)
9
11
11
10
(c)
12
9
11
11
10
(d)
12
14
13
10
13
(e)
15
12
10
15
(f)
16
12
15
10
15
4c

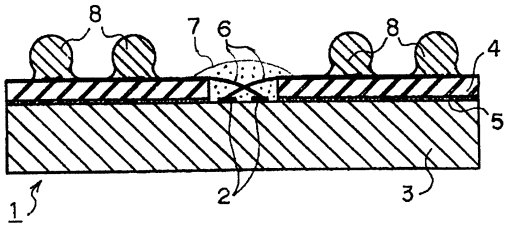
도면 8


(a)
15
10
15
16
17
(b)
15
10
15
17
16
18
(c)
62
15
10
15
61
17
18

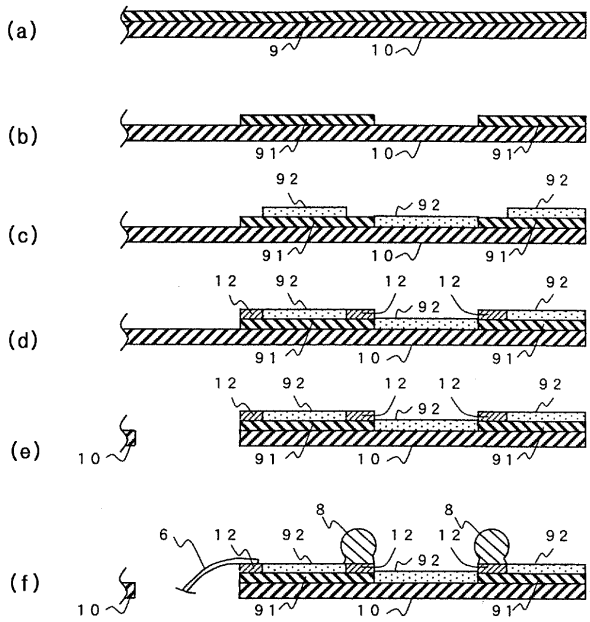
도면 9


4c
22
26
20
26
20
26
26
21
22
26
26
26
26
26
20
20
22
27

도면 10



도면 11



도면 12

