

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7599135号
(P7599135)

(45)発行日 令和6年12月13日(2024.12.13)

(24)登録日 令和6年12月5日(2024.12.5)

(51)国際特許分類	F I
H 0 4 N 25/65 (2023.01)	H 0 4 N 25/65
H 0 4 N 25/616 (2023.01)	H 0 4 N 25/616

請求項の数 12 (全30頁)

(21)出願番号	特願2021-561164(P2021-561164)	(73)特許権者	314012076 パナソニックIPマネジメント株式会社 大阪府門真市元町2番6号
(86)(22)出願日	令和2年8月26日(2020.8.26)	(74)代理人	100109210 弁理士 新居 広守
(86)国際出願番号	PCT/JP2020/032206	(74)代理人	100137235 弁理士 寺谷 英作
(87)国際公開番号	WO2021/106294	(74)代理人	100131417 弁理士 道坂 伸一
(87)国際公開日	令和3年6月3日(2021.6.3)	(72)発明者	西村 佳壽子 日本国大阪府門真市大字門真1006番 地 パナソニック株式会社内
審査請求日	令和5年6月8日(2023.6.8)	(72)発明者	伊藤 勇也 日本国大阪府門真市大字門真1006番 地 パナソニック株式会社内
(31)優先権主張番号	特願2019-216966(P2019-216966)		
(32)優先日	令和1年11月29日(2019.11.29)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 撮像装置及び制御方法

(57)【特許請求の範囲】

【請求項1】

光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素と、

制御回路と

を備え、

前記制御回路は、

露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも1つの行に属する画素に行単位または複数行単位で順に行わせ、

前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも1つの行に属する画素に前記リセット動作を行わせることなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行わせる、

撮像装置。

【請求項2】

前記制御回路は、前記トリガ信号を受け取るまでに、前記リセット動作を前記複数の画素のすべての画素に行単位または複数行単位で順に行わせる、

請求項1に記載の撮像装置。

【請求項3】

前記制御回路は、前記トリガ信号を受け取るまでに、前記複数の画素のうち少なくとも

1つの行に属する画素に前記リセット動作を複数回行わせる、
請求項1又は2に記載の撮像装置。

【請求項4】

前記制御回路は、前記トリガ信号を受け取るまで、前記複数の画素に、前記リセット動作を行単位または複数行単位で順に繰り返し行わせる、

請求項1から3のいずれか一項に記載の撮像装置。

【請求項5】

前記制御回路は、前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセット動作を開始した行から行単位または複数行単位で順に前記複数の画素に行わせる、

請求項1から4のいずれか一項に記載の撮像装置。

【請求項6】

前記制御回路は、

前記リセット動作を、前記リセット動作を開始した行とは異なる行まで行単位または複数行単位で順に前記複数の画素に行わせ、

前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセット動作を終了した行の次の順番の行から行単位または複数行単位で順に前記複数の画素に行わせる、

請求項1から4のいずれか一項に記載の撮像装置。

【請求項7】

前記複数の画素のそれぞれは、前記リセット動作において前記電荷蓄積部の電位を負帰還させるフィードバック回路を含む、

請求項1から6のいずれか一項に記載の撮像装置。

【請求項8】

前記複数の画素のそれぞれは、前記リセット動作において発生するリセットノイズを抑制する回路を含む、

請求項1から7のいずれか一項に記載の撮像装置。

【請求項9】

前記リセット動作は、前記電荷蓄積部の電位を負帰還させる動作を含む、請求項1から8のいずれか一項に記載の撮像装置。

【請求項10】

電圧供給回路をさらに備え、

前記光電変換部は、前記電圧供給回路に電氣的に接続される対向電極と、前記電荷蓄積部に電氣的に接続される画素電極と、前記対向電極と前記画素電極との間に位置する光電変換層とを含み、

前記制御回路は、前記電圧供給回路に前記対向電極へ電圧を印加させて、前記光電変換層内に電界を形成させることにより、前記複数の画素に前記露光動作を行わせる、

請求項1から9のいずれか一項に記載の撮像装置。

【請求項11】

光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素を備える撮像装置の制御方法であって、

露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも1つの行に属する画素に行単位または複数行単位で順に行い、

前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも1つの行に属する画素に前記リセット動作を行うことなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行う、

制御方法。

【請求項12】

前記リセット動作は、前記電荷蓄積部の電位を負帰還させる動作を含む、請求項11に

10

20

30

40

50

記載の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、光の照射を受けて電荷を発生させる光電変換部を備える撮像装置等に関する。

【背景技術】

【0002】

近年、ビデオカメラ、デジタルスチルカメラ、監視カメラ及び車載カメラなど、様々な分野でデジタルカメラが広く使用されている。これらのデジタルカメラには、CCD (Charge Coupled Device) 型固体撮像素子又はCMOS (Complementary Metal Oxide Semiconductor) 型固体撮像素子が用いられるが、その中でもCMOS型固体撮像素子が主流となってきた。これは、CMOS型固体撮像素子が、汎用のCMOSプロセスで製造できるため既存の設備を利用でき、安定供給が可能であること、及び、周辺回路を同一チップ内に混在させることができるため信号を高速に読み出すことができ、高速化・高解像度化できることなど、多くの利点を有しているためである。

10

【0003】

CMOS型固体撮像素子においては、例えば、特許文献1に開示される、CDS (Correlated Double Sampling) 技術が広く用いられている。

【0004】

ここで、一般的なCDS技術について詳細を述べる。

20

【0005】

特許文献1の図2に示される画素回路は、光信号を検出するPD (Photodetector) 部とPD部で発生した電荷を電圧信号に変換し、一時的に保持をするFD (Floating Diffusion) 部と、PD部からFD部に電荷信号を転送するTXトランジスタと、FD部の電圧をリセットするRESTRANジスタと、FD部の電圧信号を増幅するAMPトランジスタと、増幅された信号を出力するSELTANジスタで構成される。一般的に、PD部はPhoto Diodeで構成されている。TXトランジスタは制御信号TXによって制御され、RESTRANジスタは制御信号RSTによって制御され、SELTANジスタは制御信号SELによって制御される。

30

【0006】

画素の駆動としては、特許文献1の図6に示されるように、まず、RSTをハイレベルにしてRESTRANジスタをオンし、FD部に蓄積された電荷をリセットする。次に、RSTをローレベルにしてRESTRANジスタをオフし、その後、SELをハイレベルにしてSELTANジスタをオンすることで、リセット電圧を出力する。この時、リセット電圧にはkTCノイズと呼ばれるリセットノイズが含まれるため、時間的な揺らぎを生じている。その後、TXをハイレベルにしてTXトランジスタをオンすることでPD部に蓄積された信号電荷をFD部へと転送する。その後、TXをローレベルにしてTXトランジスタをオフし、信号電圧を出力する。信号電圧は、リセット電圧に蓄積された信号電荷に応じた電圧だけ変化した信号となるため、後段回路にてリセット電圧(言い換えるとリセット電荷)と信号電圧(言い換えるとリセット電荷+信号電荷)の差分をとることにより、kTCノイズをキャンセルし、蓄積された信号電荷に応じた電圧だけを検出することが可能となる。

40

【0007】

以上がCDS技術であり、画素部をリセットする際に発生するリセットノイズ(kTCノイズ)を大きく抑制する効果があり、CDS技術によるリセットノイズ抑制も、CMOS型固体撮像素子が主流となってきた要因の一つである。

【先行技術文献】

【特許文献】

【0008】

50

【文献】特開 2010 - 129705 号公報

【文献】特開 2008 - 28516 号公報

【文献】特開 2014 - 78870 号公報

【文献】特開 2001 - 177084 号公報

【文献】特開 2010 - 258682 号広報

【発明の概要】

【発明が解決しようとする課題】

【0009】

撮像装置の分野では、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる撮像装置が求められている。本開示は、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる撮像装置等を提供することを目的とする。

10

【課題を解決するための手段】

【0010】

本開示の一態様に係る撮像装置は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素と、制御回路とを備え、前記制御回路は、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも1つの行に属する画素に行単位または複数行単位で順に行わせ、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも1つの行に属する画素に前記リセット動作を行わせることなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行わせる。

20

【0011】

本開示の一態様に係る制御方法は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素を備える撮像装置の制御方法であって、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも1つの行に属する画素に行単位または複数行単位で順に行い、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも1つの行に属する画素に前記リセット動作を行うことなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行う。

30

【発明の効果】

【0012】

本開示の一態様に係る撮像装置によれば、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる。

【図面の簡単な説明】

【0013】

【図1A】図1Aは、実施の形態1に係る撮像装置の例示的な回路構成を模式的に示す図である。

【図1B】図1Bは、実施の形態1に係る撮像装置の画素の例示的な回路構成を模式的に示す図である。

40

【図1C】図1Cは、実施の形態1に係る撮像装置の画素の別の例示的な回路構成を模式的に示す図である。

【図2】図2は、実施の形態1に係る撮像装置の画素のデバイス構造を模式的に示す断面図である。

【図3】図3は、実施の形態1に係る撮像装置の画素の別の例示的な回路構成を模式的に示す図である。

【図4】図4は、有機光電変換膜の光電変換特性の一例を示す図である。

【図5A】図5Aは、比較例に係る撮像装置における動作の一例を説明するためのタイミングチャートである。

【図5B】図5Bは、比較例に係る撮像装置における動作の一例を示すフローチャートで

50

ある。

【図 5 C】図 5 C は、比較例に係る撮像装置における動作の別の例を示すフローチャートである。

【図 6 A】図 6 A は、実施の形態 1 に係る撮像装置における動作の一例を説明するためのタイミングチャートである。

【図 6 B】図 6 B は、実施の形態 1 に係る撮像装置における動作の一例を示すフローチャートである。

【図 6 C】図 6 C は、実施の形態 1 に係る撮像装置における動作の別の例を説明するためのタイミングチャートである。

【図 6 D】図 6 D は、実施の形態 1 に係る撮像装置における動作の別の例を示すフローチャートである。

10

【図 7】図 7 は、実施の形態 1 に係る撮像装置における動作のさらに別の例を示すフローチャートである。

【図 8】図 8 は、実施の形態 2 に係る撮像装置の構成の一例を示す模式図である。

【図 9】図 9 は、実施の形態 3 に係るカメラシステムの構成の一例を示すブロック図である。

【発明を実施するための形態】

【0014】

(本開示に至る基礎となった知見)

前述の、CDS 技術においては、光信号を検出する PD 部で発生した信号電荷を、電圧信号へと変換する FD 部へと転送する際に完全転送が前提となる。完全転送を実現するためにはプロセスが複雑化し、製造コストが増加するなどの課題がある。

20

【0015】

また、例えば、特許文献 2 に開示されているように、最近では高速で動作する物体を歪むことなく撮像する固体撮像素子としてグローバルシャッタを実現する構造の画素を持つ固体撮像素子が提案されている。

【0016】

特許文献 2 に開示されている固体撮像素子においては、全画素の PD 部の電荷を一括して FD 部に転送した後、行ごとに順次読み出しを行うため、FD 部の信号電圧を読み出す前にリセット電圧を読み出す CDS 技術を適用することができない。そこで、FD 部の信号電圧を読み出した後に FD 部をリセットし、リセット電圧の読み出しを行い、信号電圧とリセット電圧の差分を取るようになる。しかし、信号電圧に含まれるリセットノイズとリセット電圧に含まれるリセットノイズとはは相関がないため、リセットノイズを除去することができず、前述の CDS 技術を用いた読み出しに比べてランダムノイズが大きくなる課題がある。

30

【0017】

他にも、最近では画素数増加のために一画素あたりの面積が縮小しているため、PD 部の面積が減少することによる感度の低下を解決する固体撮像素子として、例えば、特許文献 3 で開示されているような、PD 部に有機光電変換膜を用いた有機 CMOS センサが提案されている。この有機 CMOS センサは、読み出し回路の上方に受光部である有機光電変換膜を設けることで、画素サイズが縮小しても、受光部の面積を大きく取ることが可能となり、高感度を実現することができる。

40

【0018】

一方、有機 CMOS センサのような光電変換膜を用いたセンサは、PD 部と半導体層とが金属配線で電氣的に接続される構造であるため、信号電荷を完全転送することができない。そこで、一般的には、PD 部と FD 部とを電氣的に接続して PD 部の信号電荷を読み出す構造を持つことで、不完全転送ノイズ及び残像が発生しないようにしている。

【0019】

そのため、露光中に蓄積される電荷により変化した電圧を FD 部で検知した状態で FD 部の信号電圧の読み出しを行い、その後、FD 部をリセットした状態でのリセット電圧の

50

読み出しを行い、信号電圧とリセット電圧の差分を取得することになる。しかし、信号電圧に含まれるリセットノイズとリセット電圧に含まれるリセットノイズとはは相関がないため、リセットノイズを除去することができず、前述のCDS技術を用いた読み出しに比べてランダムノイズが大きくなる課題がある。

【0020】

このように、CDS技術は、リセットノイズ抑制に有効な技術ではあるが、プロセスの複雑化に伴う製造コストの増加をもたらし、更には機能面及び性能面で効果のある構造のCMOS型固体撮像素子への適用ができないなどの課題がある。

【0021】

また、例えば、特許文献4に開示されているような、CDS技術を用いることなく行毎にリセットノイズを除去する技術も提案されている。

10

【0022】

しかしながら、行毎にリセットノイズを除去する方法を用いた場合、特に産業用カメラ、業務放送用カメラ及び医療カメラなどの仕様において、外部からトリガ信号による露光開始、特に、少なくとも2画素以上の画素同時露光開始又は面一括露光開始の指令信号が入った場合に、露光前に各画素のリセットノイズを行毎に除去するため時間がかかってしまう。その結果、トリガ信号が発行されてから露光開始までに数ミリ秒から数十ミリ秒の時間遅延が起こり、撮像したいものを撮像できない、及び、高速な検査ができないなどの課題が発生する。トリガ信号は、例えば、他の機械の動作等に合わせて発せられる信号、又は、シャッターボタン等が人に押されることによって発せられる信号等である。

20

【0023】

特許文献5に開示されている固体撮像素子においては、あらかじめ2つのトリガ信号を設けることで高速な露光開始を可能とする構成がとられているが、信号制御が複雑となる。

【0024】

そこで本開示では、上記の事情を鑑み、リセットノイズを適切に除去し、かつ、外部からトリガ信号に対し高速に露光を開始できる固体撮像素子を備えた撮像装置を提供することを目的とする。

【0025】

本開示の一態様の概要は以下の通りである。

【0026】

本開示の一態様に係る撮像装置は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素と、制御回路とを備え、前記制御回路は、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも1つの行に属する画素に行単位または複数行単位で順に行わせ、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも1つの行に属する画素に前記リセット動作を行わせることなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行わせる。

30

【0027】

これにより、制御回路は、トリガ信号を受け取った後、少なくとも1つの行に属する複数の画素に、リセット動作を行うことなく、露光動作を実行させる。そのため、トリガ信号の受け取りから露光動作までの時間が、トリガ信号の受け取り後にすべての画素にリセット動作を実行する場合と比べて短縮される。また、トリガ信号を受け取るまでに、少なくとも1つの行に属する画素にリセット動作が行われているため、信号電荷の蓄積前に電位が初期化され、特にリセットノイズの抑制と共にリセット動作が行われている場合には、少なくとも1つの行に属する画素の信号電荷におけるノイズが低減される。よって、本態様に係る撮像装置は、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる。

40

【0028】

また、例えば、前記制御回路は、前記トリガ信号を受け取るまでに、前記リセット動作

50

を前記複数の画素のすべての画素に行単位または複数行単位で順に行わせてもよい。

【0029】

これにより、トリガ信号を受け取るまでに、すべての行に属する複数の画素にリセット動作が行われているため、信号電荷の蓄積前に電位が初期化され、特にリセットノイズの抑制と共にリセット動作が行われている場合には、すべての複数の画素の信号電荷におけるノイズが低減される。

【0030】

また、例えば、前記制御回路は、前記トリガ信号を受け取るまでに、前記複数の画素のうち少なくとも1つの行に属する画素に前記リセット動作を複数回行わせてもよい。

【0031】

これにより、制御回路がトリガ信号を受け取るまでに、少なくとも1つの行に属する画素に、複数回リセット動作が行われる。そのため、複数回リセット動作を行う画素では、リセット動作が一度行われた後に、暗電流等によって電荷蓄積部に蓄積された電荷が、リセット動作によって再び初期化される。よって、暗電流等による蓄積された電荷に由来するノイズが低減されるため、本態様に係る撮像装置は、ノイズをさらに低減できる。

【0032】

また、例えば、前記制御回路は、前記トリガ信号を受け取るまで、前記複数の画素に、前記リセット動作を行単位または複数行単位で順に繰り返し行わせてもよい。

【0033】

これにより、制御回路がトリガ信号を受け取るまで、複数の画素にリセット動作が繰り返し行われる。そのため、リセット動作が行われた後に、暗電流等によって電荷蓄積部に蓄積された電荷が、リセット動作によって繰り返し初期化される。よって、暗電流等による蓄積された電荷に由来するノイズが低減されるため、本態様に係る撮像装置は、ノイズをさらに低減できる。

【0034】

また、例えば、前記制御回路は、前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセット動作を開始した行から行単位または複数行単位で順に前記複数の画素に行わせてもよい。

【0035】

これにより、リセット動作と読み出し動作とが開始される行が共通化されるため、制御回路の複雑化を抑制できる。また、読み出しデータが、上行から下行又は下行から上行に、時間的に連続に読み出されるため、得られる画像の連続性が保持される。

【0036】

また、例えば、前記制御回路は、前記リセット動作を、前記リセット動作を開始した行とは異なる行まで行単位または複数行単位で順に前記複数の画素に行わせ、前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセット動作を終了した行の次の順番の行から行単位または複数行単位で順に前記複数の画素に行わせてもよい。

【0037】

これにより、各行それぞれのリセット動作から読み出し動作までの時間が略同一になる。そのため、各行の間での、リセット動作が行われた後に、暗電流等によって電荷蓄積部に蓄積される電荷の量の差が、小さくなる。よって、複数の画素間のノイズの差が低減される。

【0038】

また、例えば、前記複数の画素のそれぞれは、前記リセット動作において前記電荷蓄積部の電位を負帰還させるフィードバック回路を含んでもよい。

【0039】

これにより、リセット動作時に発生するリセットノイズが、低減される。よって、本態様に係る撮像装置は、ノイズをさらに低減できる。

【0040】

10

20

30

40

50

また、例えば、前記複数の画素のそれぞれは、前記リセット動作において発生するリセットノイズを抑制する回路を含んでもよい。

【0041】

これにより、リセット動作時に発生するリセットノイズが、低減される。よって、本態様に係る撮像装置は、ノイズをさらに低減できる。

【0042】

また、例えば、電圧供給回路をさらに備え、前記光電変換部は、前記電圧供給回路に電氣的に接続される対向電極と、前記電荷蓄積部に電氣的に接続される画素電極と、前記対向電極と前記画素電極との間に位置する光電変換層とを含み、前記制御回路は、前記電圧供給回路に前記対向電極へ電圧を印加させて、前記光電変換層内に電界を形成させること

10

【0043】

これにより、行単位または複数行単位でのリセット動作が有効な積層型の撮像装置において、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる。また、対向電極に電圧を印加することで露光動作が行われるため、回路の複雑化を抑制できる。

【0044】

また、本開示の一態様に係る制御方法は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素を備える撮像装置の制御方法であって、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも1つの行に属する画素に行単位または複数行単位で順に行い、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも1つの行に属する画素に前記リセット動作を行うことなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行う。

20

【0045】

これにより、トリガ信号を受け取った後、少なくとも1つの行に属する複数の画素に、リセット動作を行うことなく、露光動作を実行させる。そのため、トリガ信号の受け取りから露光動作までの時間が、トリガ信号の受け取り後にすべての画素にリセット動作を実行する場合と比べて短縮される。また、トリガ信号を受け取るまでに、すべての行に属する複数の画素にリセット動作が行われているため、信号電荷の蓄積前に電位が初期化され、特にリセットノイズの抑制と共にリセット動作が行われている場合には、信号電荷におけるノイズが低減される。よって、本態様に係る制御方法は、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる。

30

【0046】

以下、本開示に係る撮像装置等の実施の形態について、図面を参照しながら説明する。なお、本開示について、以下の実施の形態及び添付の図面を用いて説明を行うが、これは例示を目的としており、本開示がこれらの実施の形態に限定されることを意図しない。

【0047】

なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。

40

【0048】

また、本明細書において、撮像装置等としての動作に必須あるいは特性の改善に有効であるが、本開示の説明に不要な要素については省略している。また、各図面はあくまで概念を示す図であり、縮尺、形状等は一切考慮に入れていない。したがって、例えば、各図において縮尺などは必ずしも一致しない。また、各図において、実質的に同一の構成については同一の符号を付しており、重複する説明は省略又は簡略化する。

【0049】

また、本明細書において、等しいなどの要素間の関係性を示す用語、及び、正方形又は円形などの要素の形状を示す用語、ならびに、数値範囲は、厳格な意味のみを表す表現で

50

はなく、実質的に同等な範囲、例えば数%程度の差異をも含むことを意味する表現である。

【0050】

また、本明細書において、「上方」及び「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）及び下方向（鉛直下方）を指すものではなく、積層構成における積層順を基に相対的な位置関係により規定される用語として用いる。また、「上方」及び「下方」という用語は、2つの構成要素が互いに間隔を空けて配置されて2つの構成要素の間に別の構成要素が存在する場合のみならず、2つの構成要素が互いに密着して配置されて2つの構成要素が接する場合にも適用される。

【0051】

（実施の形態1）

はじめに、図1Aから図3を参照して、本実施の形態に係る撮像装置100の構造を説明する。

【0052】

[撮像装置の構造]

図1Aは、本実施の形態に係る撮像装置100の例示的な回路構成を模式的に示す図である。撮像装置100は、一例として積層型の撮像素子であり、半導体基板に積層された光電変換層を有している。撮像装置100は、複数の画素110と周辺回路とを備える。周辺回路は、複数の画素110の動作を制御する制御回路を含む。制御回路は、外部からのトリガ信号を受け取り、複数の画素110に露光動作を行わせる。

【0053】

複数の画素110は、2次元に配列されることにより、感光領域いわゆる画素領域を形成している。なお、複数の画素110は、1次元に配列されていてもよい。その場合、撮像装置100は、ラインセンサである。

【0054】

図示されている例では、複数の画素110は、行方向及び列方向に配列されている。本明細書において、行方向及び列方向とは、行及び列がそれぞれ延びる方向をいう。つまり、垂直方向が列方向であり、水平方向が行方向である。

【0055】

画素110の各々は、電源線120に接続されている。各画素110には、電源線120を介して所定の電源電圧が供給される。また、図示されているように、撮像装置100は、入射光を光電変換する全ての光電変換層に同一の一定電圧を印加する蓄積制御線130を有する。但し、変動を抑制するなど、別制御を行う場合には、いくつかに分割して電圧が印加されてもよい。

【0056】

周辺回路は、電圧供給回路140と、垂直走査回路141と、カラム信号処理回路142と、水平信号読み出し回路143と、定電流源144とを含む。垂直走査回路141は、「行走査回路」とも呼ばれ、水平信号読み出し回路143は、「列走査回路」とも呼ばれる。カラム信号処理回路142及び定電流源144は、2次元に配列された画素110の列毎に配置され得る。

【0057】

以下、周辺回路の構成の一例を説明する。

【0058】

電圧供給回路140は、蓄積制御線130に接続されている。撮像装置100の動作時、電圧供給回路140によって、蓄積制御線130を介して、画素110の対向電極1b（詳細は後述）に所定のバイアス電圧が印加される。電圧供給回路140は、制御回路によって、動作が制御される。

【0059】

垂直走査回路141は、選択制御信号線CON7及び増幅制御信号線CON3に接続されている。増幅制御信号線CON3は、「帯域制御信号線」とも呼ばれ、選択制御信号線CON7は、「アドレス信号線」とも呼ばれる。垂直走査回路141は、複数の画素11

10

20

30

40

50

0の動作を制御する制御回路の一部である。垂直走査回路141は、選択制御信号線CON7に所定の電圧を印加することにより、各行に配置された複数の画素110を行単位で選択する。これにより、選択された画素110の信号電圧の読み出しと、後述する画素電極のリセットとが実行される。

【0060】

各列に配置された画素110は、各列に対応した信号読み出し信号線170を介してカラム信号処理回路142に電氣的に接続されている。信号読み出し信号線170は、「垂直信号線」とも呼ばれる。カラム信号処理回路142は、相関二重サンプリングに代表される雑音抑圧信号処理及びアナログ-デジタル変換(AD変換)などを行う。画素110Aの列に対応して設けられた複数のカラム信号処理回路142には、水平信号読み出し回路143が電氣的に接続されている。水平信号読み出し回路143は、複数のカラム信号処理回路142から水平共通信号線180に信号を順次読み出す。

10

【0061】

次に、画素110の回路構成の一例を説明する。

【0062】

図1Bは、本実施の形態に係る撮像装置100の画素110の、例示的な回路構成を模式的に示す図である。画素110は、光電変換部1、増幅器2、帯域制御部3、電荷蓄積部FD及び出力選択部5を備える。光電変換部1は、光を検出し、光を信号電荷に変換する。電荷蓄積部FDは、光電変換部1によって生成された信号電荷を蓄積する。増幅器2、帯域制御部3、電荷蓄積部FD、及び出力選択部5によって、読み出し回路50が形成されている。

20

【0063】

光電変換部1は、光を信号電荷に変換する。読み出し回路50は、光電変換部1により生成された信号電荷を読み出す。光電変換部1は、例えば、画素電極1aと、対向電極1bと、画素電極1aと対向電極1bとに挟まれた光電変換層1cとを備える。画素電極1aは、電荷蓄積部FDに電氣的に接続される。対向電極1bは、図1Aに示されている蓄積制御線130に接続され、蓄積制御線130を介して電圧供給回路140に電氣的に接続される。例えば、対向電極1bに基準電圧Vpを印加し、電荷蓄積部FDを形成するノードの一端を画素電極1aに接続することにより、光電変換部1の光電変換層1cが生成する信号電荷を、電荷蓄積部FDに蓄積できる。

30

【0064】

電荷蓄積部FDは、配線層によって光電変換部1と接続されている。電荷蓄積部FDは、光電変換部1によって生成された信号電荷を蓄積する。電荷蓄積部FDは、増幅器2の入力にさらに接続されている。増幅器2は、電荷蓄積部FDに蓄積された信号電荷に応じた信号を増幅し、帯域制御部3及び出力選択部5に出力する。

【0065】

増幅器2及び帯域制御部3は、電荷蓄積部FDを介してフィードバック回路30を形成する。帯域制御部3は、帯域制御回路13を含んでいる。帯域制御回路13には、電圧制御回路から、互いに異なる少なくとも3つの電圧が供給される。このような電圧が供給されることにより、帯域制御回路13は帯域制御機能を有する。電圧制御回路は、例えば、垂直走査回路141の一部である。帯域制御回路13は、増幅器2の出力信号に帯域制限をかけて電荷蓄積部FDに出力する。フィードバック回路30において、電荷蓄積部FDから読み出された信号は、増幅器2によって増幅され、帯域制御回路13によって帯域制限をかけられて、電荷蓄積部FDに帰還される。

40

【0066】

フィードバック回路30は、光電変換部1の信号を、増幅トランジスタ42を介して電荷蓄積部FDに負帰還する。言い換えると、フィードバック回路30は、後述のリセット動作において、電荷蓄積部FDの電位を負帰還させる回路である。

【0067】

増幅器2は、増幅トランジスタ42と、第1のスイッチ素子11及び第2のスイッチ素

50

子12を含む切替回路20と、を有している。読み出し回路50内のトランジスタは、例えば、NチャネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor) である。以下、読み出し回路50の電氣的な接続関係を説明する。なお、画素110の増幅器2が切替回路20を有さず、切替回路20が周辺回路に含まれていてもよい。

【0068】

増幅トランジスタ42のゲートには、電荷蓄積部FDが接続されている。帯域制御部3は帯域制御トランジスタ46を含む。出力選択部5は選択トランジスタ44を含む。増幅トランジスタ42のソース及びドレインの一方は、帯域制御トランジスタ46のソース及びドレインの一方と、選択トランジスタ44のソース及びドレインの一方とに接続されている。また、帯域制御トランジスタ46のソース及びドレインの他方は電荷蓄積部FDに接続されている。帯域制御トランジスタ46と、電荷蓄積部FDに寄生する容量成分とによってRCフィルタ回路が形成される。

10

【0069】

帯域制御トランジスタ46のゲートには、増幅制御信号線CON3が接続されている。増幅制御信号線CON3の電圧により帯域制御トランジスタ46の状態が決定される。例えば、増幅制御信号線CON3の電圧がハイレベルのとき、帯域制御トランジスタ46はオンする。その結果、電荷蓄積部FDと、増幅トランジスタ42と、帯域制御トランジスタ46とによって帰還経路が形成される。

20

【0070】

増幅制御信号線CON3の電圧が低くなると、帯域制御トランジスタ46の抵抗成分が大きくなる。そのため、帯域制御トランジスタ46の帯域は狭くなり、帰還する信号の周波数範囲は狭くなる。増幅制御信号線CON3の電圧が、さらに低いローレベルになると、帯域制御トランジスタ46はオフする。その結果、帰還経路は形成されない。

【0071】

選択トランジスタ44のソース及びドレインの他方は、信号読み出し信号線170に接続されている。選択トランジスタ44のゲートは選択制御信号線CON7によって制御される。選択制御信号線CON7の電圧により、選択トランジスタ44の状態が決定される。例えば、選択制御信号線CON7の電圧がハイレベルのとき、選択トランジスタ44はオンする。その結果、増幅トランジスタ42と、信号読み出し信号線170とは電氣的に接続される。選択制御信号線CON7の電圧がローレベルのとき、選択トランジスタ44はオフする。その結果、増幅トランジスタ42と、信号読み出し信号線170とは電氣的に分離される。

30

【0072】

増幅トランジスタ42のソース及びドレインの他方には、切替回路20が接続される。具体的には、増幅トランジスタ42のソース及びドレインの他方は、第1のスイッチ素子11を介して、第1の電圧源VA1に接続される。また、増幅トランジスタ42のソース及びドレインの他方は、第2のスイッチ素子12を介して、第2の電圧源VA2にも接続される。制御信号V1及びV2によって切替回路20を制御することにより、増幅トランジスタ42のソース及びドレインの他方に印加する電圧を、電圧Va1又は電圧Va2に切り替える。第1の電圧源VA1の電圧Va1は、例えば接地電圧GNDである。第2の電圧源VA2の電圧Va2は、例えば電源電圧VDDである。切替回路20は、画素毎に設けられていてもよいし、1画素あたりの素子数を削減するために、複数の画素により共有されていてもよい。

40

【0073】

出力選択部5は、信号読み出し信号線170に接続されている。信号読み出し信号線170は、少なくとも2つの画素で共有される。増幅器2によって増幅された信号は、出力選択部5を介して信号読み出し信号線170に出力される。

【0074】

信号読み出し信号線170には、定電流源144が接続されている。選択トランジスタ

50

4 4 がオンのとき、選択トランジスタ 4 4、増幅トランジスタ 4 2 及び定電流源 1 4 4 によって、ソースフォロア回路が形成される。電荷蓄積部 F D に蓄積された信号電荷に応じた信号は、信号読み出し信号線 1 7 0 に出力され、外部に読み出される。なお、定電流源 1 4 4 は、画素毎に設けられていてもよいし、1 画素あたりの素子数を削減するために、複数の画素により共有されていてもよい。

【 0 0 7 5 】

なお、光電変換部 1 は、このような構成に限らず、フォトダイオード等の、その他の光電変換機能を有する素子であってもよい。図 1 C は、本実施の形態に係る撮像装置の画素 1 1 5 の、例示的な回路構成を模式的に示す図である。図 1 C に示される画素 1 1 5 は、上述の画素 1 1 0 と比較して、光電変換部 1 の代わりに光電変換部 1 d を備える点で相違する。画素 1 1 5 における光電変換部 1 d 以外の構成は、画素 1 1 0 と同じである。図 1 C に示されるように、画素 1 1 5 は、フォトダイオードで構成される光電変換部 1 d を備える。例えば、光電変換部 1 d の一端に基準電圧 V_p を印加し、電荷蓄積部 F D を形成するノードの一端を光電変換部 1 d の他の一端に接続することにより、光電変換部 1 d が生成する信号電荷を、電荷蓄積部 F D に蓄積できる。

10

【 0 0 7 6 】

次に、本実施の形態に係る撮像装置 1 0 0 の画素構造について説明する。

【 0 0 7 7 】

図 2 は、本実施の形態に係る撮像装置 1 0 0 の画素 1 1 0 のデバイス構造を模式的に示す断面図である。図 2 に例示される構成において、画素 1 1 0 は、光電変換部 1 を支持する半導体基板 6 2 を含む。半導体基板 6 2 は、例えばシリコン基板である。図 2 に示されるように、光電変換部 1 は、半導体基板 6 2 の上方に配置される。この例では、半導体基板 6 2 上に層間絶縁層 6 3 A、6 3 B 及び 6 3 C が積層されており、層間絶縁層 6 3 C 上に、画素電極 1 a、光電変換層 1 c 及び対向電極 1 b の積層体が配置されている。画素電極 1 a は画素ごとに区画されており、隣接する 2 つの画素 1 1 0 間において画素電極 1 a が空間的に分離して形成されることにより、隣接する 2 つの画素電極 1 a は、電氣的に分離されている。また、光電変換層 1 c 及び対向電極 1 b は、複数の画素 1 1 0 に跨るように形成されていてもよい。光電変換部 1 によって生成される信号電荷は、増幅トランジスタ 4 2 のゲートと光電変換部 1 との間の電荷蓄積ノード 4 1 に蓄積される。電荷蓄積ノード 4 1 は、上述の電荷蓄積部 F D の一例である。

20

30

【 0 0 7 8 】

光電変換部 1 は、例えば、図 2 に示されるように、画素電極 1 a と、画素電極 1 a に対向する対向電極 1 b と、画素電極 1 a と対向電極 1 b との間に位置する光電変換層 1 c とを含む。

【 0 0 7 9 】

画素電極 1 a は、光電変換部 1 で生成された信号電荷を読み出すための電極である。画素電極 1 a は、画素 1 1 0 ごとに少なくとも 1 つ存在する。画素電極 1 a は、増幅トランジスタ 4 2 のゲート電極 4 2 e 及び不純物領域 6 2 d に電氣的に接続されている。

【 0 0 8 0 】

画素電極 1 a は、導電性材料を用いて形成されている。導電性材料は、例えば、アルミニウム、銅などの金属、金属窒化物、又は、不純物がドーピングされることにより導電性が付与されたポリシリコンである。

40

【 0 0 8 1 】

対向電極 1 b は、例えば、透明な導電性材料から形成される透明電極である。対向電極 1 b は、光電変換部 1 において光が入射される側に配置される。したがって、光電変換層 1 c には、対向電極 1 b を透過した光が入射する。

【 0 0 8 2 】

なお、本明細書における「透明」は、検出しようとする波長範囲の光の少なくとも一部を透過することを意味し、可視光の波長範囲全体にわたって光を透過することは必須ではない。

50

【 0 0 8 3 】

対向電極 1 b は、例えば、ITO (Indium Tin Oxide) などの透明導電性酸化物 (TCO: Transparent Conducting Oxide) を用いて形成される。

【 0 0 8 4 】

光電変換層 1 c は、入射する光を受けて正孔 - 電子対を発生させる。光電変換層 1 c の材料としては、例えば、半導体性の無機材料、又は、半導体性の有機材料などが用いられる。光電変換層 1 c は、例えば、有機光電変換膜である。

【 0 0 8 5 】

半導体基板 6 2 には、増幅トランジスタ 4 2、選択トランジスタ 4 4 及び帯域制御トランジスタ 4 6 が形成されている。

10

【 0 0 8 6 】

増幅トランジスタ 4 2 は、半導体基板 6 2 に形成された不純物領域 6 2 a 及び 6 2 b と、半導体基板 6 2 上に位置するゲート絶縁層 4 2 g と、ゲート絶縁層 4 2 g 上に位置するゲート電極 4 2 e とを含む。不純物領域 6 2 a 及び 6 2 b は、増幅トランジスタ 4 2 のドレイン又はソースとして機能する。不純物領域 6 2 a 及び 6 2 b、ならびに、後述する不純物領域 6 2 c、6 2 d 及び 6 2 e は、例えば、n 型不純物領域である。

【 0 0 8 7 】

選択トランジスタ 4 4 は、半導体基板 6 2 に形成された不純物領域 6 2 a 及び 6 2 c と、半導体基板 6 2 上に位置するゲート絶縁層 4 4 g と、ゲート絶縁層 4 4 g 上に位置するゲート電極 4 4 e とを含む。不純物領域 6 2 a 及び 6 2 c は、選択トランジスタ 4 4 のドレイン又はソースとして機能する。この例では、増幅トランジスタ 4 2 と選択トランジスタ 4 4 とが不純物領域 6 2 a を共有することにより、増幅トランジスタ 4 2 のソース (又はドレイン) と、選択トランジスタ 4 4 のドレイン (又はソース) とが電氣的に接続されている。

20

【 0 0 8 8 】

帯域制御トランジスタ 4 6 は、半導体基板 6 2 内に形成された不純物領域 6 2 d 及び 6 2 e と、半導体基板 6 2 上に位置するゲート絶縁層 4 6 g と、ゲート絶縁層 4 6 g 上に位置するゲート電極 4 6 e とを含む。不純物領域 6 2 d 及び 6 2 e は、帯域制御トランジスタ 4 6 のドレイン又はソースとして機能する。

30

【 0 0 8 9 】

半導体基板 6 2 において、互いに隣接する画素 1 1 0 間、及び、増幅トランジスタ 4 2 と帯域制御トランジスタ 4 6 との間には、素子分離領域 6 2 s が設けられている。素子分離領域 6 2 s により、互いに隣接する画素 1 1 0 が電氣的に分離されている。また、互いに隣接する画素 1 1 0 間に素子分離領域 6 2 s が設けられることにより、電荷蓄積ノード 4 1 に蓄積される信号電荷のリークが抑制される。

【 0 0 9 0 】

層間絶縁層 6 3 A 内には、帯域制御トランジスタ 4 6 の不純物領域 6 2 d に接続されたコンタクトプラグ 6 5 A、増幅トランジスタ 4 2 のゲート電極 4 2 e に接続されたコンタクトプラグ 6 5 B、及び、コンタクトプラグ 6 5 A とコンタクトプラグ 6 5 B とを接続する配線 6 6 A が形成されている。これにより、帯域制御トランジスタ 4 6 の不純物領域 6 2 d (例えばドレイン) が増幅トランジスタ 4 2 のゲート電極 4 2 e と電氣的に接続されている。図 2 に例示される構成では、層間絶縁層 6 3 A 内に、プラグ 6 7 A 及び配線 6 8 A がさらに形成されている。また、層間絶縁層 6 3 B 内にプラグ 6 7 B 及び配線 6 8 B が形成され、層間絶縁層 6 3 C 内にプラグ 6 7 C が形成されることにより、配線 6 6 A と画素電極 1 a とが電氣的に接続されている。コンタクトプラグ 6 5 A、コンタクトプラグ 6 5 B、配線 6 6 A、プラグ 6 7 A、配線 6 8 A、プラグ 6 7 B、配線 6 8 B、及び、プラグ 6 7 C は、典型的には金属で構成される。

40

【 0 0 9 1 】

図 2 に例示される構成では、対向電極 1 b 上にカラーフィルタ 7 2 が配置されている。

50

また、カラーフィルタ72上にマイクロレンズ74が配置されている。図示されていないが、カラーフィルタ72とマイクロレンズ74との間に、光電変換部1を保護するための保護層が配置されていてもよい。保護層の材料は、例えば、SiON又はAlO等である。

【0092】

以上のような撮像装置100は、一般的な半導体製造プロセスを用いて製造することができる。特に、半導体基板62としてシリコン基板を用いる場合には、種々のシリコン半導体プロセスを利用することによって製造することができる。

【0093】

ここで、光電変換動作について説明する。外部から入力された光は、各画素110のマイクロレンズ74で集光され、カラーフィルタ72で所望の波長のみを透過し、光電変換部1に入射する。光電変換部1では、光を電荷に変換する。対向電極1bと画素電極1aとの間に電圧が印加され、電界がかかった状態において、変換された電荷は、画素電極1aによって集められ、電荷蓄積ノード41、言い換えると、電荷蓄積部FDに蓄積される。

【0094】

次に、本実施の形態に係る画素の別の例について説明する。図3は、本実施の形態に係る撮像装置の画素110Aの、例示的な回路構成を模式的に示す図である。図3に示される画素110Aは、上述の画素110と比較して、帯域制御部3の代わりに、帯域制御部3Aを備える点で相違する。以下では、画素110との相違点を中心に説明し、共通点の説明を省略又は簡略化する。

【0095】

画素110Aでは、増幅器2、帯域制御部3A、電荷蓄積部FD及び出力選択部5によって、読み出し回路50Aが形成されている。

【0096】

フィードバック回路30Aは、光電変換部1からの信号を、増幅トランジスタ42を介して電荷蓄積部FDに負帰還する。言い換えると、フィードバック回路30Aは、後述のリセット動作において、電荷蓄積部FDの電位を負帰還させる回路である。

【0097】

帯域制御部3Aは、帯域制御回路13A及びリセット回路14Aを含む。

【0098】

帯域制御回路13Aは、後述するリセット動作において発生するリセットノイズを抑制する回路である。帯域制御回路13Aは、帯域制御トランジスタ46A、第1の容量素子9及び第2の容量素子10を含んでいる。本明細書において、「容量素子」は、電極の間に絶縁膜などの誘電体が挟まれた構造を意味する。また、「電極」は、金属から形成された電極に限定されず、ポリシリコン層などを広く含むように解釈される。電極は、半導体基板の一部であってもよい。第1の容量素子9及び第2の容量素子10は、例えばMIM(Metal Insulator Metal)容量又はMIS(Metal Insulator Semiconductor)容量であってもよい。リセット回路14Aは、リセットトランジスタ48を含んでいる。

【0099】

以下、読み出し回路50Aの電気的な接続関係を説明する。

【0100】

増幅トランジスタ42のゲートは、電荷蓄積部FDに接続されている。増幅トランジスタ42のソース及びドレインの一方は、帯域制御トランジスタ46Aのソース及びドレインの一方と接続されている。増幅トランジスタ42のソース及びドレインの一方は、選択トランジスタ44のソース及びドレインの一方にも接続されている。また、帯域制御トランジスタ46Aのソース及びドレインの他方は、第1の容量素子9の一端に接続されている。また、第1の容量素子9の他端には、基準電圧VR1が印加される。これにより、帯域制御トランジスタ46Aと第1の容量素子9とによってRCフィルタ回路が形成される。

【0101】

帯域制御トランジスタ46Aのソース及びドレインの他方は、第2の容量素子10の一

10

20

30

40

50

端にも接続されている。また、第2の容量素子10の他端は、電荷蓄積部FDに接続されている。本明細書において、帯域制御トランジスタ46A、第1の容量素子9及び第2の容量素子10の間に形成されたノードを「RD」と称する。

【0102】

帯域制御トランジスタ46Aのゲートは、増幅制御信号線CON3に接続されている。増幅制御信号線CON3の電圧により、帯域制御トランジスタ46Aの状態が決定される。例えば、増幅制御信号線CON3の電圧がハイレベルのとき、帯域制御トランジスタ46Aはオンする。このとき、電荷蓄積部FDと、増幅トランジスタ42と、帯域制御トランジスタ46Aと、第2の容量素子10とによってフィードバック回路30Aが形成される。

10

【0103】

増幅制御信号線CON3の電圧が低くなると、帯域制御トランジスタ46Aの抵抗成分が大きくなる。そのため、帯域制御トランジスタ46Aの帯域は狭くなり、帰還する信号の周波数領域は狭くなる。

【0104】

帰還経路が形成されているとき、帯域制御トランジスタ46Aが出力する信号は、第2の容量素子10及び電荷蓄積部FDの寄生容量によって形成される減衰回路で減衰されて、電荷蓄積部FDに帰還される。第2の容量素子10の容量をCcとし、電荷蓄積部FDの寄生容量をCfdとすると、減衰率は、 $Cc / (Cc + Cfd)$ で表される。

20

【0105】

増幅制御信号線CON3の電圧がさらに低くなり、ローレベルになると、帯域制御トランジスタ46Aはオフし、帰還経路は形成されない。

【0106】

電荷蓄積部FDは、リセットトランジスタ48のソース及びドレインの一方にさらに接続される。リセットトランジスタ48のソース及びドレインの他方は、RDに接続されている。これにより、増幅トランジスタ42のソース及びドレインの一方の電圧（増幅器2の出力電圧）がリセットトランジスタ48に印加される。リセットトランジスタ48のゲートは、リセット制御信号線CON2に接続され、リセット制御信号線CON2の電圧により、リセットトランジスタ48の状態が決定される。リセットトランジスタ48は、光電変換部1の信号を、増幅トランジスタ42を介して電荷蓄積部FDに負帰還している。このような構成によると、リセットトランジスタ48をオフする前後における電荷蓄積部FDの電圧の変化を小さくすることができ、より高速なノイズ抑制が可能となる。

30

【0107】

[画素の動作]

次に、撮像装置100の複数の画素110の動作について説明する。撮像装置100の制御回路は、複数の画素110に、信号電荷を電荷蓄積部FDに蓄積する露光動作、電荷蓄積部FDの電位を初期化するリセット動作、及び、電荷蓄積部FDに蓄積された信号電荷に対応する信号を出力する読み出し動作を行わせる。画素110の代わりに画素110A又は画素115が用いられる場合も、基本的な動作は同じである。

【0108】

まず、信号電荷を電荷蓄積部FDに蓄積する露光動作について説明する。制御回路は、以下の動作によって複数の画素110に露光動作を行わせる。

40

【0109】

図4は、光電変換層1cの特性の一例として、有機光電変換膜の光電変換特性の一例を示す図である。図4に示されるように、有機光電変換膜の光電変換特性は、対向電極1bの電圧 V_{IT0} が高くなるほど、有機光電変換膜の感度が高くなる。例えば、各画素110に設けられた画素電極1aがリセット電圧VRSに設定された状態で、全画素共通の対向電極1bにHIGH電圧が供給されると、対向電極1bと画素電極1aとは高電圧 V_H がかかるため、有機光電変換膜の感度が高く、光電変換が行われる。光電変換層1cで発生した信号電荷は、画素電極1aによって収集される。対向電極1bにLOW電圧を供

50

給されると、対向電極 1 b と画素電極 1 a とにかかる電圧は、低電圧 V_L に変更されるため、有機光電変換膜の感度が低くなり、光電変換が停止される。つまり、各画素 1 1 0 に設けられた画素電極 1 a がリセット電圧 V_{RST} に設定された状態で、全画素共通の対向電極 1 b に HIGH 電圧が供給されることで露光動作が開始され、対向電極 1 b に LOW 電圧が供給されることで露光動作が停止される。また、この際、図 1 B に示される増幅制御信号線 CON 3 の電圧はローレベルであり、帯域制御トランジスタ 4 6 はオフである。また、画素 1 1 0 A の場合、図 2 に示されるリセット制御信号線 CON 2 及び増幅制御信号線 CON 3 の電圧はローレベルであり、帯域制御トランジスタ 4 6 A 及びリセットトランジスタ 4 8 はオフである。これにより、露光動作中に、電荷蓄積部 FD に信号電荷が蓄積される。このように、光電変換層 1 c を用いた撮像装置 1 0 0 では、対向電極 1 b に印加する電圧の制御により、光電変換特性、つまり感度の制御が可能となる。本実施の形態に係る撮像装置 1 0 0 では、このような光電変換特性（つまり感度特性）の制御を用いることで、少なくとも 2 つ以上の画素 1 1 0 に対して同時に露光動作を行う、グローバルシャッタ動作が可能となる。

10

【0110】

ここで、光電変換層を用いた撮像装置の場合、前述したように、電荷を完全転送できない構成のため、CDS手法を用いることができない。そこで露光の前に、画素毎にリセットノイズ（例えば kTCノイズ）抑制を行うことが必須となる。前述したグローバルシャッタ露光の開始前にも、露光する画素についてリセット動作が必要になる。

【0111】

20

次に、電荷蓄積部 FD の電位を初期化するリセット動作について図 1 B 及び図 2 を参照しながら説明する。制御回路は、以下の動作によって複数の画素 1 1 0 にリセット動作を行わせる。リセット動作は、複数の画素 1 1 0 の行単位で行われる。リセット動作では、例えば、リセットノイズの抑制とともに電荷蓄積部 FD の電位が初期化される。

【0112】

リセット動作において、選択制御信号線 CON 7 の電圧はローレベルである。従って、選択トランジスタ 4 4 はオフ状態であり、増幅トランジスタ 4 2 と信号読み出し信号線 1 7 0 とは電氣的に分離されている。ここで、増幅制御信号線 CON 3 の電圧をハイレベルにして、帯域制御トランジスタ 4 6 をオンにする。また、この際、切替回路 2 0 の第 1 のスイッチ素子 1 1 はオン状態となっており、増幅トランジスタ 4 2 のソース及びドレインの他方には電圧 V_{a1} （例えば接地電圧 GND）が印加されている。これにより、電荷蓄積部 FD の電圧（言い換えると画素電極 1 a の電圧）は、リセット電圧 V_{RST} と等しくなる。つまり、電荷蓄積部 FD の電位が初期化される。さらに、例えば、この次に、増幅制御信号線 CON 3 の電圧を、ハイレベルとローレベルとの間、例えば中間の電圧に設定する。これにより、リセットノイズが抑制される。この場合、帯域制御トランジスタ 4 6 の動作帯域が、増幅トランジスタ 4 2 の動作帯域よりも狭くなるように電圧を設定すると、さらにリセットノイズ抑制効果は高くなる。最後に、増幅制御信号線 CON 3 の電圧をローレベルにし、帯域制御トランジスタ 4 6 をオフにする。これにより、リセットノイズの抑制を行うと共に、電荷蓄積部 FD の電位が初期化される。

30

【0113】

40

画素 1 1 0 A の場合には、さらに、増幅制御信号線 CON 3 の電圧をハイレベルにすることに加えて、リセット制御信号線 CON 2 の電圧をハイレベルにし、リセットトランジスタ 4 8 をオンにすることにより、電荷蓄積部 FD の電圧は、リセット電圧 V_{RST} と等しくなる。次に、リセットトランジスタ 4 8 をオフにする。さらに、例えば、この次に、増幅制御信号線 CON 3 の電圧を、ハイレベルとローレベルとの間、例えば中間の電圧に設定することで、上記リセットノイズ抑制効果も得られる。最後に、リセット制御信号線 CON 2 及び増幅制御信号線 CON 3 の電圧を、ローレベルにし、帯域制御トランジスタ 4 6 A をオフにする。

【0114】

次に、電荷蓄積部 FD に蓄積された信号電荷に対応する信号を出力する読み出し動作に

50

ついて図 1 B 及び図 2 を参照しながら説明する。制御回路は、以下の動作によって複数の画素 1 1 0 に読み出し動作を行わせる。読み出し動作は、複数の画素 1 1 0 の行単位で行われる。

【 0 1 1 5 】

読み出し動作においては、選択制御信号線 CON 7 の電圧をハイレベルにして選択トランジスタ 4 4 をオンにする。また、増幅トランジスタ 4 2 のソース及びドレインの他方の電圧が V_{a2} (例えば電源電圧 V_{DD}) になるように、切替回路 2 0 を制御する。すなわち、第 2 のスイッチ素子 1 2 がオンになり、増幅トランジスタ 4 2 のソース及びドレインの他方には、電圧 V_{a2} が印加される。この状態においては、増幅トランジスタ 4 2 と定電流源 1 4 4 とがソースフォロア回路を形成する。そして、電荷蓄積部 FD の電位は、電荷蓄積部 FD に蓄積された信号電荷の量に応じた電圧となる。これにより、信号電荷の量に応じた電荷蓄積部 FD の電圧は、増幅器 2 によって例えば 1 倍程度の増幅率で増幅され、信号読み出し信号線 1 7 0 に出力される。このとき、ソースフォロア回路の増幅率は、例えば、1 倍程度である。電荷蓄積部 FD の電圧は、例えば、1 倍程度の増幅率で増幅器 2 により増幅されて、信号読み出し信号線 1 7 0 に出力される。

10

【 0 1 1 6 】

この読み出し動作は、電荷蓄積部 FD に露光動作での信号電荷が蓄積された状態、及び、画素についてリセット動作が完了し、画素電極にリセット電圧 V_{RST} が設定された状態で行われる。電荷蓄積部 FD に露光動作での信号電荷が蓄積された状態での読み出し動作を、「信号読み出し動作」と称し、画素電極にリセット電圧 V_{RST} が設定された状態での読み出し動作を、「リセット信号読み出し動作」と称する。

20

【 0 1 1 7 】

[撮像装置の動作]

次に、撮像装置 1 0 0 の動作について説明する。具体的には、撮像装置 1 0 0 の制御回路が、複数の画素に行わせる動作について説明する。

【 0 1 1 8 】

以下では、比較例に係る撮像装置を用いた場合の動作及び課題、並びに、本実施の形態に係る撮像装置 1 0 0 を用いた場合の動作及び効果について説明する。

【 0 1 1 9 】

まず、比較例に係る撮像装置について、図 5 A、図 5 B 及び図 5 C を用いて説明する。比較例に係る撮像装置は、上述の撮像装置 1 0 0 と同様の構成を有するが、各回路による動作が本実施の形態に係る撮像装置 1 0 0 とは異なる。以下では、比較例に係る撮像装置の複数の画素 1 1 0 が、「0 行から n 行 × 0 列から m 列」の画素アレイを構成している例について説明する。

30

【 0 1 2 0 】

図 5 A は、比較例に係る撮像装置における動作の一例を説明するためのタイミングチャートである。図 5 B は、比較例に係る撮像装置における動作の一例を示すフローチャートである。

【 0 1 2 1 】

図 5 A は、トリガ信号のタイミングと、垂直同期信号 V_D の立ち下がり (又は立ち上がり) のタイミングと、光電変換部 1 の対向電極 1 b に印加される電圧 (すなわち、光電変換層 1 c に印加されるバイアス電圧) の大きさの時間的变化と、複数の画素 1 1 0 全体の駆動と、複数の画素 1 1 0 の画素アレイの各行におけるリセット動作、信号読み出し動作及び露光動作とを示している。図 5 A の最上部には、露光開始を指示する「トリガ信号」のタイミングが示されている。図 5 A 中の一番上のグラフの「 V_D 」には、垂直同期信号 V_D の立ち下がり (又は立ち上がり) のタイミングが示されている。図 5 A 中の上から二番目のグラフの「対向電極電圧」には、蓄積制御線 1 3 0 を介して、電圧供給回路 1 4 0 から対向電極 1 b に印加される電圧の時間的变化が示されている。さらにその下の「画素駆動」と「各行動作」とには、それぞれ、複数の画素 1 1 0 全体の駆動と、複数の画素 1 1 0 の画素アレイの各行の動作のタイミングが示されている。各行動作の線は、0 行から

40

50

n 行まで行ごとに順次動作が行われていることを示している。各行動作の実線は、リセット動作を示しており、破線は、信号読み出し動作を示している。

【 0 1 2 2 】

図 5 A 及び図 5 B に示されるように、まず、すべての画素 1 1 0 に対し、露光動作前のリセット動作を行う必要がある為、比較例に係る撮像装置の制御回路は、リセット動作期間 A において、少なくとも 1 行毎に 0 行から n 行のすべての行の複数の画素 1 1 0 に、リセット動作を行わせる (S 1 1 1)。リセット動作が行われる際には、例えば、上述のように、リセットノイズ (例えば k T C ノイズ) の抑制とともにリセット動作が行われる。

【 0 1 2 3 】

次に、比較例に係る撮像装置の制御回路は、すべての画素 1 1 0 のリセットノイズが抑制され、リセット電圧 V R S T が設定された状態で、露光動作期間 B において、対向電極 1 b に H I G H 電圧を印加し、複数の画素 1 1 0 に露光動作を行わせる (S 1 1 2)。露光動作は、複数の画素 1 1 0 のうち少なくとも 2 画素以上の画素 1 1 0 に対して一括で行われる。

【 0 1 2 4 】

次に、比較例に係る撮像装置の制御回路は、露光動作後、信号読み出し動作期間 C において、0 行から n 行のすべての行に属する画素 1 1 0 について、少なくとも 1 行毎に、信号読み出し動作と、信号読み出し動作後、再度、信号を読み出したすべての画素 1 1 0 に対するリセット動作と、リセット動作後、すべての画素 1 1 0 に対するリセット信号読み出し動作とを行わせる (S 1 1 3)。リセット信号読み出し動作では、信号を読み出したすべての画素 1 1 0 のノイズが抑制され、リセット電圧 V R S T が設定された状態で、少なくとも 1 行毎にリセット信号の読み出し動作が行われる。

【 0 1 2 5 】

その後、比較例に係る撮像装置の制御回路は、外部からのトリガ信号を受け取り、露光開始時間を決定し、リセット動作、露光動作及び信号読み出し動作を複数の画素 1 1 0 に行わせる (S 1 1 4 から S 1 1 7)。ステップ S 1 1 5 からステップ S 1 1 7 においては、ステップ S 1 1 1 からステップ S 1 1 3 と同様の動作が行われる。この時、ステップ S 1 1 4 においてトリガ信号を受け取ってから、ステップ 1 1 6 における露光動作前に、少なくとも 1 行毎に、露光する全ての画素 1 1 0 分のリセット動作が必要になり、外部からのトリガ信号の受け取りから、露光動作開始までに長い待機時間 T 1 が生じる。例えば、1 行のリセット動作につき 3 マイクロ秒の時間が F H D (垂直 1 0 0 0 行) に対し必要な場合、3 ミリ秒以上の待機時間 T 1 が生じ、撮影したいものを撮影したいタイミングで撮影できない、又は、撮影したいものを撮影したいタイミングで撮影するための連写ができない。そのため、高速に複数の物体の連続検査が行えないなどの課題が生じる。

【 0 1 2 6 】

図 5 C は、比較例に係る撮像装置における動作の別の例を示すフローチャートである。図 5 C に示される例では、比較例に係る撮像装置の制御回路は、始めに外部からのトリガ信号を受け取り、リセット動作、露光動作及び信号読み出し動作を複数の画素 1 1 0 に行わせる (S 1 2 1 から S 1 2 4)。ステップ S 1 2 1 からステップ S 1 2 4 においては、上述のステップ S 1 1 4 からステップ S 1 1 7 と同様の動作が行われる。比較例に係る撮像装置は、図 5 B に示されるように、初期化の為に、1 回目の撮像を行った後、外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよいし、図 5 C に示されるように、始めから外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよい。また、比較例に係る撮像装置は、外部からのトリガ信号による露光動作タイミングの制御と内部での連続走査とを繰り返してもよい。

【 0 1 2 7 】

次に、上記課題が解決される本実施の形態に係る撮像装置 1 0 0 の動作について、図 6 A から図 7 を用いて説明する。以下では、撮像装置 1 0 0 の複数の画素 1 1 0 が、「0 行から n 行 x 0 列から m 列」の画素アレイを構成している例について説明する。なお、撮像装置 1 0 0 は、画素 1 1 0 の代わりに画素 1 1 0 A 又は画素 1 1 5 を備えていてもよい。

【 0 1 2 8 】

図 6 A は、本実施の形態に係る撮像装置 1 0 0 における動作の一例を説明するためのタイミングチャートである。図 6 B は、本実施の形態に係る撮像装置 1 0 0 における動作の一例を示すフローチャートである。図 6 C は、本実施の形態に係る撮像装置 1 0 0 における動作の別の例を説明するためのタイミングチャートである。

【 0 1 2 9 】

図 6 A 及び図 6 C は、図 5 A と同様に、トリガ信号のタイミングと、垂直同期信号 V D の立ち下がり（又は立ち上がり）のタイミングと、光電変換部 1 の対向電極 1 b に印加される電圧（すなわち、光電変換層 1 c に印加されるバイアス電圧）の大きさの時間的变化と、複数の画素 1 1 0 全体の駆動と、複数の画素 1 1 0 の画素アレイの各行におけるリセット動作、信号読み出し動作及び露光動作とを示している。

10

【 0 1 3 0 】

図 6 A 及び図 6 B に示されるように、まず、すべての画素 1 1 0 に対し、露光動作前の電圧のリセットを行うために、撮像装置 1 0 0 の制御回路は、リセット動作期間 A において、0 行から n 行のすべての行の複数の画素 1 1 0 について、リセット動作を行わせる（S 1 1）。リセット動作が行われる際には、例えば、上述のように、少なくとも 1 行毎に、リセットノイズ（k T C ノイズ）の抑制とともに、リセット動作が行われる。なお、ステップ S 1 1 において、撮像装置 1 0 0 の制御回路は、リセット動作を複数の画素 1 1 0 のうち少なくとも 1 つの行に属する画素 1 1 0 に行単位で順に行わせてもよい。例えば、一部の画素 1 1 0 を用いる切り出しモードで撮像される場合においては、用いられる画素 1 1 0 の行についてリセット動作が行われてもよい。

20

【 0 1 3 1 】

次に、撮像装置 1 0 0 の制御回路は、すべての画素 1 1 0 のリセットノイズが抑制され、リセット電圧 V R S T が設定された状態で、露光動作期間 B において、対向電極 1 b に H I G H 電圧を印加し、画素 1 1 0 に露光動作を行わせる（S 1 2）。露光動作は、複数の画素 1 1 0 のうち少なくとも 2 画素以上の画素 1 1 0 に対して同時に行われる。露光動作は、すべての画素 1 1 0 に対して同時に行われてもよい。

【 0 1 3 2 】

撮像装置 1 0 0 の制御回路は、0 行から n 行のすべての行に属する画素 1 1 0 に、露光動作後の信号読み出し動作期間 C において、少なくとも 1 行毎に蓄積された画素信号の信号読み出し動作と、読み出し後、再度、信号を読み出したすべての画素 1 1 0 に対するリセット動作と、リセット動作後、すべての画素 1 1 0 に対するリセット信号読み出し動作とを行わせる（S 1 3）。リセット信号読み出し動作では、信号を読み出したすべての画素 1 1 0 のノイズが抑制され、リセット電圧 V R S T が設定された状態で、少なくとも 1 行毎にリセット信号の読み出し動作が行われる。

30

【 0 1 3 3 】

ここで、上述の比較例に係る撮像装置では、外部からのトリガ信号を受け取った後、露光動作前に、少なくとも 1 行毎に、露光動作をさせるすべての画素 1 1 0 分のリセット動作が必要になり、外部からのトリガ信号の受け取りから、露光動作開始までに長い待機時間が生じる課題が生じる。また、外部からのトリガ信号の受け取りとは関係なく、事前に、少なくとも 1 行毎に、露光動作をさせるすべての画素 1 1 0 分のリセット動作をあらかじめ行っておく方法も考えられる。しかしながら、リセット動作から、外部からのトリガ信号の受け取り、ひいては、露光動作開始までの時間が長いと、暗電流などの微小リークの影響で、正確な信号電荷の蓄積及び信号読み出し動作ができないという課題が生じる。

40

【 0 1 3 4 】

しかし、本実施の形態にかかる撮像装置 1 0 0 では、ステップ S 1 3 におけるリセット信号の読み出し後も、少なくとも 1 行毎のリセット動作を繰り返す期間（プレリセット動作期間 A 2）を設けることで、外部からのトリガ信号の受け取りから露光動作開始までの待機時間の短縮が可能となる。具体的には、撮像装置 1 0 0 の制御回路は、プレリセット動作期間 A 2 において、複数の画素 1 1 0 に、少なくとも 1 行毎のリセット動作を行わせ

50

る (S 1 4)。ステップ S 1 4 におけるリセット動作は、制御回路が外部からトリガ信号を受け取るまで (S 1 5)、0 行から n 行の単位で繰り返される。つまり、撮像装置 1 0 0 の制御回路は、トリガ信号を受け取るまで、行単位で順に複数の画素 1 1 0 に、リセット動作を繰り返し行わせる。

【 0 1 3 5 】

また、撮像装置 1 0 0 の制御回路は、ステップ S 1 5 において、外部からのトリガ信号を受け取ると、割り込み処理を行い、リセット動作を実施中の x 行の画素 1 1 0 の処理終了までで停止させる。これにより、ステップ S 1 4 におけるリセット動作は、0 行から n 行までの単位で a 回繰り返され、さらに、0 行から x 行まで行われることになる。ここで、a は 0 以上の整数である。x 行は、0 行から n 行の間のいずれかの行である。このように、ステップ S 1 3 からステップ S 1 5 において、撮像装置 1 0 0 の制御回路は、露光開始を指示するトリガ信号を受け取るまでに、電荷蓄積部 F D の電位を初期化するリセット動作を、複数の画素 1 1 0 のすべてに行単位で順に行わせる。また、撮像装置 1 0 0 の制御回路は、複数の画素 1 1 0 のうち少なくとも 1 つの行に属する画素 1 1 0 に、トリガ信号を受け取るまでに、リセット動作を複数回行わせる。これにより、制御回路が外部からのトリガ信号を受け付けるまでの間に、ノイズの原因となる暗電流等に由来する信号電荷の蓄積が抑制される。

【 0 1 3 6 】

撮像装置 1 0 0 の制御回路は、リセット動作が終了し次第、少なくとも 2 画素以上の複数の画素 1 1 0 に露光動作を行わせる (S 1 6)。そして、撮像装置 1 0 0 の制御回路は、複数の画素 1 1 0 に信号読み出し動作、リセット動作及びリセット信号読み出し動作を行わせる (S 1 7)。つまり、撮像装置 1 0 0 の制御回路は、トリガ信号を受け取った後、複数の画素 1 1 0 のうち少なくとも 1 つの行に属する画素 1 1 0 にリセット動作を行わせることなく、信号電荷を電荷蓄積部 F D に蓄積する露光動作を複数の画素 1 1 0 に同時に行わせる。このようにして得られた、信号読み出し動作での出力とリセット読み出し動作での出力との差分をとることで、露光動作時の光電変換によって生成された電荷の量に対応する信号が得られる。ステップ S 1 6 及びステップ S 1 7 では、上述のステップ S 1 2 及び S 1 3 と同様の動作が行われる。

【 0 1 3 7 】

撮像装置 1 0 0 の制御回路は、ステップ S 1 7 では、図 6 A に示されるように、露光動作の後、信号読み出し動作を、ステップ S 1 1 及びステップ S 1 3 でリセット動作を開始した 0 行から行単位で順に複数の画素 1 1 0 に行わせてもよい。本構成をとることにより、リセット動作と読み出し動作とが開始される行が共通化されるため、制御回路の複雑化を抑制できる。また、読み出しデータが、上行から下行、または下行から上行に、時間的に連続に読み出されるため、画像の連続性が保持される。

【 0 1 3 8 】

信号読み出し動作は、行単位で順に全ての行に属する画素 1 1 0 に行われれば、開始される行は特に制限されない。例えば、撮像装置 1 0 0 の制御回路は、ステップ S 1 7 では、図 6 C に示されるように、露光動作の後、信号読み出し動作を、ステップ S 1 4 でリセット動作を終了した x 行の次の順番の行から行単位で順に複数の画素 1 1 0 に行わせてもよい。本構成をとることにより、各行それぞれのリセット動作から読み出し動作までの時間が略同一になる。そのため、各行の間での、リセット動作が行われた後に、暗電流等によって電荷蓄積部 F D に蓄積される電荷の量の差が、小さくなる。よって、複数の画素 1 1 0 間のノイズの差が低減される。

【 0 1 3 9 】

そして、ステップ S 1 4 からステップ S 1 7 の動作が繰り返し行われる。このように、本実施の形態に係る撮像装置 1 0 0 では、プレリセット動作期間 A 2 を設けることで、外部からのトリガ信号の受け取りから露光動作開始までの待機時間 T 2 を、上述の待機時間 T 1 に比べて、1 行のリセット動作時間以上の短縮が可能となる。

【 0 1 4 0 】

10

20

30

40

50

ここで、ステップS 1 4及びステップS 1 5において、外部からのトリガ信号を受け取ると、リセット動作を実施中の行の処理終了までで停止と説明したが、これに限らない。本リセット動作は、外部からのトリガ信号を受け取ったあと、少なくとも1つの行に属する画素1 1 0について実行されなければよく、例えば、周辺回路の安定化を考慮し、実施中の行から数行にわたってリセット動作が行われてもよい。

【0 1 4 1】

また、図6 A及び図6 Bに示される例では、ステップS 1 4（図6 Aでは、プレリセット動作期間A 2）において、リセット動作が0行からn行を1つの単位（つまり、1フレーム）として繰り返される際に、1フレームのリセット動作完了後、すぐに次のフレームのリセット動作が0行から実行されている。つまり、リセット動作が繰り返される場合には、1フレームのリセット動作が完了後、次のフレームのリセット動作が始まるまでの間隔は、空いていない。なお、ステップS 1 4において、1フレームのリセット動作が完了後、次のフレームのリセット動作が始まるまでに、リセット動作が実行されない期間が設けられてもよい。ステップS 1 4におけるリセット動作が実行されない期間は、短いほど暗電流等によるノイズが抑制されるが、使用の目的において必要とされる画質が得られるように、設定されればよい。例えば、ステップS 1 4におけるリセット動作が実行されない期間は、1フレームの長さ以内としてもよい。

【0 1 4 2】

また、図6 Bにおいて、ステップS 1 1からステップS 1 3が実行されている間、つまり、複数の画素1 1 0のすべてにリセット動作が行われるまでの間に、撮像装置1 0 0の制御回路がトリガ信号を受け取る場合には、制御回路は、リセット動作等の動作を中断しない。この場合、例えば、撮像装置1 0 0の制御回路は、受け取ったトリガ信号を破棄してもよく、画素1 1 0に露光動作をすぐに開始させず、ステップS 1 3の後に露光動作を行わせてもよい。また、撮像装置1 0 0の制御回路は、複数の画素1 1 0すべてにリセット動作が行われるまでの間には、トリガ信号を受け取らない回路構成を有していてもよい。

【0 1 4 3】

図6 Dは、撮像装置1 0 0における動作の別の例を示すフローチャートである。図6 Dに示される例では、撮像装置1 0 0の制御回路は、始めに、0行からn行のすべての行に属する画素1 1 0について、リセット動作を行わせる（S 2 1）。ステップS 2 1では、上述のステップS 1 1と同様の動作が実行される。撮像装置1 0 0の制御回路は、ステップS 2 1におけるリセット動作後も、複数の画素1 1 0に、少なくとも1行毎のリセット動作を行わせる（S 2 2）。ステップS 2 2におけるリセット動作は、制御回路が外部からトリガ信号を受け取るまで（S 2 3）、0行からn行の単位で繰り返される。トリガ信号を受け取ると、撮像装置1 0 0の制御回路は、リセット動作が終了し次第、複数の画素1 1 0に同時に露光動作を行わせる（S 2 4）。そして、撮像装置1 0 0の制御回路は、複数の画素1 1 0に、信号読み出し動作、リセット動作及びリセット信号読み出し動作を行わせる（S 2 5）。そして、ステップS 2 2からステップS 2 5の動作が繰り返し実行される。ステップS 2 2からステップS 2 5では、上述のステップS 1 4からステップS 1 7と同様の動作が行われる。

【0 1 4 4】

撮像装置1 0 0は、図6 Bに示されるように、初期化の為に、1回目の撮像を行った後、プレリセット動作期間A 2を設け、外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよいし、図6 Dに示されるように、始めからプレリセット動作期間A 2を設け、外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよい。また、撮像装置1 0 0は、外部からのトリガ信号による露光動作タイミングの制御と内部での連続走査とを繰り返してもよい。

【0 1 4 5】

図7は、撮像装置1 0 0における動作の別の例を示すフローチャートである。この例では、撮像装置1 0 0の制御回路は、図6 Bに示されるステップS 1 1及びステップS 1 2と同様の動作を、ステップS 3 1及びステップS 3 2の動作として複数の画素1 1 0に行

10

20

30

40

50

わせる。次に、撮像装置 100 の制御回路は、複数の画素 110 に信号読み出し動作及びリセット動作を行わせる（ステップ S33）。つまり、ステップ S33 では、図 6 B に示されるステップ S13 におけるリセット信号読み出し動作が行われない。次に、撮像装置 100 の制御回路は、図 6 B に示されるステップ S14 からステップ S16 と同様の動作を、ステップ S34 からステップ S36 の動作として複数の画素 110 に行わせる。そして、撮像装置 100 の制御回路は、信号読み出し動作及びリセット動作を複数の画素 110 に行わせる（ステップ S37）。ステップ S37 では、ステップ S33 と同様の動作が行われる。この動作の例では、信号読み出し動作での出力について、例えば、リセット電圧 V R S T が設定された状態に相当する出力との差分をとることで、電荷蓄積部 F D に蓄積された電荷の量に対応する信号が得られる。

10

【0146】

（実施の形態 2）

次に、実施の形態 2 について説明する。実施の形態 2 では、少なくとも 2 層の基板の積層構造を有する撮像装置について説明する。

【0147】

図 8 は、本実施の形態に係る撮像装置 101 の構成の一例を示す模式図である。図 8 に示されるように、撮像装置 101 は、第 1 の基板 2000 と第 1 の基板 2000 に積層されている第 2 の基板 2100 とを備える。

【0148】

第 1 の基板 2000 は、第 2 の基板の上方に位置する。第 1 の基板 2000 は、画素アレイ 111 を有する。画素アレイ 111 は、例えば、上述の画素 110、画素 110 A 又は画素 115 が行列状に配置された構造を有する。

20

【0149】

第 2 の基板 2100 は、画素アレイ 111 に含まれる各画素からの信号出力（具体的には、アナログ信号）を受け、デジタル信号に変換するアナログ - デジタル変換回路（A D 変換回路）2200 と、アナログ - デジタル変換回路 2200 によってデジタル信号に変換された信号が記憶されるメモリ 2400 と、アナログ - デジタル変換回路 2200 によってデジタル信号に変換された信号を演算処理する演算処理回路 2300 と、を有する。

【0150】

第 1 の基板 2000 と第 2 の基板 2100 とは、接続部 2500 によって、電気的に接続されている。

30

【0151】

本積層構成において、例えば、上述の撮像装置 100 を実現するための、画素 110、画素 110 A 又は画素 115 は第 1 の基板 2000 に設けられ、光電変換部 1 の対向電極 1 b の制御用の回路、割り込み制御ロジック用の回路は第 2 の基板 2100 に設けられる。光電変換部 1 の対向電極 1 b の制御用の回路、割り込み制御ロジック用の回路は、第 2 の基板 2100 に設けられることで、画素アレイ 111 に含まれる画素の画素面積の影響を受けることなく、自由な制御ロジック用の回路の構築が可能となる。各回路が第 1 の基板 2000 及び第 2 の基板 2100 のいずれに設けられるかは、目的に応じて決定されればよく、特に制限されない。具体的には、例えば、画素 110、画素 110 A 又は画素 115 は、第 1 の基板 2000 に設けられ、垂直操作回路 141、電圧供給回路 140、カラム信号処理回路 142 及び水平信号読み出し回路 143 は、第 2 の基板 2100 に設けられる。また、画素 110、画素 110 A 又は画素 115 に切替回路 20 が含まれず、切替回路 20 が第 2 の基板 2100 に設けられていてもよい。また、定電流源 144 が第 1 の基板 1000 に含まれず、定電流源 144 が第 2 の基板 2100 に設けられていてもよい。

40

【0152】

図 8 に示される例では、撮像装置 101 の積層構造は、2 層の基板が積層されている構造であるが、これに限らず、3 層以上の基板が積層されている構造であってもよく、1 層の基板上に、複数の子基板が積層されている構造であってもよい。基板の接続部 2500

50

は、図 8 に示されているように列毎に設けられてもよく、領域毎に設けられてもよく、画素毎に設けられてもよい。

【 0 1 5 3 】

(実施の形態 3)

次に、実施の形態 3 について説明する。実施の形態 3 では、上記撮像装置を備えるカメラシステムについて説明する。図 9 は、実施の形態 3 に係るカメラシステム 1 0 0 0 の構成の一例を示すブロック図である。

【 0 1 5 4 】

本実施の形態に係るカメラシステム 1 0 0 0 は、撮像装置 1 0 2 と、レンズなどの光を集光する為の光学系 1 0 0 1 と、撮像装置 1 0 2 で撮ったデータを信号処理し、画像又はデータとして出力する為のカメラ信号処理部 1 0 0 2 と、撮像装置 1 0 2 及びカメラ信号処理部 1 0 0 2 を制御する為のシステムコントローラ 1 0 0 3 とを備える。

10

【 0 1 5 5 】

光学系 1 0 0 1 は、撮像装置 1 0 2 の撮像面に光を集光するためのレンズなどである。光学系 1 0 0 1 を通過した光が撮像装置 1 0 2 の光電変換部 1 に入射し、光電変換され、信号電荷が発生する。撮像装置 1 0 2 には、例えば、上記実施の形態に係る撮像装置 1 0 0 又は 1 0 1 が用いられる。

【 0 1 5 6 】

カメラ信号処理部 1 0 0 2 は、撮像装置 1 0 2 からの出力信号を処理する信号処理回路として機能する。カメラ信号処理部 1 0 0 2 は、例えばガンマ補正、色補間処理、空間補間処理、オートホワイトバランス、距離計測演算及び波長情報分離などの処理を行う。カメラ信号処理部 1 0 0 2 は、例えば DSP (Digital Signal Processor) などによって実現され得る。

20

【 0 1 5 7 】

システムコントローラ 1 0 0 3 は、カメラシステム 1 0 0 0 全体を制御する。システムコントローラ 1 0 0 3 は、例えば、マイクロコンピュータによって実現され得る。

【 0 1 5 8 】

本実施の形態におけるカメラシステム 1 0 0 0 は、撮像装置 1 0 2 として上記実施の形態に係る撮像装置 1 0 0 又は 1 0 1 を用いることにより、外部からのトリガ信号の受け取りから受光面一括での露光動作開始までの遅延時間の短縮が可能となる。ゆえに、露光動作開始までの待ち時間が短く、撮像したいものを撮像したい時に撮像が可能、又は、高速な検査が可能、ユーザビリティの高いカメラシステム 1 0 0 0 の提供が可能となる。

30

【 0 1 5 9 】

(他の実施の形態)

以上、1つ又は複数の態様に係る撮像装置及びカメラシステムについて、各実施の形態に基づいて説明したが、本開示は、これらの実施の形態に限定されるものではない。

【 0 1 6 0 】

例えば、上記実施の形態では、ステップ S 1 4 におけるリセット動作は、ステップ S 1 3 の動作の終了後にすぐに開始されたが、使用の目的において必要とされる画質が得られる範囲で、ステップ S 1 3 の動作終了後から間隔を空けて開始されてもよい。

40

【 0 1 6 1 】

また、上記実施の形態では、リセット動作において、電荷蓄積部 F D が切替回路 2 0 と電氣的に接続されることで、電荷蓄積部 F D の電圧は、リセット電圧 V R S T と等しくなったが、これに限らない。電荷蓄積部 F D が切替回路 2 0 とは異なる回路から基準電圧が印加されることで、リセット動作が行われてもよい。

【 0 1 6 2 】

また、上記実施の形態では、光電変換部 1 は、画素電極 1 a と、対向電極 1 b と、光電変換層 1 c とを含んだが、さらに、光電変換層 1 c と画素電極 1 a 又は対向電極 1 b との間に、電荷輸送層又は電荷ブロッキング層を含んでいてもよい。これにより、さらに、暗電流の発生が抑制されるため、ノイズがさらに低減される。

50

【 0 1 6 3 】

また、上記実施の形態では、リセット動作および信号読み出し動作は、行単位で行われる形態について説明した。しかし、各列に複数の信号線を設けて、リセット動作および信号読み出し動作を複数行単位で行ってもよい。これにより、高速化を実現できる。各列に複数の信号線を設けた構成は、本出願人による特許出願である米国特許公報 10, 225, 500号により詳細に記載されている。これらの開示内容の全てを参考のために本願明細書に援用する。

【 0 1 6 4 】

また、本開示の撮像装置を実際に使用する場面においては、プレリセット動作期間以外の期間にトリガ信号を受け取ることも想定される。例えば、プレリセット動作を開始する前にトリガ信号を受け取った場合には、トリガ信号を無視するようにしてもよい。あるいは、トリガ信号を受け取った後、全行の画素についてリセット動作を行ってから露光動作を開始してもよい。また、例えば、露光期間中にトリガ信号を受け取った場合には、トリガ信号を無視するようにしてもよい。あるいは、露光動作の終了後に信号読み出し動作およびリセット動作を行ってから、再度露光動作を行ってもよい。あるいは、露光動作の終了後にリセット動作を行ってから再度露光動作を行ってもよい。あるいは、露光動作を途中で中断し、リセット動作を行ってから再度露光動作を行ってもよい。プレリセット動作期間以外の期間にトリガ信号を受け取った場合において上記したような動作を行ったとしても、本開示の請求項に記載の動作を行う限り、本開示の権利範囲に含まれる。

【 0 1 6 5 】

その他、本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもの、及び、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の範囲内に含まれる。

【 産業上の利用可能性 】

【 0 1 6 6 】

本開示に係る撮像装置は、デジタルスチルカメラ、医療用カメラ、監視用カメラ、車載用カメラ、デジタル一眼レフカメラ、デジタルミラーレス一眼カメラ等、様々なカメラシステム及びセンサシステムへの利用が可能である。

【 符号の説明 】

【 0 1 6 7 】

- 1、 1 d 光電変換部
 - 1 a 画素電極
 - 1 b 対向電極
 - 1 c 光電変換層
- 2 増幅器
- 3、 3 A 帯域制御部
- 5 出力選択部
- 9 第 1 の容量素子
- 10 第 2 の容量素子
- 11 第 1 のスイッチ素子
- 12 第 2 のスイッチ素子
- 13、 13 A 帯域制御回路
- 14 A リセット回路
- 30、 30 A フィードバック回路
- 41 電荷蓄積ノード
- 42 増幅トランジスタ
- 42 g、 44 g、 46 g ゲート絶縁層
- 42 e、 44 e、 46 e ゲート電極
- 44 選択トランジスタ
- 46、 46 A 帯域制御トランジスタ

10

20

30

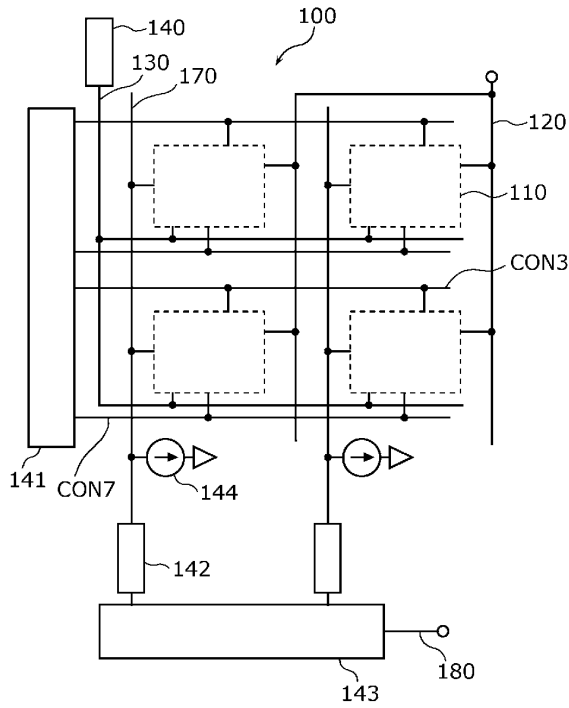
40

50

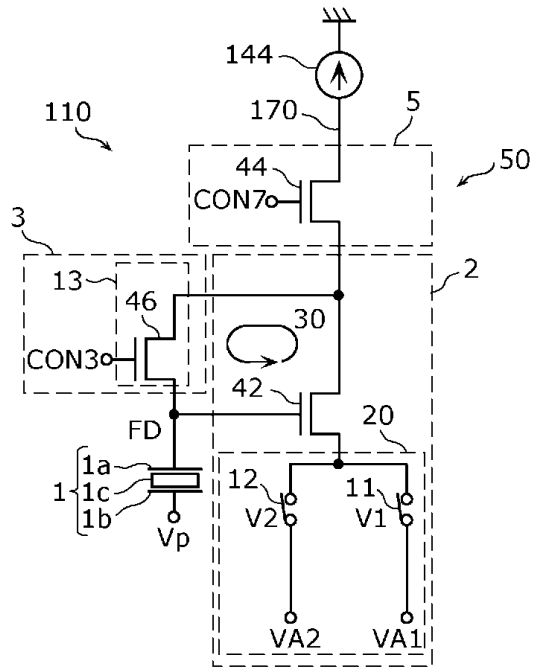
4 8	リセットトランジスタ	
5 0、5 0 A	読み出し回路	
6 2	半導体基板	
6 2 a、6 2 b、6 2 c、6 2 d、6 2 e	不純物領域	
6 2 s	素子分離領域	
6 3 A、6 3 B、6 3 C、6 3 D	層間絶縁層	
6 5 A、6 5 B	コンタクトプラグ	
6 6 A、6 8 A、6 8 B	配線	
6 7 A、6 7 B、6 7 C、6 7 D、6 7 E	プラグ	
7 2	カラーフィルタ	10
7 4	マイクロレンズ	
1 0 0、1 0 1、1 0 2	撮像装置	
1 1 0、1 1 0 A、1 1 5	画素	
1 1 1	画素アレイ	
1 2 0	電源線	
1 3 0	蓄積制御線	
1 4 1	垂直走査回路	
1 4 2	カラム信号処理回路	
1 4 3	水平信号読み出し回路	
1 4 4	定電流源	20
1 7 0	信号読み出し信号線	
1 8 0	水平共通信号線	
1 0 0 0	カメラシステム	
1 0 0 1	光学系	
1 0 0 2	カメラ信号処理部	
1 0 0 3	システムコントローラ	
2 0 0 0	第1の基板	
2 1 0 0	第2の基板	
2 2 0 0	アナログ - デジタル変換回路	
2 3 0 0	演算処理回路	30
2 4 0 0	メモリ	
2 5 0 0	接続部	
C O N 2	リセット制御信号線	
C O N 3	増幅制御信号線	
C O N 7	選択制御信号線	

【図面】

【図 1 A】



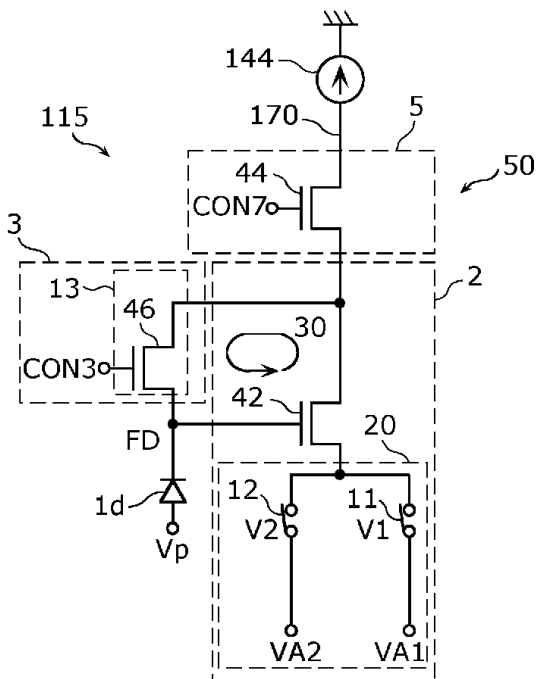
【図 1 B】



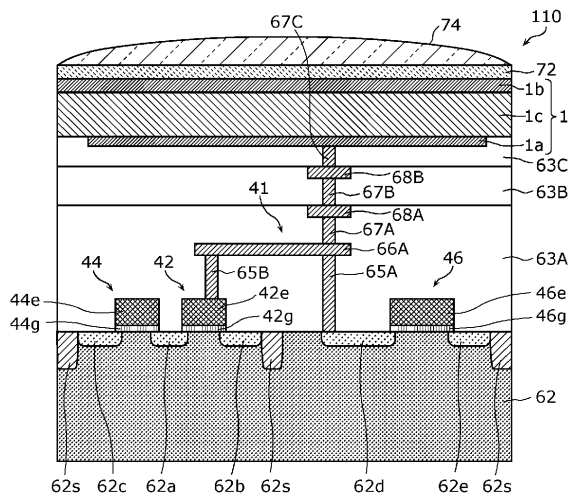
10

20

【図 1 C】



【図 2】

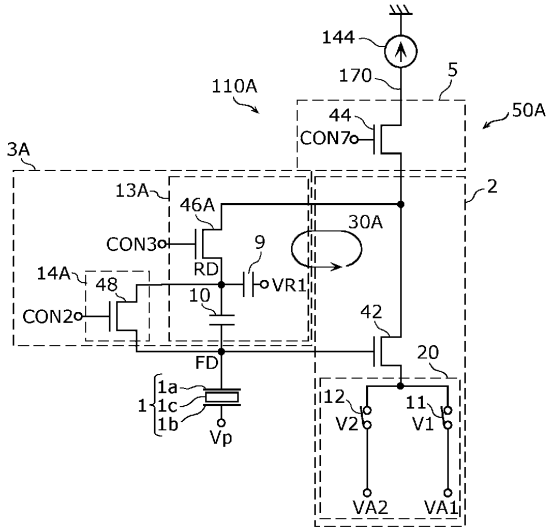


30

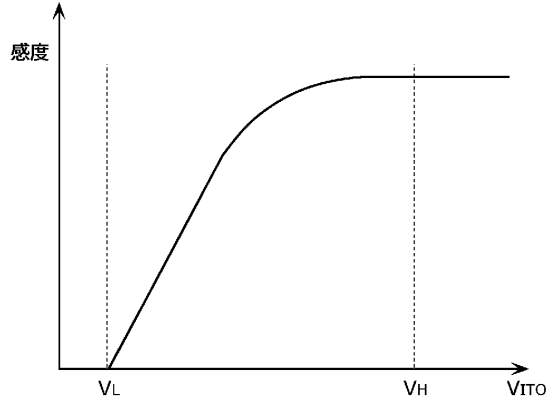
40

50

【図3】

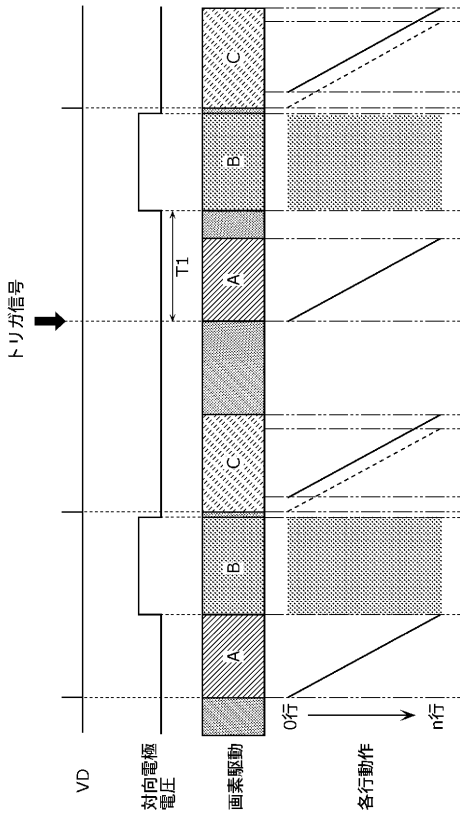


【図4】

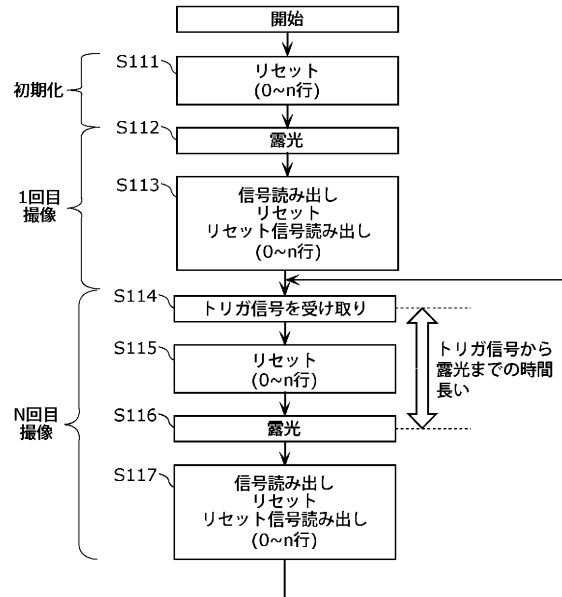


10

【図5A】



【図5B】



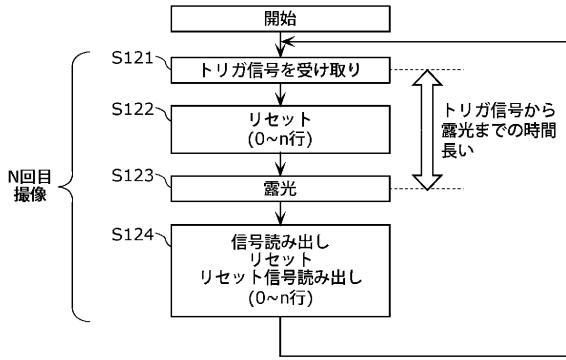
20

30

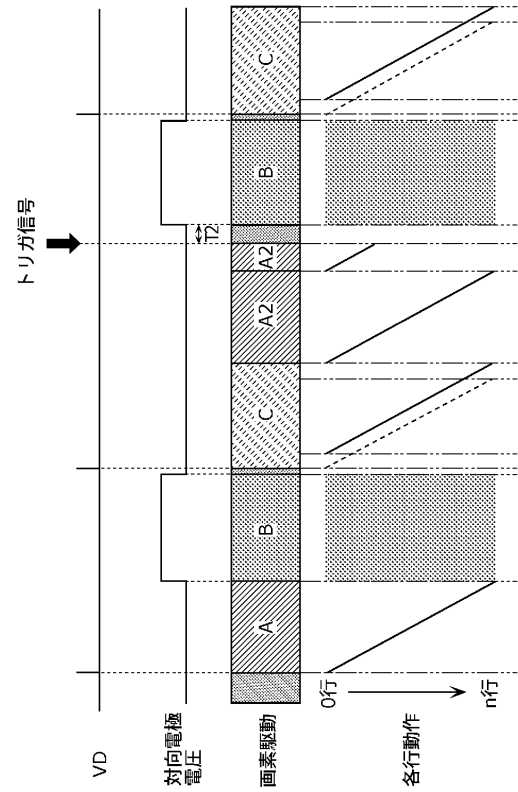
40

50

【図5C】



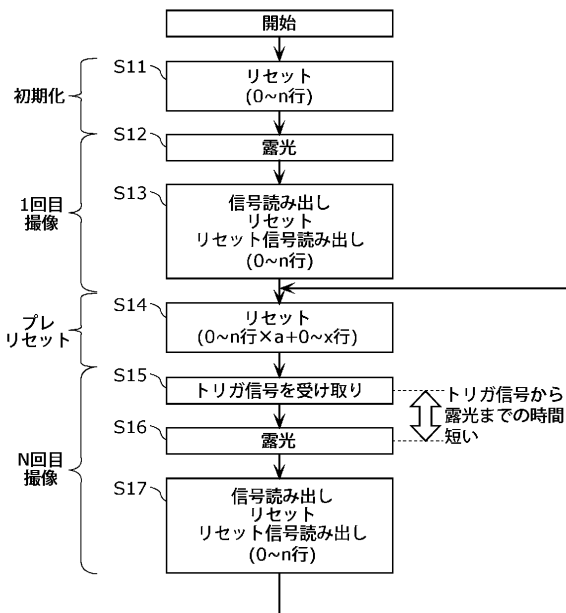
【図6A】



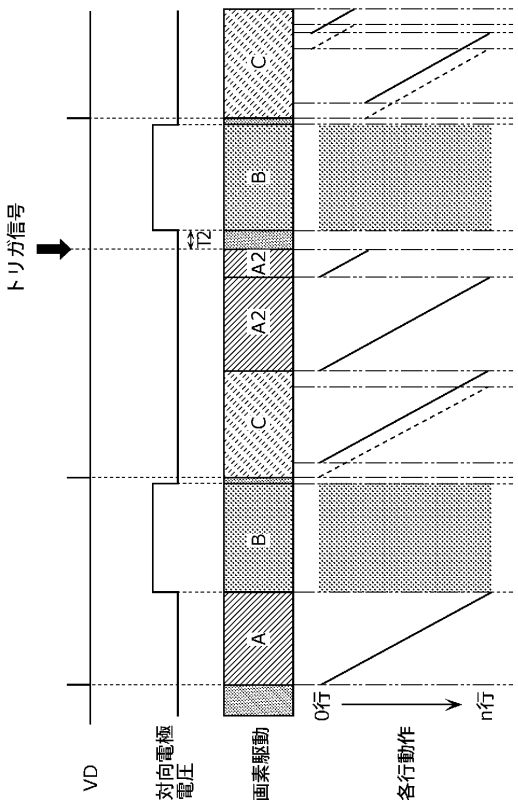
10

20

【図6B】



【図6C】

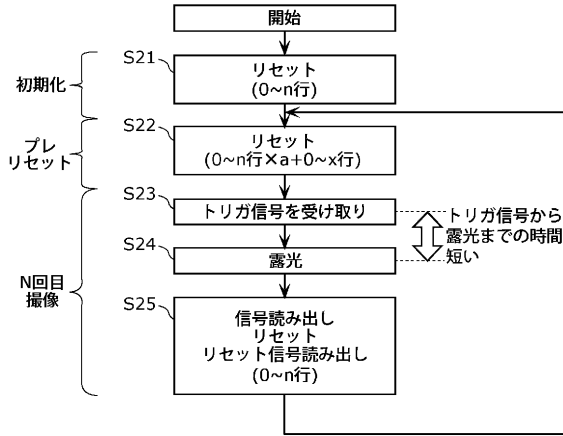


30

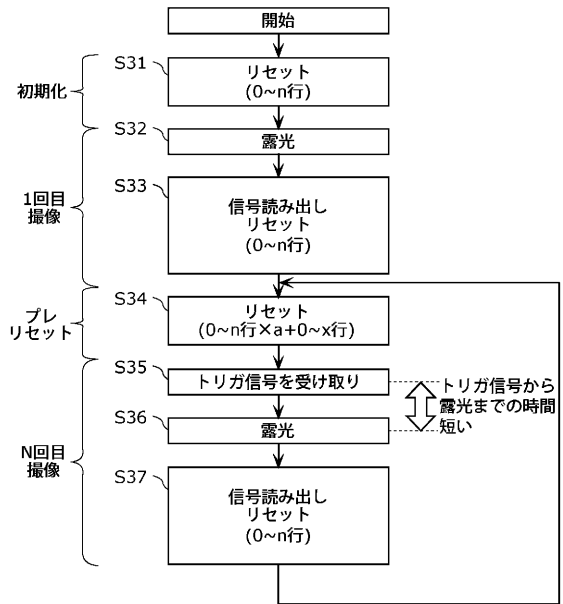
40

50

【図 6 D】



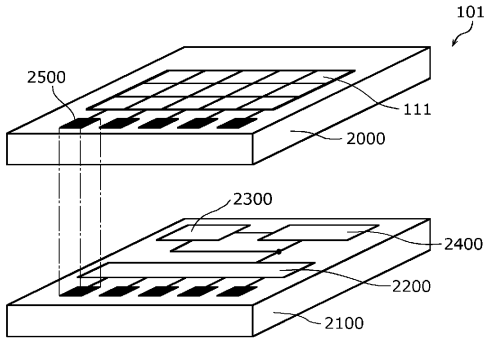
【図 7】



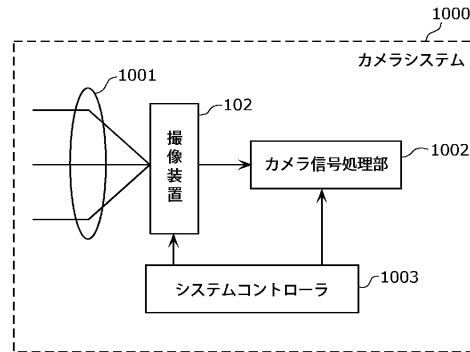
10

20

【図 8】



【図 9】



30

40

50

フロントページの続き

(72)発明者 三宅 康夫

日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

審査官 うし 田 真悟

(56)参考文献 特開 2 0 1 0 - 2 5 8 6 8 2 (J P , A)

特開 2 0 1 2 - 1 2 9 8 1 7 (J P , A)

国際公開第 2 0 1 8 / 0 5 5 9 4 8 (W O , A 1)

(58)調査した分野 (Int.Cl. , D B 名)

H 0 4 N 2 5 / 6 1 6

H 0 4 N 2 5 / 6 5

H 0 1 L 2 7 / 1 4 6