

[표1]

Sym	특성
t_{cyc}	$\phi 2$ 싸이클주기
t_{ch}	$\phi 2$ 하이펄스폭
t_{cl}	$\phi 2$ 로우펄스폭
t_r, t_f	$\phi 2$ 라이징 및 폴링시간
t_{AS}, t_{ZWS}	어드레스, R/W세팅시간(before $\phi 2$)
t_{AH}, t_{ZWH}	어드레스, R/W 홀드시간
t_{DHR}	데이터 홀드시간(read)
t_{DDR}	유효데이터 지연(read)
t_{DSW}	데이터 세팅 시간(write)
t_{DHW}	데이터홀드시간(write)

상기 DTMF송수신기는 CPU에서 인가하는 제4도의 (a)와 같은 $\phi 2$ 신호에 의해 제4도(b)와 (c)같이 데이터를 리드/라이트 하는데 종래에는 DTMF송수신기의 스트로브 신호를 발생할시에 클럭을 분주하여 사용하였는데 리드싸이클의 경우 동기가 맞지않는 경우가 발생했었으며 CPU와 DTMF송수신기 사이의 인터페이싱 회로는 모토롤라 프로세서(MOTOROLA Processor)에만 제시되어 있어 타기종 프로세서와는 인터페이싱 할 수 없는 문제점이 있었다.

따라서 본고안의 목적은 프로세서를 사용하는 시스템에서 DTMF송수신기를 사용할시 스트로브신호와 리드/라이트의 타이밍을 해결할수 있는 회로를 제공함에 있다.

이하 본고안을 도면을 참조하여 상세히 설명한다.

제2도는 프로세서와 DTMF송수신기의 인터페이스 회로로써 CPU(10)와, 상기 CPU(10)의 디지털을 받아 해당 톤을 발생하거나 톤을 수신하여 CPU(10)로 해당 디지털을 송출하는 DTMF송수신기(20)와, 상기 CPU(10)의 어드레스를 디코딩하여 소정 어드레스일시 상기 DTMF송수신기(20)를 인에이블 시키는 디코더(30)와, 상기 CPU(10)의 리드/라이트, 클럭 및 S2신호를 논리조합하여 스트로브신호($\phi 2$)를 발생한 스트로브발생기(40)로 구성하며 제3도는 제4도중 스트로브발생기(40)의 구체회로도로서 인버터(41-43), 게이트(44-45), 플립플롭(46-47)과 버퍼(48)로 구성되어 있으며, 제5도는 CPU(10)의 제어신호에 따른 스트로브발생기(40)의 출력파형도를 나타내고 있다.

상술한 구성에 의거 본고안을 제2,3,5도를 참조하여 상세히 설명한다.

CPU(10)와 DTMF송수신기(20)의 인터페이스를 나타내는 제2도에서 DTMF송수신기(20)의 칩선택(Chip Select)는 어드레스를 디코딩하여 특정 어드레스를 액세스 할경우에만 인에이블 되도록 한다.

즉 CPU(10)에서 발생하는 어드레스(A4-A15)를 디코딩하는 디코더(30)의 출력에 따라 해당 어드레스가 특정 어드레스일시 DTMF송수신기(20)는 인에이블된다.

또한 CPU(10)의 어드레스(A3)는 DTMF송수신기(20)의 RS ϕ 단자(Register Select Input)에 연결하여 커맨드 레지스터(command register)와 데이터 레지스터(data register)를 구분하도록 하며 전술한 바와같이 DTMF톤데이터는 4비트(D0-D3)로 16가지 톤을 발생할수 있다.

DTMF송수신기(20)의 R/W

스트로브발생기(40)는 제2도에서와 같이 CPU(10)로 부터 4가지 제어신호($\overline{RD}$, $\overline{WR}$, $\overline{CS}$, ϕ)를

제5도(a)는 CPU(10)에서 출력하는 클럭신호, S2신호, 리드신호와 라이트신호를 나타내고 있으며 이 4가지 신호를 가지고 제2도의 타이밍도에서 요구하는 DTMF송수신기(20)의 스트로브신호($\phi 2$)를 발생한다.

제3도에서 인버터(43)와 게이트(44)의 출력을 반전하여 부논리곱하는 게이트(45)는 리드나 라이트를 하지않을 경우 로우 상태의 신호를 입력하므로 제2 플립플롭(47)을 리셋 상태로 만듦으로서 $\phi 2$ 신호를 로우상태를 유지한다.

먼저 제5도(b)를 참조하여 라이트싸이클(write cycle)을 설명한다.

제5도 (a)와 (b)와 같은 S2신호를 인버터(42)를 통해 반전시켜 플립플롭(46)의 세트($\overline{S}$)

여기서 S2는 라이트싸이클에서 거드타임(guard time)을 위해 사용한다.

이때 라이트 신호($\overline{WR}$)

이때 $\overline{WR}$

따라서 제2플립플롭(47)은 제5도 (a)의 (a)와같은 클럭에 의해 제5도 (b)의 (c)와같은 스트로브신호($\phi 2$)를 발생하여 버퍼(48)를 통해 DTMF송수신기(20)의 $\phi 2$ 단에 인가한다.

다음으로 제5도 (c)를 참조하여 리드싸이클(read cycle)을 설명한다.

리드신호가 액티브 상태일시 라이트신호는 액티브상태가 될 수 없으므로 "하이"상태의 신호이며 이 신호에 의해 게이트(44)는 제5도 (c)의 (b)와 같이 "로우"상태를 유지하고 있다.

이때 인버터(43)를 통한 리드신호가 제5도(c)의 (a)와 같은 "하이"상태 이므로 게이트(45)는 인버터(43)의 출력과 동일한 주기동안 "하이"신호를 출력하여 제2플립플롭(47)의 리셋을 해제한다.

따라서 상기 제2플립플롭(47)은 제5도 (c)의 (c)와 같은 스트로브신호($\phi 2$)를 버퍼(48)를 통해 DTMF송수신기(20)의 $\phi 2$ 단으로 송출한다.

DTMF송수신기(20)는 제4도의 리드싸이클에서와 같이 스트로브신호($\phi 2$)의 폴링에지(falling edge)로 부터 20nSec까지만 유효데이터(Valid Data)가 출력되므로 CPU(10)의 리드신호($\overline{RD}$)

제3도에서는 게이트지연(gate delay)를 고려하면 스트로브신호($\phi 2$)의 폴링에지 이전에 CPU(10)의 리드($\overline{RD}$)

상술한 바와같이 DTMF송수신기의 스트로브신호와 CPU의 리드, 라이트 타이밍을 정확히 동기시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

CPU(10)와 인터페이싱하여 DTMF톤을 발생하거나 DTMF톤을 디지털데이터로 변환하여 CPU(10)로 출력하는 DTMF송수신기(20)의 스트로브 발생회로에 있어서, 리드싸이클시 리드신호($\overline{RD}$)

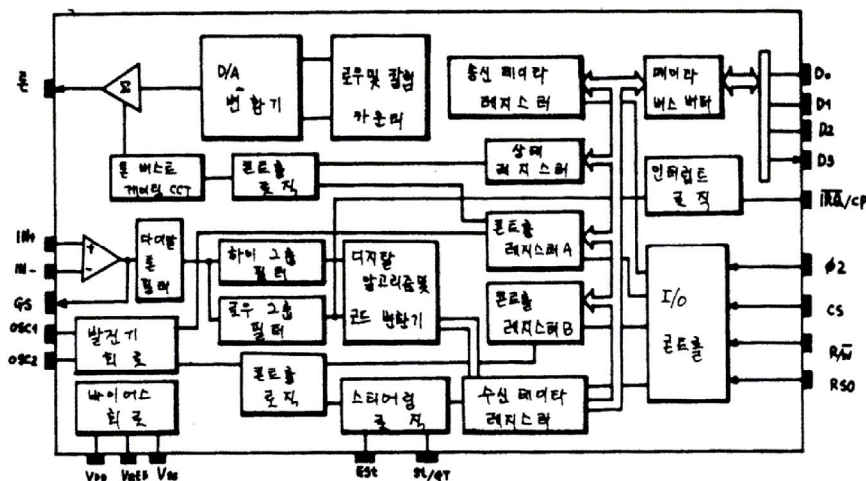
$\overline{WR}$

$\overline{WR}$

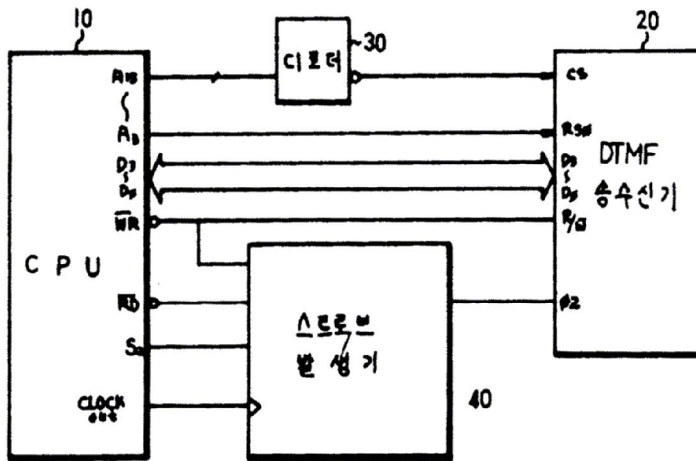
|

도면

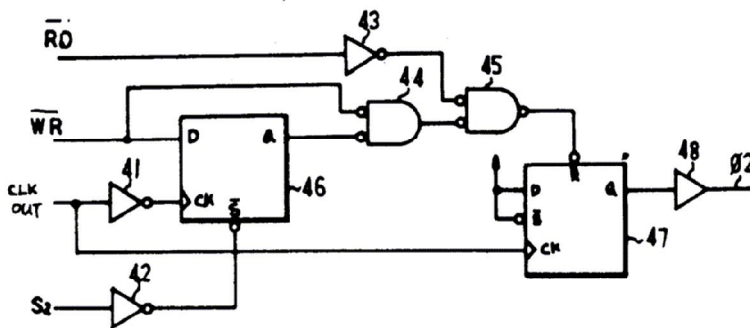
도면1



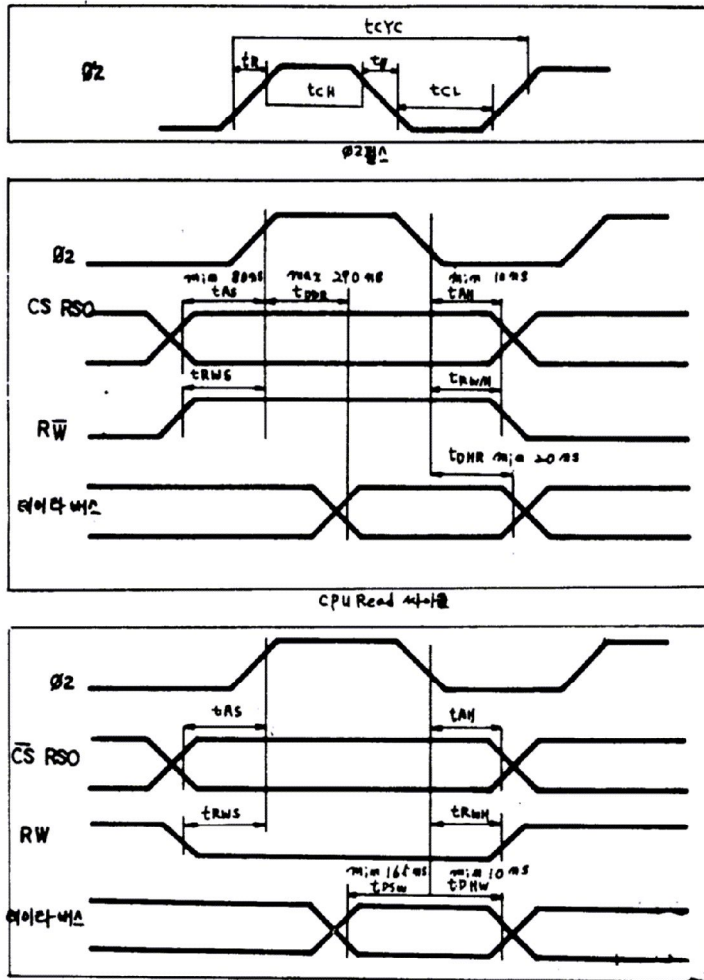
도면2



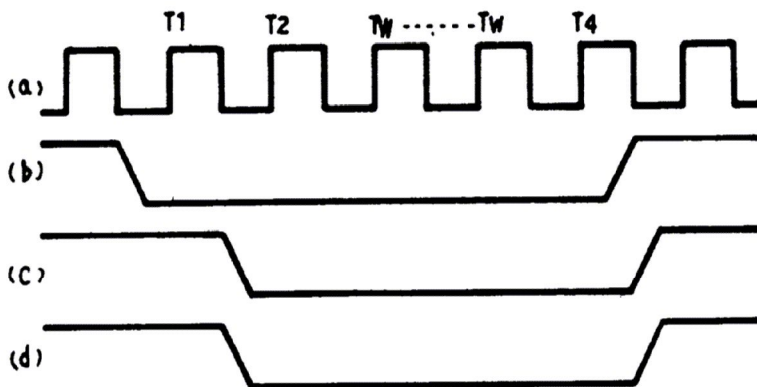
도면3



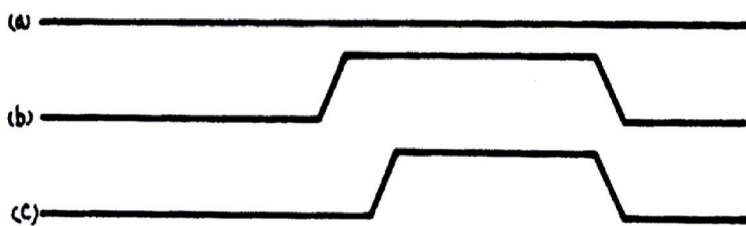
도면4



도면5a



도면5b



도면5c

