

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200410028737.0

H01G 4/30 (2006.01)
H01G 4/228 (2006.01)
H01G 4/005 (2006.01)
H01G 4/12 (2006.01)

[45] 授权公告日 2008 年 4 月 30 日

[11] 授权公告号 CN 100385584C

[22] 申请日 2004.3.12

[21] 申请号 200410028737.0

[30] 优先权

[32] 2003. 3. 12 [33] JP [31] 66374/03

[32] 2003. 3. 31 [33] JP [31] 94148/03

[32] 2003. 4. 10 [33] JP [31] 106145/03

[73] 专利权人 TDK 株式会社

地址 日本东京都中央区

[72] 发明人 富樫正明 今井一郎

[56] 参考文献

US4814940A 1989.3.21

US5450278A 1995.9.12

JP2002-164256A 2002.6.7

KR2001-0008321A 2001.2.5

审查员 高铭洁

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 王忠忠

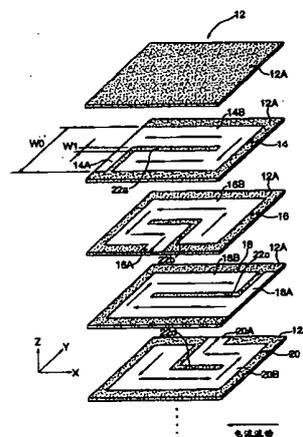
权利要求书 7 页 说明书 27 页 附图 21 页

[54] 发明名称

叠层电容器

[57] 摘要

相互之间用陶瓷层 12A 隔开的内部导体层 14、16 配置在电介质基体内。用陶瓷层 12A 与内部导体层 14、16 隔开，同时相互之间用陶瓷层 12A 隔开的内部导体层 18、20 配置在电介质基体内。在各内部导体层 14~20 上形成切入部 22，在切入部 22 的周边形成流路部 14B~20B。分别配置各流路部 14B~20B，以便在与隔着陶瓷层 12A 相邻的另一内部导体层的流路部之间，电流沿互相相反的方向流动。其结果是，能大幅度降低叠层电容器的等效串联电感，减小 CPU 用的电源的电压变化。



1. 一种叠层电容器，它是有

电介质层；以及

用上述电介质层进行绝缘，且在电介质基体内按照第一至第四的顺序依次配置的至少四种第一至第四内部导体层的叠层电容器，其特征在于：

在上述第一至第四内部导体层中，分别形成至少一个切入部，

在各自的上述内部导体层上，利用各自的上述切入部，形成电流折返流动的流路部，

在隔着上述电介质层沿层叠方向相邻的上述内部导体层的流路部相互之间，电流沿互相相反的方向流动，

上述第一内部导体层和上述第三内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第二内部导体层和上述第四内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第一内部导体层有第一引出部，该第一引出部朝向上述电介质基体的第一侧面引出，

上述第三内部导体层有第三引出部，该第三引出部朝向与上述电介质基体的上述第一侧面相反的第三侧面引出，

上述第二内部导体层有第二引出部，该第二引出部朝向与上述电介质基体的第一侧面和第三侧面不同的第二侧面引出，

上述第四内部导体层有第四引出部，该第四引出部朝向与上述电介质基体的上述第二侧面相反的第四侧面引出。

2. 如权利要求 1 所述的叠层电容器，其特征在于：

上述第一引出部的宽度与形成了上述切入部的第一内部导体层的整个宽度大致相同，

上述第三引出部的宽度与形成了上述切入部的第三内部导体层的整个宽度大致相同。

3. 如权利要求 2 所述的叠层电容器，其特征在于：

连接在上述第一引出部上的第一端子电极安装在上述电介质基体的第一侧面上，

连接在上述第三引出部上的第三端子电极安装在上述电介质基

体的第三侧面上。

4. 如权利要求 3 所述的叠层电容器, 其特征在于:

上述第一端子电极和上述第三端子电极有与上述第一引出部和第三引出部的宽度相等或在其之上的宽度。

5. 如权利要求 4 所述的叠层电容器, 其特征在于:

连接在上述第二引出部上的第二端子电极安装在上述电介质基体的第二侧面上,

连接在上述第四引出部上的第四端子电极安装在上述电介质基体的第四侧面上。

6. 如权利要求 5 所述的叠层电容器, 其特征在于:

上述第二引出部的宽度与被上述第二内部导体层的切入部隔离的上述流路部的宽度大致相同,

上述第四引出部的宽度与被上述第四内部导体层的切入部隔离的上述流路部的宽度大致相同。

7. 如权利要求 6 所述的叠层电容器, 其特征在于:

上述第二引出部在上述第二侧面的大致中央部被引出,

上述第四引出部在上述第四侧面的大致中央部被引出。

8. 如权利要求 7 所述的叠层电容器, 其特征在于:

上述第二端子电极的宽度与上述第二引出部的宽度相等或在其之上, 但比上述第二侧面的宽度窄,

上述第四端子电极的宽度与上述第二端子电极的宽度大致相同。

9. 如权利要求 1~8 中的任意一项所述的叠层电容器, 其特征在于:

上述第一至第四内部导体层分别隔着上述电介质层, 按照该顺序, 沿着层叠方向反复层叠多次。

10. 如权利要求 1~8 中的任意一项所述的叠层电容器, 其特征在于:

上述切入部的平面形状大致呈 L 字形状。

11. 如权利要求 10 所述的叠层电容器, 其特征在于:

上述切入部的宽度为上述内部导体层的宽度的 $1/10 \sim 1/3$ 的宽度。

12. 一种叠层电容器, 它是有

电介质层; 以及

用上述电介质层进行绝缘, 且在电介质基体内按照第一至第八的顺序依次配置的至少八种第一至第八内部导体层的叠层电容器, 其特征在于:

在上述第一至第八内部导体层中, 分别形成至少一个切入部,

在各自的上述内部导体层上, 利用各自的上述切入部, 形成电流折返流动的流路部,

在隔着上述电介质层沿层叠方向相邻的上述内部导体层的流路部相互之间, 电流沿互相相反的方向流动,

上述第一内部导体层有第一引出部, 该第一引出部朝向上述电介质基体的第一侧面引出,

上述第二内部导体层有第二引出部, 该第二引出部朝向上述电介质基体的第一侧面在与上述第一引出部不同的位置处引出,

上述第五内部导体层有第五引出部, 该第五引出部朝向与上述电介质基体的第一侧面相反一侧的第三侧面引出,

上述第六内部导体层有第六引出部, 该第六引出部朝向上述电介质基体的第三侧面在与上述第五引出部不同的位置处引出,

上述第三内部导体层有第三引出部, 该第三引出部朝向与上述电介质基体的第一侧面和第三侧面不同的第二侧面引出,

上述第四内部导体层有第四引出部, 该第四引出部朝向上述电介质基体的第二侧面在与上述第三引出部不同的位置处引出,

上述第七内部导体层有第七引出部, 该第七引出部朝向与上述电介质基体的第二侧面相反一侧的第四侧面引出,

上述第八内部导体层有第八引出部, 该第八引出部朝向上述电介质基体的第四侧面在与上述第七引出部不同的位置处引出。

13. 如权利要求 12 所述的叠层电容器, 其特征在于:

上述第一内部导体层和上述第五内部导体层有对这些导体层的中心呈点对称的平面形状,

上述第二内部导体层和上述第六内部导体层有对这些导体层的中心呈点对称的平面形状,

上述第三内部导体层和上述第七内部导体层有对这些导体层的

中心呈点对称的平面形状，

上述第四内部导体层和上述第八内部导体层有对这些导体层的中心呈点对称的平面形状。

14. 如权利要求 12 所述的叠层电容器，其特征在于：

上述各切入部的宽度为上述各内部导体层中的上述流路部的宽度的 $1/3 \sim 1/4$ 的尺寸。

15. 如权利要求 12 所述的叠层电容器，其特征在于：

分别连接在上述第一引出部和第二引出部上的第一端子电极和第二端子电极安装在上述电介质基体的第一侧面上，

分别连接在上述第三引出部和第四引出部上的第三端子电极和第四端子电极安装在上述电介质基体的第二侧面上，

分别连接在上述第五引出部和第六引出部上的第五端子电极和第六端子电极安装在上述电介质基体的第三侧面上，

分别连接在上述第七引出部和第八引出部上的第七端子电极和第八端子电极安装在上述电介质基体的第四侧面上。

16. 如权利要求 12 ~ 15 中的任意一项所述的叠层电容器，其特征在于：

上述第一至第八内部导体层分别隔着上述电介质层，按照该顺序，沿着层叠方向反复层叠多次。

17. 如权利要求 12 ~ 15 中的任意一项所述的叠层电容器，其特征在于：

上述切入部的平面形状呈直线形。

18. 如权利要求 17 所述的叠层电容器，其特征在于：

上述切入部的宽度为上述内部导体层的宽度的 $1/10 \sim 1/3$ 的宽度。

19. 一种叠层电容器，它是有电介质层；

用上述电介质层进行绝缘，且在电介质基体内按照第一至第四的顺序依次配置的至少四种第一至第四内部导体层；

在形成上述第一内部导体层的电介质层上形成、而且按照与上述第一内部导体层绝缘的图形，沿同一平面方向相邻地形成的第五内部导体层；

在形成上述第二内部导体层的电介质层上形成、而且按照与上述第二内部导体层绝缘的图形，沿同一平面方向相邻地形成的第六内部导体层；

在形成上述第三内部导体层的电介质层上形成、而且按照与上述第三内部导体层绝缘的图形，沿同一平面方向相邻地形成的第七内部导体层；以及

在形成上述第四内部导体层的电介质层上形成、而且按照与上述第四内部导体层绝缘的图形，沿同一平面方向相邻地形成的第八内部导体层的叠层电容器，其特征在于：

在上述第一至第八内部导体层中，分别形成至少一个切入部，

在各自的上述内部导体层上，利用各自的上述切入部，形成电流折返流动的流路部，

在隔着上述电介质层沿层叠方向相邻的上述内部导体层的流路部相互之间，电流沿互相相反的方向流动。

20. 如权利要求 19 所述的叠层电容器，其特征在于：

上述第一内部导体层和上述第三内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第二内部导体层和上述第四内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第五内部导体层和上述第七内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第六内部导体层和上述第八内部导体层有对这些导体层的中心呈点对称的平面形状。

21. 如权利要求 19 所述的叠层电容器，其特征在于：

上述第一内部导体层和上述第五内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状，

上述第二内部导体层和上述第六内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状，

上述第三内部导体层和上述第七内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状，

上述第四内部导体层和上述第八内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状。

22. 如权利要求 19 所述的叠层电容器, 其特征在于:

上述第一内部导体层有第一引出部, 该第一引出部朝向上述电介质基体的第一侧面引出,

上述第五内部导体层有第五引出部, 该第五引出部朝向与上述电介质基体的上述第一侧面相反的第三侧面引出,

上述第二内部导体层有第二引出部, 该第二引出部朝向上述电介质基体的第一侧面在与上述第一引出部不同的位置处引出,

上述第六内部导体层有第六引出部, 该第六引出部朝向上述电介质基体的上述第三侧面在与上述第五引出部不同的位置处引出,

上述第三内部导体层有第三引出部, 该第三引出部朝向上述电介质基体的上述第三侧面在与上述第五引出部和第六引出部不同的位置处引出,

上述第七内部导体层有第七引出部, 该第七引出部朝向上述电介质基体的上述第一侧面在与上述第一引出部和第二引出部不同的位置处引出,

上述第四内部导体层有第四引出部, 该第四引出部朝向上述电介质基体的上述第三侧面在与上述第三引出部、第五引出部和第六引出部不同的位置处引出,

上述第八内部导体层有第八引出部, 该第八引出部朝向上述电介质基体的上述第一侧面在与上述第一引出部、第二引出部和第七引出部不同的位置处引出。

23. 如权利要求 22 所述的叠层电容器, 其特征在于:

上述第一至第八引出部各自的宽度与上述的各内部导体层中的流路部的宽度相等或在其之下。

24. 如权利要求 22 所述的叠层电容器, 其特征在于:

上述电介质基体呈具有与上述第一侧面和第三侧面不同的第二侧面和第四侧面的长方体形状,

第一侧面和第三侧面的宽度比上述第二侧面和第四侧面的宽度宽。

25. 如权利要求 24 所述的叠层电容器, 其特征在于:

连接在上述第一引出部上的第一端子电极、连接在上述第二引出部上的第二端子电极、连接在上述第七引出部上的第七端子电极、

以及连接在上述第八引出部上的第八端子电极安装在上述电介质基体的第一侧面上，

连接在上述第三引出部上的第三端子电极、连接在上述第四引出部上的第四端子电极、连接在上述第五引出部上的第五端子电极、以及连接在上述第六引出部上的第六端子电极安装在上述电介质基体的第三侧面上，

26. 如权利要求 19~25 中的任意一项所述的叠层电容器，其特征在于：

上述第一至第四内部导体层分别隔着上述电介质层，按照该顺序，沿着层叠方向反复层叠多次，同时

上述第五至第七内部导体层分别隔着上述电介质层，按照该顺序，沿着层叠方向反复层叠多次。

27. 如权利要求 19~25 中的任意一项所述的叠层电容器，其特征在于：

在上述第一、第五、第三和第七内部导体层上形成的切入部大致呈 L 字形状，

在上述第二、第六、第四和第八内部导体层上形成的切入部大致呈直线形。

28. 如权利要求 27 所述的叠层电容器，其特征在于：

上述切入部的宽度为上述内部导体层的宽度的 $1/10 \sim 1/3$ 的宽度。

叠层电容器

技术领域

本发明涉及大幅度降低了等效串联电感 (ESL) 的叠层电容器, 特别是涉及能减小 CPU 用的电源的电压变化的叠层陶瓷电容器。

背景技术

近年来, 能用于信息处理装置中的 CPU (主运算处理装置) 随着处理速度的提高及高集成化, 工作频率增大, 同时消耗电流显著增加。而且因此, 由于功耗的降低而有工作电压下降的趋势。因此, 在向 CPU 供电用的电源中, 在高速下产生更大的电流变化, 将伴随该电流变化的电压变化抑制在该电源的允许值以内非常困难。

因此, 如图 7 所示, 被称为去耦电容器的叠层电容器 100 连接在电源 102 上, 出于电源的稳定化措施而被频繁地使用。而且, 电流在高速下瞬态地变化时, 通过快速充放电, 从该叠层电容器将电流供给 CPU104, 以便抑制电源 102 的电压变化。

可是, 伴随近来的 CPU 的工作频率进一步高频化, 电流变化变得速度更快而且更大。因此, 图 7 所示的叠层电容器 100 本身所具有的等效串联电感 (ESL) 相对地增大。其结果是, 该等效串联电感对电源的电压变化产生很大影响。

也就是说, 在图 7 所示的 CPU104 的电源电路中使用的现有的叠层电容器 100 中, 该图 7 的等效电路中所示的作为寄生分量的 ESL 大。因此, 如图 8 所示, 伴随电流 I 的变化, 该 ESL 阻碍叠层电容器 100 的充放电。因此, 与上述相同, 电源电压 V 的变化如图 8 所示容易增大, 已经不能适应今后的 CPU 的高速化。

其理由是, 因为用下面的式 1 对电流瞬变即进行充放电时的电压变化进行近似, ESL 的高低与电源电压变化的大小有关的缘故。

$$dV = ESL \cdot di / dt \quad \dots \text{式 1}$$

式中, dV 是瞬变时的电压变化 (V), i 是变化时的电流 (A), t 是变化时间 (秒)。

另一方面, 这里, 将该现有的电容器的外观示于图 9, 同时将内部结构示于图 10, 以下根据这些图来说明现有的叠层电容器 100。也就

是说,为了获得静电电容,图9所示的现有的叠层电容器100形成这样的结构:将分别设置了图10所示的两种内部导体层114、116的一对陶瓷层112A交替地层叠起来,形成电介质基体112。

而且,这两种内部导体层114、116被分别引出到电介质基体112互相相向的两个侧面112B、112C上。连接在内部导体层114上的端子电极118、以及连接在内部导体层116上的端子电极120被分别设置在图9所示的叠层电容器100的互相相向的侧面112B、112C上。

在这样的现有的叠层电容器100中,ESL大,特别是难以使CPU用的电源的电压变化减小。

另外,为了降低ESL,开发了特开平11-144996号公报、特开2001-284171号公报、特开2002-151349号公报、特开2002-231559号公报、特开2002-164256号公报等中所公开的叠层电容器。

可是,特别是要求能进一步减小CPU用的电源的电压变化的叠层陶瓷电容器。

发明内容

考虑到上述事实,本发明的目的在于提供一种能大幅度地降低等效串联电感,使CPU用的电源的电压变化小的叠层电容器。

为了达到上述目的,本发明的第一方面的叠层电容器是一种有电介质层;以及

用上述电介质层进行绝缘,且在电介质基体内按照第一至第四的顺序依次配置的至少四种第一至第四内部导体层的叠层电容器,其特征在于:

在上述第一至第四内部导体层中,分别形成至少一个切入部,

在各自的上述内部导体层上,利用各自的上述切入部,形成电流折返流动的流路部,

在隔着上述电介质层沿层叠方向相邻的上述内部导体层的流路部相互之间,电流沿互相相反的方向流动。

如果采用本发明的第一方面的叠层电容器,则向该叠层电容器通电时,在隔着电介质层相邻的层叠方向上下的流路部之间,电流沿互相相反的方向流动。而且因此,因流过内部导体层的高频电流而产生的磁通量以相互抵消的方式相抵,叠层电容器本身所具有的寄生电感减少。因此,等效串联电感(ESL)减少。另外,即使在同一内部导体

层内，在将切入部夹在中间而位于两侧的流路部的部分之间，电流的流动方向相反，所以就这一点来说，ESL也进一步减少。

以上，在本发明的第一方面的叠层电容器中，能谋求更低的ESL，能大幅度降低有效电感。其结果是，如果采用本发明的第一方面，则能可靠地抑制电源的电压振动，作为CPU的电源用，能获得最佳的叠层电容器。

上述第一内部导体层和上述第三内部导体层最好有对这些导体层的中心呈点对称的平面形状。

上述第二内部导体层和上述第四内部导体层最好有对这些导体层的中心呈点对称的平面形状。

由于按照这样的图形形成内部导体层，所以在隔着电介质层沿层叠方向相邻的内部导体层的流路部相互之间，容易使电流方向互相相反。

最好是，上述第一内部导体层有第一引出部，该第一引出部朝向上述电介质基体的第一侧面引出，

上述第三内部导体层有第三引出部，该第三引出部朝向与上述电介质基体的上述第一侧面相反的第三侧面引出。

最好是，连接在上述第一引出部上的第一端子电极安装在上述电介质基体的第一侧面上，

连接在上述第三引出部上的第三端子电极安装在上述电介质基体的第三侧面上。

最好是，上述第二内部导体层有第二引出部，该第二引出部朝向与上述电介质基体的第一侧面和第三侧面不同的第二侧面引出，

上述第四内部导体层有第四引出部，该第四引出部朝向与上述电介质基体的上述第二侧面相反的第四侧面引出。

最好是，连接在上述第二引出部上的第二端子电极安装在上述电介质基体的第二侧面上，

连接在上述第四引出部上的第四端子电极安装在上述电介质基体的第四侧面上。

这样，借助于在电介质基体的四个侧面上分别形成端子电极，能更加降低ESL。

最好是，上述第一引出部的宽度与形成了上述切入部的第一内部

导体层的整个宽度大致相同，

上述第三引出部的宽度与形成了上述切入部的第三内部导体层的整个宽度大致相同。

最好是，上述第一端子电极和上述第三端子电极有与上述第一引出部和第三引出部的宽度相等或在其之上的宽度。

这样，借助于拓宽第一引出部和第三引出部的宽度，所以这些引出部和对应的端子电极的连接更加可靠。

上述第二引出部的宽度与被上述第二内部导体层的切入部隔离的上述流路部的宽度大致相同，

上述第四引出部的宽度也可以与被上述第四内部导体层的切入部隔离的上述流路部的宽度大致相同。

另外，这些第二和第四引出部的宽度也可以与对应的内部导体层的宽度大致相同。

最好是，上述第二引出部在上述第二侧面的大致中央部被引出，上述第四引出部在上述第四侧面的大致中央部被引出。

在本发明的第一方面中，上述第二端子电极的宽度与上述第二引出部的宽度相等或在其之上，但比上述第二侧面的宽度窄，

上述第四端子电极的宽度也可以与上述第二端子电极的宽度大致相同。

在本发明的第一方面中，上述第一至第四内部导体层也可以分别隔着上述电介质层，按照该顺序，沿着层叠方向反复层叠多次。在此情况下，叠层电容器的静电电容增大，同时抵消磁场的作用变得更强，能大幅度减少电感，ESL进一步被降低。

在本发明的第一方面中，上述切入部的平面形状不特别限定，但最好例如大致呈L字形状。在这样的L字形状的切入部的情况下，容易形成方向互相相反的流路部。

为了达到上述目的，本发明的第二方面的叠层电容器是一种有电介质层；以及

用上述电介质层进行绝缘，且在电介质基体内按照第一至第八的顺序依次配置的至少八种第一至第八内部导体层的叠层电容器，其特征在于：

在上述第一至第八内部导体层中，分别形成至少一个切入部，

在各自的上述内部导体层上，利用各自的上述切入部，形成电流折返流动的流路部，

在隔着上述电介质层沿层叠方向相邻的上述内部导体层的流路部相互之间，电流沿互相相反的方向流动。

在本发明的第二方面中，八种内部导体层分别有切入部，该切入部的周边的内部导体层部分构成流路部，在同一平面内电流沿相反的方向流动，同时在与隔着电介质层相邻的另一内部导体层的流路部之间，沿互相相反的方向流动。

因此，因流过内部导体层的高频电流而产生的磁通量以相互抵消的方式相抵，能减少叠层电容器本身所具有的寄生电感。其结果是，能减少等效串联电感（ESL）。

另外，即使在同一内部导体层内，在将切入部夹在中间而位于两侧的流路部之间，电流的流动方向相反，所以能进一步减少等效串联电感。

如上所述，如果采用本发明的第二方面的叠层电容器，则能谋求进一步降低 ESL，能更大幅度地降低有效电感。

最好是，上述第一内部导体层和上述第五内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第二内部导体层和上述第六内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第三内部导体层和上述第七内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第四内部导体层和上述第八内部导体层有对这些导体层的中心呈点对称的平面形状。

通过按照这样的图形构成第一至第八内部导体层，在沿层叠方向相邻的内部导体层之间，容易使电流的流向互相相反。

最好是，上述第一内部导体层有第一引出部，该第一引出部朝向上述电介质基体的第一侧面引出，

上述第二内部导体层有第二引出部，该第二引出部朝向上述电介质基体的第一侧面在与上述第一引出部不同的位置处引出，

上述第五内部导体层有第五引出部，该第五引出部朝向与上述电介质基体的第一侧面相反一侧的第三侧面引出，

上述第六内部导体层有第六引出部，该第六引出部朝向上述电介质基体的第三侧面在与上述第五引出部不同的位置处引出，

上述第三内部导体层有第三引出部，该第三引出部朝向与上述电介质基体的第一侧面和第三侧面不同的第二侧面引出，

上述第四内部导体层有第四引出部，该第四引出部朝向上述电介质基体的第二侧面在与上述第三引出部不同的位置处引出，

上述第七内部导体层有第七引出部，该第七引出部朝向与上述电介质基体的第二侧面相反一侧的第四侧面引出，

上述第八内部导体层有第八引出部，该第八引出部朝向上述电介质基体的第四侧面在与上述第七引出部不同的位置处引出。

最好是，分别连接在上述第一引出部和第二引出部上的第一端子电极和第二端子电极安装在上述电介质基体的第一侧面上，

分别连接在上述第三引出部和第四引出部上的第三端子电极和第四端子电极安装在上述电介质基体的第二侧面上，

分别连接在上述第五引出部和第六引出部上的第五端子电极和第六端子电极安装在上述电介质基体的第三侧面上，

分别连接在上述第七引出部和第八引出部上的第七端子电极和第八端子电极安装在上述电介质基体的第四侧面上。

通过进行这样构成的引出部和电极的配置，在电介质基体的四个侧面上能分别作成各两个端子电极。而且，向该叠层电容器通电时，相邻的端子电极之间的极性互不相同，交互为正负极，以此方式流过电流。因此，在各引出部上产生的磁通量因在引出部内互相沿相反方向流动的电流的作用而互相抵消，有进一步降低等效串联电感的效果。

最好是，上述的各引出部的宽度为上述的各内部导体层中的上述流路部的宽度的 $1/3 \sim 1/4$ 的尺寸。通过作成这样的尺寸，能可靠地实现在同一个侧面上配置两个端子电极的结构。另外，各内部导体层和端子电极能更可靠地连接。

最好是，上述第一至第八内部导体层分别隔着上述电介质层，按照该顺序，沿着层叠方向反复层叠多次。

在此情况下，不仅叠层电容器的静电电容大，而且使磁场互相抵消的作用更大，电感更加大幅度地减少，能进一步降低 ESL。

在本发明的第二方面中，上述切入部的平面形状不特别限定，但最好实际上呈直线形。在本发明的第二方面中，即使使切入部的平面形状大致呈直线形，也容易形成流动方向互相相反的电流。

为了达到上述目的，本发明的第三方面的叠层电容器是一种有电介质层；

用上述电介质层进行绝缘，且在电介质基体内按照第一至第四的顺序依次配置的至少四种第一至第四内部导体层；

在形成上述第一内部导体层的电介质层上形成、而且按照与上述第一内部导体层绝缘的图形，沿同一平面方向相邻地形成的第五内部导体层；

在形成上述第二内部导体层的电介质层上形成、而且按照与上述第二内部导体层绝缘的图形，沿同一平面方向相邻地形成的第六内部导体层；

在形成上述第三内部导体层的电介质层上形成、而且按照与上述第三内部导体层绝缘的图形，沿同一平面方向相邻地形成的第七内部导体层；以及

在形成上述第四内部导体层的电介质层上形成、而且按照与上述第四内部导体层绝缘的图形，沿同一平面方向相邻地形成的第八内部导体层的叠层电容器，其特征在于：

在上述第一至第八内部导体层中，分别形成至少一个切入部，

在各自的上述内部导体层上，利用各自的上述切入部，形成电流折返流动的流路部，

在隔着上述电介质层沿层叠方向相邻的上述内部导体层的流路部相互之间，电流沿互相相反的方向流动。

在本发明的第三方面的叠层电容器中，向叠层电容器通电时，在隔着电介质层沿层叠方向相邻的流路部之间，电流沿互相相反的方向流动。而且因此，因流过内部导体层的高频电流而产生的磁通量以相互抵消的方式相抵，能减少叠层电容器本身所具有的寄生电感。因此，等效串联电感(ESL)减少。另外，即使在同一内部导体层内，在将切入部夹在中间而位于两侧的流路部之间，电流的流动方向相反，所以等效串联电感进一步减少。

另外，在本发明的第三方面中，八种内部导体层按照每两种配置

在同一面上的形式，层叠四层。因此，在一个电介质基体的内部，形成两组内部导体层互相相向地排列配置的电容器。

即，在本发明的第三方面的叠层电容器中，具有在同一个电介质基体的内部相邻地存在两个本发明的第一方面的叠层电容器的作用和效果，能谋求更低的 ESL，能大幅度降低有效电感。其结果是，按照本发明的第三方面，能可靠地抑制电源的电压振动，作为 CPU 的电源用，能获得最佳的叠层电容器。

另外，在本发明的第三方面中，八种内部导体层分别按照每两种排列在同一面上的形式配置，构成由两组电容器形成的电容器阵列，所以能谋求叠层电容器的高功能化。

最好是，上述第一内部导体层和上述第三内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第二内部导体层和上述第四内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第五内部导体层和上述第七内部导体层有对这些导体层的中心呈点对称的平面形状，

上述第六内部导体层和上述第八内部导体层有对这些导体层的中心呈点对称的平面形状。

另外，最好是，上述第一内部导体层和上述第五内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状，

上述第二内部导体层和上述第六内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状，

上述第三内部导体层和上述第七内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状，

上述第四内部导体层和上述第八内部导体层有对这些导体层之间的间隙的中心呈点对称的平面形状。

借助于按照这样的图形形成内部导体层，在隔着电介质层沿层叠方向相邻的内部导体层的流路部相互之间，容易使电流的流向互相相反。

最好是，上述第一内部导体层有第一引出部，该第一引出部朝向上述电介质基体的第一侧面引出，

上述第五内部导体层有第五引出部，该第五引出部朝向与上述电

介质基体的上述第一侧面相反一侧的第三侧面引出，

上述第二内部导体层有第二引出部，该第二引出部朝向上述电介质基体的第一侧面在与上述第一引出部不同的位置处引出，

上述第六内部导体层有第六引出部，该第六引出部朝向上述电介质基体的上述第三侧面在与上述第五引出部不同的位置处引出，

上述第三内部导体层有第三引出部，该第三引出部朝向上述电介质基体的上述第三侧面在与上述第五引出部和第六引出部不同的位置处引出，

上述第七内部导体层有第七引出部，该第七引出部朝向上述电介质基体的上述第一侧面在与上述第一引出部和第二引出部不同的位置处引出，

上述第四内部导体层有第四引出部，该第四引出部朝向上述电介质基体的上述第三侧面在与上述第三引出部、第五引出部和第六引出部不同的位置处引出，

上述第八内部导体层有第八引出部，该第八引出部朝向上述电介质基体的上述第一侧面在与上述第一引出部、第二引出部和第七引出部不同的位置处引出。

最好是，连接在上述第一引出部上的第一端子电极、连接在上述第二引出部上的第二端子电极、连接在上述第七引出部上的第七端子电极、以及连接在上述第八引出部上的第八端子电极安装在上述电介质基体的第一侧面上，

连接在上述第三引出部上的第三端子电极、连接在上述第四引出部上的第四端子电极、连接在上述第五引出部上的第五端子电极、以及连接在上述第六引出部上的第六端子电极安装在上述电介质基体的第三侧面上。

作为其结果，例如隔着电介质层相邻的两个内部导体层之间的引出部，分别连接在与电介质基体的侧面相邻配置的两个端子电极上。因此，向该叠层电容器通电时，相邻的端子电极之间的极性互不相同，交互为正负极，以此方式流过电流。因此，在各引出部上产生的磁通量由于在引出部内互相沿相反方向流动的电流的作用而互相抵消，有降低等效串联电感的效果。

最好是，上述第一至第八引出部各自的宽度与上述的各内部导体

层中的流路部的宽度相等或在其之下。通过形成这样的结构，能在电介质基体的两个相向的侧面上分别排列配置四个端子电极。

最好是，上述电介质基体呈具有与上述第一侧面和第三侧面不同的第二侧面和第四侧面的长方体形状，

第一侧面和第三侧面的宽度比上述第二侧面和第四侧面的宽度宽。

通过形成这样的结构，从八种内部导体层分别引出的总计八个引出部，能容易地朝朝向电介质基体的四个侧面内的所形成的两个长侧面各引出四个。而且，相邻的端子电极之间的极性彼此不同。另外，在电介质基体的四个侧面内的所形成的两个长侧面上，各存在四个与内部导体层的引出部连接的端子电极，所以能有效地利用所形成的长侧面。因此，也能谋求叠层电容器的小型化。

最好是，上述第一至第四内部导体层分别隔着上述电介质层，按照该顺序，沿着层叠方向反复层叠多次，同时

上述第五至第七内部导体层分别隔着上述电介质层，按照该顺序，沿着层叠方向反复层叠多次。

如果这样构成，则不仅叠层电容器的静电电容增大，而且使磁场互相抵消的作用更加增大，电感更加大幅度地减少，能进一步降低ESL。

最好是，在上述第一、第五、第三和第七内部导体层上形成的切入部大致呈L字形状，

在上述第二、第六、第四和第八内部导体层上形成的切入部大致呈直线形。在呈这样的形状的切入部的情况下，容易形成方向互相相反的流路部。

在本发明的第一至第三方面中，上述切入部的宽度为上述内部导体层的宽度的 $1/10 \sim 1/3$ ，最好为 $1/8 \sim 1/4$ 的宽度。如果切入部的宽度过窄，则存在绝缘性变得不充分的趋势，如果切入部的宽度过大，则电极面积减少，存在静电电容下降的趋势。

附图说明

以下，参照附图详细地说明本发明。在此处，

图1是本发明的一种实施形态的叠层电容器的分解斜视图，是分别示出该叠层电容器的内部导体层的图形的图。

图 2 是图 1 所示的叠层电容器的斜视图。

图 3 是沿图 2 所示的 III-III 线的剖面图。

图 4 是沿图 3 所示的 IV-IV 线的剖面图。

图 5 是示出图 1~图 4 所示的叠层电容器的等效电路的图。

图 6 是表示本发明的实施例和比较例的衰减特性的曲线图。

图 7 是示出组装了叠层电容器的电路的一例的图。

图 8 是表示采用了现有例的叠层电容器的电路中的电流变化和电压变化的关系的曲线图。

图 9 是现有例的叠层电容器的斜视图。

图 10 是示出图 9 所示的叠层电容器中的内部导体层的分解斜视图。

图 11 是本发明的另一实施形态的叠层电容器的分解斜视图，是分别示出该叠层电容器的内部导体层的图形的图。

图 12 是示出图 11 所示的叠层电容器的斜视图。

图 13 是沿图 12 所示的 XIII-XIII 线的剖面图。

图 14 是示出图 11~图 13 所示的叠层电容器的等效电路的图。

图 15 是表示本发明的实施例和比较例的衰减特性的曲线图。

图 16 是本发明的另一实施形态的叠层电容器的分解斜视图，是分别示出该叠层电容器的内部导体层的图形的图。

图 17 是示出图 16 所示的叠层电容器的斜视图。

图 18 是沿图 17 所示的 XV III-XV III 线的剖面图。

图 19 是示出图 16~图 18 所示的叠层电容器的等效电路的图。

图 20 是将图 16~图 18 所示的叠层电容器作为电容器阵列、连接在 2 个电路中使用的电路图。

图 21 是表示本发明的实施例和比较例的各试样的衰减特性的曲线图。

具体实施方式

以下，根据附图说明本发明的叠层电容器的一种实施形态。

第一实施形态

图 1 至图 5 示出了作为本发明的叠层电容器的一种实施形态的叠层陶瓷电容器（以下仅称为叠层电容器）。如这些图所示，将多块电介质片即生陶瓷片（焙烧后则成为陶瓷层 12A）层叠起来的叠层体加以

焙烧得到长方体形状的烧结体，该叠层电容器 10 具有该烧结体即电介质基体 12 作为主要部分。

如图 1、图 3 和图 4 所示，在该电介质基体 12 内的陶瓷层（电介质层）12A 的层叠方向 Z 中规定的高度位置，配置以 X 轴和 Y 轴构成平面的面状的第一内部导体层 14。在电介质基体 12 内，在隔着陶瓷层 12A 的内部导体层 14 的下侧，同样地配置面状的第二内部导体层 16。

在电介质基体 12 内，隔着陶瓷层 12A 在第二内部导体层 16 的层叠方向 Z 的下侧，同样地配置面状的第三内部导体层 18。在该内部导体层 18 的层叠方向 Z 的下侧，同样地配置面状的第四内部导体层 20。这样，第一内部导体层 14 至第四内部导体层 20 在电介质基体 12 内隔着陶瓷层 12A 互相相向地配置。

也就是说，在本实施形态中，焙烧后的电介质片即陶瓷层 12A 被夹持在其间，第一内部导体层 14 至第四内部导体层 20 依次被配置在电介质基体 12 内。而且，在第四内部导体层 20 的层叠方向 Z 的下侧，如图 3 和图 4 所示，按照与上述同样的顺序，这四层的第一~第四内部导体层 14~20 的组被重复层叠。例如，第一~第四内部导体层 14~20 的组总计被配置 100 组左右（在图中为三组）。

这些内部导体层 14、16、18、20 的中心被配置在与电介质基体 12 的中心大致相同的位置。另外，内部导体层 14 至内部导体层 20 的纵横方向的尺寸比对应的电介质基体 12 的边长要小。再有，作为这些大致形成为长方形的内部导体层 14、16、18、20 的材料，不仅被认为是贱金属，即镍、镍合金、铜或铜合金，而且被认为是以这些金属为主成分的材料。

在本实施形态中，如图 1 所示，分别具有沿 X 轴方向的左右方向延伸的主要部分的第一~第四切入部 22a~22d 被分别设置在各内部导体层 14~20 的中央部。这些切入部 22a~22d 均略呈 L 字形。各切入部 22a~22d 的切入宽度 W1 最好为内部导体层 14~20 的宽度 W0 的 $1/10 \sim 1/3$ ，如为 $1/8 \sim 1/4$ 的宽度则更好。

第一切入部 22a 从第一内部导体层 14 中的 X 轴方向的左侧附近的 Y 轴方向跟前一侧沿 Y 轴方向延伸至导体层 14 的 Y 轴方向中央部，并从此沿 Y 轴方向向右侧延伸。第二切入部 22b 从第二内部导体层 16 中的 X 轴方向的中央附近的 Y 轴方向跟前一侧沿 Y 轴方向延伸至导体层

16的Y轴方向中央部，并从此沿Y轴方向向左侧延伸。

第三切入部22c从第三内部导体层18中的X轴方向的右侧附近的Y轴方向深度一侧沿Y轴方向延伸至导体层18的Y轴方向中央部，并从此沿X轴方向向左侧延伸。第四切入部22d从第四内部导体层20中的X轴方向的中央附近的Y轴方向深度一侧沿Y轴方向延伸至导体层20的Y轴方向中央部，并从此沿Y轴方向向右侧延伸。

通过形成这些切入部22a~22d，在各内部导体层14~20形成电流折返流动的第一~第四流路部14B~20B。而且，通过形成这些切入部22a~22d，第一内部导体层14和第三内部导体层18有对这些导体层的中心呈点对称的平面图形形状。另外，第二内部导体层16和第四内部导体层20有对这些导体层的中心呈点对称的平面图形形状。

如图1所示，在第一内部导体层14，从该内部导体层14的左侧端部向X轴方向的左侧方向，以按照内部导体层14的整个宽度 W_0 （Y轴方向的整个宽度）引出的方式，形成第一引出部14A。在第二内部导体层16，形成从该平面中的Y轴方向的跟前一侧中央部向跟前一侧的方向引出的第二引出部16A。

在第三内部导体层18，从该平面中的X轴方向的靠右侧的部分向右侧方向，以按照内部导体层18的整个宽度 W_0 引出的方式，形成引出部18A。另外，在第四内部导体层20，形成从该平面中的Y轴方向的深度一侧中央部向深度一侧的方向引出的引出部20A。

其结果是，使朝向在图2所示的电介质基体12中的X轴的左右侧互相相向的两个第一侧面12B和第三侧面12D而引出的宽度宽的引出部14A、18A分别具有两个内部导体层14、18。此外，使朝向在电介质基体12的Y轴的跟前一侧和深度一侧互相相向的两个第二侧面12C和第四侧面12E而引出的宽度窄的引出部16A、20A分别具有两个内部导体层16、20。这些引出部16A和20A的宽度例如与流路部16B或20B的宽度大致为同一程度。

如图2所示，在左侧的第一侧面12B，以按照第一内部导体层14的第一引出部14A的整个宽度与第一引出部14A连接的方式，配置遍及该侧面12B的整个宽度的大小的第一端子电极24。在右侧的第三侧面12D，以按照第三内部导体层18的第三引出部18A的整个宽度与第三引出部18A连接的方式，配置遍及该侧面12D的整个宽度的大小的

第三端子电极 28。

另外，在跟前一侧的第二侧面 12C，经第二引出部 16A 配置与第二内部导体层 16 连接的第二端子电极 26；在深度一侧的第四侧面 12E，经第四引出部 20A 配置与第四内部导体层 20 连接的第四端子电极 30。如上所述，在本实施形态中，在作为长方体的六面体形状的电介质基体 12 的四个侧面 12B~12E，分别配置各端子电极 24~30。

再有，第二端子电极 26 和第四端子电极 30 各自的宽度与第二引出部 16A 和第四引出部 20A 的宽度相同或在其之上，但比电介质基体 12 在 X 轴方向的宽度 L 窄，最好为宽度 L 的 $1/8 \sim 1/2$ ，如为宽度 L 的 $1/6 \sim 1/3$ 左右则更好。另外，第二端子电极 26 和第四端子电极 30 分别在电介质基体 12 的侧面 12C 和 12D，在 X 轴方向的大致中央处，沿层叠方向 Z 形成。

如图 5 所示，在本实施形态的叠层电容器 10 中，以将内部导体层 14 和 16 作为构成一个电容器的电极的方式，将端子电极 24 与例如 CPU 的电极连接。另外，端子电极 26 通过与例如接地一侧连接、并且这些端子电极 24、26 之间以彼此相反的极性而被使用。同样地，内部导体层 18 和 20 以作为构成一个电容器的电极的方式，端子电极 28、30 之间以彼此相反的极性而被使用。

因此，例如如图 2 所示，在端子电极 24、28 为+极的同时，端子电极 26、30 为-极的情况下，如图 1 的箭头所示的电流的方向那样，在分别与端子电极 24、28 连接的内部导体层 14、18 的流路部 14B、18B，沿顺时针旋转方向流过电流。另外，在分别与端子电极 26、30 连接的内部导体层 16、20 的流路部 16B、20B，沿逆时针旋转方向流过电流。

如上所述，在隔着陶瓷层 12A 相邻的内部导体层 14、16 的流路部 14B 与流路部 16B 之间，电流沿互相相反的方向流动。同样地，在隔着陶瓷层 12A 相邻的内部导体层 16、18 的流路部 16B 与流路部 18B 之间，电流也沿互相相反的方向流动。同样地，在隔着陶瓷层 12A 相邻的内部导体层 18、20 的流路部 18B 与流路部 20B 之间，电流也沿互相相反的方向流动。

接着，说明本实施形态的叠层电容器 10 的作用。

按照本实施形态的叠层电容器 10，一对内部导体层 14、16 成为互

相相向地并列配置的电容器电极，同样地，一对内部导体层 18、20 也成为互相相向地并列配置的电容器电极。

另外，在本实施形态中，在向该叠层电容器 10 通电时，在隔着陶瓷层 12A 相邻的内部导体层 14~20 的流路部 14B~20B 之间，电流沿互相相反的方向流动。因此，因流过内部导体层的高频电流而产生的磁通量以相互抵消的方式相抵，以此减少叠层电容器 10 本身所具有的寄生电感，从而减少了等效串联电感 (ESL)。

此外，在同一内部导体层 14~20 内，在各流路部 14B~20B 将切入部 22 夹在中间而位于两侧的部分之间，由于电流的流动方向互相相反，从而进一步减少了等效串联电感。

如上所述，本实施形态的叠层电容器 10 谋求更低的 ESL，使得大幅度地减少了有效电感。其结果是，按照本实施形态，能可靠地抑制电源电压的振动，作为 CPU 的电源用，可得到最佳的叠层电容器 10。

进而，在本实施形态中，由于内部导体层 14~20 各配置多个组在电介质基体 12 内，所以不仅叠层电容器 10 的静电电容高，而且进一步增强了使磁场相互抵消的作用，更大幅度地减少了电感，进一步减少了 ESL。

接着，使用网络分析仪测量以下各试样的 S 参数的 S21 特性，分别求得各试样的衰减特性。首先，说明成为各试样的样品的内容。也就是说，对于电容器来说，以图 9 所示的一般的现有的叠层电容器作为比较例 1，以图 2 所示的一种实施形态的叠层电容器作为实施例 1。

这里，通过使衰减特性的实测值与图 7 所示的叠层电容器 100 内的等效电路的衰减量一致来算出等效电路的常数。而且，从图 6 所示的各试样的衰减特性的数据可知，20MHz 以上的高频的频带中的实施例 1 的衰减量与比较例 1 相比，约增加 15dB。因此，由该数据可确认，在实施例中看到了高频特性的改善。

再有，关于计算得到的 ESL，与比较例 1 的 845.3pH 相比，在实施例 1 中大幅度降低至 145.2pH，本发明的效果也通过这些值被证实而得到确认。另外，关于等效串联电阻 (ESR)，在比较例 1 中为 5.5mΩ，与此相对照，在实施例 1 中为 7.8mΩ。

关于这里所用的各试样的尺寸，如图 9 和图 2 所示，宽度 W 和长度 L 为：对比较例 1 和实施例 1 而言，均为 $W = 1.25\text{mm}$ ， $L = 2.0\text{mm}$ 。

另外，试验用的各试样的静电电容在比较例1中为 $1.001\mu\text{F}$ ，在实施例中为 $0.968\mu\text{F}$ 。

再有，在上述实施形态的叠层电容器10中，形成具有两对计四种内部导体层的结构，但层数并不限定于实施形态中所示的数目，还可增多。

第二实施形态

以下，根据附图说明本发明第二实施形态的叠层电容器。图11至图14示出了本实施形态的叠层陶瓷电容器（以下仅称为叠层电容器）210。如这些图所示，将多块电介质片即生陶瓷片（焙烧后则成为陶瓷层212A）层叠起来的叠层体加以焙烧得到长方体形状的烧结体，该叠层电容器210具有该烧结体即电介质基体212作为主要部分。

如图11和图13所示，在该电介质基体212内的规定的高度位置，配置以X轴和Y轴构成平面的面状的第一内部导体层221。在电介质基体212内，在隔着陶瓷层（电介质层）212A的第一内部导体层221的层叠方向Z的下侧，同样地配置面状的第二内部导体层222。

在电介质基体212内，隔着陶瓷层212A在第二内部导体层222的层叠方向Z的下侧，同样地配置面状的第三内部导体层223。在该电介质基体212内，隔着陶瓷层212A在第三内部导体层223的层叠方向Z的下侧，同样地配置面状的第四内部导体层224。

以下同样地，分别隔着陶瓷层212A，依次配置形成为面状的第五内部导体层225、第六内部导体层226、第七内部导体层227和第八内部导体层228。因此，这些从内部导体层221至内部导体层228的八种内部导体层在电介质基体212内隔着陶瓷层212A互相相向地配置。

也就是说，在本实施形态中，焙烧后的电介质片即陶瓷层212A被夹持在其间，且第一内部导体层221至第八内部导体层228依次被配置在电介质基体212内。而且，还在第八内部导体层228的下侧，如图13所示，按照与上述同样的顺序，这八层的电极即内部导体层的组被重复，例如总计被配置数十组左右（在图中为两组）。

这些内部导体层221~228的中心被配置在与电介质基体212的中心大致相同的位置上，另外，内部导体层221至内部导体层228的纵横方向的尺寸比对应的电介质基体212的边长要小。再有，作为这些大致形成为长方形的内部导体层221~228的材料，不仅被认为是贱金

属，即镍、镍合金、铜或铜合金，而且被认为是以这些金属为主成分的材料。

如图 11 所示，第一切入部 229A1 和第八切入部 229A2 被分别形成为，在第一内部导体层 221 和第八内部导体层 228 中，在 X 轴方向的左侧从 Y 轴方向的中央部沿 X 轴方向延伸至中央部。另外，第二和第三切入部 229B1 和 229B2 被分别形成为，在第二内部导体层 222 和第三内部导体层 223 中的 Y 轴方向的深度一侧从 X 轴方向的中央部沿 Y 轴方向延伸至中央部。

另外，第四切入部 229C1 和第五切入部 229C2 被分别形成为，在第四内部导体层 224 和第五内部导体层 225 中，在 X 轴方向的右侧从 Y 轴方向的中央部沿 X 轴方向延伸至中央部。另外，第六和第七切入部 229D1 和 229D2 被分别形成为，在第六内部导体层 226 和第七内部导体层 227 中的 Y 轴方向的跟前一侧从 X 轴方向的中央部沿 Y 轴方向延伸至中央部。

在本实施形态中，这些切入部的平面形状略呈直线形，是从各内部导体层中的 X 轴方向或 Y 轴方向的端部中央延伸至各导体层的中央部的形状。这些切入部的切入宽度与图 1 所示的实施形态中的切入宽度相同。

通过形成这些切入部 229A1 ~ 229D2，在各内部导体层 221 ~ 228 形成电流折返流动的第一 ~ 第八流路部 221B ~ 228B。而且，通过形成这些切入部 229A1 ~ 229D2，第一内部导体层 221 和第五内部导体层 225 有对这些导体层的中心呈点对称的平面图形形状。另外，第二内部导体层 222 和第六内部导体层 226 有对这些导体层的中心呈点对称的平面图形形状。

另外，第三内部导体层 223 和第七内部导体层 227 有对这些导体层的中心呈点对称的平面图形形状。另外，第四内部导体层 224 和第八内部导体层 228 有对这些导体层的中心呈点对称的平面图形形状。

如图 11 和图 12 所示，第一内部导体层 221 有第一引出部 221A，该第一引出部 221A 朝向电介质基体 212 的第一侧面 212B 引出。第二内部导体层 222 有第二引出部 222A，该第二引出部 222A 朝向电介质基体 212 的第一侧面 212B 在与第一引出部 221A 不同的位置处引出。

另外，第五内部导体层 225 有第五引出部 225A，该第五引出部 225A

朝向与电介质基体 212 的第一侧面 212B 相反一侧的第三侧面 212D 引出。第六内部导体层 226 有第六引出部 226A, 该第六引出部 226A 朝向电介质基体 212 的第三侧面 212D 在与第五引出部 225A 不同的位置处引出。

第三内部导体层 223 有第三引出部 223A, 该第三引出部 223A 朝向与电介质基体 212 的第一侧面 212B 和第三侧面 212D 不同的第二侧面 212C 引出。第四内部导体层 224 有第四引出部 224A, 该第四引出部 224A 朝向电介质基体 212 的第二侧面 212C 在与第三引出部 223A 不同的位置处引出。

第七内部导体层 227 有第七引出部 227A, 该第七引出部 227A 朝向与电介质基体 212 的第二侧面 212C 相反一侧的第四侧面 212E 引出。第八内部导体层 228 有第八引出部 228A, 该第八引出部 228A 朝向电介质基体 212 的第四侧面 212E 在与第七引出部 227A 不同的位置处引出。

各引出部 221A ~ 228A 的宽度 D_2 为各内部导体层中的流路部 221B ~ 228B 的宽度 D_1 的 $1/3 \sim 1/4$ 的尺寸。

如图 12 所示, 在电介质基体 212 的第一侧面 212B, 安装分别与第一引出部 221A 和第二引出部 222A 连接的第一端子电极 231 和第二端子电极 232。在电介质基体 212 的第二侧面 212C, 安装分别与第三引出部 223A 和第四引出部 224A 连接的第三端子电极 233 和第四端子电极 234。

在电介质基体 212 的第三侧面 212D, 安装分别与第五引出部 225A 和第六引出部 226A 连接的第五端子电极 235 和第六端子电极 236。在电介质基体 212 的第四侧面 212E, 安装分别与第七引出部 227A 和第八引出部 228A 连接的第七端子电极 237 和第八端子电极 238。

即, 图 11 所示的各引出部 221A ~ 228A 朝向图 12 所示的电介质基体 212 的四个侧面 212B ~ 212E 各引出两个, 与各自的端子电极 231 ~ 238 连接。各端子电极 231 ~ 238 的宽度与图 11 所示的各引出部 221A ~ 228A 巴不得宽度 D_2 相等或在其之上, 但可以确定, 邻接的端子电极相互绝缘。

这样, 在本实施形态中, 在作为长方体即六面体形状的电介质基体 212 的四个侧面 212B ~ 212E, 各端子电极 231 ~ 238 被分别各配置

两个，另外，经各引出部 221A - 228A，各端子电极 231 - 238 分别与八种内部导体层 221 - 228 连接。

例如如图 14 所示，在本实施形态的叠层电容器 210 中，每隔一个的端子电极 231、233、235、237 与例如 CPU 的电极连接，每隔一个的端子电极 232、234、236、238 与例如接地一侧连接。因此，对端子电极 231、233、235、237 和端子电极 232、234、236、238 施加极性彼此相反的电压。

由此，例如如图 12 和图 14 所示，在每隔一个的端子电极 231、233、235、237 为+极的同时，每隔一个的端子电极 232、234、236、238 为-极。这时，如图 11 的箭头所示的电流的方向那样，流过电流。

也就是说，在分别与端子电极 231、233、235、237 连接的内部导体层 221、223、225、227 的流路部 221B、223B、225B、227B，沿顺时针旋转方向流过电流。另外，在分别与端子电极 232、234、236、238 连接的内部导体层 222、224、226、228 的流路部 222B、224B、226B、228B，沿逆时针旋转方向流过电流。

这样，在隔着陶瓷层 212A 相邻的内部导体层 221、222 的流路部 221B 与流路部 222B 之间，电流沿互相相反的方向流动。同样地，在隔着陶瓷层 212A 相邻的内部导体层 222、223 的流路部 222B 与流路部 223B 之间，电流也沿互相相反的方向流动。

同样地，在隔着陶瓷层 212A 相邻的内部导体层 223、224 的流路部 223B 与流路部 224B 之间、在内部导体层 224、225 的流路部 224B 与流路部 225B 之间、在内部导体层 225、226 的流路部 225B 与流路部 226B 之间、在内部导体层 226、227 的流路部 226B 与流路部 227B 之间、在内部导体层 227、228 的流路部 227B 与流路部 228B 之间、在内部导体层 228、221 的流路部 228B 与流路部 221B 之间电流也沿互相相反的方向流动。

接着，说明本实施形态的叠层电容器 210 的作用。

按照本实施形态的叠层电容器 210，在向该叠层电容器 210 通电时，端子电极 231 - 238 内相邻的端子电极之间的极性互不相同，交互为正负极，以此方式流过电流。因此，在各引出部 221A - 228A 分别产生的磁通量在相邻的引出部之间借助于相互反向地流过电流而相互抵消，从而产生了减少等效串联电感的效果。

此外,在本实施形态中,在向该叠层电容器 210 通电时,在隔着陶瓷层 212A 相邻的内部导体层 221~228 的流路部 221B~228B 彼此之间,电流沿互相相反的方向流动。因此,因流过内部导体层的高频电流而产生的磁通量以相互抵消的方式相抵,以此减少叠层电容器 210 本身所具有的寄生电感,从而进一步减少了等效串联电感(ESL)。

此外,在同一内部导体层 221~228 内,在各流路部 221B~228B 将切入部 229A~229D 夹在中间而位于两侧的部分之间,由于电流的流动方向互相相反,从而更进一步减少了等效串联电感。

如上所述,本实施形态的叠层电容器 210 谋求大幅度地降低 ESL,从而大幅度地降低有效电感。其结果是,按照本实施形态,能可靠地抑制电源电压的振动,作为 CPU 的电源用,可得到最佳的叠层电容器 210。

进而,在本实施形态中,由于八种内部导体层 221~228 各配置多个在电介质基体 212 内,所以不仅叠层电容器 210 的静电电容高,而且进一步增强了使磁场相互抵消的作用,更大幅度地减少了电感,进一步减少了 ESL。

接着,使用网络分析仪测量以下各试样的 S 参数的 S_{21} 特性,分别求得各试样的衰减特性。首先,说明成为各试样的样品的内容。也就是说,对于电容器来说,以图 9 所示的一般的叠层电容器作为比较例 2,以图 12 所示的实施形态的叠层电容器作为实施例 2。

这里,通过使衰减特性的实测值与图 7 所示的叠层电容器 100 内的等效电路的衰减量一致来算出等效电路的常数。而且,从图 15 所示的各试样的衰减特性的数据可知,实施例 2 的谐振点不同于比较例 2 的 4.5MHz,为 15MHz,而且在 15MHz 以上的高频下,实施例 2 的衰减量与比较例 2 相比,约增大 15dB。因此,由该数据可理解,在实施例中看到了高频特性的改善。

另外,关于用阻抗分析仪测量并计算得到的 ESL 的结果,与比较例 2 的 845.3pH 相比,在实施例 2 中大幅度降低至 105.2pH。再有,关于等效串联电阻(ESR),在比较例 2 中为 5.5m Ω ,与此相对照,在实施例 2 中为 8.2m Ω 。

关于这里所用的各试样的尺寸,如图 9 和图 12 所示,宽度 W 和长度 L 为:对比较例 2 和实施例 2 而言,均为 W = 1.25mm, L = 2.0mm。

另外, 试验用的各试样的静电电容在比较例 2 中为 $1.00\ \mu\text{F}$, 在实施例 2 中为 $0.98\ \mu\text{F}$ 。

再有, 在上述实施形态的叠层电容器 210 中, 形成具有八种内部导体层的结构, 但层数并不限定于实施形态中所示的数目, 还可增多。另外, 在上述实施形态中, 相邻端子电极之间为互不相同的极性, 但因此互相相向的端子电极之间也为互不相同的极性, 以此种方式在上述实施形态中配置内部导体层。

第三实施形态

图 16 至图 21 示出了本发明的叠层电容器的第三实施形态即叠层陶瓷电容器 (以下仅称为叠层电容器) 310。如这些图所示, 将多块电介质片即生陶瓷片 (焙烧后则成为陶瓷层 312A) 层叠起来的叠层体加以焙烧得到长方体形状的烧结体, 该叠层电容器 310 具有该烧结体即电介质基体 312 作为主要部分。

如图 16 和图 18 所示, 在该电介质基体 312 内的陶瓷层 (电介质层) 312A 的层叠方向 Z 中的规定的高度位置, 配置以 X 轴和 Y 轴构成平面的面状的第一内部导体层 321。在形成该第一内部导体层 321 的陶瓷层 312A 上, 按照与第一内部导体层 321 绝缘的图形, 在同一平面的 X 轴方向以规定间隔邻接地形成第五内部导体层 325。

通过夹持陶瓷层 312A 在第一内部导体层 321 和第五内部导体层 325 的层叠方向 Z 的下方, 第二内部导体层 322 和第六内部导体层 326 按照分别与第一内部导体层 321 和第五内部导体层 325 对应的图形形成。

通过夹持陶瓷层 312A 在第二内部导体层 322 和第六内部导体层 326 的层叠方向 Z 的下方, 第三内部导体层 323 和第七内部导体层 327 按照分别与第二内部导体层 322 和第六内部导体层 326 对应的图形形成。

通过夹持陶瓷层 312A 在第三内部导体层 323 和第七内部导体层 327 的层叠方向 Z 的下方, 第四内部导体层 324 和第八内部导体层 328 按照分别与第三内部导体层 323 和第七内部导体层 327 对应的图形形成。

通过夹持陶瓷层 312A 在第四内部导体层 324 和第八内部导体层 328 的层叠方向 Z 的下方, 与上述一样, 第一~第四内部导体层 321~

324 和第五~第八内部导体层 325~328 的组按照这些顺序按多个组配置。作为这些导体层 325~328 的材料,不仅被认为是贱金属,即镍、镍合金、铜或铜合金,而且被认为是以这些金属为主成分的材料。

在这些第一~第八内部导体层 321~328 上分别形成至少一个切入部 329A1~329D2,在各自的内部导体层上利用各自的切入部,形成电流折返流动的流路部 321B~328B。

在本实施形态中,在第一、第五、第三和第七内部导体层 321、325、323、327 上所形成的切入部 329A1、329C2、329C1、329A1 略呈 L 字形。另外,在第二、第六、第四和第八内部导体层 322、326、324、328 上所形成的切入部 329B1、329D2、329D1、329B2 略呈直线形。

切入部 329A1 与切入部 329A2 为相同的图形,切入部 329B1 与切入部 329B2 为相同的图形,切入部 329C1 与切入部 329C2 为相同的图形,切入部 329D1 与切入部 329D2 为相同的图形。

这些切入部 329A1~329D2 在各内部导体层相互之间形成为以下的对称关系。即,第一内部导体层 321 和第三内部导体层 323 有对这些导体层的中心呈点对称的平面图形形状。另外,第二内部导体层 322 和第四内部导体层 324 有对这些导体层的中心呈点对称的平面图形形状。

第五内部导体层 325 和第七内部导体层 327 有对这些导体层的中心呈点对称的平面图形形状。第六内部导体层 326 和第八内部导体层 328 有对这些导体层的中心呈点对称的平面图形形状。

此外,第一内部导体层 321 和第五内部导体层 325 有对这些导体层之间的间隙的中心呈点对称的平面图形形状。第二内部导体层 322 和第六内部导体层 326 有对这些导体层之间的间隙的中心呈点对称的平面图形形状。

第三内部导体层 323 和第七内部导体层 327 有对这些导体层之间的间隙的中心呈点对称的平面图形形状。第四内部导体层 324 和第八内部导体层 328 有对这些导体层之间的间隙的中心呈点对称的平面图形形状。

通过在内部导体层上设置切入部 329A1~329D2,使之呈这样的平面图形形状,在隔着陶瓷层(电介质层)312A 沿层叠方向 Z 相邻的内部导体层的流路部相互之间,电流沿互相相反的方向流动。而且,在

位于同一平面的相邻的内部导体层相互之间，电流也沿互相相反的方向流动。

第一内部导体层 321 有第一引出部 321A，该第一引出部朝向图 17 所示的电介质基体 312 的第一侧面 312B 引出。第五内部导体层 325 有第五引出部 325A，该第五引出部朝向与电介质基体 312 的第一侧面 312B 相反的第三侧面 312D 引出。

第二内部导体层 322 有第二引出部 322A，该第二引出部朝向电介质基体 312 的第一侧面 312B 在与第一引出部 321A 不同的位置处引出。第六内部导体层 326 有第六引出部 326A，该第六引出部朝向电介质基体 312 的第三侧面 312D 在与第五引出部不同的位置处引出。

第三内部导体层 323 有第三引出部 323A，该第三引出部朝向电介质基体 312 的上述第三侧面 312D 在与第五引出部 325A 和第六引出部 326A 不同的位置处引出。第七内部导体层 327 有第七引出部 327A，该第七引出部朝向电介质基体 312 的第一侧面 312B 在与第一引出部 321A 和第二引出部 322A 不同的位置处引出。

第四内部导体层 324 有第四引出部 324A，该第四引出部朝向电介质基体 312 的第三侧面 312D 在与第三引出部 323A、第五引出部 325A 和第六引出部 326A 不同的位置处引出。第八内部导体层 328 有第八引出部 328A，该第八引出部朝向电介质基体 312 的第一侧面 312B 在与第一引出部 321A、第二引出部 322A 和第七引出部 327A 不同的位置处引出。

这些第一~第八引出部 321A~328A 各自的宽度与各内部导体层 321~328 中的流路部 321B~328B 的宽度相等或在其之下。

如图 17 所示，电介质基体是具有与第一侧面 312B 和第三侧面 312D 不同的第二侧面 312C 和第四侧面 312E 的长方体形状。第一侧面 312B 和第三侧面 312D 的宽度比第二侧面 312C 和第四侧面 312E 的宽度要宽。例如在本实施形态中，侧面 312C、312E 的宽度 W 例如为 1.25mm，与此相对照，引出各引出部 321A~328A 的两个侧面 312B、312D 的长度 L 例如为 2.0mm。

在电介质基体 312 的第一侧面 312B，安装如图 16 所示的与第一引出部 321A 连接的第一端子电极 331、与第二引出部 322A 连接的第二端子电极 332、与第七引出部 327A 连接的第七端子电极 337、与第

八引出部 328A 连接的第八端子电极 338。

在电介质基体 312 的第三侧面 312D，安装与第三引出部 323A 连接的第三端子电极 333、与第四引出部 324A 连接的第四端子电极 334、与第五引出部 325A 连接的第五端子电极 335、与第六引出部 326A 连接的第六端子电极 336。

这些端子电极 331 ~ 338 仅在电介质基体 312 中的长边一侧的相向的两个侧面 312B 和 312D 上各形成四个，在邻接的端子电极相互之间彼此隔开并绝缘。在第二侧面 312C 和第四侧面 312E 上不形成端子电极。

本实施形态的叠层电容器 310 是内置两个电容器的元件，例如考虑了图 20 所示的电路图那样的使用例子。具体地说，图 20 中靠左侧的端子电极 331、332、333、334 与左侧的电源 341 和 CPU343 连接。即，端子电极 331、333 被连接在 CPU343 的一端与电源 341 之间，另外，端子电极 332、334 在与 CPU343 的另一端连接的同时接地。

此外，图 20 中靠右侧的端子电极 335、336、337、338 与右侧的电源 342 和 CPU344 连接。即，端子电极 335、337 被连接在 CPU344 的一端与电源 342 之间，另外，端子电极 336、338 在与 CPU344 的另一端连接的同时接地。

因此，如图 19 中示出的等效电路所示，端子电极 331、333、335、337 与端子电极 332、334、336、338 以互相相反的极性被使用。例如，如图 17 和图 19 所示，在跟前一侧的侧面 312B 的每隔一个的端子电极 331、337 为+极的同时，每隔一个的端子电极 332、338 为-极。另外，在深度一侧的侧面 312D 的每隔一个的端子电极 333、335 为+极的同时，每隔一个的端子电极 334、336 为-极。这时，如图 16 的箭头所示的电流的方向那样，流过电流。

也就是说，在分别与端子电极 331、333、335、337 连接的内部导体层 321、323、325、327 的流路部 321B、323B、325B、327B，沿顺时针旋转方向流过电流。另外，在分别与端子电极 332、334、336、338 连接的内部导体层 322、324、326、328 的流路部 322B、324B、326B、328B，沿逆时针旋转方向流过电流。

如上所述，在电介质基体 312 的靠左侧部分，在隔着陶瓷层 312A 相邻的内部导体层 321、322 的流路部 321B 与流路部 322B 之间，电流

沿互相相反的方向流动。同样地，在隔着陶瓷层 312A 相邻的内部导体层 322、323 的流路部 322B 与流路部 323B 之间，电流也沿互相相反的方向流动。

同样地，在隔着陶瓷层 312A 相邻的内部导体层 323、324 的流路部 323B 与流路部 324B 之间、在内部导体层 324、321 的流路部 324B 与流路部 321B 之间，电流也沿互相相反的方向流动。

另一方面，在电介质基体 312 的靠右侧部分，在隔着陶瓷层 312A 相邻的内部导体层 325 - 328 中电流也沿互相相反的方向流动。

接着，说明本实施形态的叠层电容器 310 的作用。

按照本实施形态的叠层电容器 310，分别与八个端子电极 331 - 338 连接的八种内部导体层 321 - 328 在同一面上各配置两种。另外，在本实施形态中，形成了其内部导体层互相相向地并列配置的两组电容器。

其结果是，在向本实施形态的叠层电容器 310 通电时，在端子电极 331 - 338 内的同一侧面内相邻的端子电极之间的极性互不相同，交互为正负极，以此方式流过电流。因此，在各引出部 321A - 328A 分别产生的磁通量借助于在相邻的引出部之间沿互相相反的方向流动的电流而相互抵消，从而产生了降低等效串联电感的效果。

另外，在向该叠层电容器 310 通电时，在隔着陶瓷层 312A 相邻的内部导体层 321 - 224 的流路部 321B - 324B 之间，以及同样地在内部导体层 325 - 228 的流路部 325B - 328B 之间，电流沿互相相反的方向流动。因此，因流过内部导体层的高频电流而产生的磁通量以相互抵消的方式相抵，以此减少叠层电容器 310 本身所具有的寄生电感，从而进一步减少了等效串联电感 (ESL)。

此外，在同一内部导体层 321 - 328 内，在各流路部 321B - 328B 将切入部 329A - 329D 夹在中间而位于两侧的部分之间，由于电流的流动方向互相相反，从而更进一步减少了等效串联电感。

如上所述，本实施形态的叠层电容器 310 谋求大幅度降低 ESL，从而大幅度地降低有效电感。其结果是，按照本实施形态，能可靠地抑制电源电压的振动，作为 CPU 的电源用，可得到最佳的叠层电容器 310。

另外，在本实施形态中，八种内部导体层 321 - 328 以在同一面上

各排列两种的形式而被分别配置，构成由两组电容器组成的电容器阵列。因此，可以谋求叠层电容器 310 的高功能化。而且，在电介质基体 312 的四个侧面 312B~312E 内所形成的两个长的侧面 312B、312D，与内部导体层的引出部连接的端子电极各存在四个，从而可有效地利用所形成的这两个长的侧面 312B、312D。因此，可谋求叠层电容器 310 的小型化。

而且，在本实施形态中，由于八种内部导体层 321~328 各配置多个在电介质基体 312 内，所以不仅叠层电容器 310 的静电电容高，而且进一步增强了使磁场相互抵消的作用，更大幅度地减少了电感，进一步减少了 ESL。

接着，使用网络分析仪测量以下各试样的 S 参数的 S_{21} 特性，分别求得各试样的衰减特性。首先，说明成为各试样的样品的内容。也就是说，对于电容器来说，以图 9 所示的一般的现有的叠层电容器作为比较例 3，以图 17 所示的实施形态的叠层电容器作为实施例 3。

这里，通过使衰减特性的实测值与图 7 所示的叠层电容器 100 内的等效电路的衰减量一致来算出等效电路的常数。而且，从图 21 所示的各试样的衰减特性的数据可知，谐振点在比较例 3 中约为 18MHz，与此相对照，在实施例 3 中高达约 43 MHz，而且，在 40MHz 以上的高频下，实施例 3 的衰减量与比较例 3 的衰减量相比，约增大 15dB。因此，由该数据可理解，在实施例中看到了高频特性的改善。

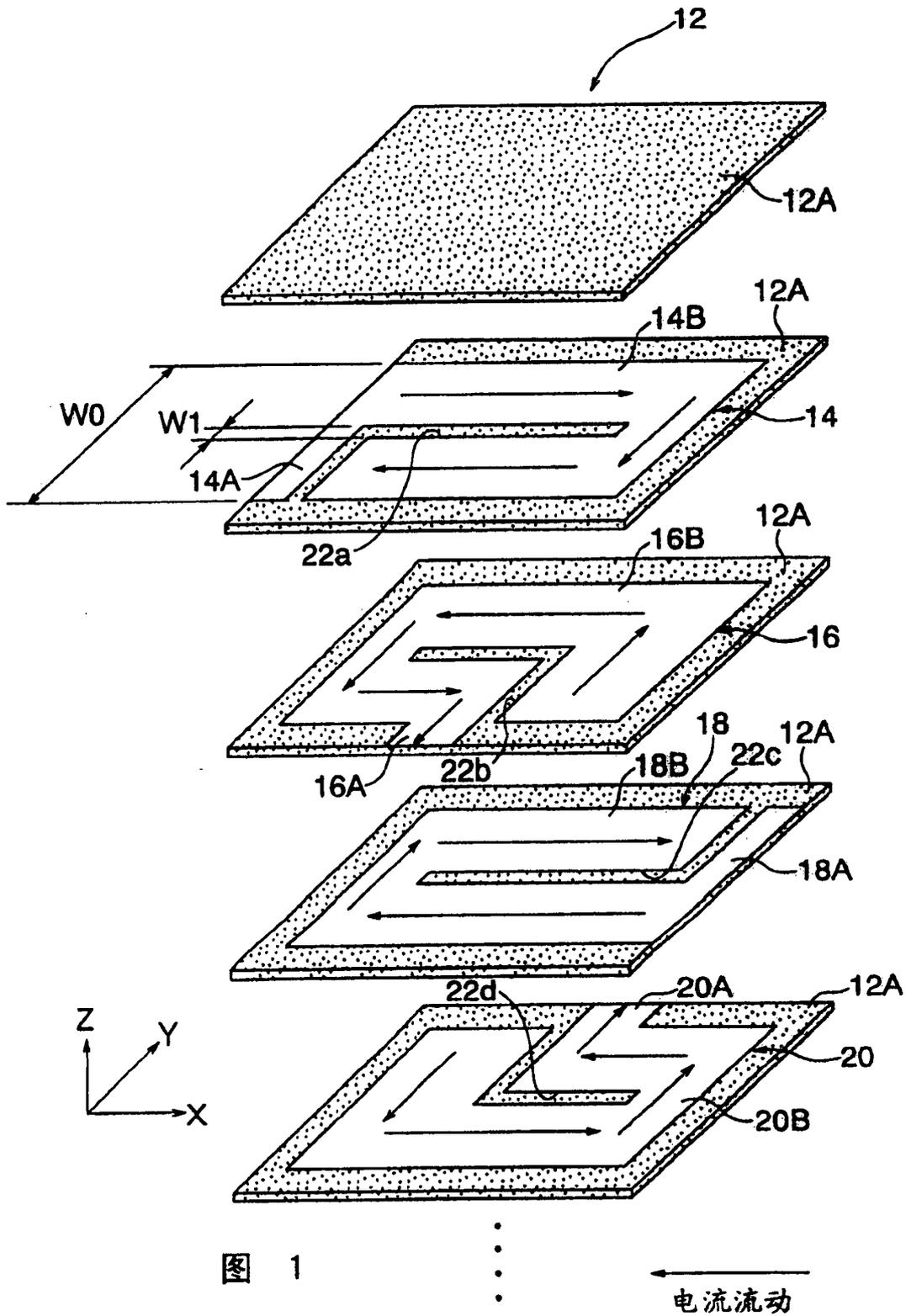
再有，关于用阻抗分析仪测量并计算得到的 ESL 的结果，与比较例 3 的 750.5pH 相比，在实施例 3 中大幅度降低至 135.2pH。再有，关于等效串联电阻 (ESR)，在比较例 3 中为 20.5m Ω ，与此相对照，在实施例 3 中为 24.8m Ω 。

关于这里所用的各试样的尺寸，如图 17 和图 9 所示，宽度 W 和长度 L 为：对比较例 3 和实施例 3 而言，均为 $W = 1.25\text{mm}$ ， $L = 2.0\text{mm}$ 。另外，试验用的各试样的静电电容在比较例 3 中为 0.105 μF ，在实施例 3 中为 0.102 μF 。

再有，在上述实施形态的叠层电容器 310 中，形成具有八种内部导体层的结构，但层数并不限定于实施形态中所示的数目，还可增多。另外，在上述实施形态中，相邻端子电极之间为互不相同的极性，但因此互相相向的端子电极之间也为互不相同的极性，以此种方式在上

述实施形态中配置内部导体层。

再有，本发明并不限于上述实施形态，可在本发明的范围内进行各种改变。



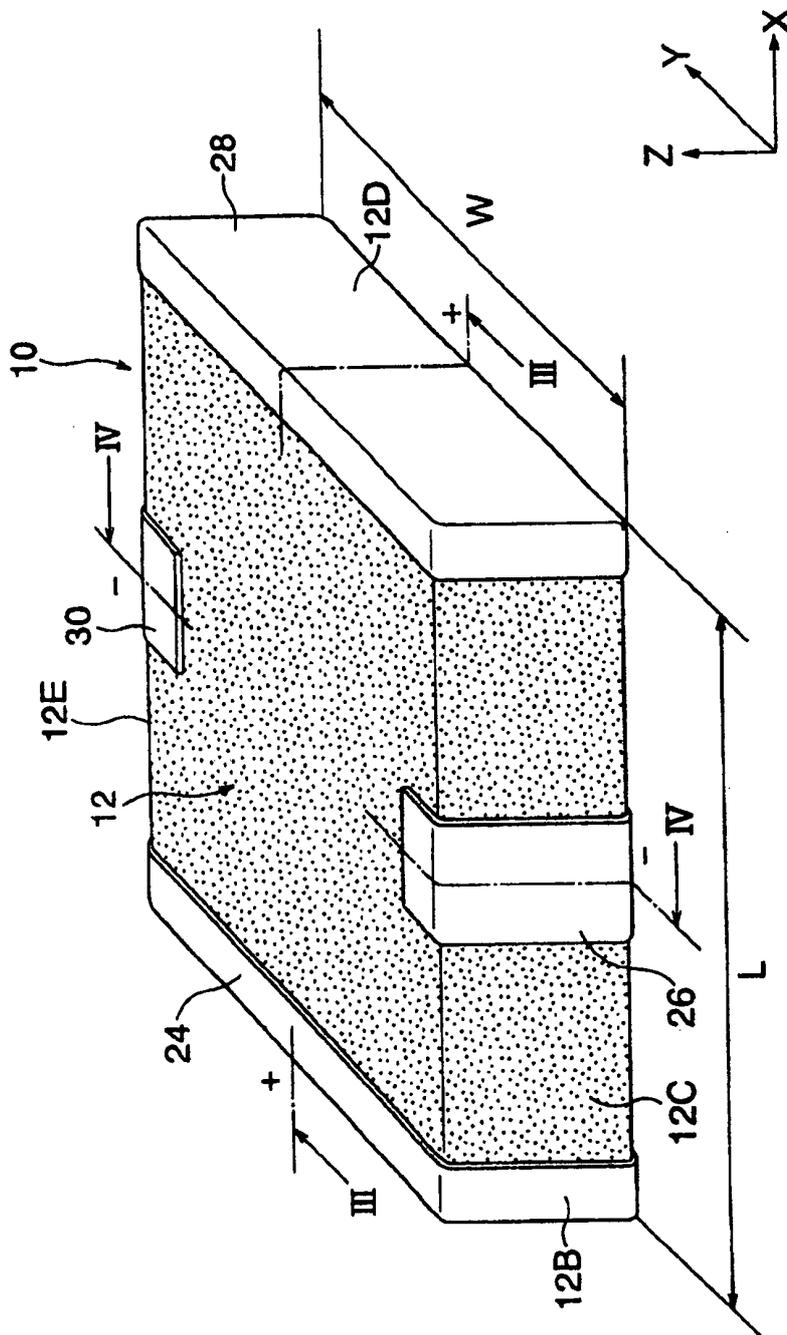


图 2

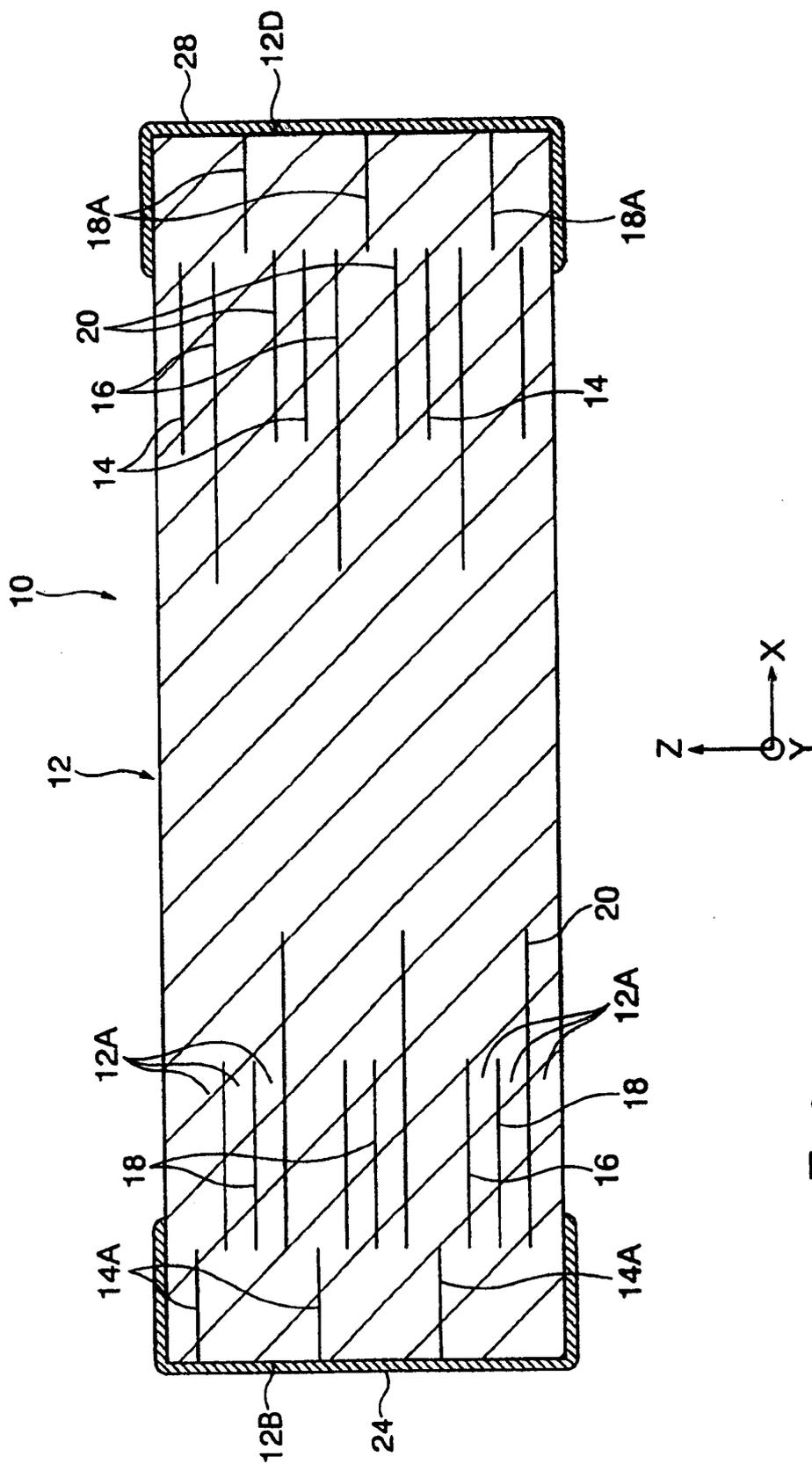


图 3

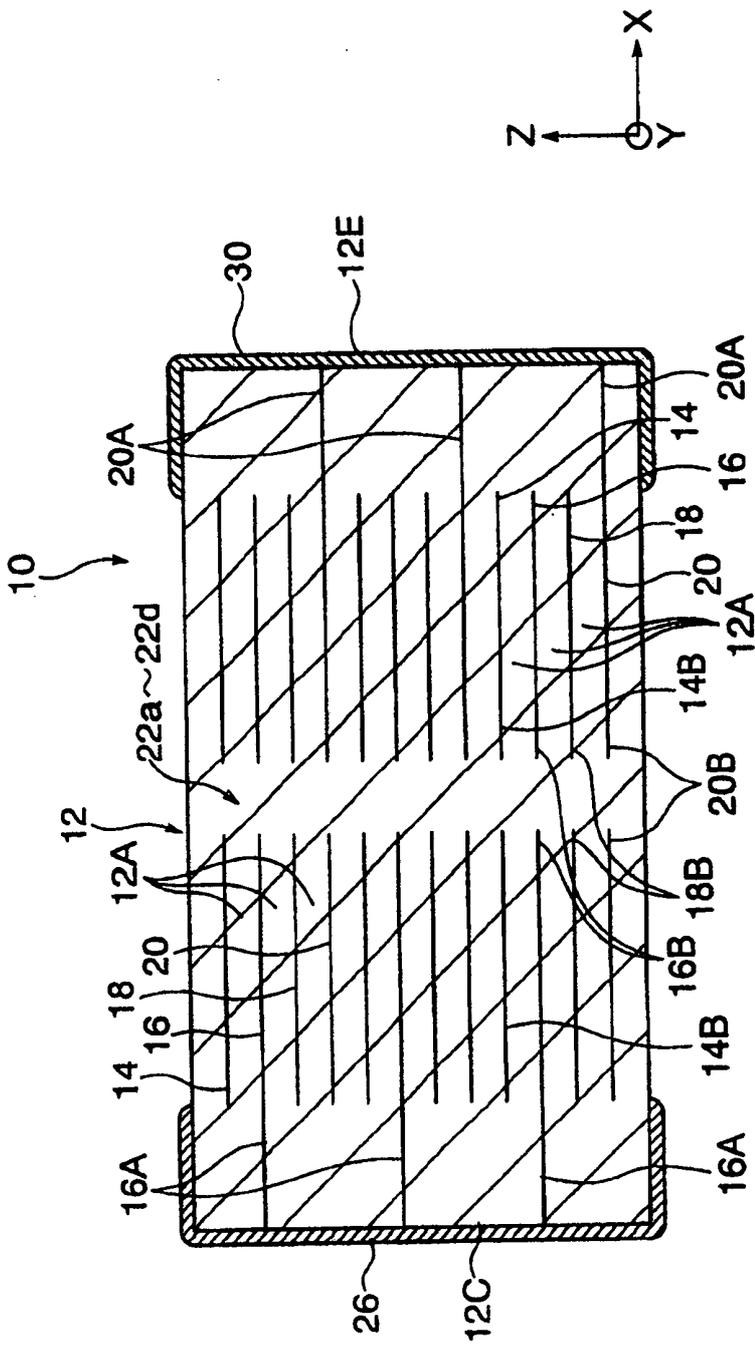


图 4

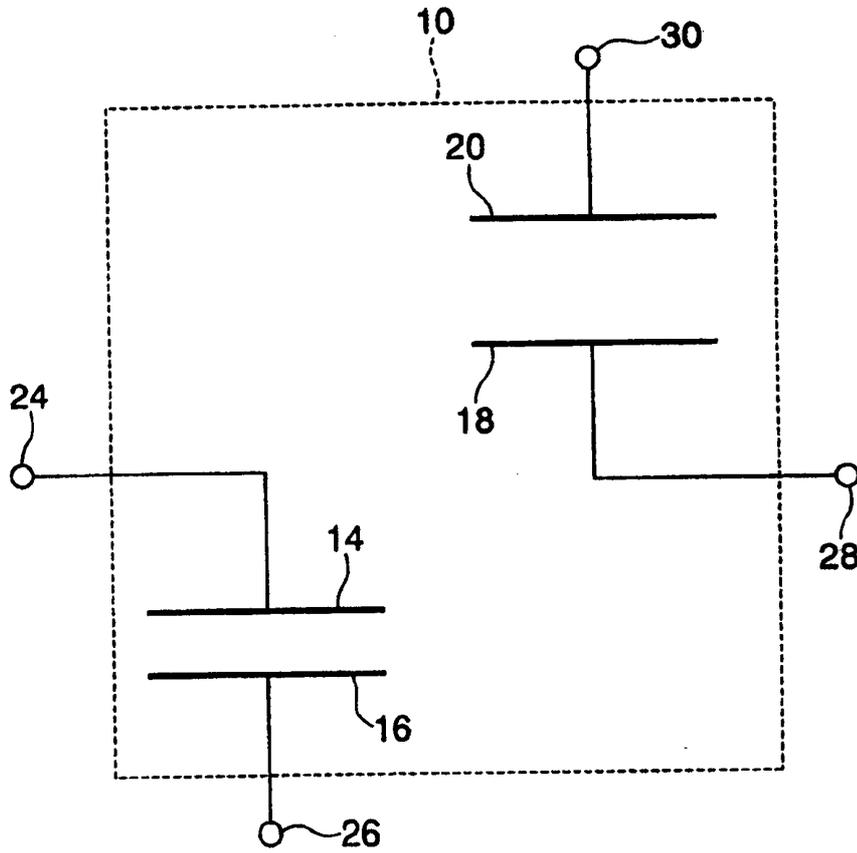


图 5

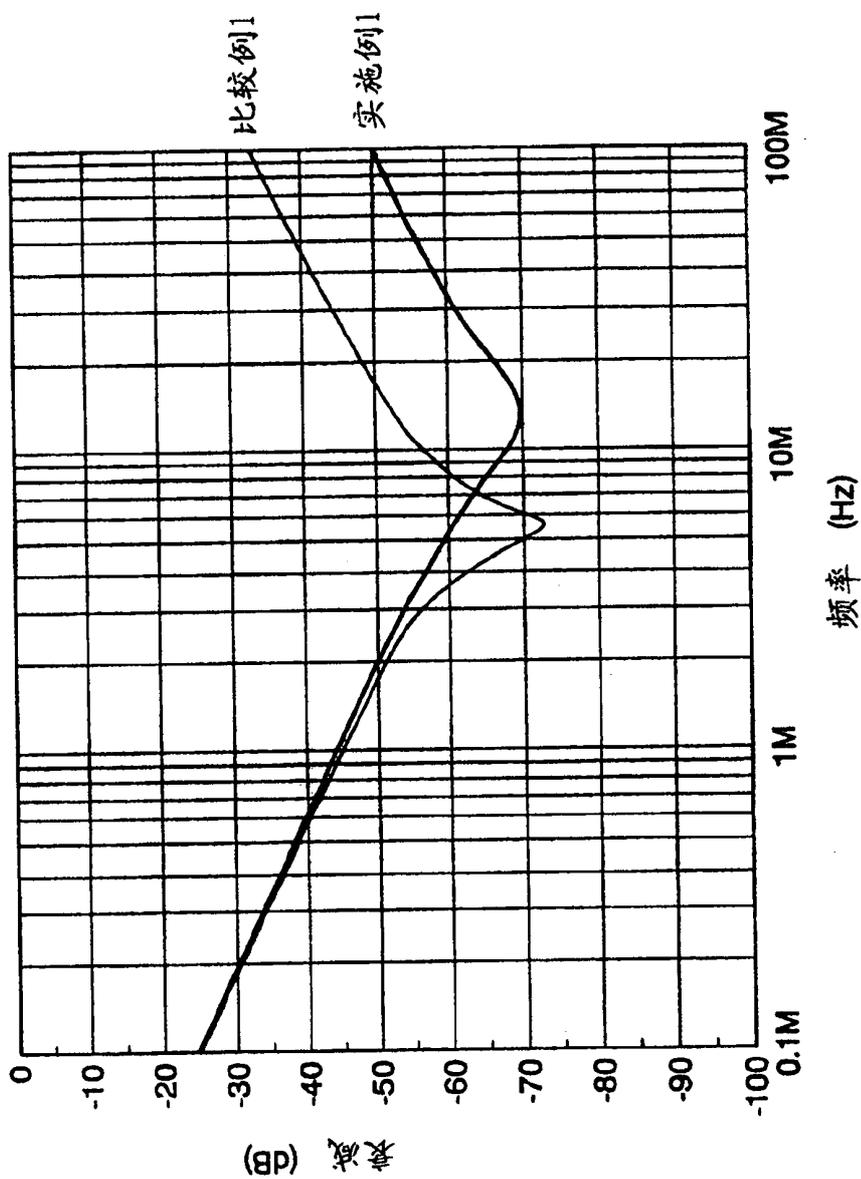
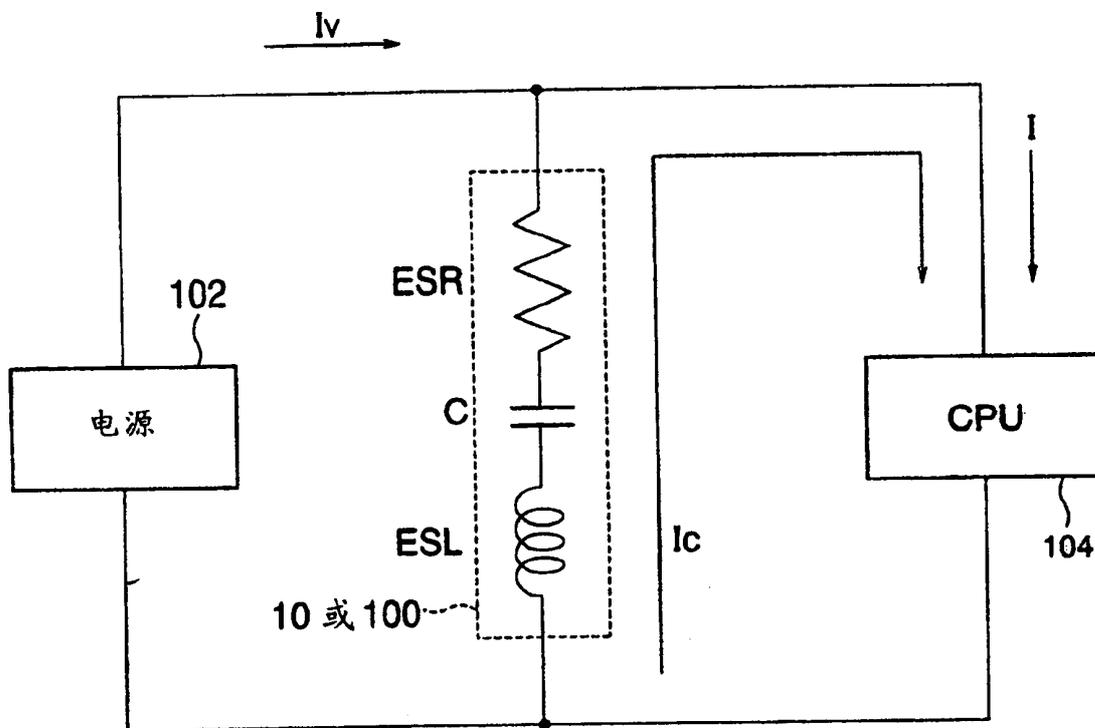


图 6



- I: CPU的驱动电流
- I_c : 来自电容器的放电电流
- I_v : 来自电源的电流
- C: 静电电容
- ESR: 等效串联电阻
- ESL: 等效串联电感

图 7

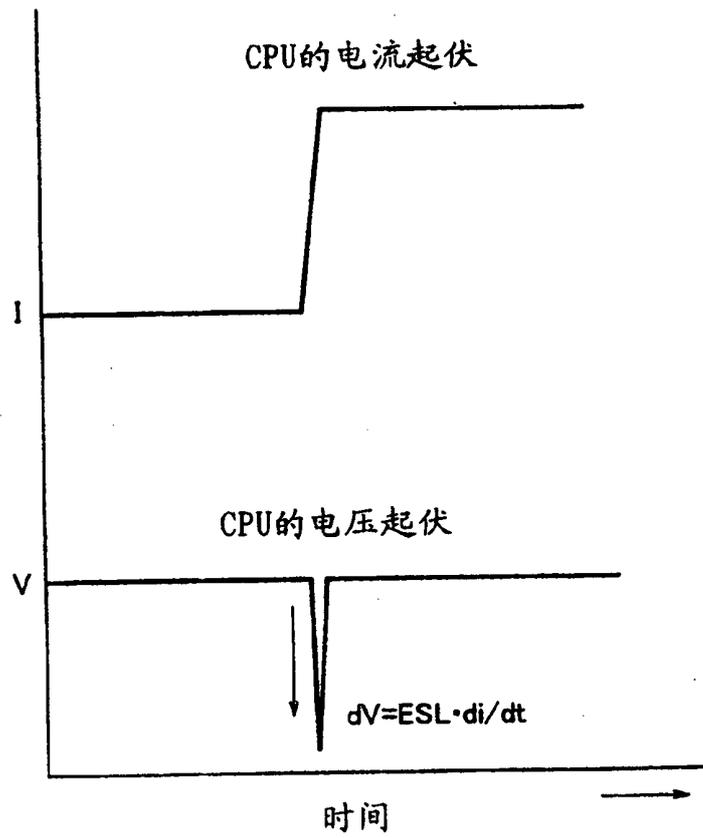


图 8 现有技术

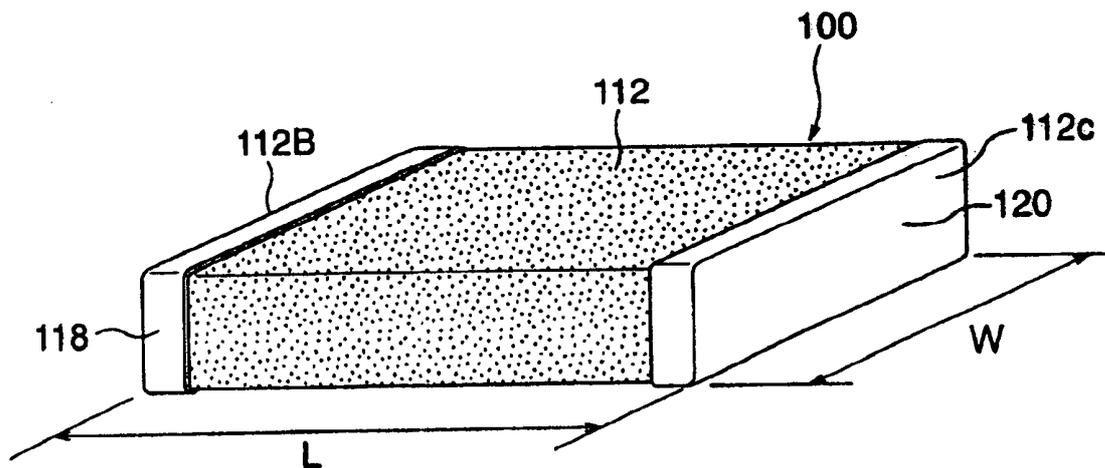


图 9 现有技术

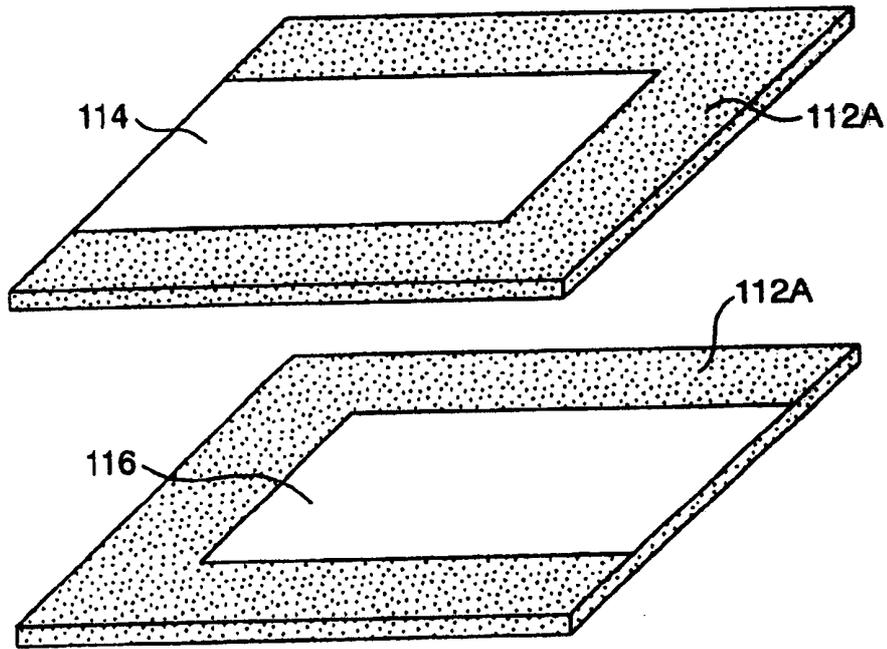


图 10 现有技术

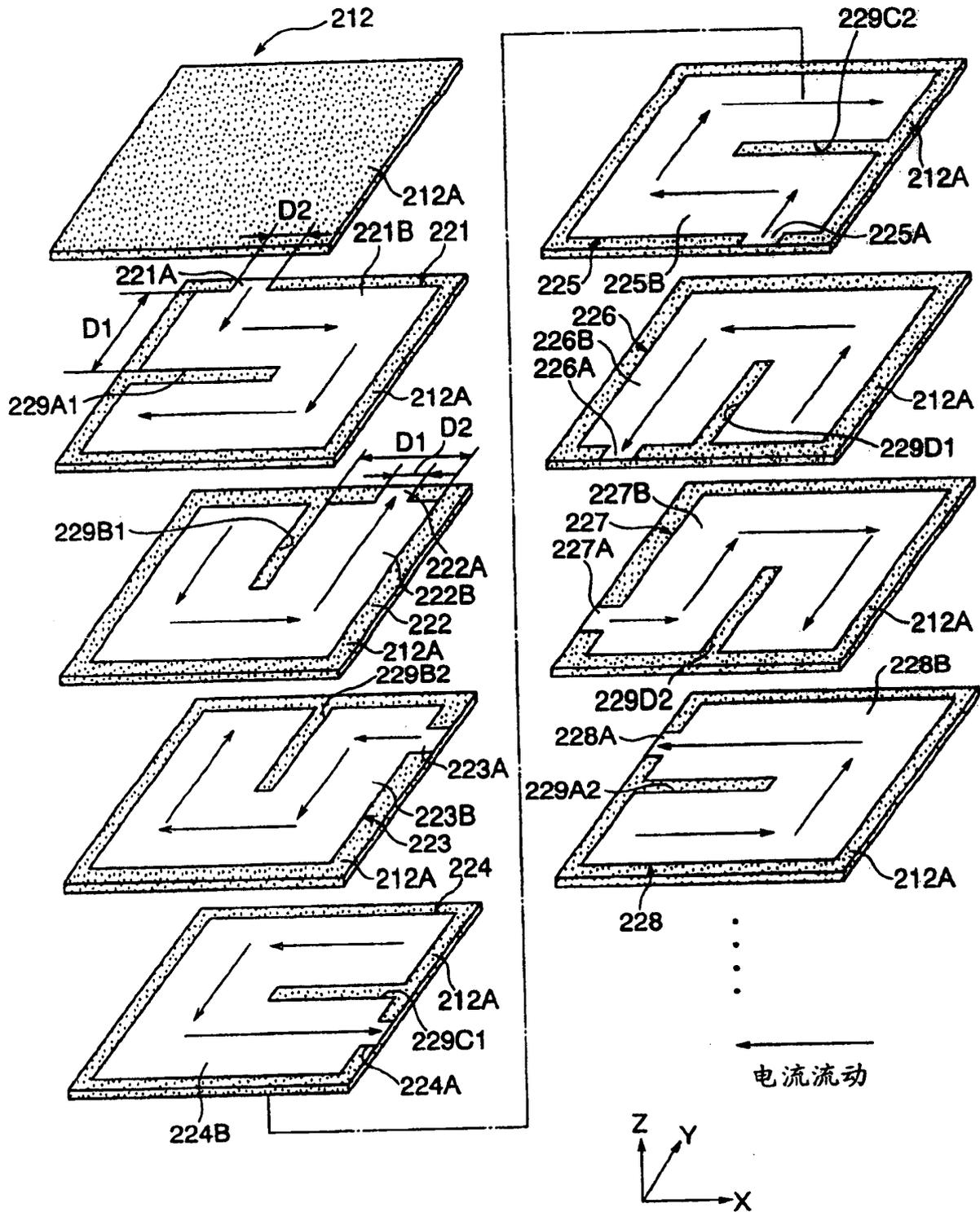


图 11

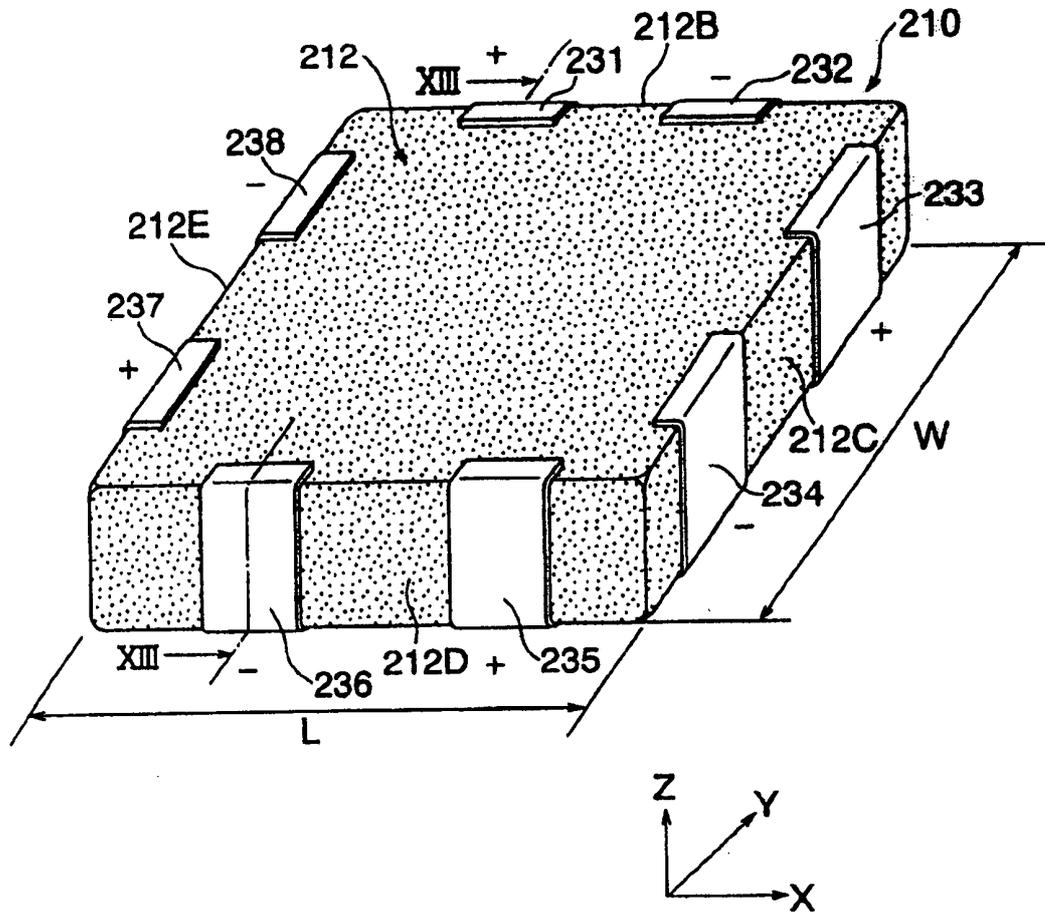


图 12

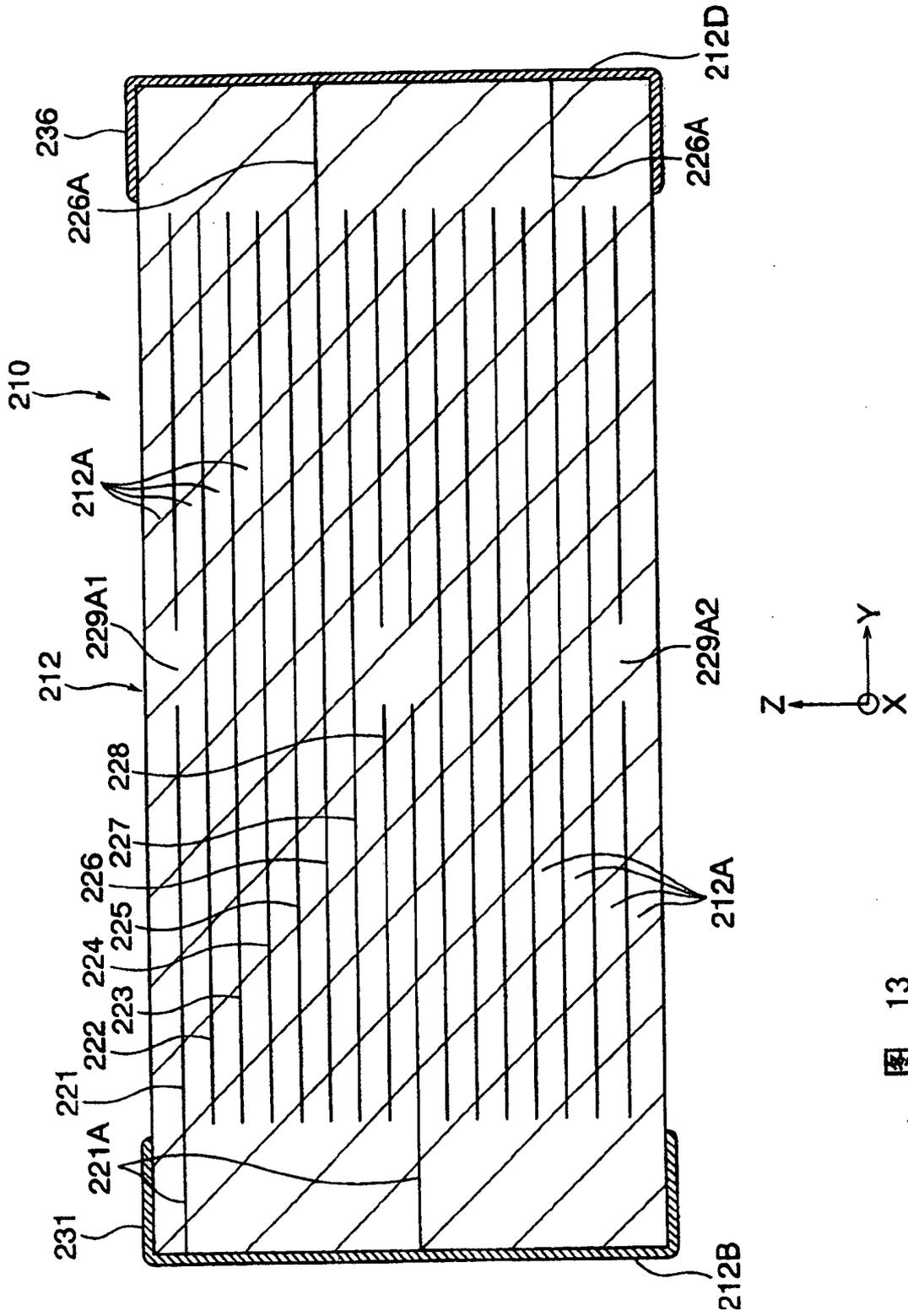


图 13

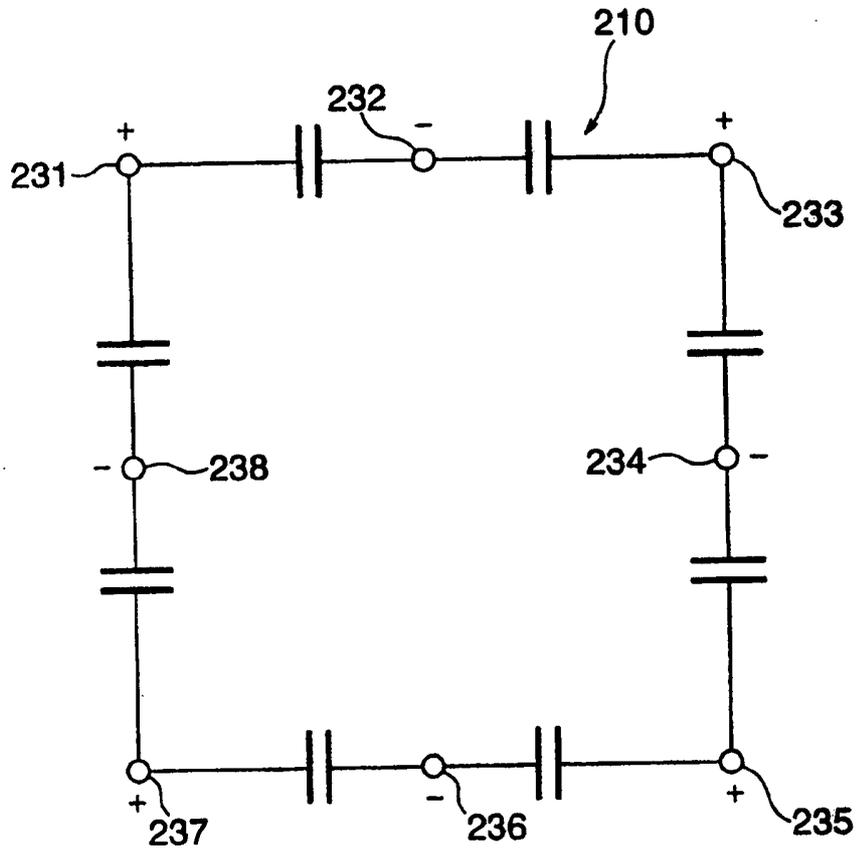


图 14

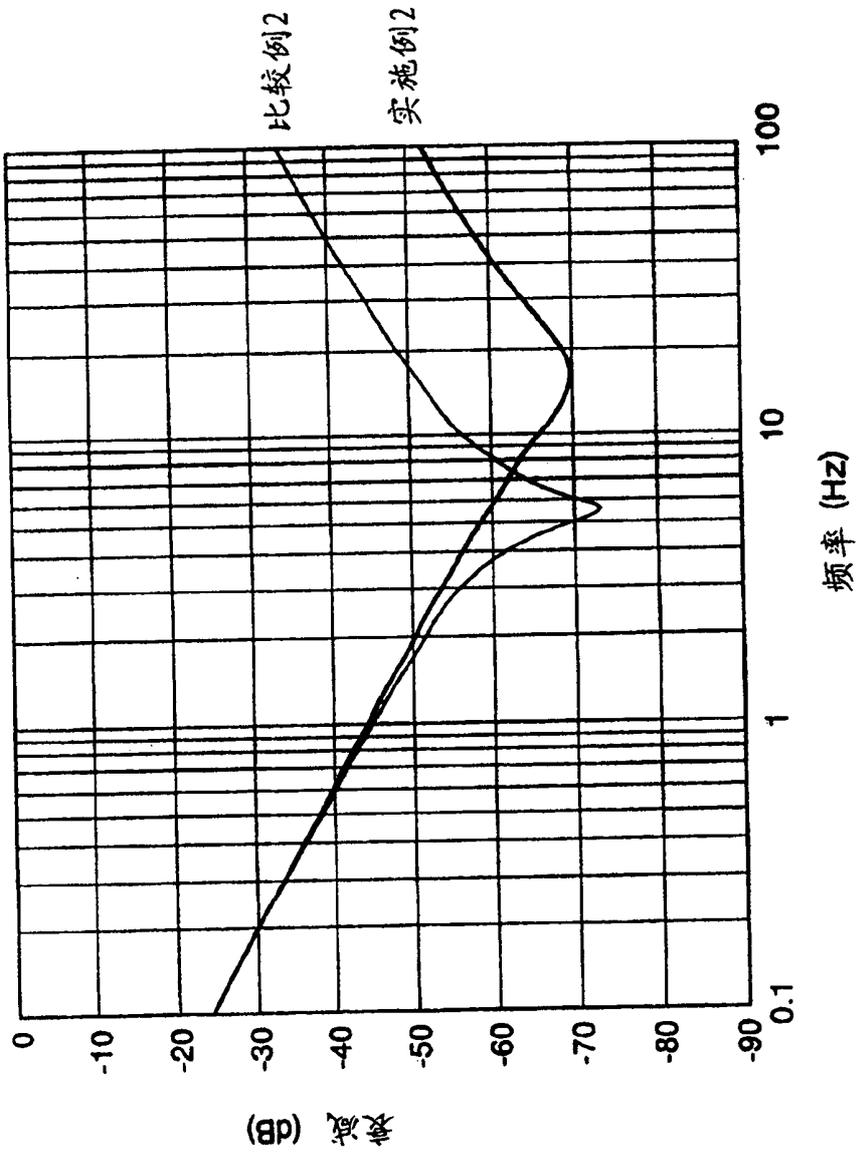


图 15

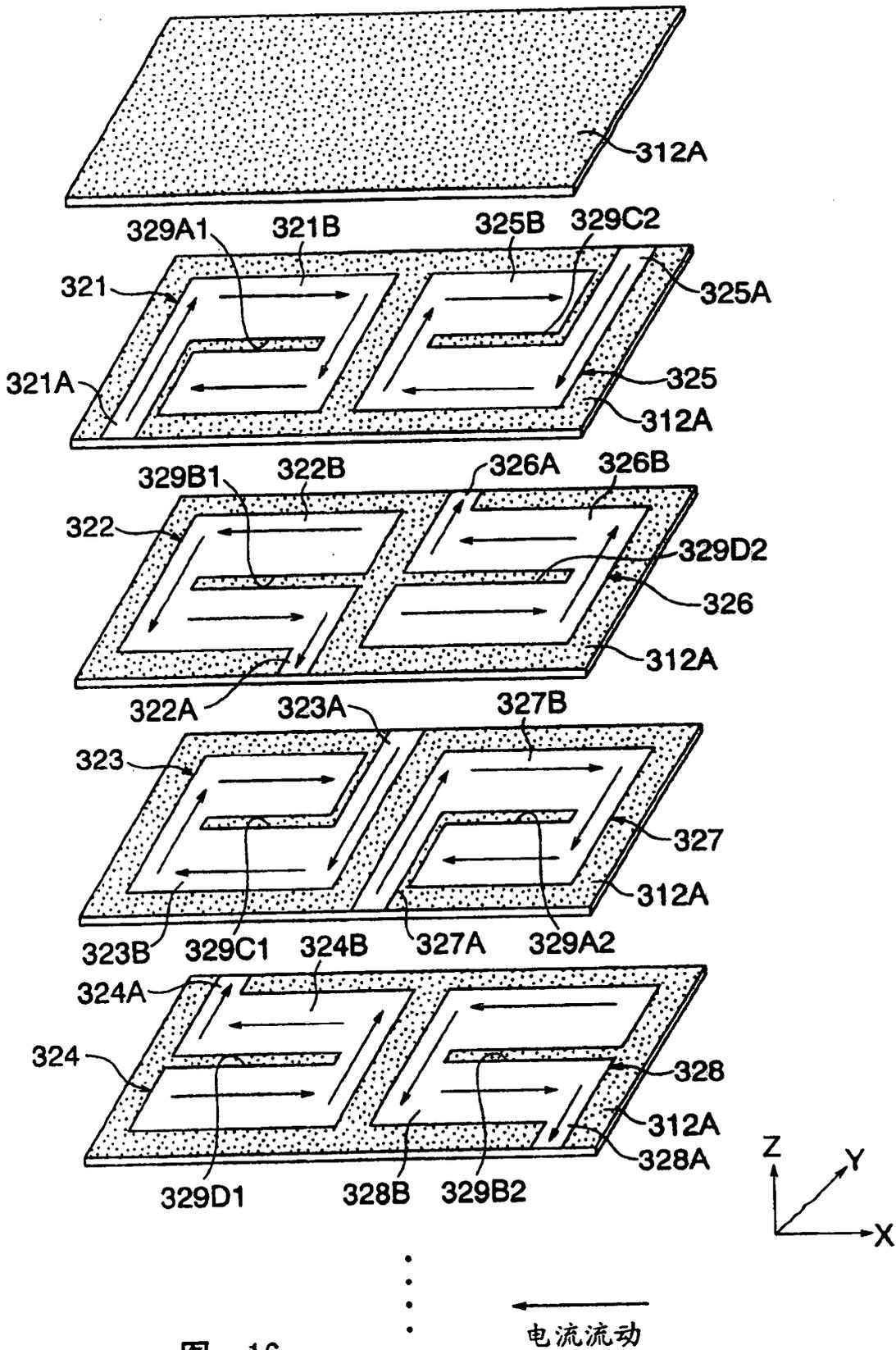


图 16

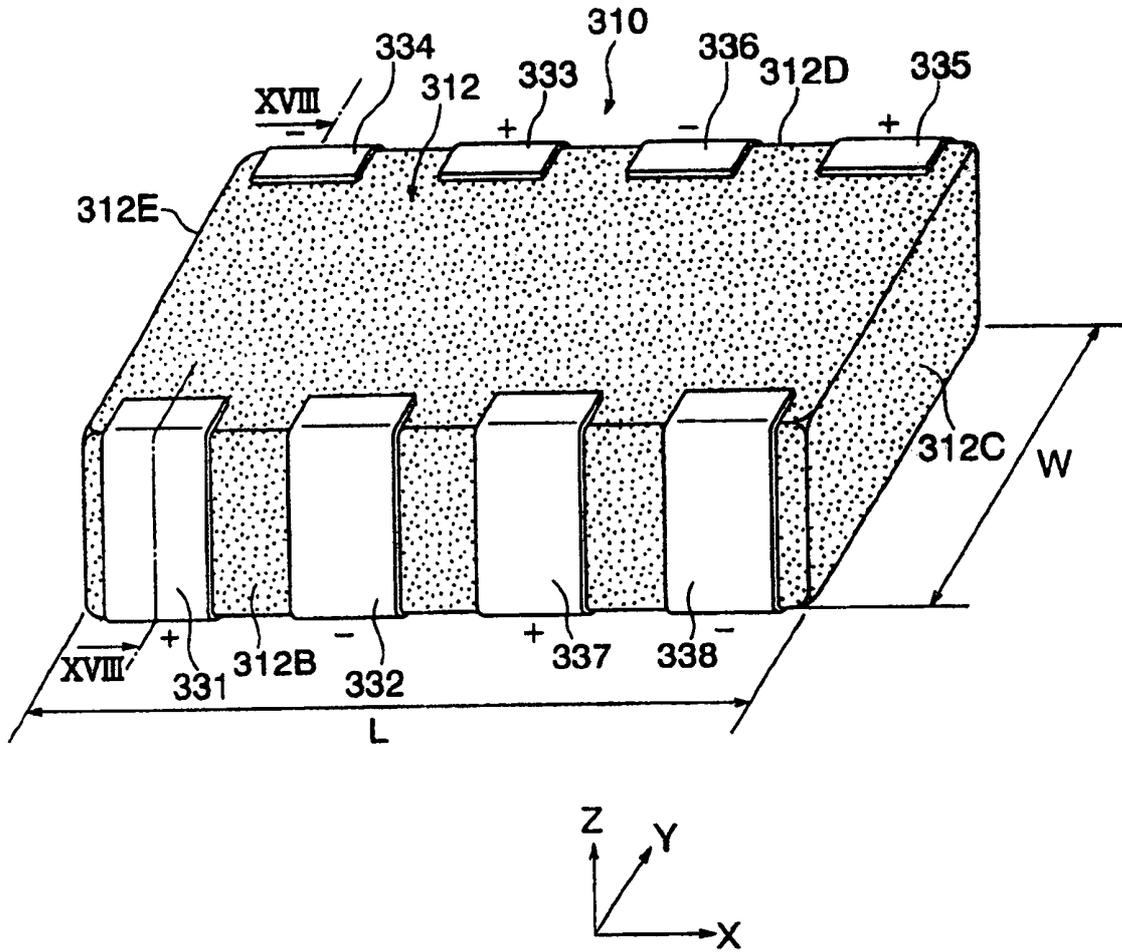


图 17

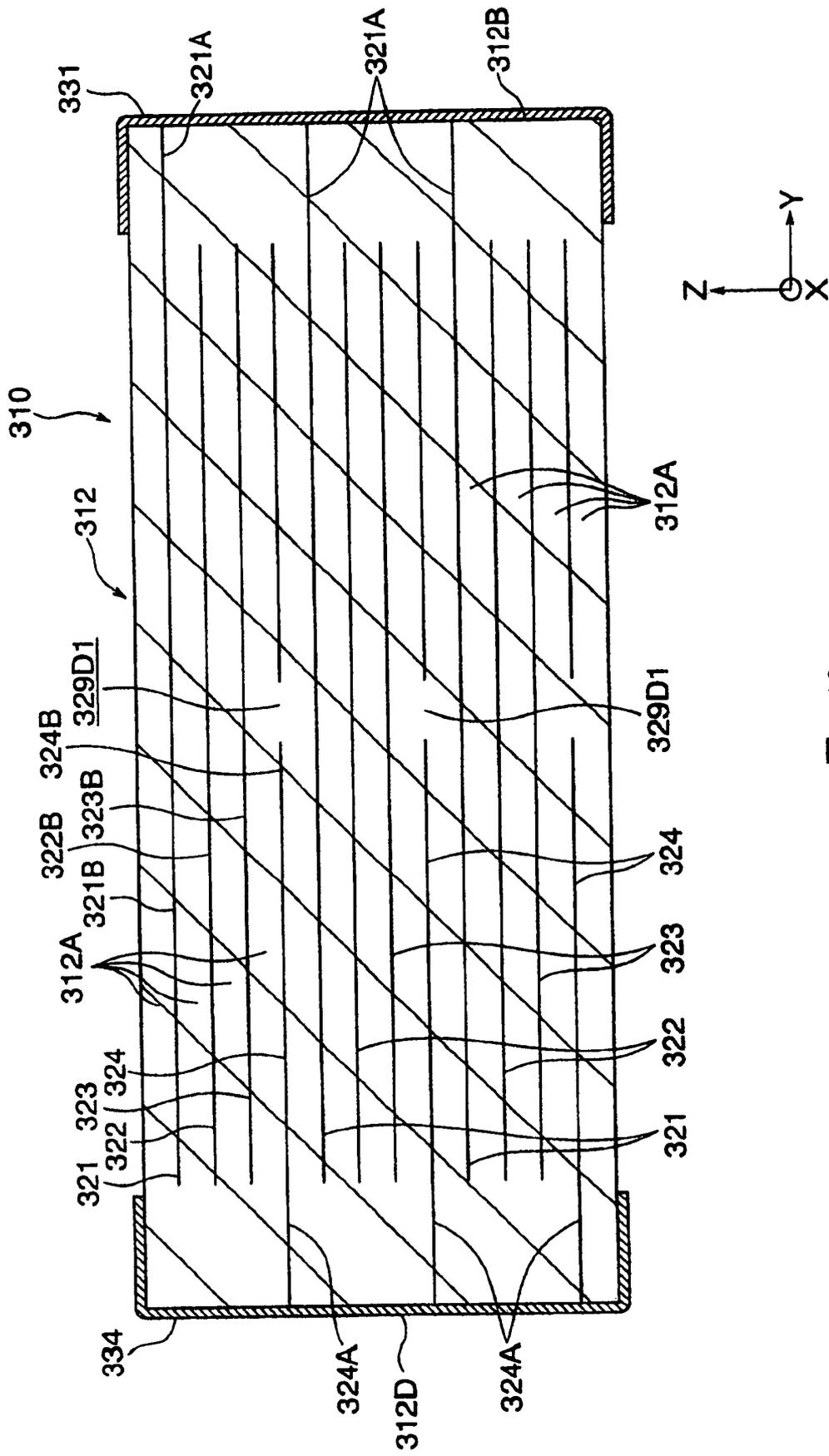


图 18

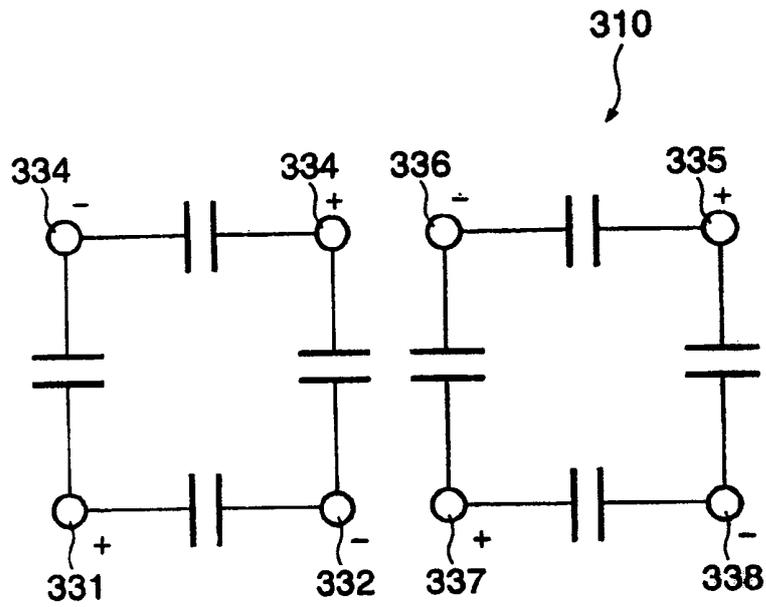


图 19

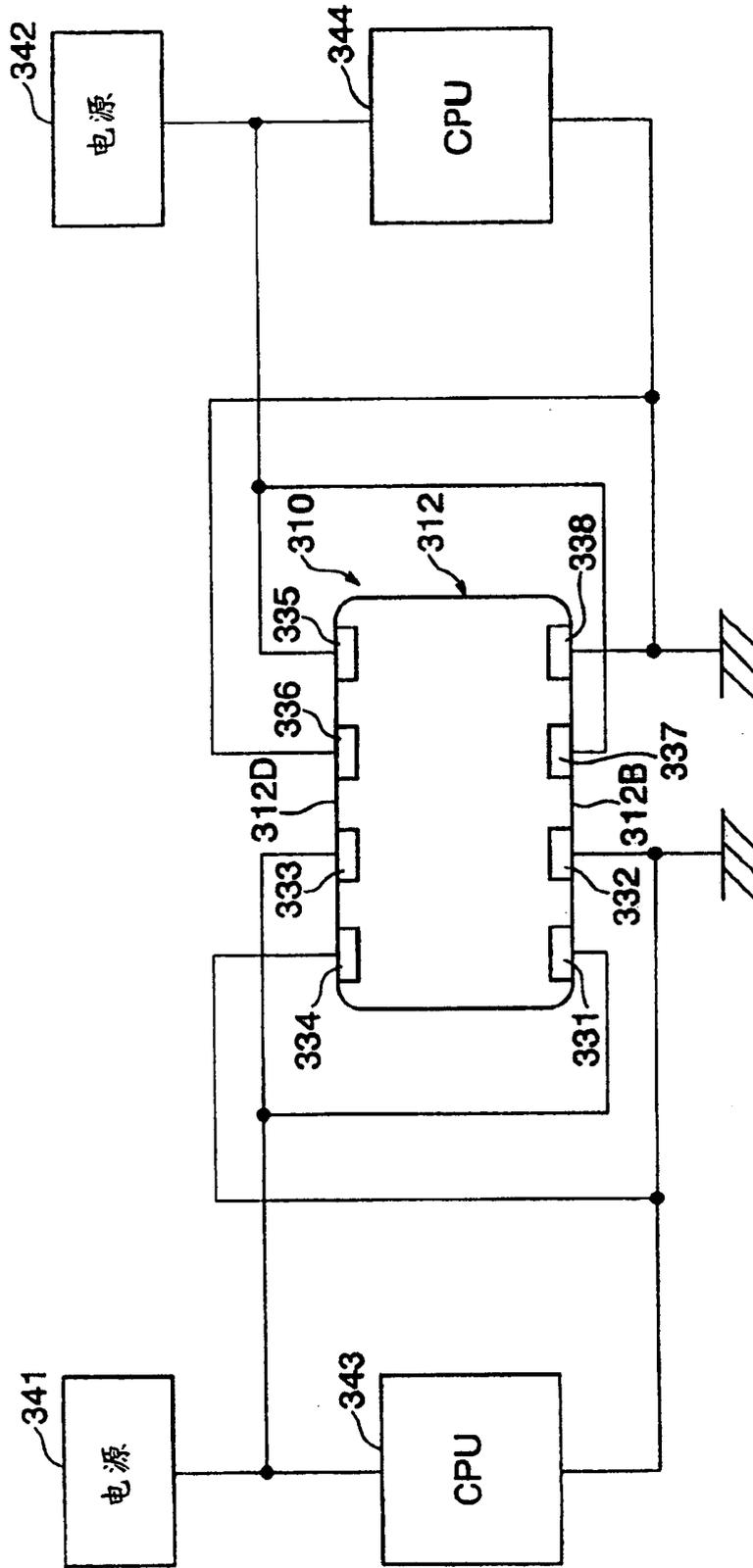


图 20

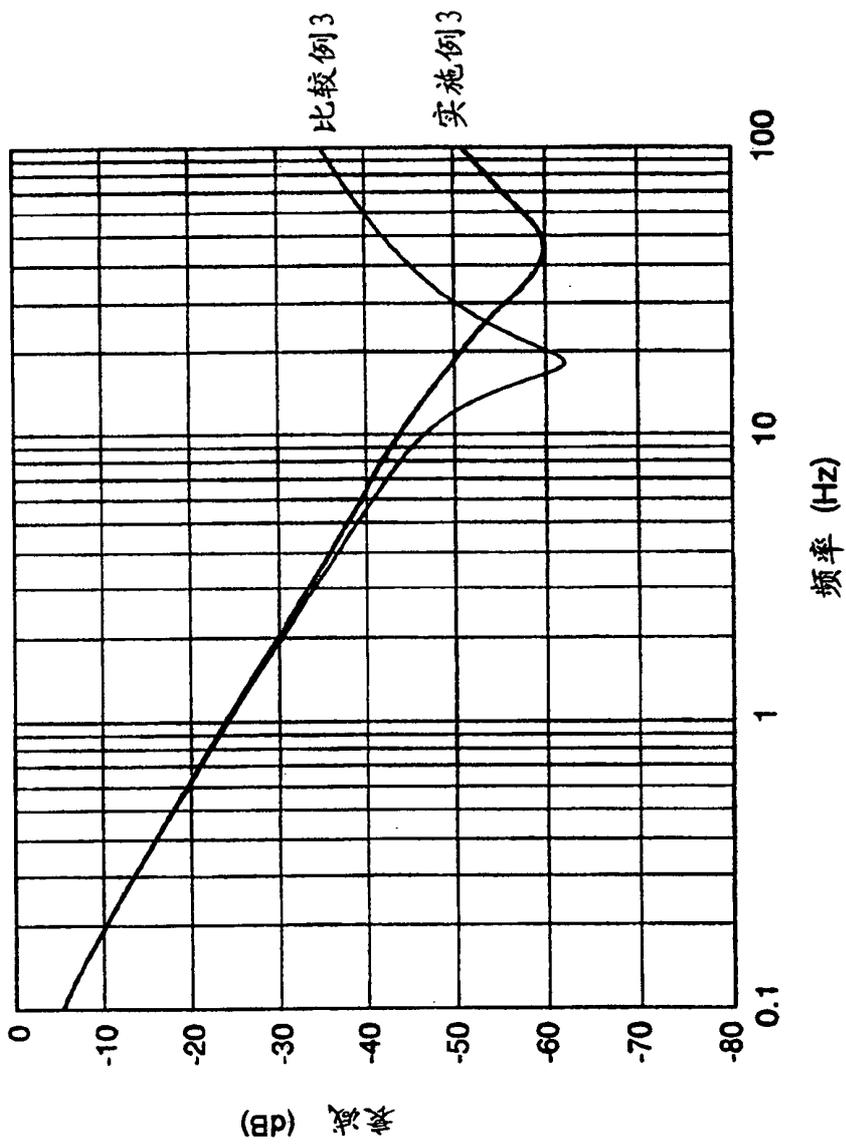


图 21