

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3860500号
(P3860500)

(45) 発行日 平成18年12月20日(2006.12.20)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.		F I		
HO4Q	11/04	(2006.01)	HO4Q	11/04 E
HO4Q	3/52	(2006.01)	HO4Q	3/52 1O1A

請求項の数 21 (全 61 頁)

(21) 出願番号	特願2002-126351 (P2002-126351)	(73) 特許権者	592219824
(22) 出願日	平成14年4月26日(2002.4.26)		アイピーシー インフォメーション システムズ インコーポレイテッド
(62) 分割の表示	特願平4-280842の分割		IPC Information Systems, Inc.
原出願日	平成4年9月25日(1992.9.25)		アメリカ合衆国、コネチカット州 06902、スタンフォード、ステーション プレイス 1、メトロ センター
(65) 公開番号	特開2003-9267 (P2003-9267A)	(74) 代理人	100080333
(43) 公開日	平成15年1月10日(2003.1.10)		弁理士 村田 紀子
審査請求日	平成14年5月23日(2002.5.23)	(72) 発明者	ジョン エム、コットン
(31) 優先権主張番号	07/766047		アメリカ合衆国、コネチカット州 06855、イースト ノーウォルド、アイランド ドライブ トゥエンティワン 1
(32) 優先日	平成3年9月26日(1991.9.26)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 多重回線電話通信に対する分散制御交換ネットワーク

(57) 【特許請求の範囲】

【請求項1】

時分割多重化チャンネル内においてパルス符号変調(PCM)データを搬送する通信リンクを通じて、システム内のアドレス指定可能な位置を相互接続するための複数のスイッチ素子を有する電話交換システムにおいて、前記スイッチ素子はそれぞれ、

入力データを受信するためのインプットおよび出力データを送信するためのアウトプットを有する複数のスイッチポートと、

複数のアドレス指定可能な位置を有するメモリ手段とを有し、

前記スイッチポートからの前記入力データは前記アドレス指定可能なメモリ位置のいずれか1つに書き込まれることができ、前記スイッチポートからの出力データは前記アドレス指定可能なメモリ位置のいずれか1つから読み出されることができ、前記スイッチ素子は、さらに、

入力データを書き込みそして出力データを読み出すための前記メモリ位置のアドレスを記憶することができるポインタテーブルを有し、

前記アドレスは前記入力および出力データの各1つに対応しており、前記スイッチ素子は、さらに、

前記入力データが前記メモリ手段内において同一のアドレスを有しているとき、2つまたはそれ以上の入力データの和をとる加算手段と、

スイッチ素子の作動を行い、前記アドレス指定可能な位置のアドレスを処理することによって出力スイッチポートを選択するプロセッサ手段とを有していることを特徴とする

10

20

システム。

【請求項 10】

前記アドレス指定可能な位置が、一義的な論理アドレスコードによって識別されることを特徴とする請求項 9 に記載のデュプレックス通信システム。

【請求項 11】

前記交換ネットワークの前記スイッチ素子がステージ内に配置され、前記電話ターミナルユニットおよび前記電話回線との相互接続が、複数のスイッチ素子を通過し、前記スイッチ素子がそれぞれ、それらを通過する経路を指定することを特徴とする請求項 10 に記載のデュプレックス通信システム。

【請求項 12】

前記交換ネットワークの第 1 のステージが、前記電話ターミナルユニットおよび前記電話回線に対して応答するインターフェイススイッチ素子を含んでいることを特徴とする請求項 11 に記載のデュプレックス通信システム。

【請求項 13】

各インターフェイススイッチにおいて、前記ブリッジポートが、同一のスイッチポートのアウトプットおよびインプットを接続することによって与えられることを特徴とする請求項 12 に記載のデュプレックス通信システム。

【請求項 14】

前記インターフェイススイッチが、前記インターフェイススイッチに結合されたデュプレックスコールにおける各パーティーによって発生せしめられた音声データを減算することができるエコー消去装置を有し、各インターフェイススイッチは、会議モードにおける他のパーティーから音声データを得ることができることを特徴とする請求項 13 に記載のデュプレックス通信システム。

【請求項 15】

前記エコー消去装置が、
確認メッセージを前記ブリッジポートに送る手段と、
前記確認メッセージが送られた時間から、前記確認メッセージが受信された時間までの前記確認メッセージの往復伝送時間遅延を測定する手段とを有し、

前記時間遅延は、会議モードにおける各パーティーによって発生せしめられた音声データの減算のタイミングをとるために使用されることを特徴とする請求項 14 に記載のデュプレックス通信システム。

【請求項 16】

通信リンクを通じて前記ターミナルを相互接続する複数のスイッチ素子を有するデジタル電話交換システムにおけるターミナル間の会議コールを与えるための会議システムにおいて、

交換ネットワークの前記スイッチ素子を経て、前記ターミナルの各 1 つから 1 つのブリッジポートに向けてデータを搬送するための第 1 の経路を指定する手段と、

前記ターミナルから前記ブリッジポートに至る 2 つまたはそれ以上の経路が交差する各スイッチ素子における加算装置を使用可能とする手段とを有し、

前記加算装置は、前記第 1 の経路内を搬送されるデータを加算し、前記ブリッジポートで、前記ターミナルに対応するすべての音声データの和が利用可能であるようにし、

さらに、前記ブリッジポートから前記電話ユニットの各々に向けてデータを搬送するための第 2 の経路を選択的に割り当てる手段を有し、

前記第 2 の経路は、すべての音声データの和を経路指定することができることを特徴とする会議システム。

【請求項 17】

前記ターミナルの各 1 つから前記ブリッジポートに向かうデュプレックス経路が指定されるように、前記第 1 および第 2 の経路が与えられていることを特徴とする請求項 16 に記載の会議システム。

【請求項 18】

10

20

30

40

50

前記ターミナルが複数の電話ターミナルユニットおよび複数の電話回線を有していることを特徴とする請求項 16 に記載の会議システム。

【請求項 19】

前記電話ターミナルユニットが、専用電話回線通信を選択するために使用されるトレーダーキーステーションを有していることを特徴とする請求項 18 に記載の会議システム。

【請求項 20】

前記交換ネットワークの前記スイッチ素子が、ステージ内に配置され、前記電話ターミナルユニットと前記電話回線の間の相互接続が、複数のスイッチ素子を通じて、前記スイッチ素子のそれぞれが、それを通過する経路を指定することを特徴とする請求項 19 に記載の会議システム。

10

【請求項 21】

前記交換素子がそれぞれ、

入力データを受信するためのインプットおよび出力データを送信するためのアウトプットを有する複数のスイッチポートと、

前記入力データを記憶することができる複数のアドレス指定可能なメモリ位置を有するメモリ手段と、

入力データを書き込み、出力データを読み出すための前記メモリ位置のアドレスであって、前記入力および出力データの各 1 つに対応するアドレスを記憶することができるポインタテーブルと、

前記入力データが前記メモリ位置の同一のアドレスを有するとき、2 つまたはそれ以上の入力データを加算する加算手段と、

20

スイッチ素子および前記スイッチポートの作動を行うプロセッサ手段とを有していることを特徴とする請求項 20 に記載の会議システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル交換ネットワーク、特に、多数のボタン電話システムと、多重アナログおよびデジタル回線との間のインターフェイスを有する多重回線電話システムに関するものである。

【0002】

30

【従来の技術】

ときには「トレーダータレット」と呼ばれる、多重回線電話キーステーションは、銀行、証券会社および他の投資会社におけるトレーディングオペレーションのような、高速通信ネットワークにおいて広範に使用されている。この形式の電話機によれば、キーステーション上の単一のキーを押すことによって選択される 1 本の回線によって、多数の電話回線に直接アクセスすることができる。多くのトレーディングルームは、それぞれが多額のドルを含む多くのトランザクションを同時に達成するための、多数の電話キーステーションを含み得る。トレーダータレットは、一般に少なくとも 30 個の回線キーを含んでおり、しばしば数百個の回線キーを含んでいる。トレーダータレットは、通常、回線数が電話機の数よりも多いのに対し、通常の電話キーステーションによって、電話機の数

40

【0003】

各電話キーステーションは、トレーディングルーム内におけるシステムの別の電話キーステーションにアクセスし、多数の外線および専用回線にアクセスする。各電話ユーザーは、会議モードにおいて、同時にいくつかの回線または端末機に接続され得る。

【0004】

典型的なトレーディングトランザクションは、例えば、最適の価格で売買するための望ましい安全性を備えたトレーダーを捜し出すための、高速の一連の短い電話会話を含んでいる。典型的なコールが数秒間続き、単一のトランザクションが進行している間に 1 分間あたり多数のコールが発生する。トレーダーが、システムロード条件と関係なく外線に直接

50

アクセスすることが重要である。

【 0 0 0 5 】

システム全体に及ぶ障害は許容され得ない。なぜなら、このような障害は、たとえ短時間のものであっても、もしこれらがピークトレーディング時に発生すれば、大きなビジネス上の損害を生じさせてしまうからである。加えて、付加的な容量の増大が要求されるとき、システムダウンを生じることなく、望まれるように拡張されうるシステムが必要とされる。一般的なシステム使用を意図された、従来の連続的に拡張可能な電話交換ネットワークの一例が、ギースキン(Giesken)等に与えられた米国特許第4,173,713号およびローレンス(Lawrence)等に与えられた米国特許第4,201,891号に開示されている。

【 0 0 0 6 】

システム全体に及ぶ障害を避けるために、分散アーキテクチャーが本質的であり、これによって、破局的なシステム全体に及ぶ障害が引き起こされ得るシングルポイント障害は存在しなくなる。伝統的なネットワークに対する分散アーキテクチャーが、ファイル(Feil)に与えられた米国特許第Re.31,144号に示されている。デジタル交換ネットワークの分散制御の別の例が、ローレンス(Lawrence)等に与えられた米国特許第4,201,889号、コックス(Cox)等に与えられた米国特許第4,317,962号およびブラウンシュタイン(Braunstein)等に与えられた米国特許第4,998,275号に開示されている。これら一連の特許に開示された技術は、電話デジタル交換ネットワークを制御するための限定された分散処理を有するデジタル交換ネットワークを与える。

【 0 0 0 7 】

複数のプロセッサを備えた高度に分散された処理システムを設計する際の主要な問題は、複数のプロセッサ間の効果的な通信を維持することである。従来のシステムにおいては、システム内の他のプロセッサと通信するために、各プロセッサは、特に、システム内における他のプロセッサのコードネーム、位置、割り当てられたタスクおよびデータフォーマットを含むシステムアーキテクチャーを知っている必要がある。したがって、デジタル交換環境においては、送信プロセッサは、宛先プロセッサがシステム内のどこに物理的に位置していたのかを知り、システムのトポロジーの全体的な知識に基づいて、ネットワークを通じた経路を指定しなければならない。このアプローチは、システムを他のシステムに対して硬直した、融通性のないものにしがちである。さらに、経路指定が既知のアーキテクチャーに基づくこのようなシステムは、システム内の障害のまわりの経路を効果的に見つけ出さない、相対的に融通性のない経路指定を行う傾向がある。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

したがって、本発明の目的は、デジタル時分割多重化技術を用いて、低コストで付加的な特徴およびオプションを備えたより大きなフレキシビリティを達成することである。本発明の別の目的は、米国のT1搬送波またはヨーロッパのCEPT搬送波のようなデジタル回線と、また統合デジタル通信サービス網(ISDN)とコンパチブルなデジタル交換ネットワークを提供することである。

【 0 0 0 9 】

本発明のさらに別の目的は、ネットワーク内の各プロセッサがそのタスクに対して必要なネットワーク情報のみを有しており、したがって、他のすべてのプロセッサの位置の知識を必要としないような独創的なアドレス指定技術を提供することである。本発明のさらに別の目的は、各プロセッサが、宛先がどこにあるのかを直接知ることなく、適当な経路を通じて宛先に向かって情報を伝送することができるような独創的なアドレス指定スキームを提供することである。

【 0 0 1 0 】

【 課題を解決するための手段 】

本発明によるシステムにおいては、デジタル交換ネットワークは、モジュラースイッチ素子を有している。ネットワークは、トレーダタレット、回線、T1またはCEPT搬送波および中央オフィス専用回線を含む種々の端末装置に接続され得る。システムアーキ

10

20

30

40

50

テクチャーは、24ビットのパルス符号変調（PCM）チャンネルを有する通信回線を使用することを基本としており、これによってPCM音声およびデータを同時に送受信することが可能となっている。連結および分離スイッチモジュールは、それぞれ32の時間多重化されたチャンネルを有している。

【0011】

本発明による交換ネットワークは、回線カードとインターフェイスカードを備えた電話キーステーションの間における音声およびデータに対する通信経路を指定するため、プロセッサおよびメモリを有するインテリジェントデジタルスイッチ素子のモジュラーアレイを有している。インターフェイスカードは、電話ステーションおよび電話回線内の電話信号を、デジタルスイッチ素子のデジタルフォーマットに変換するために使用される。ネットワークオペレーションは、自己経路指定をサポートする新規なアドレス指定スキームに基づいており、必要な装置の拡張に適合すべく拡張可能である。システム内におけるアドレス指定が可能な位置は、一義的な論理アドレスコード（LAC）に割り当てられる。経路が要求されたとき、スイッチ素子プロセッサが宛先LACを解釈し、当該宛先に向かう経路を指定する通信経路内の各スイッチ素子によって、宛先に向かうスイッチを通じて経路を選択する。いかなるスイッチ素子も、完全な経路の選択のために必要な全システムアーキテクチャー情報の知識を必要としない。

【0012】

交換ネットワークは、フレキシブルな通信のためのデュプレックス経路を備えている。デュプレックス経路は、電話ステーションおよび回線カードのような2つの位置の間に設定される。このようなデュプレックス経路によって、音声は電話ステーションおよび回線カードから、異なるソースから音声データの和をとるブリッジポート内に向けられる。和をとられた音声は、その後ブリッジポートから端末装置、すなわち電話ステーションおよび回線カードに送られる。その後、端末装置に結合されたインターフェイススイッチは、それ自体の音声データを総和から減算し、入力音声データを導出する。すなわち、回線カードに結合するインターフェイススイッチは、回線カードによって発生せしめられた音声データを減算し、電話ステーションからの入力音声データを分離し、電話ステーションに結合するインターフェイススイッチは、電話ステーションによって発生せしめられた音声データを減算し、回線カードからの入力音声データを分離する。

【0013】

【発明の実施の形態】

本発明の前述した特徴および別の特徴、並びに長所を、以下の本発明の好ましい実施例の詳細な説明において、添付図面を参照しながら説明する。

【0014】

A. システムレイアウト

図1には、本発明によるユニット11～15として一般に表された、種々の形式の音声またはデータ装置および電話回線を相互に接続するための交換ネットワークが示してある。好ましい実施例においては、交換ネットワークは、一般に4つのステージを有している。最初の2つのステージは、インターフェイス（I/F）スイッチ22およびアクセススイッチ（AS）24と呼ばれ、電話回線および端末装置のための交換ネットワークに対するエントリーポイントを与えるターミナルユニット20内に存在する。第3および第4のステージは、セクションスイッチ26および反射スイッチ28と呼ばれ、それぞれ、別個のスイッチプレーン30上に配置されている。

【0015】

ターミナルユニット20はそれぞれ、14個のインターフェイススイッチ22および3個のアクセススイッチ24を有している。ターミナルユニットにおけるインターフェイススイッチはそれぞれ、通信リンクによって、3個の関係するアクセススイッチに結合されている。好ましい実施例において、交換ネットワークには6個のスイッチプレーン30が存在する。ターミナルユニットの3個のアクセススイッチのそれぞれは、その対応する通信リンクを通じて、6個のスイッチプレーンのうちの4個からなる異なる組に結合されてい

10

20

30

40

50

る。

【0016】

スイッチプレーン上のセクションスイッチは、ターミナルユニットからの3個のアクセススイッチのうち2個に結合されている。したがって、この構成を有する最大のシステムには、スイッチプレーン上に19個のセクションスイッチが存在するので、各プレーンに結合された95個ものターミナルユニットが存在する。

【0017】

この構成を有する最大のシステムにおいて、各スイッチプレーンは、また9個の反射スイッチ28を有している。反射スイッチ28は、それぞれ、すべての他のセクションスイッチに結合されている。この構成によって、通信経路が、キーステーション側におけるインターフェイススイッチ、3個のアクセススイッチのいずれか1個、および6個のスイッチプレーンのいずれか1個上の適当なセクションスイッチおよび反射スイッチ、並びに回線側における3個のアクセススイッチのうちいずれか1個およびインターフェイススイッチを通じて、キーステーションから回線端末に確立され得る。アクセススイッチ、セクションスイッチ、反射スイッチまたは交換スイッチのいずれかが障害を起こした場合には、交換ネットワークを通じて、利用可能な多数の経路が常に存在する。インターフェイススイッチが障害を起こした場合には、この障害は、特定の障害を起こしたインターフェイススイッチに接続されたターミナルユニットに影響を及ぼすだけであり、システムの残りの部分の作動には全く影響を及ぼさない。ステージにおけるスイッチの総数は、システムの大きさ、必要とされる非ブロッキング通信の程度および必要とされる冗長性の程度に依存する。交換ネットワークの別の実施例は、スイッチ素子に接続するための別の構成を有している。

【0018】

スイッチ素子はそれぞれ独立に作動し、独立のプロセッサによって制御される。好ましい実施例において、すべてのスイッチ素子、すなわち、インターフェイススイッチ、アクセススイッチ、セクションスイッチおよび反射スイッチは、多くの共通の構造的素子を有している。各スイッチ素子は、複数個のインプットスイッチポートおよび複数個のアウトプットスイッチポートを有している。スイッチポートを通じた通信は、32個の時分割されたチャンネル上にある。システムアーキテクチャーは、音声およびデータを同時に送受信する24ビットパルス符号変調(PCM)チャンネルを使用することを基本としている。各スイッチ素子に関するプロセッサは、(1つのポートから別のポートに至る)空間内で切り換えを行うこと、および(1つのチャンネルから別のチャンネルに至る)時間内に切り換えを行うことができる。

【0019】

好ましい実施例において、反射スイッチ、セクションスイッチおよびアクセススイッチは、基本的に同一であり、それぞれ19個のスイッチポートを有している。インターフェイススイッチは、他のスイッチ素子と同様であるが、これらより小さく、1個のターミナルポートおよび4個のスイッチポートを有している。インターフェイススイッチの別の実施例は、4個以上のスイッチポートを有し得る。

【0020】

B. ポートグループの割当て

交換ネットワークは、ソースと宛先の間で音声またはデータ通信を伝送するための複数の経路を備えている。すなわち、いずれのスイッチ素子においても、その宛先に向かう伝送を行うために利用可能な多数個のスイッチポートが存在する。ポートグループは、その宛先へのかかる伝送を経路づけするために使用され得るスイッチ素子に対する多数のスイッチポートを指定する。ポートグループが一旦指定される(すなわちスイッチポートがいずれかのポートグループに割り当てられる)と、交換ネットワークの構成が確立される。ポートグループ割当て情報が、その後、システム初期設定の間に、適当なスイッチ素子内にロードされる。好ましい実施例において、32個のポートグループが使用可能である。ポートグループ0~19は、個々のスイッチポートを識別するために保存され、一方、スイ

10

20

30

40

50

ッチポートグループ20～31は、スイッチポートのグループを指定するために保存される。

【0021】

図1に示したように、インターフェイススイッチは、端末装置に接続された1個のターミナルポート(ポート#18)および同一のターミナルユニット内の3個のアクセススイッチに結合された3個のスイッチポート(ポート#0～ポート#2)を有している。すべてのインターフェイススイッチにおける1つのポート(ポート#3)は、ブリッジポート(以下に説明するように、アウトプットがインプットに接続されているスイッチポート)に対して保存される。加えて、すべてのインターフェイススイッチにおける1つのポート(ポート#19)は、リンクデータポート(以下に詳細に説明するように、スイッチ素子がデータパケットをネットワークに対して送受信することを許可するスイッチポート)に対して保存される。好ましくは、次のようなポートグループの割当てがインターフェイススイッチに対して使用される。

10

【0022】

インターフェイススイッチ	対応するポート
ポートグループ	

- | | |
|-------|------------------------|
| 0 | ポート#0(アクセススイッチステージに対し) |
| 1 | ポート#1(アクセススイッチステージに対し) |
| 2 | ポート#2(アクセススイッチステージに対し) |
| 3 | ポート#3(ブリッジに対し) |
| 4～17 | 未定義 |
| 18 | ポート#18(端末装置に対し) |
| 19 | ポート#19(リンクデータポート) |
| 20 | ポート#0,1,2 |
| 21 | ポート#0,1 |
| 22 | ポート#1,2 |
| 23 | ポート#0,2 |
| 24～31 | 未定義 |

20

【0023】

この定義は、インターフェイススイッチをアクセススイッチに接続する3個のスイッチポートがすべて、出力通信リンク(ポートグループ20)に対して識別されること、アクセススイッチ(ポートグループ21～23)に移行する2個のスイッチポートのすべての組み合わせが識別されること、または個々のスイッチポートがすべて、アクセスステージ(ポートグループ0～2)に対する出力通信リンクとして識別されることを可能にする。

30

【0024】

図1に示したように、アクセススイッチの14個のスイッチポート(ポート#0～ポート#13)は、ターミナルユニット上の14個の関係するインターフェイススイッチに結合されており、アクセススイッチの残りの4個のスイッチポート(ポート#14～ポート#17)は、6個のスイッチプレーンのうちの4個上にある4個のセクションスイッチに結合されている。すべてのアクセススイッチにおける1個のポート(ポート#19)は、リンクデータポートに対して保存される。加えて、すべてのアクセススイッチにおける1個のポート(ポート#18)は、望まれた伝送を記録するためのテープ装置に結合されている。好ましくは、次のポートグループの割当てがアクセススイッチに対して用いられる。

40

【0025】

アクセススイッチ	対応するポート
ポートグループ	

- | | |
|-------|-----------------------------------|
| 0～19 | 各々の独立なポート(ポート#0～ポート#19) |
| 20 | ポート#14,15,16,17(セクションスイッチステージに対し) |
| 21～31 | 未定義 |

【0026】

50

この規約は、アクセススイッチをセクションスイッチに接続する4個のスイッチポートがすべて、出力通信リンクとして識別されること、あるいは個々のスイッチポートがすべて出力通信リンクとして識別されることを可能にする。交換ネットワークの冗長なアーキテクチャーによって、アクセススイッチに接続された4個のスイッチプレーンがすべて、伝送のために使用され得る。すなわち、ポートグループ20は、出力経路を十分に識別する。しかしながら、ポートグループ21～31は、依然としてポートグループのさらなる定義のために使用可能である。

【0027】

図1に示したように、セクションスイッチの10個のスイッチポート（ポート#0～ポート#9）は、5個のターミナルユニット（TU1～TU5）の関係するアクセススイッチに結合されており、セクションスイッチの9個のスイッチポート（ポート#10～ポート#18）は、同一のスイッチプレーン上の9個の反射スイッチに結合されている。説明のために、ターミナルユニットTU1は、ポート#0およびポート#5に結合されている。TU2は、ポート#1およびポート#6に結合されている。TU3は、ポート#2およびポート#7に結合されている。TU4は、ポート#3およびポート#8に結合されている。TU5は、ポート#4およびポート#9に結合されている。すべてのセクションスイッチにおける1個のポート（ポート#19）は、リンクデータポートに対して保存される。好ましくは、次のポートグループの割当てがセクションスイッチに対して使用される。

【0028】

セクションスイッチ ポートグループ	対応するポート
----------------------	---------

0～19	各々の独立なポート（ポート#0～ポート#19）
20	ポート#0, 5（TU1に対応する）
21	ポート#1, 6（TU2に対応する）
22	ポート#2, 7（TU3に対応する）
23	ポート#3, 8（TU4に対応する）
24	ポート#4, 9（TU5に対応する）
25	ポート#10～#18
26～31	未定義

【0029】

この定義は、セクションスイッチに接続されたターミナルユニットのそれぞれに対するポートグループを定義する。加えて、この定義は、反射スイッチに出力する伝送に対するポートグループ（ポートグループ25）を定義する。セクションスイッチから反射スイッチに伝播する伝送に対して、伝送は、9個の反射スイッチのいずれかに向けられる。

【0030】

図1に示したように、反射スイッチは（ポート#0～ポート#18を通じて）すべてのセクションスイッチに、すなわちすべてのターミナルユニットに伝送する。しかしながら、反射スイッチから特定のターミナルユニットに達するには、ただ1個のセクションスイッチが適している。すなわち、いかなるポートグループも定義されない。すべての反射スイッチにおける1個のポート（ポート#19）は、リンクデータポートに対して保存される。好ましくは、次のポートグループの割当てが反射スイッチに対して使用される。

【0031】

反射スイッチ ポートグループ	対応するポート
-------------------	---------

0～19	個々のポート（ポート#0～ポート#19）
20～31	未定義

【0032】

この定義は、個々の独立なスイッチポートだけを、反射スイッチからの適当なアウトプット経路として識別する。

【0033】

C. スイッチデータフォーマット

スイッチ素子に対するデータフォーマットを、図2に示した。通信リンクはそれぞれ、シリアルフォーマットにおける時分割多重化(TDM)デジタル情報の32のチャンネルを搬送する。図示のように、TDMフォーマットの各フレームは、32のチャンネルを表している。各チャンネルは、スイッチ素子内で処理される時、24ビットの情報を含む通信リンクを越える30ビットを有している。各スイッチ素子は、入力チャンネルセグメント上の5B/4Bデコーディングを与える。その結果、通信リンク内の30ビットセグメントが情報の24ビットセグメントに変換される。残りの6ビットがエラー補正のために使用される。エンコーディングは、クロック抽出のための適当な1の密度を与え、フレームのチャンネル0内のフレーム指示シグナルが模倣され得ないことを保証するために使用される。各スイッチ素子は、24ビットチャンネル情報を伝送する前に、4B/5Bエンコーディングを実行し、30ビットチャンネルを有する通信リンクを与える。各フレームの長さは125μ秒である。各フレームのチャンネル0は、同期情報を含んでおり、クロッキング情報を含むこともできる。チャンネル30および31は、回線状態情報を同報通信するために使用され得る。

10

【0034】

好ましい実施例において、24ビットのチャンネルワードの情報は、8ビットのコマンドコードと16ビットの引き数に分割される。コマンドコードのいくつかの例は、「経路指定」、「経路クリア」、「非応答(NAK)」および「確認」である。「経路指定」コマンドの変形は、「データ専用経路指定」、「データマルチキャスト経路指定」、「音声デュプレックス経路指定」、「音声シンプレックス経路指定」および「音声専用経路指定」を含んでいる。特定のコマンドが、各チャンネルワードの始めに現れる8ビットコードに準拠している。これらのコマンドが存在するとき、これらはシステム内のプロセッサによって解釈され、それぞれの機能が実行される。16ビットの引き数は、スイッチによって伝送される。

20

【0035】

D. アドレス指定スキーム

交換ネットワークを通じた経路選択は、論理アドレスコード(LAC)、タイプアドレスコード(TAC)およびパケットアドレスコード(PAC)を含むアドレス指定スキームを使用する。交換ネットワークを通じた経路指定は、それ自体論理アドレスコードに依存する。

30

【0036】

LACは、データが発生しあるいはデータが送られる交換ネットワーク内の位置に割り当てられた一義的なコード数である。例えば、LACによって定義された位置は、アナログ回線カード、トレーダーステーション、デジタル回線T1チャンネル回線カード、処理機能(ソフトウェア位置)、またはスイッチ内のスイッチ素子からなり得る。

【0037】

LACは、経路指定のために交換ネットワーク内のスイッチ素子によって使用される。例えば、「経路指定」コマンドに回答して、スイッチ素子は、交換ネットワークを横切る、入力回線からなる1つのLACから、キーステーションまたはいくつかの他の端末装置からなる他方のLACに至る通信経路を確立する。その後、通信経路に対する適当なチャンネルが選択され、通信の間を通じて割り当てられ、通信が終了するまで、あるいは強制的に解除されるまで、情報を発信LACから宛先LACまで伝送する。LACを使用する特別の利点は、それがシステムにおける物理的な変化から分離された層を与えることである。

40

【0038】

TACまたはこの形式のアドレスコードは、データが同時にマルチキャストである、すなわちデータの多数の伝送に対するものであるLACのグループを表示する一義的なコードである。

【0039】

PACは、パケット形式を識別するために使用される。パケットが送られるとき、送信プ

50

プログラムはコードおよびパケットのデータにリンクされ、よってパケットの構造が知られる。しかしながら、パケットが受信されたとき、パケットの構造は受信プロセッサに対して知られていない。PACを個々のパケットに割り当てることによって、ローカル変換および交換が、パケットアドレスコードおよびターゲットプロセッサパケットソフトウェアアドレスの間において実行される。

【0040】

論理アドレスコード(LAC)に加えて、交換ネットワークにおける各スイッチ素子は、交換ネットワークにおけるスイッチ素子の位置またはノードを識別する物理的スイッチアドレス(PSA)を割り当てられている。ネットワーク内の各スイッチ素子は一義的なLACを割り当てられているにもかかわらず、いくつかのプロセッサが同一のPSAをもち得る。例えば、キーステーションおよびキーステーションが接続されるインターフェイススイッチはともに、同一のPSAをもち得る。なぜなら、これらは交換ネットワークの同一のノードに位置しているからである。好ましくは、PSAは、LACの位置を、LACに達するために交換ネットワークの反射ステージからとられるべき経路を指定することによって識別する4バイトからなっている。

10

【0041】

PSAの第1バイトは、その宛先に伝送することができるセクションスイッチに伝送を向けるために、反射スイッチステージからとられなければならないスイッチポートを識別する。(各反射スイッチに対するポート#1は、スイッチプレーン上の第1のセクションスイッチに結合されており、各反射スイッチに対するポート#2は、スイッチプレーン上の第2のセクションスイッチに結合されている等々。)

20

【0042】

PSAの第2バイトは、その宛先に伝送を行うために、適当なセクションスイッチからとられなければならないスイッチポートを識別する。同様に、PSAの第3バイトは、その宛先に伝送を行うために、適当なアクセススイッチからとられなければならないスイッチポートを識別する。

【0043】

最後に、セクションスイッチまたは反射スイッチに対応するLACの位置を完全に識別するために、PSAの第4バイトは、スイッチ素子の上に位置するスイッチプレーンを指定する。アクセススイッチに対して、第4バイトは、ターミナルユニット上の3つのアクセススイッチのうちの1個がどのアクセススイッチであるのかを指定する。インターフェイススイッチまたは他のLACに対し、第4バイトは0である。

30

【0044】

システムセンター15は、ネットワークにおいて割り当てられた各論理アドレスコード(LAC)に対する物理的スイッチアドレス(PSA)の一覧を作成するロードイメージアレイを維持する。さらに、ロードイメージアレイは、隣接するスイッチ素子を識別するLACおよびTACを含む各スイッチ素子に対する特定のデータの packets を維持する。

【0045】

E. システムセンター

図1において、システムセンター15は、交換システムの初期設定および維持に対して責任を有している。システムセンターは、インターフェイススイッチ21を通じて交換ネットワークにアクセスする、ファイルサーバー15aおよびコンピュータターミナル15bを有している。システムセンターは、一義的なLAC、TACおよびPACアドレスコードを割り当て、これらの割り当てを分析してデータをシステムの初期設定に必要なものとして分散するために使用される。

40

【0046】

以下により詳細に説明するように、システム初期設定の間に、各スイッチ素子は、隣接するスイッチ素子を、それらの同一性を認識することに関してポーリングする。システムセンターにより近接するスイッチ素子は、最初に識別される。一旦、各スイッチ素子が交換システム内においてその識別を決定されると、システムセンターは適当なソフトウェアお

50

よびデータをスイッチ素子に伝送する。

【0047】

また、システムセンターは、システム状態情報を維持する。交換ネットワークが作動している間に、もしスイッチ素子のスイッチポートが作動しなくなれば、レポートがシステムセンターに送られ、システムセンターは、その異常の原因となるスイッチポートを識別する。システムセンターは、疑わしい障害通信リンクについて分析し、補正動作に関して保守点検する人間にガイダンスを与える。

【0048】

F. 基本的なスイッチ素子

スイッチ素子に対する基本的なレイアウトを図3に示した。図3において、19個のスイッチポートが、それぞれチャンネル受信機およびチャンネル送信機を有している。既に説明したように、通信リンクは、1チャンネルあたり24ビットの情報を有するシリアル32チャンネル時分割多重化(TDM)フレームフォーマットで、スイッチポートに対してシリアルデータをやりとりする。各チャンネルの第1の8ビットは、経路を指定し、または経路をクリアするようなコマンドに対して使用され、一方、残りの16ビットがデータ伝送のために使用される。チャンネル0は、情報のクロッキングのために使用され、フレームの始まりを識別するコード化された識別子(1111100000)を有している。

【0049】

スイッチ素子は、19個のチャンネル受信機100および19個のチャンネル送信機102を有している。別のスイッチ素子からの、あるいはインターフェイススイッチの場合にはターミナルポートからの入力データが、インアドレスポインタレジスタ128によって向けられたとき、チャンネル毎方式に基づくクロスポイントメモリ122内に記憶される。同様に、データはクロスポイントメモリから読み出され、アウトアドレスポインタレジスタ130によって、スイッチポートの選択されたチャンネル送信機および選択されたチャンネルに向けられ得る。このようにして、入力データは、(スイッチポートのすべてのチャンネル受信機からスイッチポートのすべてのチャンネル送信機に至る)空間内においてシフトされ、また(1つのインプットチャンネルからすべてのアウトプットチャンネルに至る)時間内においてシフトされ得る。スイッチ素子は、特定のクロスポイントメモリ位置に置かれたデータの総和をとり、2個またはそれ以上のチャンネルに対してデータを加え合わせることにによって会議モードを与えることができる。

【0050】

入力通信リンク170上のデータは、逐次的にチャンネル受信機100に送られる。チャンネル受信機は、シリアルデータインプットを受信し、そのデータをシリアルフォーマットからパラレルフォーマットに変換するためのシフトレジスタ106を有している。シフトレジスタの最初の10ビットは、フレームの始めのコード化された識別子を見つけ出すフレーム同期検出器108に結合されている。また、シフトレジスタは、一度に1個のデータチャンネルを受信するチャンネル情報ラッチ104に結合されている。フレーム同期検出器108は、チャンネル情報ラッチ104におけるデータに対する最新の入力チャンネル数を識別するチャンネルカウンタ110に結合されている。

【0051】

既に説明したように、各フレームの始めに、5個の0を後ろに従えた5個の1からなる(1111100000)10ビットフレーム同期ワードが与えられる。フレーム同期検出器がフレーム同期パターンを認識したとき、カウンタが、リセットされた後、チャンネルをカウントし入力チャンネル数を追跡し続ける。シフトレジスタ106が、シリアル入力ビットストリームをパラレルワードに変換し、パラレルワードを備えたチャンネルワードラッチ104を与える。

【0052】

チャンネルセレクタ112が、逐次、ポートの各チャンネルワードラッチをサンプリングし、インデータレジスタ114にパラレルにデータを伝送する。インデータレジスタ114のアウトプットは、マルチプレクサ118および16ビット飽和加算器116に結合さ

10

20

30

40

50

れている。クロスポイントテンポラリーレジスタ120が、クロスポイント(Xポイント)メモリ位置からのデータを加算器の第2のインプットに与える。加算器のアウトプットは、また、マルチプレクサに結合されており、マルチプレクサのアウトプットはクロスポイントメモリ122に結合されている。

【0053】

各スイッチポートタイムスロットの間に、入力チャンネル情報がクロスポイントメモリ位置に記憶され、各出力タイムスロットの間に、クロスポイントメモリ位置の内容が、検索され、出力チャンネル送信機102に与えられる。クロスポイントメモリは、データを入力通信リンクから適当な出力通信リンクに伝送する高速640×24ビットRAMからなっている。

10

【0054】

入力および出力チャンネル情報に対するクロスポイントメモリ位置のアドレスは、ポインタRAM134に記憶される。ポインタRAMにおけるクロスポイントメモリ位置のアドレスはスイッチポートおよびチャンネル数によってインデックスを付される。ポインタRAM134は、クロスポイントメモリアドレスの2つの組、または入力および出力チャンネルのそれぞれに対応するポインタに対して保存される高速(640×2)×12ステティックRAMからなっている。

【0055】

ポインタRAMインデックスは、11ビットアドレス「PPPPPPCCCCC」(ここでA=0または1)として定義される。これは、それぞれ、入力チャンネルに対するアドレスまたは出力チャンネルに対するアドレスを表している。CCCCCは0から31までのチャンネル数であり、PPPPPは0から19までのポート数である。ここで、19はリンクデータポートのアドレスであり、18はインターフェイススイッチにおいてのみ使用されるターミナルポートに対して保存されるアドレスである。ポインタRAMデータは、クロスポイントメモリ位置に対する10ビットとして定義され、1ビットはアイドルコードがフラグを立てられているかどうかを表し、1つのビットは、クロスポイントメモリ位置が会議コールの一部であるかまたはリセットビットであるかを表す。

20

【0056】

ポインタRAMは、ポインタデータアウトレジスタ132aおよび132bに結合されている。ポインタデータアウトレジスタ132aは、インアドレスポインタレジスタ128に結合され、ポインタデータアウトレジスタ132bは、アウトアドレスポインタレジスタ130に結合されている。インアドレスポインタレジスタは、入力データをその割り当てられたクロスポイントメモリ位置122aに向ける。同様に、アウトアドレスポインタレジスタは、その割り当てられたクロスポイントメモリ位置122bからの入力データを選択する。出力データは、アウトデータレジスタ124から適当なスイッチポートに、チャンネル送信機102内のチャンネル情報レジスタを通じて伝送される。

30

【0057】

チャンネル送信機102は、出力通信リンク172にシリアル出力データストリームを与える。チャンネル送信機102は、パラレルフォーマットで出力チャンネルワードを受信するチャンネルワードレジスタ174を有している。チャンネルワードレジスタ174は、シフトレジスタ176に結合されている。シフトレジスタは、パラレルデータをシリアルビットストリームに変換する。各出力フレームの始めにおいて、フレーム同期ビット(111110000)が、シーケンスポートによって、およびディレクター126およびその後チャンネル送信機に対するローカルチャンネル数によって与えられ、シフトレジスタ176によって伝送される。

40

【0058】

各チャンネル受信機100において、チャンネルカウンタ110が入力チャンネル数を、セレクタ112を通じてポインタアドレスレジスタ136aに与える。ポインタアドレスレジスタ136aは、また、使用されるスイッチポート数を追跡するシーケンサー138に結合されている。ポインタアドレスレジスタ136aは、ポインタRAM134に結合

50

されており、入力チャンネル数およびスイッチポート数をポインタRAMに与える。

【0059】

シーケンサー139は、ポインタRAMにローカルチャンネル数およびスイッチポート数を与えるポインタアドレスレジスタ136bに結合されている。ローカルチャンネル数は、入力チャンネル数と同じではないことがわかる。2つの独立なチャンネルカウントが維持されることが好ましい。なぜなら、入力チャンネルワードは、異なる時間に個々のスイッチポートに到達し、よって同期していないからである。しかしながら、すべてのスイッチポートにおけるチャンネル送信機は、同時に同一のチャンネル数を伝送する。

【0060】

1チャンネル時間に、各スイッチポートは一義的なタイムスロットを割り当てられる。各スイッチポートタイムスロットは、そのときシステムクロックによって6つの位相時間に分割される。各スイッチポートタイムスロットの間に、2つの位相時間が、出力データをそのクロスポイントメモリ位置からそのチャンネル情報レジスタに伝送するために使用される。同様に、2つの位相時間が、入力データをその宛先クロスポイントメモリ位置に伝送するために使用される。最後の2つの位相時間は、コントローラ140のデータ伝送に対して保存される。

10

【0061】

スイッチ素子は、また、コントローラバス150に結合されたリアルタイムコントローラ140を有している。このコントローラは、それがクロスポイントメモリ位置に情報を伝送することを可能にするデータバス141によってインデータレジスタ114に結合されている。同様に、コントローラは、それがクロスポイントメモリ位置から情報を受信することを可能にするデータバス143によってアウトデータレジスタ124に結合されている。また、FIFOバッファ部144がコントローラバス150に結合されている。その責任の一部として、コントローラはスイッチポートを起動し、操作する。さらに、回線、キーステーションおよび他のプロセッサに対する通信経路を設定し、またクリアする。

20

【0062】

スイッチ素子は、また、機能プロセッサバス152に結合された機能プロセッサ部146を有している。機能プロセッサ部は、コール処理機能、初期化、障害に対する回復および保守を実行する。機能プロセッサ部146およびコントローラ140は、イベントFIFO156、アクションFIFO158およびフリーFIFO160を通じて互いに通信する。機能プロセッサ部およびコントローラは、またゲート154を通じてメモリリソースを共有することができる。ゲート154は、コントローラバス150を適当な時間に機能プロセッサバス152に結合させる。コントローラおよび機能プロセッサの機能は、結合され、1個の非常に高速なプロセッサによって与えられ得ることがわかる。

30

【0063】

宛先ポート記憶装置(DPS)164がコントローラバス150に結合される。宛先ポート記憶装置は、各論理アドレスコード(LAC)に対する経路指定情報を含むメモリテーブルからなっている。論理アドレスコード(LAC)によって宛先ポート記憶装置内にインデックスを付すことによって、コントローラは、その宛先に対するコールを転送するために使用されるべきポートまたはポートのグループを見つけ出すことができる。

40

【0064】

チャンネル割当てシステム(CAS)162がコントローラバス150に結合されている。スイッチ素子を横切る経路を設定する間に、コントローラは、接続を完全にするために、出力通信リンク上の1つまたはそれ以上のフリーチャンネルを選択しなければならない。チャンネル割当てシステムは、コントローラの要求により、短い、固定されたかつ繰り返し可能な時間に、この機能を実行する。それは、第1の使用可能なチャンネルを選択し、同一の機能グループにおけるスイッチポート中にロードを分散させる。

【0065】

50

リンクデータポート(LDP)148aおよび148bは、コントローラバスに結合されており、ネットワークに対してデータパケットを送受信するための機構を与える。スイッチ素子のスイッチポートに対して、リンクデータポートは、ただ別のスイッチポートとして現れる。リンクデータポートは、スイッチ素子クロスポイントメモリ位置からデータを読み出したまたはこれにデータを書き込むことができる32の専用タイムスロットを有している。コントローラ140に対して、リンクデータポートは32のRAM位置として現れる。

【0066】

スイッチ素子に対するクロッキングは図3には示していないが、当業者によく知られた種々のクロッキング技術を用いることができる。例えば、各スイッチ素子に対する専用回線を備えた集中化されたクロックが与えられる。しかしながら、好ましいクロックは分散されたクロッキング機構であり、米国特許出願第 - - - 号「分散されたクロッキングシステム」(弁護士事件番号第416-4034号)に記載されているように、この機構において、クロックシグナルは、音声およびデータを搬送する同一の通信リンクを通じてシステムの至る所に伝送される。この特許出願の記載を、ここに参考文献として組み込む。

10

【0067】

セレクタ112のアウトプットは、データバス141を通じてコマンドデコーダー142に結合されている。コマンドデコーダーのアウトプットは、順次、FIFOバッファ部144に結合されている。スイッチポートタイムスロットが、特定のスイッチポート、例えばスイッチポート番号1に対して設定されるとき、チャンネルデータは、セレクタ112を通じてインデータレジスタ114に伝送され、また入力チャンネル数情報が、セレクタ112を通じてポインタアドレスレジスタ136aに伝送される。チャンネルデータの最初の8ビットが、入力コマンドをデコードするコマンドデコーダー142によってチェックされる。もしコマンドデコーダーがコントローラの注意を要求するコマンドを認識したならば、それは、入力チャンネルワードを、コントローラおよび機能プロセッサによってさらに処理を行うFIFOバッファ部144に与える。

20

【0068】

この点で、ポインタアドレスレジスタ136aは、入力チャンネル数およびスイッチポート数を含んでいる。チャンネル数はセレクタ112から得られ、スイッチポート数はシーケンサ138から得られる。ポインタアドレスレジスタは、その後、スイッチポート数およびチャンネル数によってポインタRAM134にインデックスを付与し、適当なクロスポイントメモリ位置のアドレスを与える。そのとき、クロスポイントメモリ位置のアドレスはポインタデータアウトレジスタ132aに与えられる。

30

【0069】

インデータレジスタ114は、セレクタによって与えられたデータを含んでいる。インアドレスポインタレジスタ128は、クロスポイントメモリ位置をポインタデータアウトレジスタ132aから検索する。インアドレスポインタレジスタ128は、また、加算器116およびマルチプレクサ118に結合されている。インアドレスポインタレジスタ内のデータは、ポインタRAMデータをロードするとき、コントローラによって与えられるフラグシグナルを含んでいる。フラグシグナルは、加算器およびマルチプレクサに送られる。使用可能なフラグシグナルが加算器116およびマルチプレクサ118に与えられたとき、インデータレジスタ114の内容が、指定された「イン」クロスポイントメモリ位置122aに直接記憶される。もし使用可能なフラグシグナルが存在しなければ、指定されたクロスポイントメモリ位置122aの内容は、インデータレジスタ114の内容に加えられ、マルチプレクサ118は、その加えられた結果をとり、指定されたクロスポイントメモリ位置122aに記憶させる。

40

【0070】

スイッチポートに対する伝送タイムスロットの間に、上述の手続きと同様の手続きが生じる。しかしながら、このタイムスロットにおいて、ポインタアドレスレジスタ136bは、シーケンサ139によって与えられたローカルチャンネル数およびスイッチポート数

50

をロードされる。クロスポイントメモリ位置のアドレスは、その後、指定された「アウト」クロスポイントメモリ位置 1 2 2 b を指示するアウトアドレスポインタレジスタ 1 3 0 に送られる。指定されたクロスポイントメモリ位置 1 2 2 b の内容は、アウトデータレジスタ 1 2 4 に送られる。アウトデータレジスタの内容は、コントローラ 1 4 0 に送られ、あるいはスイッチポートディレクター 1 2 6 に直接ロードされる。スイッチポートディレクター 1 2 6 はこのとき、チャンネル情報レジスタ 1 7 4 および最終的に出力通信リンク 1 7 2 に伝送される適当なデータをもつ。

【 0 0 7 1 】

ポインタ R A M 1 3 4 内の情報は、コントローラ 1 4 0 を通じてロードされる。スイッチ素子プロセッサは、各スイッチポート数およびチャンネル数に対する適当なクロスポイントメモリ位置を割り当てる責任を有している。この情報は、コントローラからポインタ R A M 1 3 4 に送られる。上述のように、すべての入力スイッチポートのすべてのチャンネル上の情報は、スイッチ素子における出力スイッチポートのすべての別のチャンネルに切り換えられ得る。

10

【 0 0 7 2 】

加算器 1 1 6 およびインアドレスポインタレジスタ 1 2 8 は、多数の入力チャンネルが互いに加えられ得るフレキシブルな多対 1 操作を可能とする。この和は、指定された出力チャンネルに対するクロスポイントメモリ位置に記憶される。以下に詳細に説明するように、このフレキシビリティは、デュプレックスモードおよび会議モードを可能とする。例えば、もし回線およびトレーダーボタン電話ステーションがデュプレックス経路として接続されているならば、あるいはもし多数のトレーダーボタン電話ステーションのユーザーが互いに話すことを望むならば、各回線またはユーザーに対応する各チャンネルの内容が、別のチャンネルの内容に加えられるだけである。したがって、もし入力チャンネルがデュプレックス経路または会議コールの一部であれば、チャンネルデータは加算器 1 1 6 を用いてクロスポイントメモリ位置の現存する内容に加えられる。

20

【 0 0 7 3 】

同様に、アウトアドレスポインタレジスタ 1 3 0 は 1 対多操作を可能とする。アウトアドレスポインタレジスタは、異なるスイッチポート上の異なる出力チャンネルに対する同一のクロスポイントメモリ位置を指定する。出力チャンネルにおけるデータは、クロスポイントメモリ位置から取り出され、次のチャンネル時間の伝送のためにチャンネル送信機に記憶される。もし読み出されたクロスポイントメモリ位置が会議コールの一部になっていれば、メモリ位置はゼロ値にリセットされる。

30

【 0 0 7 4 】

図 4 は、図 3 に示したスイッチ素子の概念図である。明瞭にするために、図 4 に示したスイッチ素子は、以後、図 3 のスイッチ素子の代わりに使用される。なぜなら、概念は簡単な図面によってより容易に視覚化できるからである。図 3 に示したチャンネル受信機 1 0 0 およびチャンネル送信機 1 0 2 の各対は、入力リンク 1 7 0 および出力リンク 1 7 2 を有する 1 個のスイッチポート 1 7 3 として示してある。図 3 の機能プロセッサ部 1 4 6 は、また、共用メモリ空間 1 4 7 を使用するコントローラ 1 4 0 に接続されている。図 4 における共用メモリ 1 4 7 は、図 3 の機能プロセッサ R A M 1 6 8 およびコントローラ R A M 1 6 6 を表している。図 3 のリンクデータポート 1 4 8 a および 1 4 8 b は、図 4 において 1 個のリンクデータポート 1 4 8 として表されている。図 3 のクロスポイントメモリ 1 2 2 は、また図 4 において、以下においてより詳細に説明するように、順方向クロスポイントメモリ位置に対して「 F 」として識別される一方のメモリ位置と、逆方向クロスポイントメモリ位置に対して「 R 」として識別される他方のメモリ位置とをもって表されている。同報通信 F I F O バッファ 1 8 6 は、また図 4 において、図 3 の F I F O バッファ部 1 4 4 の一部として表されている。同報通信 F I F O バッファは、さらに説明するように、1 個のスイッチ素子と別のスイッチ素子の間において状態同報通信メッセージを伝送するとき使用される。関係する付加的な素子が、図 4 のスイッチ素子に加えられ、明確な概念的理解を可能とする。

40

50

【 0 0 7 5 】

既に説明したように、交換ネットワークにおける反射スイッチ、セクションスイッチおよびアクセススイッチは、それぞれ、図3および図4に示したスイッチ素子と同一のものである。

【 0 0 7 6 】

図5は、図1のインターフェイススイッチステージ22のレイアウトを示したものである。インターフェイススイッチは、前述のスイッチ素子を小型にしたものであり、種々の端末装置および回線カードに接続され、これらを交換ネットワークにアクセスさせる。インターフェイススイッチ22は、1つの端末装置、並びにチャンネル送信機およびチャンネル受信機をもつ4個のスイッチポートを有している。図面を簡単にするために、スイッチ素子は関係するコンポーネントだけを備えたものとして描いてある。

10

【 0 0 7 7 】

ターミナルポート171は、通信リンクを通じたキーステーションまたは回線カードに対するアクセスを与える。各インターフェイススイッチにおいて、1個のスイッチポートが、ブリッジポート173として割り当てられる。ブリッジポートは、ブリッジポートのチャンネル受信機が、図5に示したようにチャンネル送信機に接続されていることを除き、他のすべてのスイッチポートと同様である。したがって、ブリッジポートに関するクロスポイントメモリ位置から読み出された内容は、インターフェイススイッチに送り返され、その適当なクロスポイントメモリ位置に記憶される。

【 0 0 7 8 】

インターフェイススイッチ内の機能プロセッサ146は、交換ネットワーク内の他のスイッチ素子によって実行されない付加的な機能を実行する。機能プロセッサによって実行される機能は、コールハンドラソフトウェア175によるコール処理、システムセンターからの構成テーブルのダウンロード、ブートアップ、リセットおよび連続方式におけるダイアグノスティックスの実行を含んでいる。さらに、キーステーションに接続されたインターフェイススイッチ内の機能プロセッサは、キーステーションから直接、回線キー作動メッセージを受信し分析する。回線キー作動メッセージは、回線または他のキーステーションに対する経路を指定すること、キーステーション上の回線をクリアまたは解除すること、キーステーションと回線の間、またはキーステーションと別のキーステーションの間に専用通信経路を指定すること、並びにユーザーの必要および要求に応じた多くの他の特徴を有している。キーステーションに接続されたインターフェイススイッチにおける機能プロセッサは、また、インターフェイススイッチに接続されたキーステーションのそれぞれに対する回線状態情報を集めて伝送する。

20

30

【 0 0 7 9 】

回線カードに接続されたインターフェイススイッチに対して、機能プロセッサは、回線状態を獲得し、これを適当な時に、スイッチポートを通じて交換ネットワークに同報通信する。機能プロセッサは、また、回線カードに接続された音声チャンネルに対するコール処理を行う。シンプレックスまたはデュプレックス経路のいずれかが、1つの開始スイッチポートと終了スイッチポートの間に設定される。これらの2つのポート間において、他のスイッチポートに対するいくつかのタンデム接続が存在する。デュプレックス通信において、開始および終了スイッチポートのスイッチ素子が、同一の宛先、すなわちインターフェイスカード内のブリッジポートに向かう経路を指定する。デュプレックス通信において、開始スイッチポートおよび宛先スイッチポートから宛先ブリッジポートに向かうデュプレックスポートの第1の半分は、各スイッチ素子内において順方向レッグと呼ばれる。複数のデュプレックス経路を、例えば、コール会議セットアップ中にもつことが可能である。この場合、含まれるすべてのインターフェイススイッチが、同一の宛先ブリッジポートに向かう経路を指定する。

40

【 0 0 8 0 】

図6および図7は、コール会議経路において使用されるスイッチ素子99の例を示したものである。図6において、スイッチポートAは、その内容がスイッチ素子99のスイッチ

50

ポートCのチャンネルを通じて、宛先ブリッジポートにアドレス指定されたチャンネルを受信する。また、スイッチポートBは、その内容がスイッチポートCのチャンネルを通じて、同一の宛先ブリッジポートにアドレス指定されたチャンネルを受信する。含まれる複数のパーティーを有するコール会議において、スイッチ素子内の別のポートは、また、その内容がスイッチ素子のスイッチポートCを通じて同一の宛先ブリッジポートにアドレス指定されたチャンネルを受信する。同一の宛先ブリッジポートに対する2つまたはそれ以上の経路が交差するスイッチ素子の場合、両方のチャンネルに対する入力チャンネル情報の2つの総和が加算器116によって与えられ、「F」として識別される順方向クロスポイントメモリ位置174に記憶され、スイッチポートCを通じて宛先まで伝送される。

【0081】

ブリッジポートから発生し、コールに含まれるすべてのインターフェイススイッチの和をとられた順方向レッグの分散を与える、デュプレックス経路の第2の半分は、逆方向レッグと呼ばれる。図7は、会議コールの逆方向レッグにおいて使用されるスイッチ素子99を示したものである。スイッチポートCは、ブリッジポートからチャンネルを受信する。チャンネルの内容は、会議コールにおけるすべてのチャンネルワードの和であり、「R」として識別される逆方向クロスポイントメモリ位置176に記憶される。逆方向クロスポイントメモリ位置の内容は、スイッチポートAおよびBのチャンネルを通じて、開始および宛先インターフェイススイッチに対してアドレス指定されている。

【0082】

したがって、順方向クロスポイントメモリ位置「F」は、経路の順方向レッグに対応しており、逆方向クロスポイントメモリ位置「R」は、経路の逆方向レッグに対応している。

【0083】

図6のスイッチポート170aおよび170b、並びに図7のスイッチポート170cの各入力チャンネルワードは、それに関係するポインタRAM134内のクロスポイントメモリ位置のアドレスをもっている。デュプレックス音声経路の順方向レッグ上において、スイッチ素子99が、入力チャンネルワードを、加算器116によって順方向クロスポイントメモリ174の現存する内容に加え、更新する。インアドレスポインタレジスタ128が、同一の宛先に経路指定されたすべてのデータに対して、同一のクロスポイントメモリ位置を与えることによって、多対1操作を可能にする。したがって、同一宛先を有する多数の入力チャンネル内に含まれるデータは加えられ、同一の順方向クロスポイントメモリ位置174に記憶される。デュプレックス経路の順方向レッグ上において、順方向クロスポイントメモリ位置174が読み出され、その内容が出力チャンネルに与えられる。その後、クロスポイントメモリ位置174の内容がクリアされる。

【0084】

デュプレックス経路の逆方向レッグ上において、スイッチ素子99は入力チャンネルワードを逆方向クロスポイントメモリ位置176に書き込む。図7の出力チャンネルワード172aおよび172b、並びに図6の出力チャンネルワード172cは、それぞれ、同様に、それに関係するポインタRAM134内のクロスポイントメモリ位置のアドレスをもっている。アウトアドレスポインタレジスタ130は、同一の逆方向メモリ位置176を指定することによって、1対多操作を可能にする。したがって、逆方向メモリ位置176の内容は、会議経路に対応する多数の出力チャンネルに対して使用可能である。デュプレックス経路の逆方向レッグ上において、逆方向クロスポイントメモリ位置からの出力チャンネルワードが読み出され、出力チャンネルに与えられる。

【0085】

G. コントローラおよび機能プロセッサ

スイッチ素子は、同時に、そのスイッチポートに接続された通信リンクから種々のコマンドコードおよび対応する引き数を受信する。入力コマンドの速度は、コントローラの処理時間よりも速くなり得る。したがって、各スイッチ素子は、先入れ先出し(FIFO)バッファを有し、入力コマンドを受信し、必要な情報を先入れ先出し方式でコントローラに与える。入力コマンドおよび対応する引き数は、図3のコマンドデコーダ142を通

10

20

30

40

50

じてF I F Oバッファ部144に与えられる。適当なときに、F I F Oバッファに記憶された情報が、図3のコントローラバス150を通じてコントローラ140によって読み出される。

【0086】

図8は、F I F Oバッファ部144を示したものである。F I F Oバッファ部144は、4個のF I F Oバッファ、すなわち、経路指定F I F Oバッファ180、経路クリアF I F Oバッファ182、チャンネルモニタF I F Oバッファ184および同報通信F I F Oバッファ186からなっている。クロスポイントメモリ位置およびスイッチポートが、図3のコントローラ140によって、これら4個のF I F Oバッファを通じてアクセスされる。

10

【0087】

経路指定F I F Oバッファ180は、コントローラが処理を行うための入力チャンネルからの経路指定コマンドを表している。各経路指定コマンドに対応するF I F Oの内容は、40ビットの広さを有している。読み出し機能が実行される間に、経路指定F I F Oバッファは、コントローラに、10ビットでポートおよびチャンネルの数を、6ビットでローカルチャンネル時間を、8ビットでコマンドコードを、16ビットでそのコマンドに対する引き数を与える。経路指定コマンドに対する引き数は、宛先論理アドレスコード(L A C)からなっている。したがって、通信リンク上の入力経路指定コマンドがスイッチポートによって検出され、経路指定F I F O180内におかれる。しばらくしてから、コントローラは、上述のようにF I F Oを読み出し、論理アドレスコードを用いて図3の宛先ポート記憶装置164内にインデックスを付与する。その後、宛先ポート記憶装置は、使用のため出力ポートまたはポートのグループを与える。

20

【0088】

F I F Oバッファ182は、経路クリアコマンドおよび非応答(N A K)コマンドを記憶するために使用される。F I F Oバッファ182は、その内容が34ビットからなっていることを除いて、経路指定F I F Oと同様に読み出される。読み出し機能が実行されている間に、F I F O182は、コントローラに、10ビットでポートおよびチャンネルの数を、8ビットでコマンドコードを、16ビットで対応する引き数を与える。経路クリアコマンドに対する引き数は、宛先論理アドレスコード(L A C)からなっており、N A Kコマンドに対する引き数は、チャンネル数およびそのコマンドの形式からなっている。

30

【0089】

F I F Oバッファ184は、コントローラ140に対してアラーム、エラー状態および警告コマンドを提示するために使用される。ポインタR A M134データ内の1つのビットは、スイッチポートおよびチャンネル方式上のチャンネルモニタF I F Oバッファを割り込み可能または割り込み不能にするために使用される。F I F Oバッファ184は、34ビットを有している。読み出し機能が実行されている間に、F I F Oバッファ184は、コントローラに、10ビットでポートおよびチャンネルの数を、8ビットでコマンドコードを、16ビットで対応する引き数を与える。

【0090】

以下でより詳細に説明するように、状態同報通信F I F O186は、同報通信メッセージを記憶し、転送するために使用される。

40

【0091】

図9は、図3の機能プロセッサ部の機能ブロック図である。機能プロセッサは、交換ネットワークにおけるすべてのスイッチ素子に対し共通の構成を有している。これによって、1つのプロセッサの構成を、すべてのスイッチ素子において使用することができ、これによって、各スイッチ素子の構成を簡単にし、将来の設計に対して共通の組み立てブロックを与えることができる。

【0092】

機能プロセッサ190は、S P A R Cプロセッサからなっている。機能プロセッサバス152は、機能プロセッサ32アドレスビットの24ビットサブセットからなるア

50

ドレスバスを含んでいる。機能プロセッサバス152は、また32ビットの広さを有する外部データバスを含んでいる。

【0093】

基本的な支援回路が、メモリ保護ユニット(MPU)192、RAM194、512キロバイトのメモリからなるブートEPROM196、ウォッチドッグ(WD)タイマ198、オシレーター200、物理位置I.D.202、割り込みコントローラ204、周辺インターフェイス206、メモリゲートコントローラ208、状態バッファ210、コントロールラッチ212、アドレスデコーダ214およびタイマ216を有している。

【0094】

コードおよびデータテーブルが、システムセンター15のハードディスクからRAM194にダウンロードされる。RAMは、高速記憶の要請および電池によるバックアップ使用の理由からスタティックである。ブートEPROM196は、ブートストラップおよび自己テストコードを有している。各スイッチ素子は、物理位置I.D.部における専用I/Oポートを通じて、バックプレーンから与えられた物理位置ID部202における14ビットレジスタを読み出すことによって、それ自体のスイッチ素子の形式、およびシステム内のその物理位置を決定することができる。メモリ保護ユニット(MPU)192は、ソフトウェアエンティティを機能プロセッサにおいて実行するために、RAM194の異なる部分にアクセスする権利を制御する。メモリゲートコントローラ208は、図3のメモリゲートを制御する。メモリゲートは、コントローラ140または機能プロセッサ部146が、特定の時間に、それぞれの別の環境にアクセスすることを許可する。周辺インターフェイス部206は、端末装置および回線カードが、インターフェイススイッチの機能プロセッサ部146に直接アクセスすることを許可する。

【0095】

図10は、コントローラおよび機能プロセッサメモリマップを示したものである。高速RAMからなるコントローラRAM166は、クロスポイントマッピングテーブル212に対するスイッチポートおよびチャンネルを有している。マッピングテーブルは、ともにクロスポイント数によってインデックスを付与されたクロスポイント第1チャンネルインリンクアップテーブル214およびクロスポイント第1チャンネルアウトリンクアップテーブル215、ポートおよびチャンネルによってインデックスを付与された次チャンネルインリンクリストテーブル216、ポートおよびチャンネルによってインデックスを付与された次チャンネルアウトリンクリストテーブル218を有している。コントローラRAMは、また、フリークロスポイントFIFOバッファ220を有している。コントローラRAMは、付加的に、作動中の音声およびデータチャンネルのそれぞれに対応する経路制御バッファ(PCB)を有している。PCBは、経路のリアルタイム状態モニタリングおよび処理のために使用される経路のそれぞれの端に割り当てられたメモリのブロックからなっている。コントローラRAM166は、メモリゲート154を通じて機能プロセッサRAM194にインターフェイスされている。

【0096】

図10において、コントローラは、ローカルコントローラインアドレスレジスタにおける入力チャンネル情報アドレスのコピーを有している。ローカルコントローラインアドレスレジスタは、リターンチャンネル数に対する5ビット、およびパケット制御バッファインデックス数に対する8ビットを含んでいる。したがって、コントローラインアドレスレジスタの入力チャンネル情報アドレスの内容は、次のフォーマットを有している。

【0097】

コントローラインアドレスレジスタ	
クロスポイントメモリ位置アドレス	10ビット
会議レッグフラグ	1ビット
話中フラグ(割り込み可能なチャンネルモニタ)	1ビット
リターンチャンネル #	5ビット
パケット制御バッファインデックス #	8ビット

10

20

30

40

50

アイドルカウント 5 ビット

【 0 0 9 8 】

パケット制御バッファインデックス数は、すべてのスイッチポートおよびチャンネル上のすべての事象が、もし存在するならば、パケット制御バッファに関係づけられることを許す。交換ネットワークのスイッチ素子に対して、このフィールドはブランクとして残される。コントローラRAM166は、また、ローカルコントローラアウトアドレスレジスタ内に、出力チャンネルワードのクロスポイントメモリ位置アドレス、および最終的な経路宛先に対する論理アドレスコードを有している。したがって、コントローラRAM内のコントローラアウトアドレスレジスタは次のフォーマットを有している。

【 0 0 9 9 】

コントローラアウトアドレスレジスタ	
クロスポイントメモリ位置アドレス	10 ビット
会議レッグフラグ	1 ビット
話中フラグ	1 ビット
宛先論理アドレスコード #	16 ビット

【 0 1 0 0 】

図10に示したように、機能プロセッサRAMは、宛先ポート記憶装置230、回線状態テーブル234、コールメッセージバッファ236、事象FIFOバッファ156、アクションFIFO158、フリーFIFO160およびパケットバッファ232を有するコールメッセージFIFOバッファを有している。コールメッセージバッファ(CMB)238は、機能プロセッサによって使用され、経路制御バッファ222と同一のデータ構造を有している。コールメッセージFIFO156、158、160は、機能プロセッサに対する「事象」情報、および機能プロセッサからの動作コマンド情報を送るための経路メッセージFIFOバッファからなっている。したがって、コールメッセージFIFOバッファは、各スイッチ素子における機能プロセッサとコントローラの間の相互作用を可能にする。

【 0 1 0 1 】

宛先ポート記憶装置230(DPS)は、出力スイッチポートまたはスイッチポートグループを選択するための論理アドレスコードによってインデックスを付与されたメモリテーブルである。したがって、各スイッチ素子がコマンドコードを受信し、宛先論理アドレスコード(LAC)に対する経路を指定するとき、宛先ポート記憶装置は、入力チャンネルデータを当該宛先LACに向けることができる使用可能なスイッチポートまたはスイッチポートのグループを与える。LACに対応する出力スイッチポートまたはポートのグループは、システムが初期設定される時、あるいはその後動的にシステム内に物理的な再構成が存在するときに設定される。一旦、出力スイッチポートまたはスイッチポートのグループが与えられると、スイッチ素子はそのスイッチポート情報を図3のチャンネル割当てシステム(CAS)に向け、選択されたスイッチポートにおける最適のポートおよびチャンネルを選択する。その結果生じるスイッチポートおよびチャンネルは、その後、選択された出力スイッチポートおよびチャンネルとして宛先ポート記憶装置テーブル230に記憶される。宛先ポート記憶装置230は、順方向クロスポイントメモリ位置アドレスを記憶する。逆方向クロスポイントメモリ位置アドレスは、対応する順方向クロスポイントメモリ位置アドレスによってインデックスを付与され得る結合テーブルによって見つけ出される。同様に、順方向クロスポイントメモリ位置アドレスは、対応する逆方向クロスポイントメモリ位置アドレスによって見つけ出され得る。宛先ポート記憶装置のフォーマットは、したがって次のようになる。

【 0 1 0 2 】

宛先ポート記憶装置	
アウトポート/グループ	5 ビット
クロスポイントメモリ位置アドレス	10 ビット
カウント	5 ビット

10

20

30

40

50

L	1 ビット
選択された出力ポート	5 ビット
選択された出力チャンネル	5 ビット

【 0 1 0 3 】

ここで、アウトポート/グループは、その望まれた宛先に要求されるデータを経路指定する、選択されたスイッチポートまたはスイッチポートのグループである。カウントエントリーは、特定の経路の一部となるスイッチ素子上の接続の数を記憶する。L (ローカルビット) は、宛先 L A C がスイッチ素子に対してローカルである場合に設定される。

【 0 1 0 4 】

もし、入力チャンネル情報に含まれる経路指定コマンド上において、宛先ポート記憶装置のチェックが、宛先論理アドレスコードに対するいかなる経路も存在しないことを示しているならば、入力チャンネルワードに対する使用可能なクロスポイントメモリ位置アドレスがフリー F I F O から読み出される。しかしながら、もし、宛先ポート記憶装置のチェックが経路が既に存在していることを示しているならば、カウントエントリーは 0 ではなく、宛先ポート記憶装置 (D P S) 2 3 0 における対応するクロスポイントメモリ位置アドレスが使用される。

【 0 1 0 5 】

シンプレックス経路において、宛先ポート記憶装置のクロスポイントメモリ位置アドレスに対するエントリーが、順方向クロスポイントメモリ位置のアドレスを記憶するために使用される。デュプレックス経路において、宛先経路記憶装置におけるクロスポイントメモリ位置アドレスに対するエントリーは、また、順方向クロスポイントメモリ位置のアドレスを記憶し、順方向レッグに対して使用される。その後、デュプレックス経路に対する逆方向クロスポイントメモリ位置のアドレスが、コントローラ結合テーブルのチェックによって見つけ出される。

【 0 1 0 6 】

カウンフィールドは、特定の経路におけるスイッチ素子上の接続の数とみざされ得る。それは、経路が最初に指定されたとき、4 回増加する。順方向レッグにおける出力チャンネルに対して 1 回と、逆方向レッグの入力チャンネルに対して 1 回と、逆方向レッグにおける出力チャンネルに対して 1 回である。スイッチ素子に入力される同一の論理アドレスコード数に対する次の経路指定は、カウントを 2 だけ増加させる。すなわち、入力順方向チャンネルに対して 1 回と、出力逆方向チャンネルに対して 1 回である。

【 0 1 0 7 】

各スイッチ素子における宛先ポート記憶装置 (D P S) の L ビットは、宛先論理アドレスコードに対応するスイッチポートが同一のスイッチ素子内に存在するかどうかを表している。データ経路に対し、L ビットが設定されるとき、宛先は、当該スイッチ素子に対するリンクデータポート (L D P) であると仮定される。

【 0 1 0 8 】

ポートのグループが、対応する論理アドレスコードに対して使用可能であるとき、スイッチ素子は、割り込み可能なポート間のトラフィックロードが、等しく分散されることを保証する。宛先ポート記憶装置によって与えられたスイッチポートまたはスイッチポートのグループは、最新のスイッチポートパラメータとともに図 3 のチャンネル割当てシステム 1 6 2 にアクセスし、次の使用可能なフリーチャンネルを配置するために使用される。もし、スイッチポートグループにおける 1 以上のスイッチポートが同一の最短チャンネル時間を有しているならば、「最新スイッチポート」情報が選択のために使用される。「最新スイッチポート」エントリーを見ることによって、C A S は、グループ内における次の使用可能なスイッチポートを選択する。「最新スイッチポート」テーブルエントリーは、チャンネルがスイッチポートグループから割り当てられるたび毎に、更新される。

【 0 1 0 9 】

図 1 1 ~ 図 1 3 は、図 1 0 に示した、クロスポイント第 1 チャンネルインルックアップテーブル 2 4 1、クロスポイント第 1 チャンネルアウトルックアップテーブル 2 1 5、次チ

10

20

30

40

50

チャンネルインリンクリストテーブル 2 1 6 および次チャンネルアウトリンクリストテーブル 2 1 8 を説明した図である。ときどき、スイッチポートおよびチャンネル、またはクロスポイントメモリ位置アドレスのみをもつ、コールに含まれるパーティーを配置することが必要になる。テーブル 2 1 4、2 1 5、2 1 6 および 2 1 8 は、この情報を与えることができる。図 1 1 は、クロスポイント第 1 チャンネルイン/アウトリンクアップテーブル 2 1 4 および 2 1 5 を詳細に説明したものである。クロスポイントメモリ位置アドレスによって各テーブル内にインデックスを付与することによって、クロスポイントメモリ位置に書き込みまたはこれから読み出すように割当てられた第 1 スwitchポートおよびチャンネルを見つけ出され得る。順方向クロスポイントメモリ位置に対し、クロスポイントメモリ位置から読み出されるただ 1 つの出力チャンネルが存在する。逆方向クロスポイントメモリ位置に対し、逆方向クロスポイントメモリ位置に書き込まれるただ 1 つのスイッチポートおよびチャンネルが存在する。クロスポイント第 1 イン/アウトリンクアップテーブルにおけるエントリーのレイアウトは以下のようにになっている。

【 0 1 1 0 】

クロスポイントイン/アウト

第 1 スwitchポートおよびチャンネルイン	1 0 ビット
第 1 スwitchポートおよびチャンネルアウト	1 0 ビット

【 0 1 1 1 】

図 1 2 は次チャンネルインリンクリストテーブル 2 1 6 を、図 1 3 は次チャンネルアウトリンクリストテーブル 2 1 8 をそれぞれ示したものである。順方向クロスポイントメモリ位置に書き込みを行う複数のスイッチポートおよびチャンネルが存在し得ることがわかる。順方向クロスポイントメモリ位置に書き込みが行われるとき、各チャンネルの内容が順方向クロスポイントメモリ位置の前の内容に加えられ、その和が記憶される。同様に、逆方向クロスポイントメモリ位置から読み出しを行う複数のポートおよびチャンネルが存在し得る。経路内のすべての参加者を見つけ出すために、固定長テーブル 2 1 6 および 2 1 8 は、多数のリンクされたリスト、すなわち入力チャンネルに対するものと出力チャンネルに対するものを含んでいる。クロスポイントメモリ位置に書き込みを行うための第 1 スwitchポートおよびチャンネルは、前に説明したように、クロスポイント第 1 チャンネルイン/アウトリンクアップテーブル 2 1 4 および 2 1 5 を用いることによって見つけ出され得る。第 1 ポートおよびチャンネルは、リンクリストテーブル 2 1 6 内の次のチャンネル内にインデックスを付与し、同一の順方向クロスポイントメモリ位置に書き込みを行う次のポートおよびチャンネルを得るために使用される。もし、インデックススイッチポートおよびチャンネル 2 4 0 がクロスポイントメモリ位置に書き込みを行うただ 1 つのチャンネルであるなら、あるいはもし、インデックススイッチポートおよびチャンネル 2 4 0 が最新のポートおよびチャンネルであるならば、リンクリストテーブル位置における次のチャンネルの内容は、ゼロ (N U L L) となる。

【 0 1 1 2 】

スイッチポートおよびチャンネルが経路に加えられたとき、それはリンクリストの終端に加えられなければならない。スイッチポートまたはチャンネルが経路から取り除かれたとき、リンクされたリストは圧縮されなければならない。イン/アウトリンクリストテーブルにおけるエントリーのレイアウトは次のようになっている。

【 0 1 1 3 】

次チャンネルインリンクリストテーブル

前のスイッチポートおよびチャンネルイン	1 0 ビット
次のスイッチポートおよびチャンネルイン	1 0 ビット

【 0 1 1 4 】

次チャンネルアウトリンクリストテーブル

前のスイッチポートおよびチャンネルアウト	1 0 ビット
次のスイッチポートおよびチャンネルアウト	1 0 ビット

【 0 1 1 5 】

10

20

30

40

50

交換ネットワークの素子に加えて、プロトコル層が、経路指定の決定、コンポーネントのテスト、エラー状態に対する応答および他のプロトコル層との通信を行うために必要であることがわかる。コントローラ内において、2つのソフトウェア層が存在し、交換経路プロトコル(SPP)および交換接続プロトコル(SCP)として識別される。交換経路プロトコルは終端間経路処理に対する責任を有する。交換経路プロトコルは、図3の機能プロセッサ部146、リンクデータポート148および交換接続プロトコル(SCP)とのインターフェイスをとる。SCPは、ネットワークを横切るステージ接続によってステージに対する責任を有する。SCPは、コントローラ140における交換経路プロトコル(SPP)とのインターフェイスをとる。交換経路プロトコルは、図3および図10に示したメッセージFIFOバッファ156、158、160を通じて機能プロセッサ部

10

【0116】

図14は、対応する(PCB)エントリを有するパケット制御バッファ(PCB)のブロック図である。交換経路プロトコルは、それぞれが共通のリソースと同一のコントローラプロセッサおよびソフトウェアを用いる多数の作動チャンネルを同時に処理するので、いくつかの手段が、この共通のリソースを使用するチャンネルを処理するとき、各作動チャンネルの状態をリコールするために与えられなければならない。各作動チャンネルのこの状態情報は、経路制御バッファ(PCB)によって維持される。

【0117】

96個の使用可能な経路制御バッファが存在する。これらは、ターミナルポート、ブリッジポートまたはリンクデータポート(LDP)のいずれかに動的に割り当てられる。初期設定が行われるとき、これらはすべて、「フリー」リストとして識別されるダブルリンクリスト内に配置される。これらは、経路が指定される間にフリーリストの始端から「トランジェント」リストの終端まで移動せしめられる。一旦、経路が確立され、確認コマンドによってチェックされると、経路に割り当てられた経路制御バッファが、音背経路に対する「トーク」リストおよびデータ経路に対する「リンクデータポート(LDP)」リスト内に配置される。

20

【0118】

経路の伝送の間に、経路制御バッファは、トランジェントリストにもどされ、一旦、経路クリア機能が完了すると、経路制御バッファは「フリー」リストの終端にもどされる。

30

【0119】

図10に示したように、経路制御バッファ222は、コントローラによって使用され、その作動時間を通じて各作動コールおよび経路の詳細をリアルタイムで処理し、また、その履歴を追跡するため、特に問題を付いてきずるために使用される記録を与える。コールメッセージバッファ(CMB)238が機能プロセッサ部によって使用され、「作動」要求を「作動」FIFOバッファ158を通じて交換経路プロトコルに伝送し、その後交換プロトコルによって使用され、経路制御バッファ(PCB)の現在の状態を、「事象」FIFO156によって機能プロセッサ部に伝送する。「事象」通信メッセージバッファ(CMB)は、共通の素子を備えた事象指定構造を有している。CMBは、経路制御バッファのサブセットである。経路指定に対し、通信メッセージバッファは、機能プロセッサが交換経路プロトコルに対し、発生せしめられるべき経路の望まれるパラメータを与えるようにするための手段である。経路の開始および終了に対し、経路制御バッファは、メモリ内の必要とされるデータバッファに対しデータをやりとりするために使用される。PCBは、交換経路プロトコルおよび交換接続プロトコルを両方によって共有される。

40

【0120】

リンクデータポートにおける入力/出力チャンネルの各対は、ネットワークコマンドおよび機能プロセッサコマンドにตอบสนอง(コントローラの交換経路プロトコル(SPP)ソフトウェアによって実行される)状態機械(state machine)によって駆動される。これ

50

によって、コントローラは、成功した結果が生じるまで、あるいは通常の故障またはエラー状態が生じるまで、経路を処理することが可能となる。それによって、交換経路プロトコルは、一定のステージに到達したときに機能プロセッサーに対し警告しなければならないまで、入力経路指定を同時に処理することが可能となる。

【 0 1 2 1 】

各コールの作動時間を通じて、インターフェイススイッチ内のモニタ F I F O 1 8 4 (図 8 参照) は、接続状態にあり、S P P によって処理されるパケット制御バッファーにおける接続の詳細の完全な記録を維持する。パケット制御バッファー内の情報は、交換経路プロトコルおよび交換制御プロトコルの両方に共有される。コール処理が決定を行うために必要とされる場所にステージが到達したときにはいつも、コールの現在の状態およびそのデータのコピーが、コールメッセージバッファー (C M B) 内に配置され、C M P に対するポインタが事象メッセージ F I F O バッファー内に配置される。

10

【 0 1 2 2 】

経路制御バッファーは、関連するデータを与えるための多数のフィールドを有しており、各フィールドエントリが、作動コールの間に使用される。もしコールメッセージバッファー 2 3 8 が情報を、交換経路プロトコル (S P P) から機能プロセッサーに伝送するならば、情報は、「事象」形式であり、入力コマンドおよび引き数である。しかしながら、もしコールメッセージバッファーが情報を機能プロセッサーから交換経路プロトコルに伝送するならば、このワードにおける情報は、実行されるべき望まれる「作動」を表す経路制御コードとなる。この制御コードは、通信メッセージバッファー (C M B) のコマンド指定部分の構造を決定する。

20

【 0 1 2 3 】

経路に対応するパケット制御バッファーは、0 ~ 9 5 のいずれかからなるそのパケット制御バッファー (P C B) 数を表すエントリを有している。これによって、コントローラはそのパケット制御バッファーを機能プロセッサー経路 I D に関連させることができる。P C B 数は、コントローラによって与えられる。この経路に属するコントローラに対する次のいずれの事象も、P C B 数からなるコントローラ I D を有している。

【 0 1 2 4 】

状態 / 経路状態エントリは、データまたはターミナルポートチャンネル対状態機械およびいくつかの関連状態ビットの状態を含んでいる。

30

【 0 1 2 5 】

作動リンクデータポートチャンネルが処理されるとき、交換経路プロトコルが、パケット制御バッファーによって与えられた状態をもつリンクデータポートおよびチャンネルに対する状態機械を実行する。交換経路プロトコル (S P P) は、状態エントリに対する責任を有している。S P P がシグナルを機能プロセッサーに伝送するとき、機能プロセッサーは、コマンドエントリおよび状態ビットをチェックし、事象の発生を決定する。

【 0 1 2 6 】

F I F O バッファー 1 5 6 は、スケジューラによって決定される一定の速度で、機能プロセッサーによってポーリングされる。経路状態情報は、次のようになる。

【 0 1 2 7 】

経路状態

経路指定試みオーバーフロー (E)	経路クリア (E)
パケット送信 (E)	経路失敗 (E)
A C K (E)	パケット受信 (E)
N A K (E)	パケット伝送失敗 (E)
音声経路完了 (E)	

40

【 0 1 2 8 】

パケット制御バッファーにおける他のエントリは、ローカルアドレスコード (L A C) および遠隔論理アドレスコード上の情報を有している。ローカル L A C は、経路を指定するときには発信 L A C からなっており、また、経路を終了するときには宛先 L A C からな

50

っている。宛先 L A C は、経路指定を開始するとき使用される宛先 L A C であり、または経路を終了するとき使用される発信 L A C である。

【 0 1 2 9 】

システム要件に依存して、インターフェイススイッチのいくつかのターミナルポートが、音声を記録するためのテープレコーダとして使用可能である。テープポートおよびチャンネル上の情報を、パケット制御バッファ内に含めるためのエントリが、（構成の変更がなされるまで保持される）テープ経路指定のために使用される。それは、テープチャンネルに接続するために（インターフェイススイッチによって扱われるテープカードからの）音声経路に結合されなければならないポートおよびチャンネルの数を有している。

【 0 1 3 0 】

パケット制御バッファにおけるさらに別のエントリは、経路上の情報およびコールメッセージバッファ識別を有している。経路識別数は、機能プロセッサによって使用され、新たな作動に対して使用不適なコールメッセージを取り除くために、機能プロセッサ RAM において、コマンドに対する経路およびコールメッセージバッファポイントを識別する。

【 0 1 3 1 】

機能プロセッサは、経路 I D の割当てに対する責任を有している。機能プロセッサが経路指定を開始するとき、経路識別エントリは当該情報を表している。交換経路プロトコルは、事象シグナルを新たな経路（例えば音声経路）に対する機能プロセッサに伝送するとき、経路識別はブランクである。機能プロセッサは、経路 I D を割当て、それを交換経路プロトコルに戻される次のコマンド内に含める。

【 0 1 3 2 】

機能プロセッサは、経路 I D によってコールメッセージバッファがどの経路に対応しているのかを識別する。交換経路プロトコルは、通信メッセージバッファ（C M B）内におけるコントローラ I D エントリによって経路を識別する。コントローラ I D は、特定の経路に割当てられた経路制御バッファ数である。

【 0 1 3 3 】

交換経路プロトコルが事象シグナルを機能プロセッサに伝送するとき、コールメッセージバッファ識別は、どのコールメッセージバッファ（C M B）がフリーであり得るかを、機能プロセッサに伝える。機能プロセッサは、C M B リソース割当てを処理することに責任を有しており、C M B をクリアし、C M B に対するポイントをフリープロトコルに配置する。

【 0 1 3 4 】

パケット制御バッファ内における結合パラメータエントリは、結合に対するポートおよびチャンネルの対を有している。ターミナルポート、ブリッジポートまたはテープポートおよびチャンネルを、クロスポイントメモリ位置に関係させる操作が結合である。もし通信処理装置からの経路指定コマンドが自動的な結合でなければ、通信処理装置はスイッチポートおよびチャンネルの独立な結合を行わなければならない。スイッチポートおよびチャンネルの対は、機能プロセッサによって指定される。結合情報は 3 ビットを有している。すなわち、開始および終了に対する 1 ビットと、順方向および逆方向に対する 1 ビットと、作動および非作動に対する 1 ビットである。

【 0 1 3 5 】

試みのカウントおよび遅延情報エントリは、経路を指定するとき交換経路プロトコルが行う試みの数である。遅延は、一般的な特定目的タイマである。タイマの使用は状態に依存する。このタイマの細分性は、125 μ 秒または 1 フレームである。このエントリは交換経路プロトコルのみによって設定され、使用される。このタイマの典型的な使用は、確認コマンドを伝送した後、タイマを 8 に設定する。状態は「確認中」である。もしタイマが確認がリターンされる前にタイムアップしてしまうと、交換経路プロトコルは、リンクデータポートを通じて別の確認コマンドの実行を開始する。一旦、確認が受信されると、遅延の内容は 8 マイナス現在のエントリとなる。これは確認コマンドのフレーム

10

20

30

40

50

遅延であり、エコー取消に対する各インターフェイスカード内のプロセッサによって必要とされる。

【0136】

確認がリンクデータポートチャンネルを通じて交換ネットワーク内において実行を開始される。これによって、コントローラは、確認コマンドが交換ネットワーク内に送られたとき、および確認コマンドが往復の伝送の後に受信されたときを正確に決定することが可能となる。パケット制御バッファは、確認コマンドを含むリンクデータポートを追跡し続けるためのエントリを有している。

【0137】

ポート内の確認往復伝送遅延をチェックするために使用されるパラメータは、経路に対応するパケット制御バッファにおけるエントリを有している。これらのパラメータは、確認伝送の開始時間、確認伝送の終了時間、確認が受信される入力反転ポートおよび音声経路に対する入力反転チャンネルが処理されるローカルチャンネル時間からなる入力反転チャンネル時間である。

【0138】

交換ネットワークの作動の間に、経路情報がデータ経路セットによって、システムの至る所に送られる。パケット制御バッファにおけるパケット形式のエントリ（データ経路のみ）は、「パケット形式の」コマンドの引き数部分における情報を含んでいる。多数のデータパケットが交換ネットワークを通じて伝送されるので、種々のパケット形式が識別されなければならない。関係のあるパケット形式の情報が、「パケット形式の」コマンドが受信されたときに交換経路プロトコルによってこのエントリに書き込まれ、あるいは、「伝送パケット」操作が交換経路プロトコルに伝送されたときに機能プロセッサによってロードされる。

【0139】

パケットバッファ制御エントリは、データ経路のみに対する情報を含んでいる。このエントリは、パケットバッファ制御ブロックに対するポインタを有している。

【0140】

パケット開始エントリは、パケットを送信または受信するスイッチ素子に対応する現在の「送信」または「受信」パケットに対する基本ポインタを含んでいる。このエントリは、パケットを送信するときに機能プロセッサによって設定され、また、パケットを受信するときに交換経路プロトコル（SPP）によって設定される。SPPの受信は、使用可能なパケットバッファのリストからのエントリを満たしている。各パケットバッファの大きさに対応するパケットバッファのリンクリストがいくつか存在する。SPPは、リンクリストから適当なパケットバッファを得る。その後、リストは機能プロセッサによって再び満たされる。

【0141】

パケットリミットエントリは、データ経路のみに対する情報を含んでいる。それは、伝送の際に、パケットの実際の大きさを有しており、機能プロセッサによって設定される。受信に対し、これは、現在のパケットの大きさを定義する値である。パケットの最大の大きさは、既にパケット形式のコマンドによって定義されている。「次のワード=パケットリミット」のとき、パケットが伝送され、次のチャンネルが「パケットコマンドの終端」およびチェックサムを含んでいなければならない。パケット長がパケットリミットよりも小さい場合には、チェックサムはこれの前に生じる（パケットコマンドの終端の受信によって明らかとなる）。

【0142】

パケット制御バッファにおける最初のワードエントリ/次のワードエントリは、データ経路のみに関する情報を有している。最初のワードは、データを送信または受信するときに、送信または受信バッファの始めを表すベースアドレスからの開始オフセットからなっている。これによって、開始オフセットは、パケットエラーが発生したときに「次のワード」に対してコピーされることができる。これによって、パケットバッファ制

10

20

30

40

50

御ブロックに対するポインタを維持する必要がなくなる。

【 0 1 4 3 】

次のワードは、パケットバッファの現在のエントリーに対するパケット開始からのインデックスオフセットである。伝送の間に、このエントリーは、パケットバッファから送信されるべき次のパケットエントリーを指示する。受信の間に、このエントリーは、データチャンネル上の受信された次のデータのパケットバッファにおける宛先を指示する。全パケットが受信されたとき、機能プロセッサは、このエントリーを使用し、パケット長を決定することができる。

【 0 1 4 4 】

データ経路エントリーに対するチェックサムは、送られる現在のパケットのチェックサムを含んでいる。それは、パケットを送信するときに、最初の交換経路プロトコルによって、チェックサムコマンドの引き数として計算され、パケットの終端で送信され、また、パケットを受信するときに、宛先交換経路プロトコルによって計算され、受信されたチェックサムコマンドの引き数と比較される。この値は、データを前のチェックサムエントリーに加えることによって計算される。その後、更新されたチェックサムは、最初の位置に記憶される。パケットの送受信が開始されるとき、このエントリーは0に設定される。このチェックサムは、データコマンドコードおよびパケット形式に対する引き数の和からなっている。

10

【 0 1 4 5 】

クロスポイント情報エントリーは、順方向および逆方向のクロスポイントメモリ位置のアドレスを記憶するために使用される。この情報は、結合を実行するため、並びに非応答 (N A K) または強制された解除の事象における順序正しいクリアのために必要である。

20

【 0 1 4 6 】

プロトコル層の間の通信は、コールメッセージ F I F O バッファによって行われる。進行中の各経路およびコールに関係するデータは、コントローラ R A M 内の独立の経路制御コントローラ内に保持される。同様の構造が、機能プロセッサ R A M 内の、進行中または予定された各経路 / コールに対して保持される。機能プロセッサによって要求される経路「作動」または交換経路プロトコルによってモニタされたチャンネルによって機能プロセッサにもどされた「事象」に関係するデータは、交換経路プロトコル (コントローラ) および機能プロセッサ部の両方によってアクセス可能な、機能プロセッサ R A M におけるコールメッセージ F I F O を用いて、それらの間を伝送される。通信処理装置は、コールメッセージバッファ (C M B) の作動に対する責任を有している。これらの C M B に対するアクセスは、それぞれに対するインデックスによって制御される。これらのインデックスは、 S P P および機能プロセッサ部の間を、コールメッセージ F I F O バッファ 1 5 6 、 1 5 8 、 1 6 0 によって、いずれのインデックスも、別のインデックスの操作を妨害することがないように伝送される。

30

【 0 1 4 7 】

F I F O バッファは、 5 1 2 個の可能なコールメッセージバッファを可能にする 9 ビットの広さを有している。この 9 ビットは、コールメッセージバッファインデックスを定義する。コールメッセージバッファの位置は、機能プロセッサ R A M 内に配置された機能プロセッサメモリマップテーブルにおける C M B ベースポインタエントリーを用いることによって見つけ出され得る。メッセージバッファは次のように与えられている。

40

【 0 1 4 8 】

F I F O バッファ	書き込み	読み出し
フリー	機能プロセッサ	S P P (コントローラ)
(エンプティ C M B)		
事象	S P P (コントローラ)	機能プロセッサ
作動	機能プロセッサ	S P P (コントローラ)

【 0 1 4 9 】

50

フリーメッセージFIFOバッファは、現在占有されていないコールメッセージバッファに対するポインタを有している。機能プロセッサは、コールメッセージバッファおよび関係するポインタを、エンプティーCMBのプール内に配置する。共に機能プロセッサによって操作される2組のフリーコールメッセージバッファが存在する。フリーコールメッセージバッファのプールは、フリーCMBFIFOバッファとは独立に維持され、その結果、機能プロセッサは、作動FIFOバッファ内に配置すべく、経路またはパケット要求によってCMBを準備したい場合に、フリーCMBFIFOバッファにアクセスする必要はない。機能プロセッサが、フリーCMBFIFOバッファを再び満たすのは、このプールからである。

【0150】

機能プロセッサはフリーメッセージFIFOバッファ160の占有をモニタし、0から511までの通信メッセージバッファ(CMB)数を適当に供給し続ける。機能プロセッサは、プールからすべてのエンプティーCMBに対するポインタをとり、それを、作動FIFOバッファ158内にポインタをおく前に新たなコールに対するパラメータとともにロードする。交換経路プロトコルは、新たな入力コールが検出されるとき、または作動がリポートを要求する経路上において生じるときはいつでも、フリーFIFOバッファ160からフリー通信メッセージバッファに対するポインタをとる。

【0151】

作動FIFOバッファ158におけるポインタによって指定された通信メッセージバッファをとる交換経路プロトコル(コントローラ)の作動は、関係する情報を、通信メッセージバッファからコントローラのアドレス空間内の高速RAMにおけるパケット制御バッファにコピーすることを伴う。通信メッセージバッファに対するポインタを事象FIFOバッファ156に配置する前に、コントローラは、その高速RAM166内の適当なパケット制御バッファのエントリを、機能プロセッサRAMにおけるCMB位置にコピーしなければならない。

【0152】

これらのパケット制御バッファは、それらの内容が、不完全なコールを含んでいるときに機能プロセッサRAM内の通信メッセージバッファにコピーされ、それらのCMBポインタが事象FIFOバッファ156内に配置される。また、パケット制御バッファは、コールを処理する交換経路プロトコルによって保持され続け、他のさらなる作動の正確な処理を保証する。通信メッセージバッファは、事象が伝えられたときのコール状態を含んでいる。機能プロセッサに伝送されるべき次の事象は、いずれも、フリーFIFOからの別の通信メッセージバッファを取り出すことによって実行される。機能プロセッサはその後、FIFOの機能によって、正確な順序でCMBを読み出す。

【0153】

H. チャンネル割当て記憶装置

本発明によるチャンネル割当てシステムは、スイッチ素子15におけるすべてのスイッチポート上のすべての出力チャンネルの可用性(話中/フリー状態)を維持し、識別されたスイッチポート上の指定されたタイムウィンドウ内の最先のフリーチャンネルを決定する。好ましい実施例において、チャンネル割当てシステムは、出力通信リンクに対して使用されるポートグループのスイッチ素子コントローラからの識別を受信する。チャンネル割当てシステムは、スイッチポートが各ポートグループを構成する割当てを維持する。ポートグループは、どのスイッチポートが最先のフリーチャンネルに対して探索されなければならないかを表示する。ポートグループ0~19は、それぞれのスイッチポートの識別に対して保存される一方、ポートグループ20~31は、スイッチポートのグループの指定に対して反転される。ポートグループが出力経路として指定されたとき、ポートグループを構成するそれぞれのスイッチポートの識別が決定されなければならない。

【0154】

可用性テーブル300は、図15に示したように、チャンネル割当てシステムの中央素子である。出力スイッチポートおよびチャンネルの選択に際し、可用性テーブル300内に

10

20

30

40

50

維持された、スイッチポートおよびチャンネルのフリー/話中状態が、最先のフリーチャンネルに対して捜し出される。適当なスイッチポートおよびチャンネルに対する可用性テーブルの探索を制限するために、探索に含まれるべき（スイッチ素子15のスイッチポートおよびチャンネルに対応する）可用性テーブル300の行および列が制御される。識別されたポートグループに含まれるスイッチポートに対応する可用性テーブル300の行のみが使用可能となるようにするための手段が与えられる。同様に、可用性テーブル300の一定のチャンネルに対応する一定の列のみが使用可能であるようにするための手段が与えられる。

【0155】

可用性テーブル300は、連想メモリセル302のアレイとして構成され、スイッチ素子 10
 おける各チャンネルの可用性（フリー/話中状態）を維持する。可用性テーブル300は、
 ポートグループによって識別されたスイッチポート上の指定されたタイムウィンドウ内
 の最先のフリーチャンネルを確かめるために使用される。基本的なスイッチ素子は、32
 チャンネルを備えた20個のスイッチポートを有している。したがって、各ポートおよび
 チャンネルの可用性を記憶するために、可用性テーブル300は連想メモリセル302の
 20行（各スイッチポートごとに1つの行）および32の列（各チャンネルごとに1つの
 列）内に配置される。取決めによって、チャンネルが使用可能であれば、可用性テー
 30
 300内の対応するセル302は1の値（ハイ論理値）をもち、チャンネルが話中であら
 ば、対応するセルは0の値（ロー論理値）をもつ。このようにして、可用性テー
 20
 300の適当な行は、最先の使用可能テーブルに対して容易に探索され得る。

【0156】

可用性テーブル300のそれぞれの連想メモリセル302の概略図を図16に示した。図
 示のように、可用性テーブル300の各セル302は、メモリ素子304、並びに6つの
 入力および2つの出力を有している。メモリ素子304は、対応するスイッチポートおよ
 びチャンネルのフリー/話中状態（0または1）を維持する。可用性テーブル300内の
 各々のセル302は、その水平使用可能（ H_{EN} ）インプットおよび垂直使用可能（ V_{EN} ）
 インプットの両方が論理値1をもつとき、使用可能とされる（探索内に含まれる）。

【0157】

可用性テーブル300の列は、各セル302の垂直アウトプット（ V_{OUT} ）を、その下側
 のセル302の垂直インプット（ V_{IN} ）に接続することによって構成される。同様に、可
 30
 300内の行は、各セル302の水平アウトプット（ H_{OUT} ）をそのすぐ右
 側のセル302の水平インプット（ H_{IN} ）に接続することによって生成される。さらに、
 アレイの一番上の行における各セル302の垂直インプット（ V_{IN} ）およびアレイの左側
 の列における各セルの水平インプット（ H_{IN} ）が、論理値0に結合される。

【0158】

図16に示した各セル302内のメモリ素子304における値は、 CH_{UP} インプット（選
 択されたチャンネル更新）および ST_{INIT} インプット（状態初期設定）によって制御され
 る。 CH_{UP} インプットは、話中状態に対して選択されたチャンネルに対応するセル302
 を設定するために使用される。さらに、 ST_{INIT} インプット（状態初期設定）は、各メモ
 30
 304の可用性状態を直接制御する。 ST_{INIT} インプットは、例えば各セル302
 40
 の状態をシステム初期設定の際にフリー状態に初期設定するため、セル302の値をフリー
 状態に対して更新するためまたはバイト状態に対するコール経路指定に対して通常は使
 用可能ではないチャンネル（例えばクロッキングおよび状態同報通信チャンネル）に関係
 するすべてのセル302を指定するために使用され得る。

【0159】

可用性テーブル300における各セル302のロジックは次のようになっている。すなわ
 ち、可用性テーブル300における特定の行の水平アウトプット（ H_{OUT} ）は、各々の行
 がその水平使用可能シグナル（ H_{EN} ）によって使用可能であり、かつその対応する垂直使
 用可能シグナル（ V_{EN} ）によって同時に使用可能なその行内のすべてのセルがフリーとな
 っている場合（そのメモリ素子304内の論理値1によって表される）に、論理値1をも
 50

つ。同様に、可用性テーブル300内の特定の列の垂直アウトプット (V_{OUT}) は、各々の列がその垂直使用可能シグナル (V_{EN}) によって使用可能であり、かつその対応する水平使用可能シグナル (H_{EN}) によって同時に使用可能なその列内のすべてのセルがフリーとなっている場合 (そのメモリ素子304内の論理値1によって表される) に、論理値1をもつ。このロジックは次のブール代数の方程式によって満足されている。

【数1】

$$M = V_{EN} \cdot ST_{INIT} \cdot H_{EN}$$

$$\overline{M} = V_{EN} \cdot \overline{ST_{INIT}} (H_{EN} + CH_{UP})$$

$$H_{OUT} = H_{EN} (V_{EN} \cdot M + H_{IN})$$

$$V_{OUT} = V_{EN} (H_{EN} \cdot M + V_{IN})$$

ここで、Mはメモリ素子304に記憶された値に等しい。

【0160】

好ましい実施例として、図17に示したチャンネル割当てシステムは、可用性テーブル300、スイッチポート割り込み可能ブロック306、チャンネル割り込み可能ブロック308、並びにチャンネルおよびスイッチポートアウトプットブロック310、312を有している。

【0161】

図17に示したように、スイッチポート割り込み可能ブロック306は、ポートグループインプットレジスタ314、ポートグループデコーダ316、ポートグループデコードレジスタ318およびスイッチポートラッチ320を有している。スイッチポート割り込み可能ブロック306は、そのポートグループインプットレジスタ314によって、スイッチ素子コントローラから (5ビットポートグループの形式で) 探索要求を受ける。5ビットポートグループ値は、スイッチポート割り込み可能ブロック306によって、フリーチャンネルに対して探索されるべきスイッチポート内に変換される。スイッチポート割り込み可能ブロック306は、5ビットポートグループ値をデコードし、その適当なアウトプット回線 (スイッチポート割り込み可能ブロック306の20のアウトプットのそれぞれは1つのスイッチポートに対応している) を作動させる。アウトプット回線は、(20個のラッチを有する) スwitchポートラッチ320によってラッチされ、可用性テーブル300内の対応する行を使用可能とするために使用される。

【0162】

(各々のスイッチポートに対応する) 0~19の間のポートグループ値が、ポートグループインプットレジスタ314で受信されたとき、5ビットのポートグループ数がポートグループデコーダ316のロジックによってデコードされ、可用性テーブル300に対する対応するスイッチポートアウトプット回線を作動させる。同様に、(スイッチポートの定義されたグループに対応する) 20~31の間のポートグループ値がポートグループインプットレジスタ314で受信されたとき、それは、12個のポートグループデコードレジスタ318のうちの1個にアクセスするために使用される。これらのポートグループデコードレジスタ318は、20ビットレジスタからなっており、これらの20ビットレジスタは、20ビットのすべて (それぞれ1個のスイッチポートに対応する) がシステム初期設定の間にマークされ、特定のポートグループ内に含まれるこれらのスイッチポートを表

10

20

30

40

50

示することを可能にする。初期設定の間に、スイッチ素子コントローラは一連の12個の指定ポートグループコマンド（各ポートグループデコードレジスタごとに1個）を起動する。これらのコマンドは、ポートグループデコードレジスタアドレスおよびポートグループ内のポートを識別する対応データを表示する。データは、各ビットが1つのスイッチポートに対応する20ビットワードからなっている。ビット位置における1は、対応するスイッチポートが当該ポートグループの一部であることを表示し、ビット位置における0は、スイッチポートがポートグループの一部ではないことを表示する。（もしすべてのポートがサービスから取り出されまたはサービスに戻されるならば、システムの作動中に、ポートグループデコードレジスタ318は再びプログラムされ得る。）

【0163】

作動中に、ポートグループ値によってアドレス指定されるポートグループデコードレジスタ318のアウトプットは、ポートグループデコーダ316を介して、スイッチポート割り込み可能ブロック306の対応するアウトプット回線を作動させる。スイッチポート割り込み可能ブロック306のアウトプットは、可用性テーブル300におけるセル302の行の水平使用可能回線（H_{EN}）を作動させるため、すなわち、これによって可用性テーブル300の適当な行を使用可能とするために使用される。

【0164】

好ましい実施例として、タイミング探索ウィンドウが、図17に示したチャンネル割り込み可能ブロック308によって与えられる。チャンネル割り込み可能ブロックは、開始および終了チャンネルインプットレジスタ322、324、チャンネルデコーダ326およびチャンネルセレクトレジスタ328を有している。タイミングウィンドウは、開始および終了チャンネル値を表示する2つの5ビット値によって定義される。これらの値は、スイッチ素子コントローラから受信され、開始および終了チャンネルインプットレジスタ322、324内に配置される。開始および終了チャンネルは、それにわたってフリーチャンネル探索が実行されるタイミングウィンドウを定義する。

【0165】

スイッチ素子の異なるスイッチポート上に達するフレームが位置合わせされていないことによって、入力スイッチポートの特定のチャンネル上に受信された経路指定コマンドは、各々のスイッチ素子の同一のローカルチャンネル数に対応していない。すなわち、到達する経路指定コマンドは、各々のスイッチ素子のチャンネルに対応するローカルチャンネルタイムを割り当てられなければならない。探索に対する開始チャンネルは、入力経路指定コマンドに1を加えたものに等しく、これによって、第1のフリーチャンネルは入力チャンネルに出来る限り近接することが可能となる。終了チャンネルは、一般に開始チャンネルから1を引いたもの（または入力経路指定コマンドのローカルチャンネル数）に等しく、これによって、探索ウィンドウはすべてのチャンネルを含むことが可能となる。5ビットの開始および終了値は、チャンネルセレクトレジスタ328にアクセスするチャンネルデコーダ326内に入力される。

【0166】

図18に示したように、チャンネルセレクトレジスタ328は、32個の連想メモリセル330（可用性テーブル300の各列ごとに1個）のリングからなっている。チャンネルセレクトレジスタ328は、チャンネル割当て手続きにおいて2つの機能を実行する。チャンネルセレクトレジスタ328の機能状態は、各セル330の機能セレクトインプット（F_s）での論理値によって制御される。第1の機能において、ここでF_sは1に等しくなり、チャンネルセレクトレジスタ328は、定義された探索ウィンドウ内の可用性テーブル300のすべての列を使用可能とすることによって、可用性テーブル300の広域探索を開始する。可用性テーブル300の広域探索は、適当なスイッチポート（使用可能とされた行）上の探索ウィンドウ内の使用可能チャンネルのすべてを確認する。第2の機能において、F_sは0に等しくなり、チャンネルセレクトレジスタ328は、広域探索において使用可能とされるべきであると決定されたこれらのチャンネルを評価した後、（最先の使用可能チャンネルに対応する）探索ウィンドウ内の最先の使用可能セル330を選択

10

20

30

40

50

することによって、集中探索を実行する。集中探索の間に、選択されたチャンネルに係る可用性テーブル300内の1つの列のみが、使用可能であり、選択されたタイムスロット内の使用可能チャンネルを有する特定のスイッチポートが確定される。

【0167】

図18に示したように、(7個のセルを備えたものとして示した)チャンネルセレクトレジスタ328が、各セル330の水平アウトプット(H_{OUT})を、その右側のセル330の水平インプット(H_{IN})に接続することによって生成される。リング状レジスタが、チャンネルセレクトレジスタ328内の最後のセルの水平アウトプット(H_{OUT})を、最初のセルの水平インプット(H_{IN})に接続することによって生成される。開始および終了チャンネルは、レジスタセル330のそれぞれに対して2つのインプット(S および E)を与える。取決めによって、チャンネルデコーダ326は、最初のセルとして選択されたセル330の S インプットに対して論理値1を出力し、一方、チャンネルセレクトレジスタ328内の他のすべてのセル330に対する S インプットは、論理値0をもつ。同様に、最後のセルとして選択されたセル330に対する E インプットは、論理値1をもち、一方、他のすべてのセル330に対する E インプットは、論理値0をもつ。

10

【0168】

図18に示したように、チャンネルセレクトレジスタ328内の各セル330は、メモリ素子332、並びに5つのインプットおよび2つのアウトプットを有している。メモリ素子332に記憶された値は、可用性テーブル300の対応する列が使用可能であるか否かを制御する。取決めによって、メモリ素子332は、対応する列が使用可能とされる場合に1をもち、さもなければ0をもつ。各セル330の垂直アウトプット(V_{OUT})は、メモリ素子332内に含まれる値に等しく、可用性テーブル300内のセル302の列の垂直使用可能回線(V_{EN})を起動するために使用される。レジスタ328内の各セル330に対する垂直インプット(V_{IN})が、可用性テーブル300内のセル330の一番下の行の垂直アウトプット(V_{OUT})から受け取られ、適当なスイッチポート(使用可能とされた行)上の使用可能チャンネルを有するこれらの列に対して論理値1をもつ。機能セレクトインプット(F_S)が、チャンネルセレクトレジスタ328の機能状態を制御する。

20

【0169】

図19は、7個のセルを備えたものとして示した、チャンネルセレクトレジスタ328の第1の機能(広域探索)を説明したものである。チャンネルセレクトレジスタ328の第1の機能は、チャンネルセレクトレジスタ328内の各セル330に対する機能セレクトインプット(F_S)を論理値1に設定することによって起動される。レジスタ328内の各セル330のロジックは次のようになっている。すなわち、 F_S (機能セレクト)が論理値1をもつとき、各セル330内のメモリ素子332の値は、図19に示したように、定義された開始および終了チャンネル間における(およびこれらを含む)セルの各々に対して論理値1をもつ。このロジックは次のブール代数の方程式によって満足される。

30

【数2】

$$[M] = F_s (H_{IN} + S)$$

$$\overline{M} = F_s \cdot \overline{H_{IN}}$$

$$H_{OUT} = F_s \cdot E (H_{IN} + S)$$

$$V_{OUT} = [M]$$

10

ここで、Mはメモリ素子332に記憶された値に等しく、 F_s は1に等しい。

【0170】

可用性テーブル300の広域探索の間に、開始および終了チャンネル間のウィンドウにおけるすべての列が、(V_{OUT} を対応するセル330のそれぞれに対して1に等しくなるようにすることによって)使用可能とされる。可用性テーブル300の対応する列から受け取られる、レジスタ328内の各セル330に対する垂直インプット(V_{IN})は、使用可能とされたスイッチポート上の使用可能チャンネルを有するこれらの列に対して論理値1をもつ。

20

【0171】

チャンネルセレクトレジスタ328の第2の機能は、チャンネルセレクトレジスタ328内の各セル330に対する機能セレクトインプット(F_s)を、図20に示したように論理値0に設定することによって起動される。第2の機能は、その垂直インプット(V_{IN})で、論理値1を受け取る列に対する可用性テーブル300の広域探索の結果を評価する。その後、チャンネルセレクトレジスタ328のロジックは、1に等しい V_{IN} をもつ最先のセルが、そのメモリ素子332において1をもつようになっている。このロジックは、次のブール代数の方程式によって満足される。

30

【数3】

$$[M_{T2}] = F_s \cdot V_{IN} \cdot (H_{IN} + S)$$

$$H_{OUT} = \overline{F_s} \cdot \overline{E} (\overline{M_{T1}} \cdot (H_{IN} + S))$$

$$V_{OUT} = [M_{T2}]$$

ここで、Mは、前の方程式からメモリ素子332に記憶された値に等しく、 M_{T2} は最新に計算された値であり、Sは開始チャンネルであり、 F_s は0に等しい。

40

これによって、可用性テーブル300の集中探索に対して選択されたセルに関係する1つの列が使用可能となる。なぜなら、対応する V_{OUT} は値1をもっているからである。

【0172】

(使用可能な選択された列のみを有する)チャンネルセレクトレジスタ328の第2の機

50

能に従って、値 1 をもつ可用性テーブル 300 の垂直アウトプット (V_{OUT}) だけが、選択されたチャンネルに関係する列となる。同様に、第 2 の機能の後、1 つの使用可能とされた列内の使用可能なセルを有する、可用性テーブル 300 の行だけが、1 の水平アウトプット (H_{OUT}) をもつ。

【0173】

図 17 に示したチャンネルアウトプットブロック 310 は、チャンネルエンコーダ 334 およびチャンネルアウトプットレジスタ 336 を有している。可用性テーブル 300 のセル 302 の一番下の行の垂直アウトプット (V_{OUT}) が、チャンネルエンコーダ 334 のインプットに接続される。上述のように、(1 つの使用可能な列のみを有する) 可用性テーブル 300 の第 2 の探索ののちに、選択されたチャンネルだけが 1 の垂直アウトプット (V_{OUT}) をもつ。チャンネルエンコーダ 334 は、このインプットを受け取り、選択されたスイッチポート数を 5 ビットの値にエンコードし、それをチャンネルアウトプットレジスタ 336 に出力する。チャンネルアウトプットレジスタ 336 は、その後、スイッチ素子コントローラによって読み出される。

10

【0174】

図 17 に示したスイッチポートアウトプットブロック 312 は、スイッチポートセレクトレジスタ 338、ポートエンコーダ 340、最新に選択されたポートインプットレジスタ 342 およびスイッチポートアウトプットレジスタ 344 からなっている。いくつかの適当な出力スイッチポート (すなわちポートグループ 20 ~ 31) からなるポートグループが、出力通信リンクとして識別されたとき、可用性テーブル 300 の探索が、1 個以上のスイッチポートが使用可能な同一の最適チャンネルを有していることを表示することが可能である。スイッチポートアウトプットブロック 312 は、可用性テーブル 300 の行アウトプットを受け取って評価し、出力通信リンクに対する 1 個のポートを選択するために使用される。多数のトラフィック分散会議が、スイッチポートを選択するときを使用だけ得るにもかかわらず、ここに議論されるスイッチポート選択法は、当該ポートグループに対する最新に選択されたスイッチポートに基づいている。

20

【0175】

好ましい実施例として、図 21 に示したスイッチポートセレクトレジスタ 338 は、20 個の連想メモリセル 346 (可用性テーブル 300 の各行ごとに 1 個) のリングからなっている。いくつかの適当な出力スイッチポート (すなわちポートグループ 20 ~ 31) からなるポートグループが、出力通信リンクとして識別されたとき、スイッチポートセレクトレジスタ 338 は、最新に選択されたポートインプットレジスタ 342 によって当該ポートグループに対する最新のポートおよびチャンネル割当ての間に選択されたスイッチポートの数を、スイッチ素子コントローラによってロードされる。その後、適当なスイッチポートに対する探索が、トラフィックを平等に分散するために、最新に選択されたスイッチポートに 1 を加えたものにおいて開始される。この探索は、最新に選択されたスイッチポート (または開始ポート引く 1) で終了し、その結果、スイッチポートがすべて探索される。

30

【0176】

図 21 に示したように、(7 個のセルを備えたものとして示された) ポートセレクトレジスタ 338 が、各セル 346 の垂直アウトプット (V_{OUT}) を、そのすぐ下側のセル 346 の垂直インプット (V_{IN}) に接続することによって、生成される。リング状のレジスタが、ポートセレクトレジスタ 338 内の一番下のセルの垂直アウトプット (V_{OUT}) を、一番上のセルの垂直インプット (V_{IN}) に接続することによって生成される。開始ポートは、(当該ポートグループに対する) 最新に選択されたポートに 1 を加えたものに等しく、ポートセレクトレジスタ 338 の各々のセル 346 に対するインプットを与える。取決めによって、開始セルとして選択されたセル 346 に対する S インプットは論理値 1 をもち、一方、ポートセレクトレジスタ 338 内の他のすべてのセル 346 に対する S インプットは論理値 0 をもつ。同様に、終了セルとして選択されたセル 346 に対する E インプットは論理値 1 をもち一方、他のすべてのセル 346 に対する E インプットは論理値 0 を

40

50

もつ。

【 0 1 7 7 】

図 2 1 に示したように、ポートセレクトレジスタ 3 3 8 内の各セル 3 4 6 は、1つのメモリ素子 3 4 8、5つのインプットおよび2つのアウトプットを有している。メモリ素子 3 4 8 内に記憶された値は、ポートが出力通信リンクに対して選択されたか否かを表示する。取決めによって、各セル 3 4 6 のメモリ素子 3 4 8 は、それが選択されたポートである場合に論理値 1 をもち、さもなければ論理値 0 をもつ。各セル 3 4 6 の水平アウトプット (H_{OUT}) は、メモリ素子 3 4 8 における値に等しく、ポートエンコーダ 3 4 0 の対応するインプット回線に接続される。各セル 3 4 6 の水平インプット (H_{IN}) が、可用性テーブル 3 0 0 の対応する行から受け取られ、選択されたチャンネルタイムスロットにおけるフリーポートに対応するこれらの行に対して値 1 をもつ。各セル 3 4 6 に対する機能セレクト (F_S) インプットは、永久的に 0 に結合されなければならない。

10

【 0 1 7 8 】

ポートセレクトレジスタ 3 3 8 は、その水平インプット (H_{IN}) において論理値 1 を受け取るセル 3 4 6 に対する、可用性テーブル 3 0 0 の対応する行からのシグナルを評価する。その後、ポートセレクトレジスタ 3 3 8 のセル 3 4 6 のロジックは、1 に等しいその H_{IN} を有する識別された開始セルの後の最先のセルが、そのメモリ素子 3 4 8 において値 1 を有するようになっている。このロジックは次のブール代数の方程式によって満足される。

【 数 4 】

20

$$[M_{T3}] = M_{T2} \cdot (V_{IN} + S)$$

$$V_{OUT} = \overline{M_{T2}} \cdot \overline{E} \cdot (V_{IN} + S)$$

$$H_{OUT} = M_{T3}$$

ここで、 M_{T2} は、前の方程式からメモリ素子 3 4 8 に記憶された値に等しく、 M_{T3} は最新に計算された値であり、 S は開始ポートである。

30

スイッチポートセレクトレジスタ 3 3 8 のロジックは、上で議論したチャンネルセレクトレジスタ 3 2 8 の第 2 の機能と同様である。この場合、チャンネルセレクトレジスタ 3 2 8 は、開始チャンネルで開始する最初の使用可能なチャンネルに対する探索を行う。ここで、ポートセレクトレジスタ 3 3 8 は、開始ポートで開始する最初の使用可能なポートを探索する。

40

【 0 1 7 9 】

スイッチポートセレクトレジスタ 3 3 8 の各セル 3 4 6 の水平アウトプット (H_{OUT}) は、メモリ素子 3 4 8 の値に等しく、選択されたスイッチポートに関係するセル 3 4 6 に対してのみ論理値 1 をもつ。このハイ論理値は、スイッチポートエンコーダ 3 4 0 によって受け取られ、スイッチポートストプットレジスタ 3 4 4 に対するアウトプットとなる 5 ビットスイッチポート値にエンコードされる。スイッチポートアウトプットレジスタ 3 4 4 は、スイッチ素子コントローラによって読み出され得る。

【 0 1 8 0 】

図 2 1 に示した、スイッチポートセレクトレジスタ 3 3 8 内の各セル 3 4 6 の水平アウト

50

プット (H_{OUT}) が、また、可用性テーブル 300 における対応する行内の各セルの C H_{UP} インプット (選択されたチャンネル更新) に接続される。論理値 1 をもつ、スイッチポートセレクタレジスタ 338 からの水平アウトプット (H_{OUT}) は、選択された行に対応し、それらの C H_{UP} インプット (選択されたチャンネル更新) における可用性テーブル 300 の対応する行内の各セルによって受け取られる。可用性テーブル 300 におけるセル 302 のロジックは、論理値 1 がセル 302 の C H_{UP} インプットにおいて受け取られる一方、セルは、メモリ素子 304 の値が話中状態 (0) に設定されるとき (すなわち、その水平および垂直使用可能インプットが値 1 をもつとき) に使用可能とされる。

【0181】

チャンネル割当てシステムは、ポートグループ内のスイッチポート間にトラフィックを等しく分散させるだけでなく、同一の経路に対する次の経路指定の試み (再試行) が、異なるスイッチポートおよびチャンネル上において試みられることを保証することが重要である。こうして、スイッチ素子コントローラが、ソースおよび宛先の間においてデュプレックス通信を確立することができないとき (すなわち、確認コマンドがソースによって送られたが、エコーバックされなかったとき)、経路指定再試行が実行されなければならない。再試行が実行されるとき、それぞれ最新に選択されたスイッチポートに 1 を加えたものにおいてスイッチポートを起動することに加えて、また、異なるチャンネルが探索されるようにするために、チャンネル探索に対するオフセットが存在する。好ましくは、経路指定再試行時のチャンネル探索は、最新に選択されたチャンネルに 25 のオフセットを加えたもので開始されなければならない。25 のオフセットは、それが 32 (チャンネルの数) を割ることがなく、異なるチャンネルが時間ごとに探索されることを保証するという理由から、選択されたものである。モジュロ 32 演算は、数が 0 ~ 31 の間にとどまっていることを保証するために使用される。

【0182】

例えば、スイッチポート A、B および C からなるポートグループ (グループ 20) に対する初期経路指定試行が、スイッチポート B およびチャンネル 2 が使用可能な最先のスイッチポート / チャンネルであると表示していると仮定しよう。もしスイッチ素子コントローラがその確認シグナルを受け取らなければ、デュプレックス経路は確立されておらず、新たな経路指定が試みられなければならない。経路指定再試行時に、スイッチ素子コントローラは、

スイッチポートグループインプットレジスタ 314 - - グループ 20

開始チャンネルインプットレジスタ 322 - - $2 + 25 = 27$

終了チャンネルインプットレジスタ 324 - - $27 - 1 = 26$

最先に選択されたポートインプットレジスタ 342 - - ポート B

のような値をもつチャンネル割当てシステムのインプットレジスタをロードすることによって、ポートグループ内の最先のフリースイッチポートおよびチャンネルを探索し始める。この探索は、チャンネル 27 で開始する使用可能な第 1 のチャンネルを選択する。もしポートグループにおける 1 以上のスイッチポートが使用可能な同一の最適ポートを有しているならば、ポート B の後の第 1 のポートが選択される。

【0183】

I. キーステーション

図 22 は、ここでは交換ネットワークに接続されたものとして示した、キーステーションまたはタレットの概念図である。このようなキーステーションは、従来よりよく知られており、したがってあまり詳細には説明しない。キーステーションは、音声回路 354 によってデータバス 352 に接続されたよく知られたハンドセット 354 を有している。キーステーションは、それぞれが関係するラベル 358、赤色 LED 360 および緑色 LED 362 を備えた各々の回線ボタンまたはキー 356 を有している。キーステーションボタンアレイは、このようなボタンを 600 個まで含み得る。各ボタンに關係する赤色 LED 360 は、回線状態を表示するために使用され、緑色 LED 362 は、作動回線または I - 使用を表示するために使用される。ラベル 358 は、特定のボタンがどの回線に接続さ

10

20

30

40

50

れているかを表示する英数字識別子からなっている。回線キーテーブル 364 は、各ボタンに対するキー番号、論理アドレスコードおよびラベルを与える。

【0184】

プロセッサ 366 は、データバス 352 およびスキヤニング回路 368 と相互作用するキーステーションの機能を制御する。ボタンレイが、スキヤニング回路によって走査され、ボタンが押されたときを決定する。スキヤニング回路 368 は、また、回線状態情報を表示するための LED を作動させる。キーステーションは、回線情報をキーステーションの特定のボタンに関係させ、ボタンが接続された特定の回線の情報をユーザーに表示することを可能にする回線状態テーブル 370 を維持する。回線状態テーブルは、また、どのボタンがキーステーションで作動回線となっているのかに関する情報を含んでいる。キーステーションは、既に説明したように、キーステーションインターフェイスを通じて、交換ネットワーク内のインターフェイススイッチに接続されている。

10

【0185】

J. キーステーションインターフェイス

図 23 は、アナログキーステーションとインターフェイスをとるために交換ネットワークに接続されたものとして示した、キーステーションインターフェイスの概念図である。図 1 を参照して、キーステーションインターフェイスは、キーステーション 12 内に配置されたものとみなされる。このようなインターフェイス手続きは、当業者の知識の範囲内にあるので、詳細には説明しない。キーステーションインターフェイスに接続されたハンドセット音声ペア 373 を、図面の左側に示した。実際、12 までの入力音声ペアが、交換ネットワークに接続された各キーステーションインターフェイスに対して使用される。しかしながら、説明のために、3 つの音声ペアのみが示してある。同様に、12 までのシリアルデータリンク 371 使用され得るが、図面にはそのうちの 3 つだけが示してある。音声ペアは、従来技術において知られた保護回路および音声分離回路を含むキーステーションインターフェイス 375 に接続する。キーステーションインターフェイス回路 375 は、それぞれ、2 線式アナログ音声を変換するコーダ・デコーダ 377 に接続されている。

20

【0186】

コーダ・デコーダは、それぞれ、マルチプレクサ 385 を通じて、12 の割り当てられたタイムスロット（接続された音声ペアごとに 1 つ）の 1 つにおけるシリアルバス 383 上のシリアルアウトプットからなる 8 ビット μ 規則 (μ -law) (または A 規則 (A-law)) 音声サンプルを発生する。各サンプルは、キーステーションインターフェイスプロセッサ 381 によって線型にエンコードされた 13 ビットサンプルに変換される。コーダ・デコーダは、また、キーステーションインターフェイスプロセッサから入力されるシリアルバス上の 8 ビット μ 規則 (μ -law) (または A 規則 (A-law)) 音声サンプルを受け取る。加えて、回線状態およびキーステーションコマンドは、マルチプレクサ 389 および直列インターフェイス (UART) 391 を通じたシリアルバス 387 上のアウトプットからなっている。

30

【0187】

プロセッサ 381 は、音声サンプルに対するフォーマットおよび速度変換、並びにキーステーションコマンド変換を含むデジタルシグナル処理機能を実行する。キーステーションインターフェイスは、交換ネットワーク内の適当なインターフェイススイッチに接続される。

40

【0188】

ここに交換ネットワークに接続された独立な回路素子として説明したのに対し、現実を実施される場合には、キーステーションインターフェイスを適当なインターフェイススイッチに組み込み、コンポーネントおよび相互接続の数の節減を実現するようにするのが望ましい。

【0189】

K. 専用回線インターフェイス

50

図 2 4 は、交換ネットワークに接続されたものとして示した、専用回線インターフェイスの概念図である。図 1 を参照して、回線インターフェイスは専用回線 1 3 内にあるものと見なされる。このような回線インターフェイスは、従来よりよく知られているので、詳細には説明しない。回線インターフェイスに接続された外線 3 7 2 は、図面の左側に示してある。実際には、10 までの入力回線ペアが、交換ネットワークに接続された各回線インターフェイスに対して使用される。しかしながら、説明のために、3 つの回線ペアを示してある。10 本のアナログ回線は、回線インターフェイス障害が生じた場合に、回線あたりのコストおよびサービスの損失の間の許容されうるトレードオフを表示する。外線は、従来技術において知られた、保護回路、リング検出器および音声分離回路を有する回線インターフェイス回路 3 7 4 に接続する。回線インターフェイス回路 3 7 4 は、それぞれコーダ・デコーダ 3 7 6 に接続される。

10

【 0 1 9 0 】

コーダ・デコーダはそれぞれ、マルチプレクサ 3 7 9 を通じて、10 の割り当てられたタイムスロット（接続された回線ごとに 1 つ）の 1 つにおけるシリアルバス 3 7 8 上のシリアルアウトプットからなる 8 ビット μ 規則 (μ -law) (または A 規則 (A-law)) 音声サンプルを発生する。各サンプルは、回線カードプロセッサ 3 8 0 によって線型にエンコードされた 13 ビットサンプルに変換される。コーダ・デコーダは、また、回線インターフェイスプロセッサから入力されるシリアルバス上の 8 ビット μ 規則 (μ -law) (または A 規則 (A-law)) 音声サンプルを受け取る。

【 0 1 9 1 】

プロセッサ 3 8 0 は、音声サンプルに対するフォーマットおよび速度の変換、並びに回線インターフェイスのチェックを含むデジタルシグナル処理機能を実行する。回線状態テーブル 3 8 2 は、データバス 3 7 8 を通じてインターフェイススイッチ上のプロセッサと相互作用する回線インターフェイス上に維持される。インターフェイスは、交換ネットワーク内の適当なインターフェイススイッチに接続される。

20

【 0 1 9 2 】

ここでは、交換ネットワークに接続された独立な回路素子として説明したが、現実に実施される場合には、専用回線インターフェイスを適当なインターフェイススイッチに組み込み、コンポーネントおよび相互接続の数の節減を実現することが望ましい。

【 0 1 9 3 】**L . システム初期設定および宛先ポート記憶装置セットアップ**

システム初期設定の間に、交換ネットワーク内の各スイッチ素子は、その隣接するスイッチ素子をポーリングし、それ自体に関する情報を要求する。最初、交換ネットワーク内のいかなるスイッチ素子も、情報を全く有しておらず、よって、これらのポーリング要求は非応答となる。システム初期設定および維持に対して責任をもつシステムセンターは、バスを用いて、システムセンターハードディスクからその初期設定データを検索することによって初期設定される最初のものである。すなわち、システムセンターは、交換ネットワークにアクセスすることなく初期設定され得る。

30

【 0 1 9 4 】

一旦、システムセンターがそれ自体の初期設定データを検索して処理すると、システムセンターは、完全に作動可能となる。その後、システムセンターは、システムセンターに隣接するシステムセンターインターフェイススイッチ 2 1 からの情報に対するポーリング要求に応答し得る。各スイッチ素子が初期設定されて、完全に作動可能となると、スイッチ素子は、他のスイッチ素子に対する情報に関するポーリング要求に応答することができる。システム初期設定は、交換ネットワーク内のすべてのスイッチ素子が初期設定されるまで、システムセンターから「波」が伝播するように進行する。1 実施例において、システムセンターインターフェイススイッチは、他のスイッチ素子を初期設定するために必要な情報を与えるのに適合している。または、コンピュータ 1 5 は、情報それ自体を直接与えることができる。

40

【 0 1 9 5 】

50

システムセンターインターフェイススイッチは、スイッチ素子にそれらのLACおよびTACを与えることによって、これらの隣接するスイッチ素子のポーリング要求に応答する。一旦、システムセンターインターフェイススイッチに隣接するスイッチ素子がそれらのLACおよびTACをもつと、それらスイッチ素子は、それらにロードイメージアレイを伝送するようにシステムセンターインターフェイススイッチに要求する。ロードイメージアレイは、交換ネットワーク内に割り当てられた各論理アドレスコード(LAC)に対する物理スイッチアドレス(PSA)を維持し、特定のスイッチ素子に対応するPSAを検索するために使用され得る。それによって、スイッチ素子はその宛先ポート記憶装置(DPS)テーブルを発生することができる。

【0196】

スイッチ素子DPSテーブルは、スイッチ素子が、それ自体のLAC数を隣接するスイッチ素子から受け取り、システムセンターからロードイメージアレイを受け取った後に生成される。ロードイメージアレイは、LAC数によってインデックスを付与され、各LACに対する物理スイッチアドレス(PSA)を維持する。第1の段階において、スイッチ素子は、そのLAC数に基づいてロードイメージアレイからそれ自体のPSAを検索しなければならない。PSAは、スイッチ素子に交換ネットワークにおける位置またはノードを知らせる。スイッチ素子は、その後、ロードイメージアレイのLAC/PSAリストを通じて処理を行い、それ自体のPSAを各エントリーのものと比較し、各LACに対する適当な出力経路を決定することができる。

【0197】

DPSテーブル内の各エントリーに対し、初期設定されたスイッチ素子は、それ自体のPSAをエントリーのPSAと比較する。このPSAの比較は、スイッチ素子が交換ネットワーク内にさらに別の伝送を行うことなく伝送を向けることができる宛先を、特定のLACが識別することができるか否かを決定する。もしスイッチ素子がアクセススイッチであれば、これは、(当該LACに到達するのに必要な反射およびセクションスイッチからの経路を識別する)LACのPSAが、アクセススイッチ自体のPSAの最初の2バイトと同一であるときに生じる。このような場合に、アクセススイッチからの選択された出力経路は、(アクセススイッチからLACに至る伝送を経路指定するのに必要なスイッチポートを識別する)LACのPSAの第3バイトにおいて識別されるスイッチポートからなっている。

【0198】

同様に、もし初期設定されたスイッチ素子がセクションスイッチであれば、セクションスイッチは、(反射ステージからの経路を識別する)LACのPSAの第1バイトがセクションスイッチ自体のPSAの第1バイトと同一であるとき、交換ネットワーク内にさらに別の伝送を行うことなく、LACによって識別された宛先に伝送を向けることができる。このような場合、セクションスイッチからの選択された出力経路は、(セクションスイッチステージからLACに向かう伝送の経路指定に必要なスイッチポートを識別する)LACのPSAの第2バイトにおいて識別されるスイッチポートである。

【0199】

もし初期設定されたスイッチ素子が反射スイッチであるなら、すべての反射スイッチは伝送をその宛先に向けることができる。このような場合、反射スイッチからの選択された出力経路は、(反射スイッチからLACに向かう伝送の経路指定に対して必要なスイッチポートを識別する)PSAの第1バイトにおいて識別されるスイッチポートである。

【0200】

もし、スイッチ素子が、交換ネットワーク内にさらに別の伝送を行うことなく伝送を向けることができる宛先を、LACが識別しないならば、スイッチ素子は、どのスイッチポートまたはスイッチポートグループが、その宛先に向かう伝送の経路指定を行うことができるスイッチ素子に対する交換ネットワーク内へのさらに別の伝送を行うために使用されるべきかを決定しなければならない。それによって、選択されたスイッチポートまたはポートグループが、LACに対応するDPSエントリー内に書き込まなければならない。

10

20

30

40

50

【 0 2 0 1 】

例えば、特定のキーステーションを識別する L A C に対するその D P S テーブル内にエントリーを生成するセクションスイッチは、まず最初、ロードイメージレイから当該 L A C に対する P S A を検索する。それによって、セクションスイッチは、キーステーションの P S A をそれ自体の P S A と比較し、当該キーステーションが、そのセクションスイッチに接続された 5 個のターミナルユニットのうち 1 個に接続されるかどうか（すなわち、宛先 L A C の P S A が、セクションスイッチ自体の P S A の第 1 バイトと同一であるかどうか）を決定する。もし、キーステーションがこれら 5 個のターミナルユニットのうち 1 個に接続されているならば、セクションスイッチは、適当なターミナルユニットに伝送を向けるポートグループを選択する。これは、（キーステーションに接続されたそれぞれのターミナルユニットに関係するポートグループに等しい）L A C の P S A の第 2 バイトによって識別されるセクションスイッチからの出力経路を選択し、D P S テーブルエントリーにポートグループを配置することによって達成される。

10

【 0 2 0 2 】

もし、セクションスイッチが接続される 5 個のターミナルユニットの 1 個にキーステーションが接続されないならば（すなわち、L A C の P S A の第 1 バイトがセクションスイッチの P S A の第 1 バイトと同一でなければ、コールは反射スイッチに対する交換ネットワーク内にさらに伝送されなければならない。すなわち、反射スイッチに結合されたこれらのスイッチポートに対応するポートグループが選択され、D P S テーブル内の適当なエントリーに入力される。

20

【 0 2 0 3 】

もし、米国特許出願第 - - - 号「分散されたクロッキングシステム」（弁護士事件番号第 416-4034号）に記述されたクロッキングシステムにおけるように、交換ネットワークが分散されたクロッキングシステムを使用するならば、クロッキングシステムの初期設定が、また、システム初期設定の間にシステムセンターによって達成されなければならない。

【 0 2 0 4 】

加えて、初期設定の間に、既に定義されたポートグループ割当てが、各スイッチ素子内に見い出されたチャンネル割当てシステムのポートグループデコードレジスタに入力されなければならない。好ましくは、ポートグループ割当ては、一連の 2 0 ビットコマンドワードによって、ポートグループデコードレジスタに入力される。これら一連の 2 0 ビットコマンドワードによって、2 0 ビットのすべて（各々が 1 個のスイッチポートに対応する）がマークされ、どのスイッチポートが特定のポートグループに含まれているかを表示することが可能となる。

30

【 0 2 0 5 】

状態同報通信システムは、メッセージを、専用同報通信チャンネル上に確立されたコピーされた経路にわたって、すべてのインターフェイススイッチに同報通信するために準備される。システム初期設定の間に、同報通信のため、および各スイッチ素子内のどのスイッチポートが、反射スイッチに向かう同報通信メッセージを伝送するために使用されるのかを指定するために使用される特定の通信リンクが、システムに対して決定される。さらに、正確なアドレスが、スイッチポート内の各同報通信チャンネルに関係するインアドレスおよびアウトアドレスポインタ内に配置される。システムの作動の間に、選択された通信リンク、およびシステム初期設定の間に状態同報通信に対して選択されたスイッチポートは、障害の事象に動的に再配置される。

40

【 0 2 0 6 】

M . デュプレックスおよび会議経路指定

図 2 5、図 2 6 および図 2 7 は、キーステーションおよび回線間のデュプレックス音声経路を生成するための作動シーケンスの 1 例を示したものである。以下の議論はまた、多くの面でシンプレックス経路に適用可能であることが当業者によって理解されるだろう。キーステーションまたはタレット 3 8 4 は、インターフェイススイッチ 3 8 8 のターミナルポート 3 8 6 に結合されている。インターフェイススイッチ 3 8 8、順次、アクセス

50

イッチ 446 に結合されている。同様に、中央オフィスまたは回線 400 が、ターミナルポート 404 を通じてインターフェイススイッチ 402 に結合されている。回線インターフェイススイッチは、順次、アクセススイッチ 446 に結合されている。キーステーション 384 のユーザーは、キーステーション上のボタンを押し、回線を捕捉し、回線 400 の終端のパーティーとデュプレックスモードで通信する。したがって、インターフェイススイッチ 388 は、この場合、ブリッジポート 406 と同一のスイッチ上にある経路生成器となる。ブリッジポートが、交換ネットワークの異なるインターフェイススイッチ上に残っているような場合の生じることが理解されるだろう。

【0207】

図 26 を参照して、一旦、ボタンが、図 15 のキーステーションまたはタレット 384 上で押されると、ターミナルポート 386 は、キーステーションまたはタレットから一定の宛先回線 400 に対して確立される経路を要求するインターフェイススイッチ 388 の機能プロセッサに直接伝送されるメッセージを送る。回線 400 は、特定の論理アドレスコード Lx によって交換ネットワーク内に表示される。インターフェイススイッチ 388 内の機能プロセッサ部 146 は、パケットアドレスコードによって識別される、データパケットフォーマットでのメッセージを与える。コントローラ 140 は、データパケットフォーマットを、コントローラがインターフェイススイッチ 388 内のブリッジポート 406 に属する一義的な論理アドレスコード数に対する音声経路を設定することを要求する回線インターフェイススイッチ 402 に伝送する。既に説明したように、ブリッジポートは、回線またはタレットと同じカード上にある必要はなく、たいていの場合、ブリッジポートは、キーステーションに接続されたインターフェイススイッチ上に残っている。回線 400 と、キーステーションまたはタレット 384 とは、両方とも同一のブリッジポート論理アドレスコードに対する音声経路を指定する。

【0208】

データパケットが設定された後、コントローラ 140 内の交換経路プロトコル (SPP) は、図 3 の作動 FIFO バッファ 158 によって、機能プロセッサ部 146 からの音声経路指定要求を受け取る。その後、SPP は経路に対し図 16 の経路制御バッファ 412 を割当て、コマンドを、宛先ブリッジ論理アドレスコード (LAC) 数および経路制御バッファ (PCB) 数とともに交換接続プロトコル (SCP) に伝送することによって、「経路指定音声」コマンドを初期設定する。交換制御プロトコル (SCP) は、また適当なクロスポイントメモリ制御機能を与える。SCP は宛先論理アドレスコード Lx を使用して、宛先ポート記憶装置 164 (DPS) 内にインデックスを付与し、この宛先に対して経路が既に指定されているかどうかをチェックする。もし DPS 内のクロスポイントフィールドが 0 に設定されているならば、現在いかなる経路も存在しない。コントローラ 140 は、宛先論理アドレスコードによって DPS にインデックスを付与し、DPS エントリーを用いて、ネットワーク内へのエントリーに対する出力ポートまたはポートグループを識別する。

【0209】

もしブリッジポート 406 が同一のスイッチ上に存在すれば、DPS エントリー内の Lビットフィールドは 1 に設定され、これは、対応する LAC 数の終了ポートが同一のスイッチ素子内にあることを示している。それによって、コントローラ 140 は、ターミナルポート 386 からブリッジポート 406 に至るローカル接続を与える。この実施例において、出力ブリッジポートは、インターフェイススイッチ 388 に対してローカルである。

【0210】

選択されたポート、この場合には、宛先ポート記憶装置 164 によって得られたブリッジポート 406 は、チャンネル割当てシステム (CAS) 162 にアクセスするために使用される。インターフェイススイッチ 388 の交換接続プロトコル SCP は、ブリッジポートが宛先ポート記憶装置 (DPS) Lビットエントリーによってカードに対してローカルであることを認識する。したがって、交換接続プロトコル (SCP) は、経路の終端またはブリッジ端に対するブリッジ制御バッファとして識別される第 2 経路指定制御バッ

10

20

30

40

50

ァー 4 1 6 を割り当てる。順方向クロスポイントメモリ位置 4 1 8 は、コントローラ R A M 1 6 6 内のフリー記憶 F I F O バッファ 2 2 0 (図 1 0 参照) からフェッチされる。順方向クロスポイントメモリ位置 4 1 8 は接続に対して使用され、そのアドレスは、ブリッジポート、並びにブリッジポート 4 0 6 に対するチャンネル割当て記憶装置によって選択されたチャンネルによってインデックスを付されたポインタ R A M 1 3 4 (図 3 参照) におけるレジスタ 4 2 0 内に配置される。

【 0 2 1 1 】

コントローラアウトアドレスレジスタからなるポインタ R A M レジスタ 4 2 0 のコントローラコピーは、また、経路フラグおよび宛先論理アドレスコードを含んでいる。図 1 1 の第 1 チャンネルイン / アウトルックアップテーブル 2 1 4、2 1 5 は、順方向クロスポイントメモリ位置 4 1 8 に対して更新され、ブリッジポートおよびそれからのチャンネル読み出しを表す。それによって、選択されたポートおよびチャンネルの数は、宛先ポート記憶装置 (D P S) の適当なフィールド内に書き込まれ、D P S 内のカウンフィールドが 1 だけ増加される。図 1 2 および図 1 3 のイン / アウトリンクリストテーブル 2 1 6、2 1 8 を更新する必要はない。なぜなら、ただ 1 つのチャンネルのみが、このとき順方向クロスポイントメモリ位置から読み出されているからである。

【 0 2 1 2 】

経路はインターフェイススイッチ 3 8 8 上で終了するので、コントローラ 4 1 0 は経路を指定する必要がない。その代わりに、交換接続プロトコル (S C P) は、ブリッジ 4 0 6 に関係する逆方向クロスポイントメモリ位置を使用する。逆方向クロスポイントメモリ位置は、ブリッジポートおよびブリッジポートに対する入力チャンネル数によってインデックスを付与されたポインタ R A M 1 3 4 のレジスタ 4 2 4 内に記憶される。したがって、経路の逆方向レッグが接続され、S C P を割り当てられた経路制御バッファ数が、アドレスレジスタ内のコントローラに対応するポインタ R A M レジスタ 4 2 4 のコントローラコピー内に記憶される。これは、終了経路を有するブリッジポートまたはブリッジ経路制御バッファ 4 1 6 に結合する。逆方向クロスポイントメモリ位置 4 2 2 に対する第 1 イン / アウトテーブルエントリ (図 1 1 参照) が更新され、それに書き込みを行うブリッジポートおよびチャンネルを示す。

【 0 2 1 3 】

交換接続プロトコルは、交換経路プロトコルに、逆方向経路が終了していることを知らせ、逆方向経路指定 R P S コマンドを与える。R P S の結果として、交換経路プロトコルは、確認メッセージが送られることを要求する。交換接続プロトコルは、確認コマンドを、リンクデータポート 1 4 8 から、図 3 のセクタ 1 1 2 およびインデータレジスタ 1 1 4 を介して順方向クロスポイントメモリ位置 4 2 2 に伝送する。往復の伝送の後、確認がブリッジポート 4 0 6 の入力チャンネルに再び到達し、それは、図 8 の経路指定 F I F O バッファ 1 8 0 に向けられる。ローカル論理アドレスコードが認識され、それは往復伝送経路が存在することを保証する。経路遅延がこの位置で測定される。経路遅延は、確認メッセージ、および順方向クロスポイントメモリ位置からブリッジポートを経て逆方向クロスポイントメモリ位置にもどるまでの往復伝送遅延を用いることによって測定される。

【 0 2 1 4 】

経路確認コマンドが異なるボタン電話ステーションまたは回線からの同様のメッセージと衝突し、それによって失われてしまう可能性がある。すなわち、もし確認が 8 フレームタイム内に返信されなければ、交換経路プロトコルは、交換接続プロトコルに対し別の確認を送るように指示する。これは、それが成功するまで、または予め決定される数の試行が失敗に終わるまで繰り返される。もし成功すれば、遅延値は経路制御バッファ内に配置され、機能プロセッサ一部が音声経路終了フラグ指定をもつ事象を伝送される。もし経路が指定されなければ、交換経路プロトコルは、事象シグナルを、「経路試行オーバーフロー」フラグ指定をもつ機能プロセッサに伝送する。

【 0 2 1 5 】

もし経路に対する通信ハンドラーが自動的な結合を示さなければ、ターミナルポート 3 8

10

20

30

40

50

6に対する接続が、順方向クロスポイントメモリ位置418のアドレスを、ターミナルポートおよび入力チャンネル数によってインデックスを付与されたポインタRAM134(図3参照)内のレジスタ426に書き込み、かつ逆方向クロスポイントメモリ位置422のアドレスを、ターミナルポートおよび出力チャンネル数によってインデックスを付与されたポインタRAM134(図3参照)内のレジスタ418に書き込むことによって、実行される。この情報は、経路制御バッファ(PCB)412において見つけ出される。タレットPCB412の数の最初のPCBは、ターミナルポート386に関するコントローラインアドレスレジスタからなるレジスタ426のコントローラコピー内に配置される。そのとき、第1チャンネルイン/アウトテーブルは、順方向クロスポイントメモリ位置422および逆方向クロスポイントメモリ位置422の両方に対して更新され、キーステーションチャンネルを含む。宛先論理アドレスコード(LAC)に対する宛先ポート記憶装置(DPS)カウントエントリーが、再び、各接続ごとに1、すなわち合計4増加させられる。

10

【0216】

もし経路要求が自動的な結合に対するものでなければ、交換経路プロトコルは、事象シグナルを事象FIFOバッファを通じて、音声経路終了をもつ機能プロセッサに送る。通信ハンドラーは、そのとき、独立の結合コマンドを作動FIFOバッファを通じて、交換経路プロトコルに送らなければならない。

【0217】

しばらくして、同一のブリッジポート論理アドレスコードが、回線接続に対して受け取られる。入力「経路指定」コマンドが、アクセススイッチからインターフェイスカードによって受け取られ、そして、経路指定FIFOバッファ180(図8参照)を通じて交換接続プロトコルに送られる。論理アドレスコードは、宛先ポート記憶装置内にインデックスを付与し、出力スイッチポート識別を決定するために使用される。宛先ポート記憶テーブル内のカウントエントリーのチェックは、経路が既に存在していることを示す。そのとき、交換制御プロトコルは、宛先ポートスイッチ(DPS)エントリー内に配置され、ブリッジポート406に関する順方向クロスポイントメモリ位置418のアドレスを使用し、それをスイッチポート430およびスイッチポート430に関する入力チャンネル数によってインデックスを付与されたポインタRAM(図3参照)のレジスタ428内にコピーする。スイッチポートに関するインアドレスレジスタのコントローラコピー内に記憶されたクロスポイントメモリ位置のアドレスは、フリークロスポイントFIFO220(図10参照)に加えられる。その後、交換接続プロトコルが、フリークロスポイントFIFO220(図10参照)から一時的なクロスポイント位置432をフェッチし、逆方向経路指定コマンドを最初の経路指定コマンドとともに、また引き数として入力チャンネル数を一時的なクロスポイントメモリ位置432に書き込む。チャンネル割当てシステムは、そのとき回路インターフェイススイッチ402に対する返信チャンネル経路を選択するために使用される。

20

30

【0218】

宛先論理アドレスコードが、スイッチポート430に関するコントローラアウトアドレスレジスタ434からなるポインタRAMのレジスタ434のコントローラコピー内に記憶される。返信チャンネル数が、フラグとともに、スイッチポート430に関するコントローラインアドレスレジスタからなるポインタRAMのレジスタ428のコントローラコピー内に記憶される。いかなる経路制御バッファ数も、スイッチポート430に関するコントローラインアドレスレジスタに記憶されない。なぜなら、いかなるPCB数も、交換ネットワークに接続されたスイッチポートに対して存在しないからである。次のインおよびアウトテーブルが、スイッチポート430およびチャンネルによって更新される。最後に、一時的な逆方向クロスポイントメモリ位置が、チャンネル割当てシステムによって選択されたチャンネルに対するコントローラアウトアドレスレジスタに対応するポインタRAMのレジスタ434に記憶される。リターン経路指定からなる一時的な逆方向クロスポイントの内容が、前のステージに伝送される。

40

50

【 0 2 1 9 】

1 フレーム後に、図 2 7 に示したように、交換制御プロトコルは、一時的な逆方向クロスポイントメモリ位置 4 3 2 のアドレスを逆方向クロスポイントメモリ位置 4 2 2 に記憶したポインタ RAM 内のレジスタ 4 3 4 の内容を変更し、一時的なクロスポイントメモリ位置 4 3 2 のアドレスを、フリークロスポイント FIFO 内に再び配置する。これによって、第 1 チャンネルイン / アウトテーブルおよび次チャンネルイン / アウトテーブルが更新される。

【 0 2 2 0 】

上述の実施例は、デュプレックス経路がキーステーションおよび回線の間を設定される方法を説明したものである。同様のデュプレックス経路が、また 2 つのキーステーションの間 10 に確立され得る。加えて、もし回線がコールをキーステーションに対して発信するならば、回線カードに接続されたインターフェイススイッチは、すべてのキーステーションに対して同報通信メッセージを送る。コールが向けられるキーステーションは、経路指定コマンドを発信インターフェイススイッチに対して送り、上述したのと同様の手続きが実行され、デュプレックス経路が指定される。

【 0 2 2 1 】

図 2 7 を参照して、経路指定コマンドが回線インターフェイススイッチ 4 0 2 に達したとき、順方向クロスポイントメモリ位置 4 3 6 および逆方向クロスポイントメモリ位置 4 3 8 は、上述のように経路に対して割り当てられる。インターフェイススイッチ 4 0 2 のスイッチポート 4 4 0 は、経路に対して選択され、逆方向経路が指定される。同様に、順方向クロスポイントメモリ位置 4 4 2 および逆方向クロスポイントメモリ位置 4 4 4 が、スイッチ素子 4 4 6 に対して割り当てられる。スイッチ素子 4 4 6 のスイッチポート 4 4 8 が経路に対して選択され、インターフェイススイッチ 4 0 2 に対する逆方向経路が指定される。 20

【 0 2 2 2 】

2 つのターミナルの間、例えばキーステーションと回線カードの間に 1 つ以上の交換ステージが存在するとき、デュプレックス経路の順方向レッグが、最短の遅延をもつ出力チャンネルを選択するために選ばれる。既に説明したように、これは、宛先ポート記憶装置およびチャンネル割当てシステムによって達成される。しかしながら、デュプレックス経路の逆方向レッグは、ステージごとに指定される。したがって、最適のチャンネルが選ばなければならない。なぜならば、各ステージに対する逆方向経路は、次のステージのリターンチャンネルを知ることなく指定されるからである。 30

【 0 2 2 3 】

デュプレックス経路が回線カードとキーステーションの間に生成される方法によって、ステーションに対応する音声情報が回線カードから回線内の音声情報に加えられ、その加えられた情報がブリッジ位置から、キーステーションおよび回線カードに伝送される。したがって、デュプレックス通信経路に結合された各インターフェイススイッチは、他端に対応する音声情報に加えてそれ自体の音声情報を受け取る。ここで、各インターフェイススイッチに属する返信情報によって生じるエコーが存在する。

【 0 2 2 4 】

図 2 5 を参照して、各インターフェイススイッチ 3 8 8 および 4 0 2 は、エコー消去回路 4 1 6 を有している。このエコー消去回路に対する遅延パラメータは、確認コマンドを介して決定され、ローカルブリッジを使用する全ての回線またはタレットインターフェイスに対する固定された値となる。遅延値は、そのとき各回路ごとに、エコー消去器内に設定される。 40

【 0 2 2 5 】

N . 会議モード

図 2 8 は、第 2 キーステーションまたはタレット 4 5 0 が、ボタン電話ステーション 3 8 4 と回線 4 0 0 の間に既に設定された接続を結合することによって介会議モードを設定することができる方法を説明したものである。タレット 4 5 0 はインターフェイススイッチ 50

452に結合されている。インターフェイススイッチ388は、「a」として識別される音声情報をもっている。インターフェイススイッチ400に接続された回線カードからの回線400は、「b」として識別される音声情報をもっている。そしてインターフェイススイッチ452は、「c」として識別される音声情報をもっている。インターフェイススイッチ452は、「経路指定」コマンドを望まれた回線406に送り、ブリッジ454に対応するローカルブリッジ論理アドレスコードに対する経路を指定する。インターフェイススイッチ402がコマンドを受け取ったとき、インターフェイススイッチ452に、それが既にインターフェイススイッチ388上のブリッジポート310に対応する別のブリッジポート論理アドレスコードに対して経路を指定していることを示すことによって応答する。その後、インターフェイススイッチ452は、ブリッジポート406に対応する同一のブリッジポート論理アドレスコードに対する経路を指定する。これは、タレットインターフェイススイッチ452からポートおよびチャンネルを選択し、順方向クロスポイントメモリ位置456および逆方向クロスポイントメモリ位置458を割り当てる手続きを含んでいる。

10

【0226】

一定の時間が経過した後、スイッチ446は、回線接続と同一のブリッジポート論理アドレスコードに対する経路指定コマンドを受け取る。この論理アドレスコードは、スイッチ素子446内の宛先ポート記憶装置内にインデックスを付与し、出力スイッチポート識別を決定するために使用される。スイッチ素子446の宛先ポート記憶テーブルにおけるカウントエントリのチェックは、経路が既に存在することを表す。そのとき、交換制御プロトコルは、宛先ポート記憶テーブルから順方向クロスポイントメモリ位置442のアドレスを検索し、それを、スイッチポート460に対応するインアドレスレジスタのコントローラコピー内にコピーする。

20

【0227】

逆方向クロスポイントメモリ位置444は、順方向クロスポイントメモリ位置アドレスによってインデックスを付与された結合テーブルを介して決定される。この情報は、その後、スイッチ素子446のスイッチポート460に対応するコントローラアウトアドレスレジスタに記憶される。そして、チャンネル割当てシステムが、回線インターフェイススイッチ402に対する返信チャンネル経路を選択するために使用される。宛先論理アドレスコードが、スイッチポート448に対応するスイッチ素子アウトアドレスレジスタのコントローラコピー内に記憶される。返信チャンネル数がフラグとともに、スイッチポート460に対応するスイッチ素子インアドレスレジスタのコントローラコピー内に記憶される。いかなる経路制御バッファ数もインアドレスレジスタ内に記憶されない。なぜならば、いかなるPCB数も、交換ネットワークのスイッチポートに対して存在しないからである。次チャンネルイン/アウトテーブルが、スイッチポート460およびチャンネルによって更新される。付加的なタレットまたは回線が、同様にして既に接続された経路を結合することによってのみ会議モードに加えられ得ることがわかる。

30

【0228】

0. 状態同報通信およびマルチキャスト

交換ネットワークの同報通信システムは、2つの形式の同報通信メッセージ、すなわち、

40

(1) インターフェイススイッチ状態同報通信、および

(2) インターフェイススイッチ事象同報通信

の同報通信(1対全て)またはマルチキャスト(1対多数)に対して準備される。

【0229】

インターフェイススイッチ状態同報通信は、システム内のすべての回線の現在の状態(不使用、リングング、話中または保留)をインターフェイススイッチ上のすべての機能プロセッサに知らせる。状態同報通信は、また、データパケットを、交換ネットワークのすべてのインターフェイススイッチ機能プロセッサに同報通信するために使用される。インターフェイススイッチ事象同報通信は、すべてのインターフェイススイッチ機能プロセッサに、それらが含まれる事象の発生を警告する。

50

【0230】

同報通信メッセージは、すべてのインターフェイススイッチにもどる同報通信が行われる前に、重畳ポイント(fold point)に向けて、複数のスイッチ素子を介して交換ネットワーク内を伝送される。交換ネットワークは1組のスイッチ素子ステージとして形成されている。これらのスイッチ素子ステージのうちの第1のステージは、キーステーションおよび回線カードに対する交換ネットワークインターフェイスからなり、第2のステージは、アクセススイッチステージと呼ばれ、 n^{th} ステージは重畳ポイントと呼ばれる。重畳ポイントまたは反射スイッチは、「イン」同報通信FIFOバッファの同報通信メッセージがスイッチ素子の「アウト」同報通信FIFOバッファに転送されるような(システム初期設定で定義された)交換ネットワークのスイッチ素子からなっている。

10

【0231】

同報通信システムは、インターフェイススイッチ機能プロセッサを有し、第1チャンネル上の2バイトのデータ、および同報通信メッセージ(状態または事象)内に含まれるデータの形式を識別するためのフラグからなっており、第2チャンネル上の同一のフレームの別の2バイトのデータと対を形成する。このチャンネル対は、隣接するチャンネル上にあることが好ましい。ここで用いられるように、「メッセージ」は、交換ネットワークを通じたデータまたは情報の同報通信の離散的な量を表しており、使用されるチャンネルの大きさまたは数に限定されない。ここで説明するように、同報通信メッセージは、2チャンネルの各チャンネル上に16ビット(合計で32ビット)を有しているが、これは、特定のシステムの実施例に応じて増減させることができる。

20

【0232】

図29に示したように、同報通信メッセージは、すべてのインターフェイススイッチ機能プロセッサに対する第1チャンネル上を伝送される符号を付された2バイトの引き数に、対をなすチャンネル上の同一フレーム内に伝送される第2の2バイト引き数を結合したものである。同報通信メッセージの第2の引き数は、一般に、第1の引き数に対応するデータ引き数である。

【0233】

同報通信メッセージの第1の引き数は、同報通信メッセージがメモリ内にインデックスを付与されるのかまたは事象の発生とみなされるのかどうかを表す、図29に「 B_m 」で示した第1ビット(最も重要なビット)を含んでいる。もし同報通信メッセージがメモリ内にインデックスを付与されるならば、第1の引き数の残りのものは、同報通信メッセージをメモリ内にインデックスを付して記憶するために使用される。もし事象の発生であれば、同報通信メッセージは、記憶され、さらなる処理のためにそっくり全部、機能プロセッサに伝送される。

30

【0234】

すべてのインターフェイススイッチ状態または事象の同報通信は、専用同報通信チャンネル上に確立された重複経路を通じてすべてのインターフェイススイッチ機能プロセッサに伝送される。同報通信チャンネルは、すべての要求される通信リンク上の一对のチャンネルである。特定の通信リンク要件および構成が、システムに対して決定され、システム初期設定時に設定される。同報通信チャンネルは連続的である必要はないが、第1チャンネルはより下位の数でなければならない。好ましい実施例として、同報通信チャンネルは各通信リンクのチャンネル30および31上において達成される。

40

【0235】

各インターフェイススイッチに対する冗長通信リンクが与えられることが望ましい。各インターフェイススイッチから2つのアクセススイッチに至る(2つの通信リンクを使用する)冗長状態同報通信接続が存在する。これは、各々の同報通信メッセージの伝播に対する高い信頼性を与え、それによって、交換ネットワークにおけるいかなるシグナル障害も、同報通信メッセージの伝播を妨げない。同報通信のためにインターフェイススイッチによって使用される2つの通信リンクのそれぞれの識別は、システム初期設定の際に指定され、通信リンクの1つの障害事象に動的に再配置される。

50

【 0 2 3 6 】

図 3 0 および図 3 1 を参照して、各スイッチ素子 4 6 2 において、2 つの同報通信先入れ先出し (F I F O) レジスタ 4 6 4、4 6 6 が、同報通信メッセージを同報通信チャンネルを通じて伝送するために与えられる。同報通信 F I F O バッファ 4 6 4、4 6 6 は、2 つのモード、すなわち、

(1) 同報通信 F I F O バッファがスイッチポートバスとコントローラバスの間に接続された (インターフェイススイッチに対する) インターフェイスモードと、

(2) 同報通信 F I F O バッファがスイッチポートバスのみ接続された (他のすべてのスイッチ素子に対する) スwitch素子モード

のいずれかにおいてプログラムされる。

10

【 0 2 3 7 】

インターフェイスモードにおいて、「イン」同報通信 F I F O バッファ 4 6 4 は、コントローラバスから、コントローラ 4 6 8 によってロードされ、スイッチポートバスに対するアウトアドレスポインタを通じてアンロードされる (図 3 参照)。「アウト」同報通信 F I F O バッファ 4 6 6 は、スイッチポートバスからインアドレスポインタを通じてロードされ、コントローラバス上のコントローラ 4 6 8 によってアンロードされる。ここで用いられるように、「イン」は、重畳ポイントに向けて交換ネットワークの内側に進行する同報通信メッセージを意味し、「アウト」は、重畳ポイントから遠ざかるように交換ネットワークから外側に進行する同報通信メッセージを意味する。同報通信 F I F O バッファはそれぞれ、全フレームに対してデータを保持することができ、また、同一のデータ

20

【 0 2 3 8 】

初期設定の際に、正確なアドレスが、スイッチポートの各同報通信チャンネルに対応するインアドレスおよびアウトアドレスポインタ内に配置される。これらのアドレスは、2 つの同報通信 F I F O バッファ (「イン」または「アウト」) のうちの 1 つの一番上または一番下を指示する。同報通信 F I F O バッファの各々のインプットには、正当なメッセージのみが同報通信 F I F O バッファにロードされることを保証するための「フィルター」が存在する。

【 0 2 3 9 】

図 3 0 は、交換ネットワークを通じた、反射スイッチに向かう同報通信メッセージの伝播を説明したものである。すべてのインターフェイススイッチは、同報通信またはマルチキャストメッセージを初期設定することができる。例えば図 3 0 において、スイッチ素子 4 6 2 は、回線カードが接続されたそれぞれの回線の状態をもつ回線状態テーブルを含む回線カードに接続されたインターフェイススイッチからなっている。シグナルが受信され、入力コールを表示するとき、インターフェイススイッチ機能プロセッサは、回線状態テーブルの回線の状態を変更した後、同報通信メッセージ 4 7 0 をコントローラ 4 6 8 に与える。そして、コントローラ 4 6 8 は、同報通信メッセージを、ハードウェアによって自動的に出力スイッチポート 4 7 2 に転送されるべき「イン」同報通信 F I F O バッファ 4 6 4 に書き込む。したがって、機能プロセッサ 4 7 4 は、回線状態に (すなわち事象方式上の) 変化があるときに回線状態を伝送するだけである。

30

40

【 0 2 4 0 】

同報通信メッセージは、その後、重畳ポイントに達するまで「イン」同報通信 F I F O レジスタ 4 6 4 に対するインプットスイッチポート 4 7 2 から、アウトプットスイッチポート 4 7 2 に転送されるスイッチ素子 1 0 を介して、交換ネットワークの至る所に伝播される。アクセスまたはセクションスイッチにおいて、同報通信メッセージが重畳ポイントに向けてシステム内に伝播しているとき、同報通信メッセージが「イン」同報通信 F I F O バッファ 4 6 4 にロードされ、そしてその後、反射スイッチに向けて予め決定されるアウトプットスイッチポート 4 7 2 に伝送される。どのスイッチポートが、反射スイッチに向かう順方向同報通信メッセージに対して使用されるべきかの指定が、システム初期設定の際に行われ、その後動的に変更され得る。

50

【0241】

図30において、重畳ポイントまたは反射スイッチは、図面の最も右側にあるスイッチ素子462である。反射スイッチで受信されたとき、同報通信メッセージは、「アウト」同報通信FIFOバッファ466内にロードされる。

【0242】

図31は、交換ネットワークを通じて、重畳ポイントから外側に向かう同報通信メッセージの伝播を説明したものである。反射スイッチにおいて、同報通信メッセージは、「アウト」同報通信FIFOバッファ466からすべてのスイッチポート472に転送される。アクセスまたはセクションスイッチにおいて、同報通信メッセージが反射スイッチから出力されるとき、同報通信メッセージはスイッチ素子の「アウト」同報通信FIFOバッファ466内にロードされ、その後すべてのスイッチポートに伝送される。

10

【0243】

インターフェイススイッチはすべて、同報通信およびマルチキャストメッセージを受信することができる。コントローラ468は、同報通信メッセージ470が共有メモリ476内にインデックスを付されるのかまたは事象とみなされて図31に示したように機能プロセッサ474に伝送されるのかどうかを決定する。例えば、キーステーションに接続されたインターフェイススイッチにおいて、回線状態同報通信メッセージは、コントローラ468によって機能プロセッサメモリ476内に配置されたテーブル内に記憶される。

【0244】

同報通信メッセージの最も重要なビットが0であるとき、同報通信メッセージは、状態同報通信であるとみなされ、(論理アドレスコードまたはLACを発信する)第1チャンネルの引き数の値は、図32に示したように、第2チャンネル(回線状態ビットである「B。」)の引き数の値を機能プロセッサの同報通信インデックステーブルに書き込むためのインデックスとして使用される。図33に示したように、機能プロセッサは、また、ボタンの順序に配置されたボタンテーブルを有していることによって、記憶されたLACに対応する回線を与える。同報通信インデックステーブルは、交換ネットワークに接続されたすべての回線に対する特定の回線カードLACに対応する回線状態を含んでいる。回線状態は、したがって、特定のキーステーションボタンに対応している。状態同報通信システムは、また、同様にして使用され、各インターフェイススイッチ機能プロセッサに対して離散的な量のデータを同報通信するための高速化手段を与えるものであることがわかる。

20

30

【0245】

機能プロセッサ474は、キーステーションに対し、特定のキーステーションに適用する状態変化のみを引出しおよび転送する。各キーステーションに対する回線状態のテーブルが更新され、テーブルの内容が、キーステーションに対して単一のデータパケットとして転送される。新たに転送されたデータパケットはそれぞれ、キーステーションの回線状態テーブルに記憶された古いデータの上に重ね書きされる。回線状態情報は、キーステーションのLEDを通じて表示される。

【0246】

システムは、また、各々の回線の状態の変化に注意し、「変化リスト」をキーステーションに転送されるべくコンパイルするように構成されていることがわかる。しかしながら、この構成は、変化を引き起こすボタンが識別されなければならないことを必要とする。

40

【0247】

同報通信メッセージの最も重要なビットが1であるとき、同報通信メッセージは、事象同報通信であるとみなされ、第1チャンネルのデータワードの値は発信LACとなり、また第2チャンネルのデータワードの値は、事象記述子となる。事象は、マルチキャストメッセージ(この場合、タイプアドレスコードまたはTACは第2チャンネル内において与えられる)、システム構成更新、データおよび時刻を含みうる。

【0248】

マルチキャストリングは、ローカルエリアネットワーク(LAN)形式のシステムを容易

50

に達成することがわかる。しかしながら、その2地点間構造のために、このようなマルチキャストリングを交換ネットワークにおいて実行することは困難である。しかしながら、本発明によるシステムによれば、このようなマルチキャストリングを容易に行うことができる。

【0249】

本発明におけるマルチキャストリングは、本質的に「コールバック」スキームとして実行される。事象通報通信は、交換ネットワークおよびインターフェイススイッチのすべての機能プロセッサを通過して伝播する。インターフェイススイッチは、それらが、事象通報通信が発信された発信LACにもどる経路を指定する、伝送されたTACをもつグループ（または「形式」）のメンバーであることを認識している。このようなマルチキャストの容易さは、例えば、交換ネットワークのインターフェイススイッチに対するソフトウェア更新を動的にロードする際に特に効果的である。インターフェイススイッチは、それらがアドレス指定されたTACのメンバーであることを認識し、発信LACにもどる経路を指定することによって、（例えばシステムセンターに接続された）発信インターフェイススイッチからソフトウェア更新を検索することができる。

10

【0250】

この通報通信の容易さは、また、重要な新たな特徴を生じさせる。例えば、仮想専用回線が実現され得る（この場合、発信LACは入力コールのものとなり、事象記述子は専用回線識別子となる）。さらに、投資マーケット価格照会が、この容易さをもつボタンを押すことによってトレーダーの利用に供することが可能となる（この場合、発信LACはストック識別子となり、事象記述子は価格となる）。

20

【0251】

したがって、通報通信メッセージは、図30に示したように（すなわち、通報通信FIFOバッファに対する複数のインプット、通報通信FIFOバッファからの1つのアウトプット）、それらが交換ネットワークの重畳ポイントに達するまで、非同報通信的方法で交換ネットワーク内に送られる。重畳ポイントから、通報通信メッセージは、図31に示したように（すなわち、通報通信FIFOバッファに対する1つのインプット、通報通信FIFOバッファからの複数のアウトプット）、交換ネットワークからインターフェイススイッチに向けられたすべての使用可能な通報通信チャンネル上を伝送される。

【0252】

インターフェイススイッチから2個のアクセススイッチに至る冗長状態通報通信接続によって、セクションスイッチからアクセススイッチに到達する状態メッセージの数が重複する。冗長通報通信メッセージは、データテーブルがただ同一のデータを重ね書きされるときには問題を生じることがないことは明らかである。しかしながら、トラフィックを考慮すれば、繰り返しが小さくなり、さもなければ通報通信FIFOバッファが極端に大きくなる必要がある。

30

【0253】

交換ネットワークは、したがって、初期設定され、動的に再配置されて、極端な処理ロードを伴わずに冗長通報通信メッセージをもつことができる。セクションスイッチから2個のアクセススイッチの与えられたグループに至る2つの通信リンク上の2つのチャンネルが、通報通信メッセージに対して使用される。これらの2組のチャンネルのうち、一方のチャンネルの組は使用に対して指定され、他方のチャンネルの組は障害の発生した場合のバックアップを与える。どのチャンネル対が使用され、どのチャンネル対がバックアップとして準備されるのかは、任意に選択され、動的に変更されうる。したがって、アクセススイッチは、すべての与えられた通報通信メッセージに対する4つの代わりに、2つの同一のメッセージのみを受信する。アクセススイッチの状態メッセージのフィルタリングに関係する処理ロードは、こうして1/2に削減される。

40

【0254】

前述の議論から明らかなように、通報通信メッセージは、事象方式において初期設定されが、通報通信メッセージは、またポーリングされた方式においても初期設定されることが

50

でき、いずれかまたは事象初期設定された同報通信メッセージとの結合が可能である。

【0255】

1:10**11より良好な相互切り換え通信リンク上のビットエラー率を伴って、大量のロードを実行した場合に10日毎に約1つのメッセージが、通信リンクビットエラーによって失われうる。この確立を計算するために、もし重要であると考えられるならば、各回線の状態が、ある特定の時間間隔、例えば10秒毎に伝送されうる。この伝送が時間分散的であれば、それは、トラフィックローディングのときに無視しうる影響を有することがわかる。10秒タイマーが使用され、これは、状態変化が生じるたびにリセットされることにより、10秒間に変更されない回線状態のみが再び伝送されるようする。

【0256】

スイッチプレーンの通信リンクまたはスイッチ素子障害が、同報通信メッセージの消失を引き起こさないようにするため、プレーン内にいずれかの通信リンクまたはスイッチ素子障害が生じる場合に、スイッチプレーン全体が同報通信メッセージを搬送することができないようにすることが望ましい。これは、ゼロ(NULL)アドレスを、アクセススイッチから不能にされたプレーンに至るスイッチポートの各同報通信チャンネルに対応するアウトアドレスレジスタに書き込むことによって達成される。これは、プレーンに対する通常のトラフィックに影響を及ぼさない。

【0257】

キーステーションの付加的な回線インディケータ、ラインインユースがこのシステムによって容易になされる。キーステーションのボタンが押されたとき、伝送されたボタンコードがインターフェイススイッチの機能プロセッサによって解読され、当該ボタンに対応するボタンテーブル内のビットを設定する。このビットは、そのボタンに対応するどのラインインユース(I-使用)が作動されるのかを表示するために使用される。

【0258】

これまでに説明してきた分散交換ネットワークにおいて、多くの同報通信システムパラメータが設定され、望ましいトラフィック能力およびシステム信頼性を与える。このようなパラメータは次のものを含んでいる。すなわち、

- (1) 同報通信FIFOバッファの大きさ、
- (2) 同報通信FIFOバッファの個数、
- (3) 同報通信の通信リンクの個数(入力および出力)、
- (4) 各通信リンク上のチャンネルの数、
- (5) 同報通信メッセージの大きさ、
- (6) 同報通信メッセージの個数、
- (7) 重畳ポイントの位置

【0259】

これまで本発明の好ましい実施例について説明してきたが、ここで用いられた用語は、本発明を限定するより、むしろ説明するための用語であり、特許請求の範囲に記載した事項の範囲内で、変更例を案出することが可能であることが理解される。例えば、キーステーションに関して議論してきたにもかかわらず、本発明は標準的な電話ステーションにも等しく適用可能である。加えて、主としてデュプレックス通信経路によって議論してきたが、本発明はシンプレックス通信経路にも等しく適用可能である。

【図面の簡単な説明】

【図1】交換ネットワークのブロック図である。

【図2】データフォーマットを説明した図である。

【図3】交換ネットワークにおけるスイッチ素子のブロック図である。

【図4】図3のスイッチ素子の概念図である。

【図5】図1のインターフェイススイッチのレイアウトを説明した図である。

【図6】会議経路またはデュプレックス経路において使用されるスイッチ素子を説明した図である。

【図7】会議経路またはデュプレックス経路において使用されるスイッチ素子を説明した

10

20

30

40

50

図である。

【図 8】図 3 の F I F O バッファ部を説明した図である。

【図 9】図 3 の機能プロセッサ部の機能ブロック図である。

【図 10】コントローラおよび機能処理メモリマップを説明した図である。

【図 11】クロスポイント第 1 チャンネルイン / アウトリンクアップテーブルを説明した図である。

【図 12】次のチャンネルインリンクリストテーブルを説明した図である。

【図 13】次のチャンネルアウトリンクリストテーブルを説明した図である。

【図 14】パケット制御バッファのブロック図である。

【図 15】本発明による可用性テーブルの概念図である。

10

【図 16】可用性テーブルのシングル連想メモリセルを説明した図である。

【図 17】チャンネルアロケーションシステムのブロック図である。

【図 18】チャンネル選択レジスタのブロック図である。

【図 19】チャンネル選択レジスタの検索機能を説明したブロック図である。

【図 20】チャンネル選択レジスタの検索機能を説明したブロック図である。

【図 21】ポート選択レジスタのコンポーネントを説明したブロック図である。

【図 22】交換ネットワークに接続されたものとして示したキーステーションの概念図である。

【図 23】交換ネットワークに接続されたものとして示したキーステーションインターフェイスの概念図である。

20

【図 24】交換ネットワークに接続されたものとして示した専用回線インターフェイスの概念図である。

【図 25】キーステーションと回線の間デュプレックス音声経路を生成するためのアクションシーケンスの例を説明した図である。

【図 26】キーステーションと回線の間デュプレックス音声経路を生成するためのアクションシーケンスの例を説明した図である。

【図 27】キーステーションと回線の間デュプレックス音声経路を生成するためのアクションシーケンスの例を説明した図である。

【図 28】会議経路を説明した図である。

【図 29】同報通信メッセージの構造を説明した図である。

30

【図 30】交換ネットワークを通じて、折り畳み地点に向かう同報通信メッセージの伝播を説明した図である。

【図 31】交換ネットワークを通じて、折り畳み地点から外側に伝播する同報通信メッセージの伝播を説明した図である。

【図 32】同報通信インデックステーブルの構造を説明した図である。

【図 33】ボタンテーブルの構造を説明した図である。

【符号の説明】

1 1 ナショナルデジタルネットワーク

1 2 キーステーション

1 3 専用回線

40

1 4 中央オフィス

1 5 システムセンター

2 0 ターミナルユニット

2 2 インターフェイススイッチ

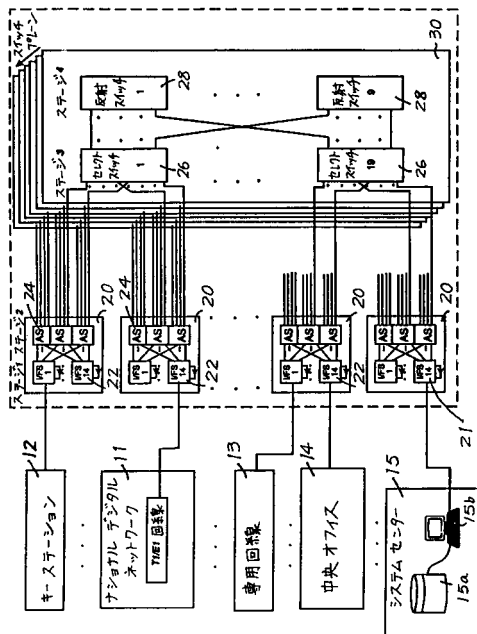
2 4 アクセススイッチ

2 6 セクションスイッチ

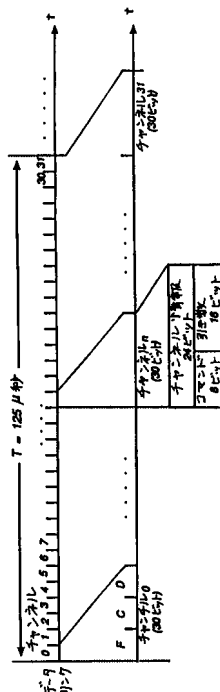
2 8 反射スイッチ

3 0 スイッチプレーン

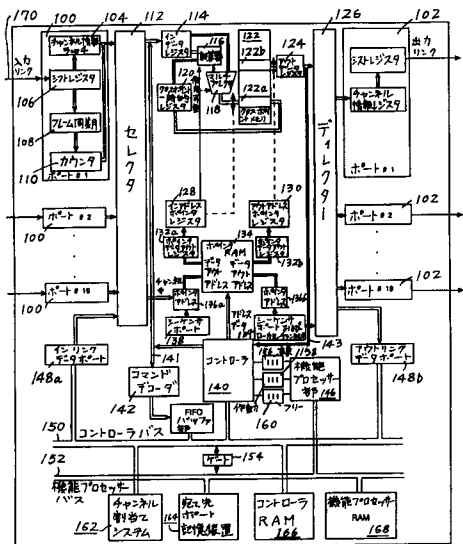
【 図 1 】



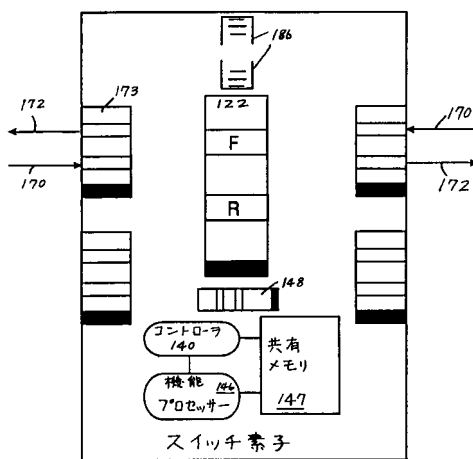
【 図 2 】



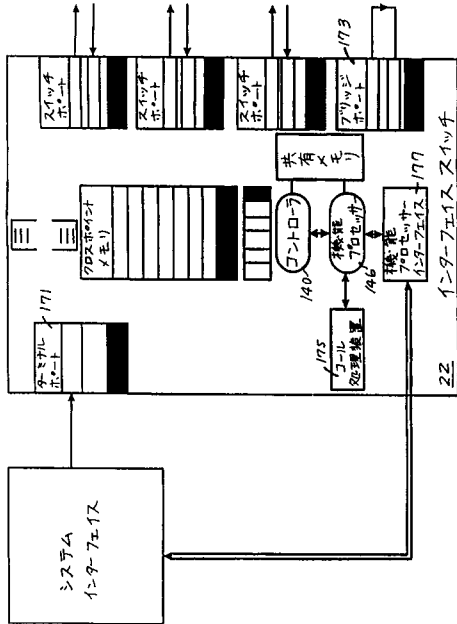
【 図 3 】



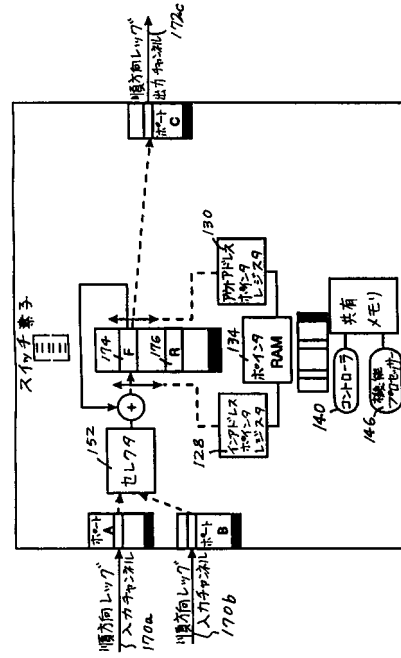
【 図 4 】



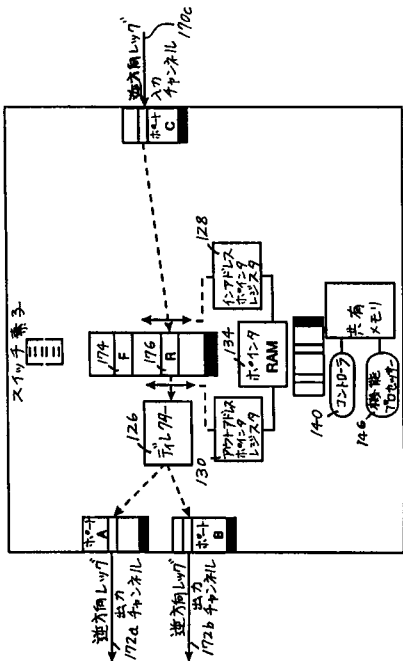
【 図 5 】



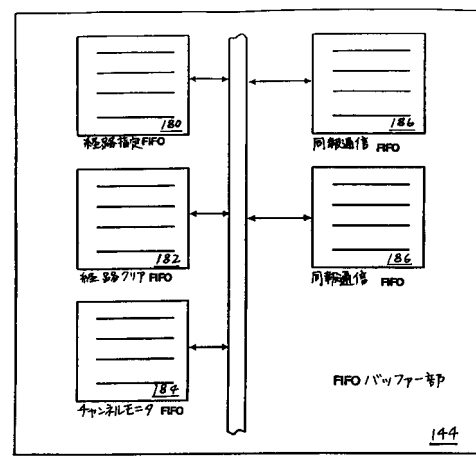
【 図 6 】



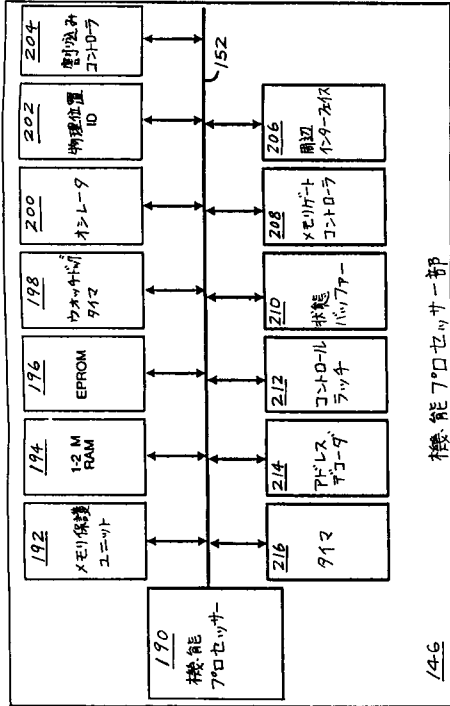
【 図 7 】



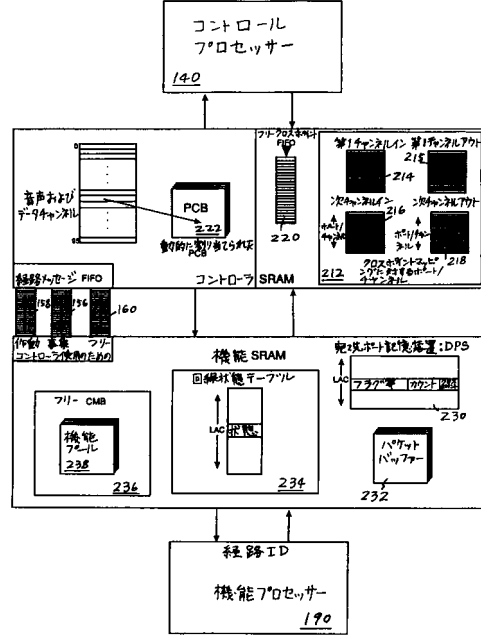
【 図 8 】



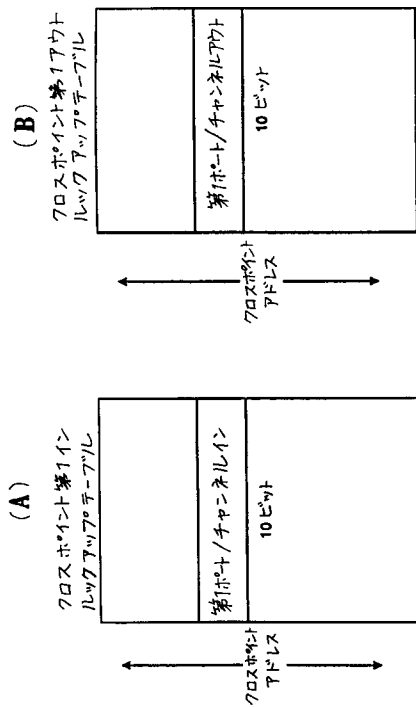
【 図 9 】



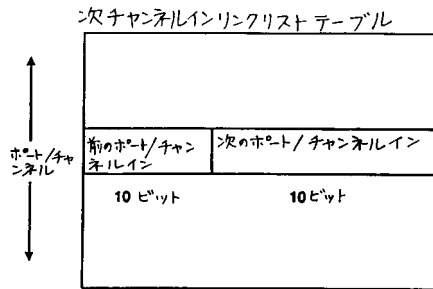
【 図 10 】



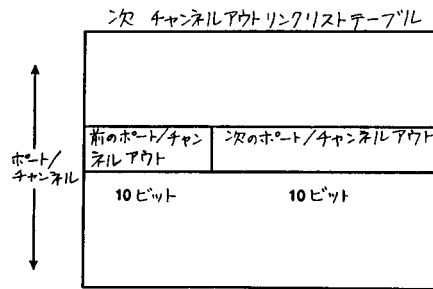
【 図 11 】



【 図 12 】



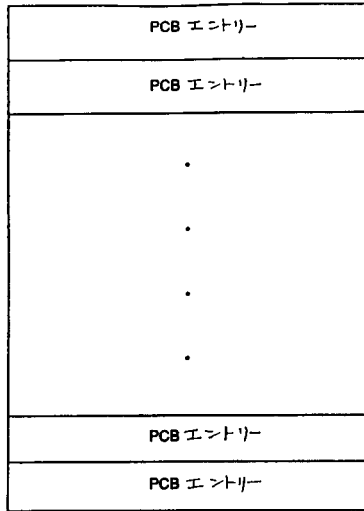
【 図 13 】



【 図 14 】

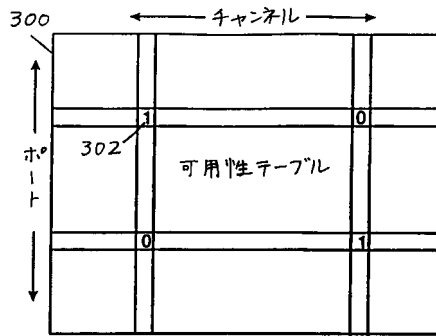


【 図 1 4 】

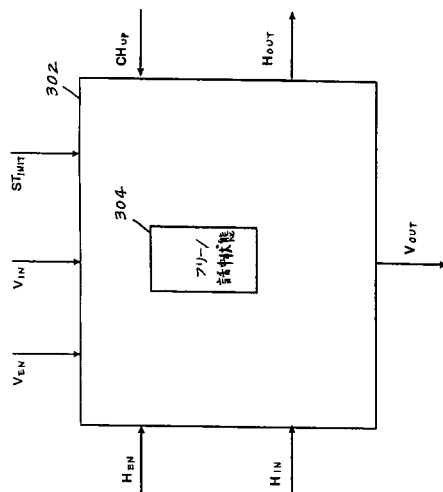


パケット制御バッファ (PCB)

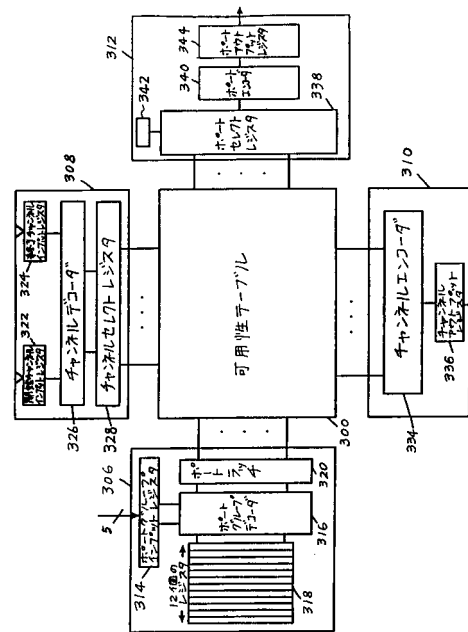
【 図 1 5 】



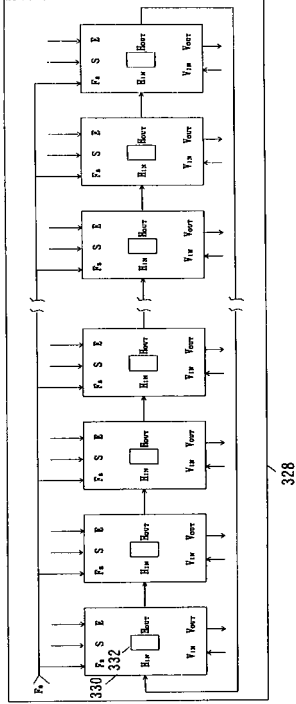
【 図 1 6 】



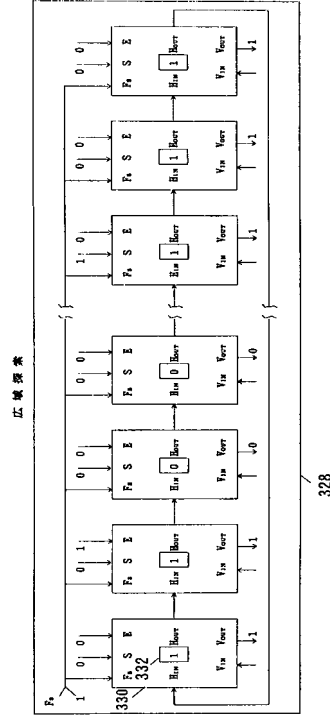
【 図 1 7 】



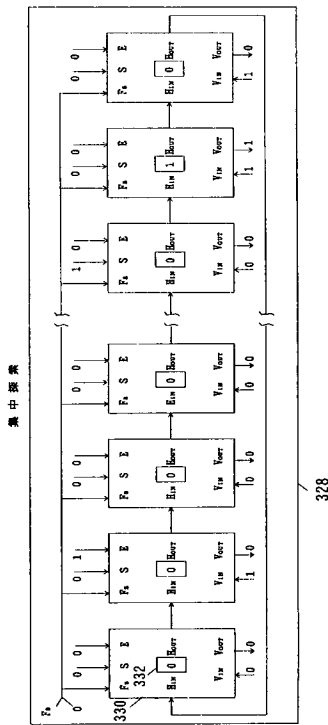
【 18 】



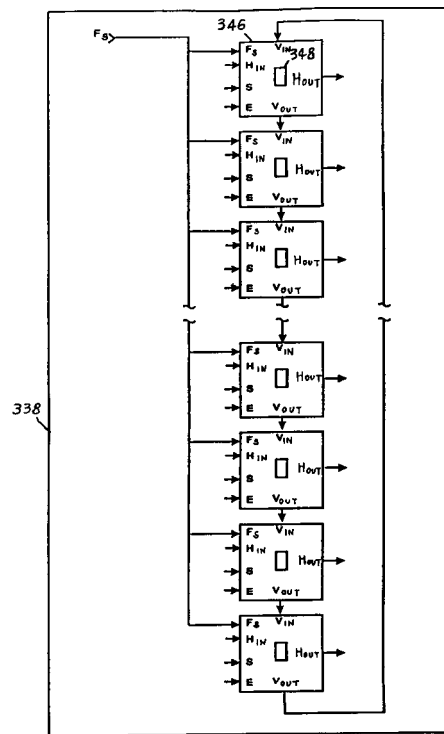
【 19 】



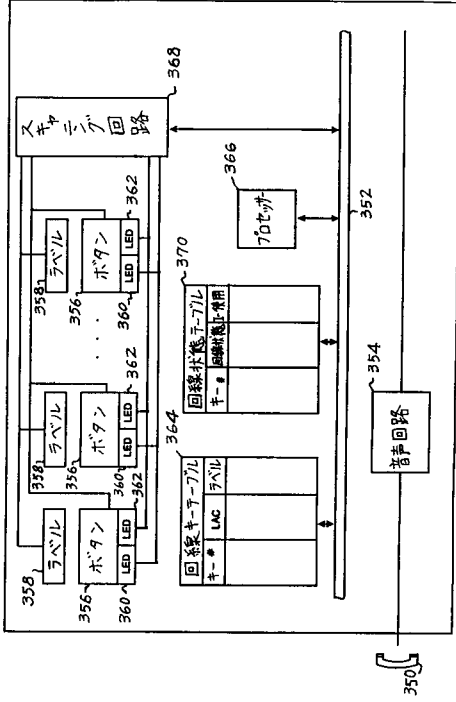
【 20 】



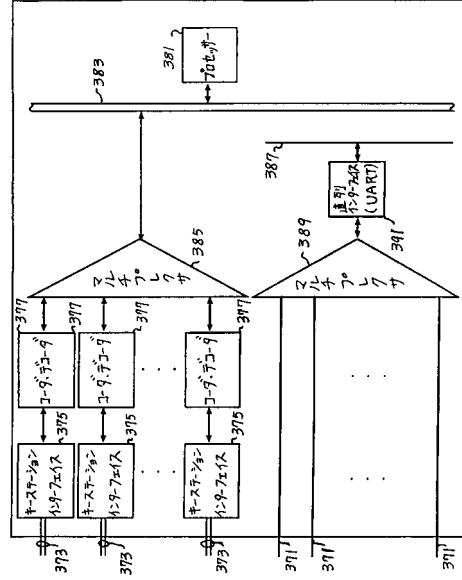
【 21 】



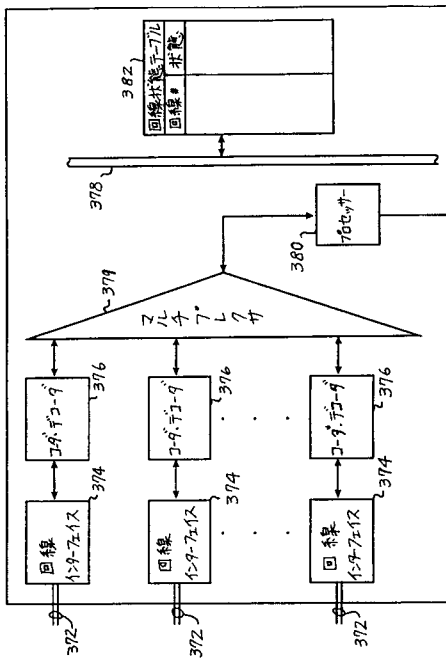
【図 2 2】



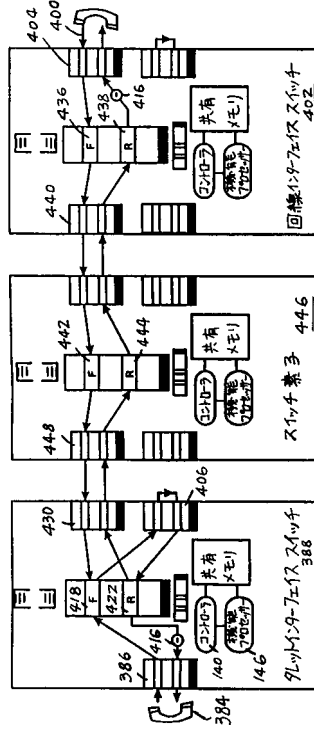
【図 2 3】



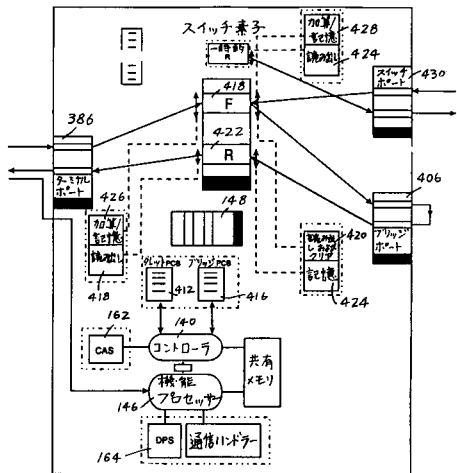
【図 2 4】



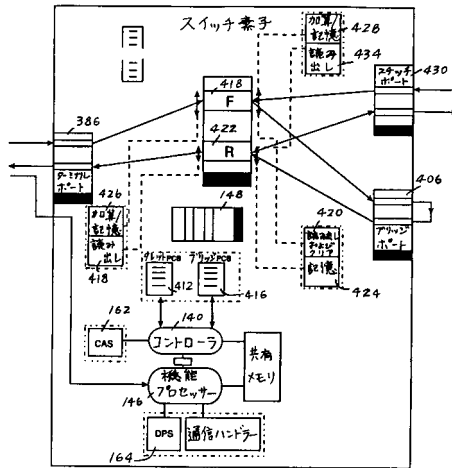
【図 2 5】



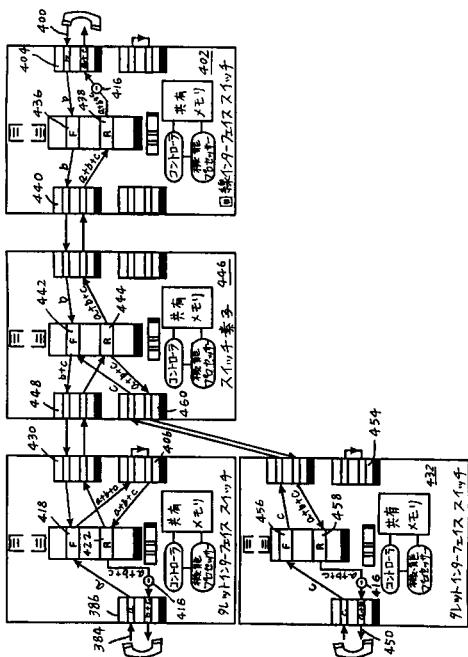
【図 26】



【図 27】

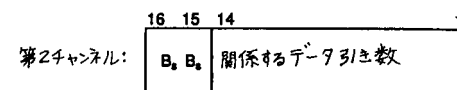
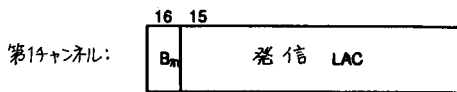


【図 28】

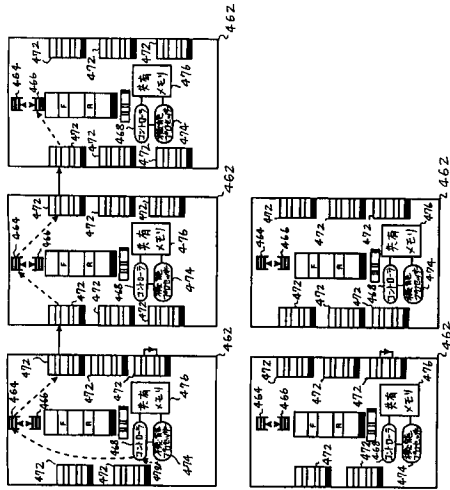


【図 29】

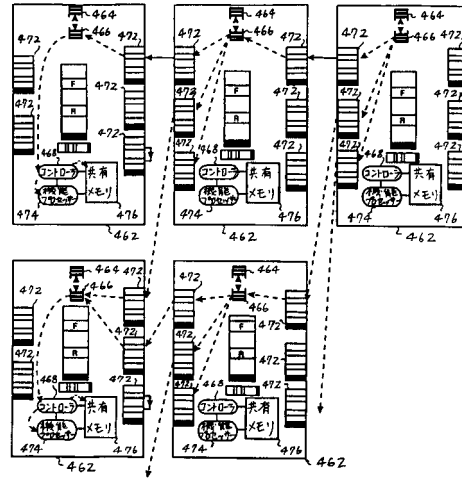
同報通信メッセージ



【図 30】

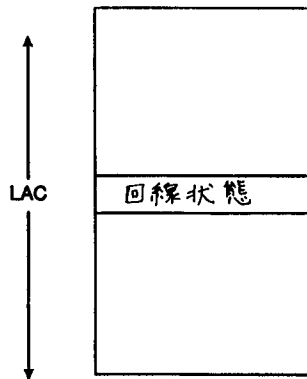


【図 31】



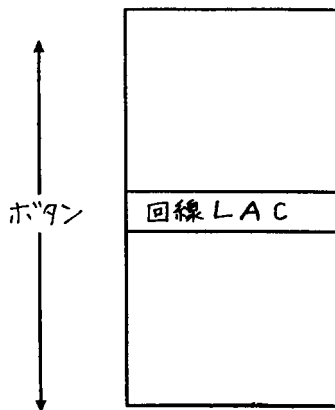
【図 32】

同報通信インテックステابل



【図 33】

ホッタンテーブル



フロントページの続き

- (72)発明者 ニール シー、オールセン
アメリカ合衆国、コネチカット州 06460、ミルフォード、ウィーラーズ ファームズ ロード 810
- (72)発明者 アレックス ティー、ウィシンク
アメリカ合衆国、コネチカット州 06525、ウッドブリッジ、サンブルック ロード 39
- (72)発明者 ゲーリー ブイ、ピーパー
アメリカ合衆国、コネチカット州 06492 4726、ウォーリングフォード、シンプソン アベニュー 29
- (72)発明者 ニコラス ネキュラ
アメリカ合衆国、ニューヨーク州 10552、マウント バーン、ノース テラス アベニュー 675、アパートメント 4ビー
- (72)発明者 ウィリアム エイ、オズワルド
アメリカ合衆国、コネチカット州 06478、オックスフォード、リアルティ ロード 44
- (72)発明者 エンリーケー アブレー
アメリカ合衆国、コネチカット州 06484、ハンチントン、キャピタル ドライブ 108
- (72)発明者 モーリス ジェイ、マスカレナーズ
アメリカ合衆国、コネチカット州 06905、スタンフォード、リチャーズ アベニュー 29、アパートメント ビー
- (72)発明者 ルーディー デ ブルーイン
アメリカ合衆国、コネチカット州 06418、ダービー、オレンジウッド ウェスト 9

審査官 稲葉 和生

- (56)参考文献 特開平02-005696(JP,A)
特開平01-221051(JP,A)
特開平02-026429(JP,A)
特開平05-219584(JP,A)
特開昭54-129906(JP,A)
特表平06-507055(JP,A)
米国特許第05379280(US,A)
米国特許第04611095(US,A)

(58)調査した分野(Int.Cl., DB名)

H04Q 11/04