(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
G05F 3/26

(45) 공고일자 1990년07월31일
(11) 공고번호 90-005552

(21) 출원번호	특1986-0005499	(65) 공개번호	특1987-0001504
(22) 출원일자	1986년07월08일	(43) 공개일자	1987년03월14일
(30) 우선권주장	157890 1985년07월17일 일본(JP)		
(71) 출원인 가부시끼가이샤 도오시바 와타리 스기이찌로
일본국 가나가와껜 가와사끼시 사이와이구 호리가와쬬오 72반지

(72) 발명자 미야사꼬 요지
일본국 가나가와껜 가와사끼시 사이와이구 고무가이 도오시바쬬오 1반지
가부시끼가이샤 도오시바 다마가와공장내

(74) 대리인 김윤배

심사관 : 권태복 (책자공보 제1971호)

(54) 전류미러회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

전류미러회로

[도면의 간단한 설명]

제1도 내지 제4도는 본 발명의 각 실시예에 따른 전류미러회로를 도시해 놓은 회로도.

제5도는 종래의 전류미러회로를 도시해 놓은 회로도.

* 도면의 주요부분에 대한 부호의 설명

1,2 : 차동증폭기의 트랜지스터 3 : 입력트랜지스터

4 : 출력트랜지스터 I_{IN}, I_0 : 정전류원

C_1 : 용량 R_L : 부하저항

5 : 버퍼용 트랜지스터

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 집적회로등에 사용되는 전류미러회로(current mirror circuit)에 관한 것으로, 특히 낮은 전압에서 동작하는 전류원회로등으로 사용되는 전류미러회로에 관한 것이다.

[종래 기술 및 그 문제점]

제5도는 종래의 전류미러회로를 도시해 놓은 회로도로, 도면 중 참조부호 1,2는 차동증폭회로를 구성하는 NPN 트랜지스터이고, 3은 전류입력측의 PNP 트랜지스터이며, 4는 전류출력측의 PNP 트랜지스터, C_1, R_B는 안정화교류궤환소자, I_{IN}은 입력정전류원, I_{OUT}는 출력정전류원, I_0는 정전류원, V_{CC}는 전원이다.

이와 같은 종래의 전류미러회로는 최소동작전원전압이 약 $V_{BE}+2V_{CE}$(V_{BE} ;베이스·에미터간 전압, V_{CE};컬렉터·에미터간 전압)로 되는데, 여기서 V_{BE}=0.7V, V_{CE}=0.1V로 한다면, $V_{BE}+2V_{CE}$=0.9V가 되어 낮은 전압에서 동작하게 된다. 또한, 부궤환회로가 채택되어 있기 때문에 래터럴 PNP형 트랜지스터(lateral PNP transistor;3,4)의 h_{fe} 변동에 대해서도 안정된 출력전류를 얻을 수 있게 된다.

그러나, 제5도에 도시된 종래의 전류미러회로에 있어서는 다음과 같은 문제점이 있다. 즉, 1) 제5도

에 도시된 전류미로회로는 차동증폭회로와, PNP 트랜지스터(3)의 에미터접지증폭기로서 동작하기 때문에 CR시정수가 큰 교류궤환회로(C_1,R_B)가 필요하게 된다.

즉, 차동즉폭기회로의 부하가 트랜지스터(4)이 베이스와 에미터간이기 때문에 출력전압(교류궤환전압V_1)이 낮고 발진등에 대한 안정성이 나쁘게 된다. 한편, 이점을 개선하기 위해서는 용량(C_1)과 저항(R_B)의 값을 크게 해주면 되지만, 이때 NPN 트랜지스터의 h_{fe} 변동을 고려하면 저항(RB)의 값을 크게 할 수 없게 된다. 따라서 교류궤환량을 증대시키기 위해서는(안정화시키기 위해서는) 용량(C_1)을 크게 할 필요가 있게 된다.

2) 또 상기 궤환회로를 부가하더라도 PNP 트랜지스터(3)의 f_T(h_{fe}가 1로 되는 동작시정수)나 기생용량의 영향으로 말미암아 부궤환의 위상 및 진폭이 변하기 때문에 회로동작이 불안정하게(발진하게 쉽게)된다.

[발명의 목적]

이에, 본 발명은 상기한 실정을 감안해서 발명된 것으로, 상술한 문제점을 해결하여 낮은 전압에서도 안정하게 동작할 수 있도록 된 전류미러회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 실현하기 위한 본 발명은 에미터를 공통으로해서 차동증폭회로를 구성하는 제1 및 제2 트랜지스터와, 베이스를 공통으로 하는 제3 및 제4 트랜지스터를 설치하되, 상기 제1 및 제2 트랜지스터의 에미터를 정전류원에 접속시키고, 제2 트랜지스터의 컬렉터를 제3 및 제4 트랜지스터의 베이스에 접속시키며, 상기 제3 트랜지스터의 컬렉터를 제1트랜지스터의 베이스와 입력전류원에 접속시키는 한편, 상기 제2트랜지스터의 베이스를 바이어스노드에 접속시키고, 상기 제3 및 제4트랜지스터의 에미터를 기준전원에 접속시키며, 상기 제4 트랜지스터의 컬렉터를 출력노드에 접속시킨 구성으로 된 전류미러회로에 있어서, 상기 제1 트랜지스터의 컬렉터에 부하저항을 통해 기준전원이 접속됨과 더불어 그 베이스와 컬렉터사이에 용량이 갖추어진 구성으로 되어 있다.

[작용]

상기한 구성으로 본 발명에 따른 전류미러회로에 의하면, 제1트랜지스터의 컬렉터에 접속된 부하저항과, 그 제1트랜지스터의 베이스·컬렉터사이에 갖추어진 용량에 의해 교류궤환량이 증가하게 되므로 동작이 안정화되게 된다.

[실시예]

이하, 도면을 참조해서 본 발명에 따른 실시예를 설명한다.

제1도는 본 발명의 1실시예에 따른 차동증폭회로를 도시해 놓은 회로도로, 제1도에서 제5도와 동일한 부분에는 동일한 참조부호를 기입한다.

제1도에 도시된 실시예에서는 에미터를 공통으로 하여 차동증폭회로를 구성하는 NPN 트랜지스터(1,2)와, 베이스를 공통으로 하는 PNP 트랜지스터(3,4)를 설치하되, 상기 트랜지스터(1,2)의 에미터를 정전류원(I_0)을 통해 접지시키고, 트랜지스터(2)의 컬렉터를 트랜지스터(3,4)의 베이스에 접속시키는 한편, 트랜지스터(1)의 컬렉터를 부하저항(R_L)의 일단에 접속시키고, 트랜지스터(3,4)의 에미터와 상기 부하저항(R_L)의 다른 일단을 기준전원(V_{CC})에 접속시킨다. 또한 상기 트랜지스터(3)의 컬렉터는 입력정전류원(I_{IN})을 통해 접지시킴과 더불어 트랜지스터(1)의 베이스 용량(C_1)의 일단에 접속시키고, 상기 용량(C_1)의 다른 일단은 상기 트랜지스터(1)에 컬렉터와 상기 부하저항(R_L)의 중간접속점에 접속시켜서 전류미러회로를 구성한 것으로, 이러한 구성의 전류미러회로에 있어서 출력정전류(I_{OUT})는 트랜지스터(4)의 컬렉터로부터 얻어지게 된다.

상기한 구성으로 된 제1도의 실시예에서는 트랜지스터(1)의 컬렉터에 부하저항(R_L)이 삽입됨으로써 이 부하저항(R_L)에 의해 입력트랜지스터(3)의 베이스를 구동시키는 차동증폭기의 트랜지스터(2)의 컬렉터와 역위상인 출력이 얻어지게 되는데, 이 트랜지스터(1)의 컬렉터전압은 용량(C1)에 의해 그 베이스 측으로 교류부궤환되므로 안정된 전류미러회로가 얻어지게 된다.

제1도의 회로에서는, 1) 교류궤환량이 크므로 CR값을 작게할 수 있다.

즉, 차동증폭회로의 부하가 저항(R_L)이기 때문에 이의 값이 작아도 교류궤환전압(V_3)은 제5도의 경우보다 실질적으로 큰 값이 된다. 또한, 차동증폭기중 트랜지스터(1)이 베이스 단자의 임피던스는 매우 크므로 용량(C1)의 값이 작아도 회로가 안정(궤환최대)하게 된다.

2) 상기 1)항의 이유로 교류궤환량이 보다 커지기 때문에 제1도에 도시된 회로의 기생용량 및 래터럴 PNP 트랜지스터(3)의 f_T 변동에 대해 회로가 안정화된다.

제2도는 본 발명의 제2실시예에 따른 전류미러회로를 도시해 놓은 도면으로, 제2도에 도시된 전류미러회로에서는 교류궤환전압(V_3)을 트랜지스터(5)와 정전류원(I_1)으로 구성되는 버퍼회로에 가하여 궤환시키는 점이 특징이다. 그리고 그 이외의 구성 및 작용 효과는 제1도에 도시된 실시예와 동일하기 때문에 그 동일한 부분에는 동일한 참조부호를 붙이고, 그 설명은 생략한다.

제3도는 본 발명의 제3실시예에 따른 전류미러회로를 도시해 놓은 회로도로, 본 회로에서는 저항(R2)을 설치하여 트랜지스터(1)의 임피던스를 더 증가시킴으로써 교류궤환량을 보다 크게 한 점이 특징이 있다.

제4도는 본 발명의 제4실시예에 따른 전류미러회로를 도시해 놓은 회로도로, 본 회로는 상기 제2,제3실시예를 조합한 것이다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, CR의 값이 작더라도 교류궤환량을 크게 할 수 있으므로 집적회로화에 적합한 전류미러회로를 실현할 수 있게 된다.

(57) 청구의 범위

청구항 1

에미터를 공통으로 하여 차동증폭회로를 구성하는 제1 및 제2 트랜지스터(1,2)와, 베이스를 공통으로 하는 제3 및 제4 트랜지스터(3,4)를 설치하되, 상기 제1 및 제2 트랜지스터(1,2)의 에미터를 정전류원(I_0)에 접속시키고, 상기 제2트랜지스터(2)의 컬렉터를 상기 제3 및 제4 트랜지스터(3,4)의 베이스에 접속시키는 한편, 상기 제3트랜지스터(3)의 컬렉터를 상기 제1 트랜지스터(1)의 베이스와 입력전류원(I_{IN})에 접속시키고, 상기 제2 트랜지스터(2)의 베이스를 바이어스노드(VB_1)에 접속시키며, 상기 제3 및 제4트랜지스터(3,4)의 에미터를 기준전원(V_{CC})에 접속시키고, 상기 제4트랜지스터(4)의 컬렉터를 출력노드(I_{OUT})에 접속시킨 전류미러회로에 있어서, 상기 제1트랜지스터(1)의 컬렉터에다 부하저항(R_L)을 통해 상기 기준전원(V_{CC})을 접속시키고, 상기 제1트랜지스터(1)의 베이스와 컬렉터를 용량(C_1)으로 서로 접속시킨 것을 특징으로 하는 전류미러회로.

청구항 2

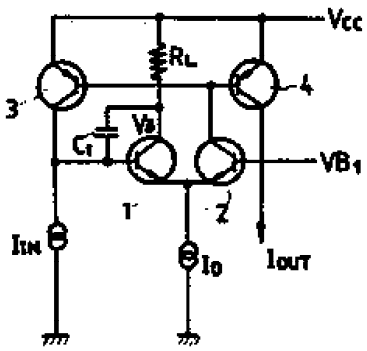
제1항에 있어서 상기 부하저항(R_L)과 트랜지스터(1)의 컬렉터와의 교점을 용량(C_1)의 사이에다 버퍼수단을 설치한 것을 특징으로 하는 전류미러회로.

청구항 3

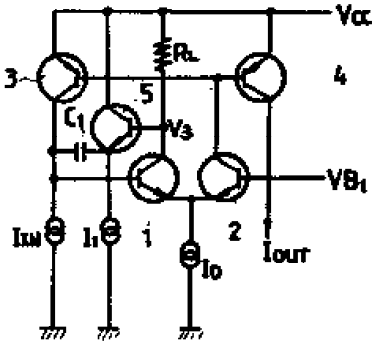
제2항에 있어서, 상기 버퍼수단은 베이스가 부하저항(R_L)과 트랜지스터(1)의 컬렉터와의 교점에 접속되고, 에미터는 용량(C_1)에 접속되며, 컬렉터는 기준전원(V_{CC})에 접속된 제5트랜지스터(5)를 구비하여 구성된 것을 특징으로 하는 전류미러회로.

도면

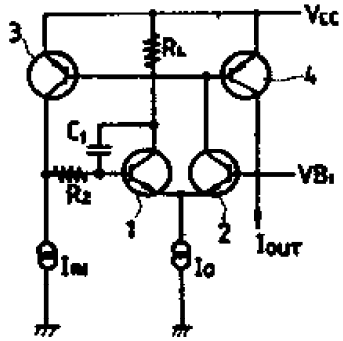
도면1



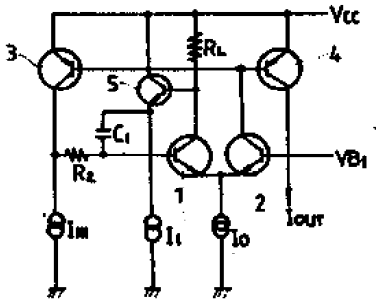
도면2



도면3



도면4



도면5

