



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/24 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월23일 10-0699594 2007년03월19일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0102212 2005년10월28일 2005년10월28일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	매그나칩 반도체 유한회사 충북 청주시 흥덕구 향정동 1
(72) 발명자	이창영 충북 청주시 흥덕구 향정동 1번지 매그나칩 반도체
(74) 대리인	권성택 특허법인화우 김창달 변영철

(56) 선행기술조사문헌 KR1019990002879 A KR1020050069600 A * * 심사관에 의하여 인용된 문헌	KR1020040043675 A US6365446 B1
--	-----------------------------------

심사관 : 이시근

전체 청구항 수 : 총 3 항

(54) 반도체 소자의 실리사이드 제조방법

(57) 요약

본 발명은 반도체 소자의 실리사이드 제조방법에 관한 것으로서, 특히, 실리콘 기관의 활성 영역 상에 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴의 측벽에 스페이서를 형성하는 단계와, 상기 게이트 패턴 및 상기 스페이서가 형성된 상기 실리콘 기관 상의 전면에 질소 이온이 도핑된 니켈층을 형성하는 단계와, 상기 질소 이온이 도핑된 니켈층 상에 캡핑층을 형성하는 단계 및 상기 캡핑층이 형성된 실리콘 기관을 어닐링하여 상기 게이트 패턴의 양측에 위치하는 활성 영역 상부 및 상기 게이트 패턴 상부에 자기정렬된 단일층의 실리사이드를 형성하는 단계를 포함하는 반도체 소자의 실리사이드 제조방법에 관한 것이다.

대표도

도 1d

특허청구의 범위

청구항 1.

실리콘 기판의 활성 영역 상에 게이트 패터를 형성하는 단계;

상기 게이트 패터의 측벽에 스페이서를 형성하는 단계;

상기 게이트 패터 및 상기 스페이서가 형성된 상기 실리콘 기판 상의 전면에 질소 이온이 도핑된 니켈층을 형성하는 단계;

상기 질소 이온이 도핑된 니켈층 상에 캡핑층을 형성하는 단계; 및

상기 캡핑층이 형성된 실리콘 기판을 어닐링하여 상기 게이트 패터의 양측에 위치하는 활성 영역 상부 및 상기 게이트 패터 상부에 자기정렬된 단일층의 실리사이드를 형성하는 단계;를 포함하는 반도체 소자의 실리사이드 제조방법.

청구항 2.

실리콘 기판의 활성 영역 상에 게이트 패터를 형성하는 단계;

상기 게이트 패터의 측벽에 스페이서를 형성하는 단계;

상기 게이트 패터 및 상기 스페이서가 형성된 상기 실리콘 기판 상의 전면에 질소 이온이 도핑된 니켈층과 순수 니켈층을 순차 적층하여 형성하는 단계;

상기 질소 이온이 도핑된 니켈층 상에 캡핑층을 형성하는 단계; 및

상기 캡핑층이 형성된 실리콘 기판을 어닐링하여 상기 게이트 패터의 양측에 위치하는 활성 영역 상부 및 상기 게이트 패터 상부에 자기정렬된 이중층의 실리사이드를 형성하는 단계;를 포함하는 반도체 소자의 실리사이드 제조방법.

청구항 3.

제1항 또는 제2항에 있어서,

상기 캡핑층은, TiN을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 실리사이드 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 실리사이드 제조방법에 관한 것으로, 보다 상세하게는, 고온(650 이상)에서 우수한 열 안정성을 갖는 반도체 소자의 실리사이드 제조방법에 관한 것이다.

최근, 반도체 소자의 동작 속도를 향상시키기 위하여, 일반적으로 반도체 소자를 이루고 있는 각각의 구성요소들의 커패시턴스와 저항을 줄이는 것이 필요하다. 예를 들면, 게이트 산화막의 커패시턴스나 접합부의 커패시턴스 또는 배선저항을 낮추는 것이다.

특히, 고집적화에 따른 반도체 소자의 크기 감소로 인하여 배선저항 중에서도 게이트 전극의 저항과 소오스/드레인 영역에서의 접촉저항을 낮추는 것이 중요하다.

상기 게이트 전극의 저항을 낮추기 위하여 일반적으로 게이트 전극을 두 층으로 형성하는데, 한 층은 폴리실리콘으로, 다른 한 층은 내열성 금속(refractory metal)이나 내열성 금속의 실리사이드로 형성한다.

상기 소오스/드레인 영역의 접촉저항을 낮추기 위해서는 불순물 주입량을 증가시키거나 고온의 어닐링을 통하여 불순물의 활성화율을 높이는 방법이 사용된다.

그러나, 상기와 같이, 소오스/드레인 영역의 접촉저항을 낮추기 위하여 불순물 주입량을 증가시키거나 고온의 어닐링을 통해 불순물의 활성화율을 높이면, 불순물이 주변으로 더 많이 확산되기 때문에 단채널 효과(short channel effect) 등에 의해 트랜지스터와 같은 반도체 소자의 특성이 저하된다.

이러한 문제를 피하기 위하여 소오스/드레인 영역으로 형성되는 불순물 확산층이 더 얇고 낮은 저항을 가지도록 만들어지는데, 이때 적용되는 방법이 내열성 금속과 실리콘 기판의 계면에 선택적인 반응에 의하여 실리사이드(silicide)를 형성하는 이른바, 실리사이드 형성기술이다.

실리사이드 공정에서 게이트와 소오스/드레인 영역에 일반적으로 만들어지는 코발트(Co) 실리사이드는 0.1 μ m급 이하에서는 면저항(sheet resistance)의 증가를 가져온다. 이는 코발트 실리사이드가 덩어리져 생김(agglomeration)으로써 보이드(void)가 생기는 것과 같이 프로파일(profile)의 열화에 기인한 것으로 여겨진다.

따라서, 상기 코발트 실리사이드 공정을 대체하기 위하여 낮은 비저항값을 가지며 얇은 접합(shallow junction) 형성시, 접합 누설 전류(leakage current)를 최소화할 수 있는 니켈(Ni) 실리사이드 공정을 사용하고 있다.

그러나, 상기 니켈 실리사이드 공정은 작은 사이즈의 액티브(active)와 게이트 패턴에서도 낮은 면저항을 유지하며, 니켈 실리사이드 형성시, 실리콘의 소모가 적은 장점이 있는 반면에, 600 $^{\circ}$ C 이상의 고온에서 열 안정성이 매우 낮아 소자의 특성 및 신뢰성을 저하시키는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기와 같은 문제점을 해결하기 위하여, 600 $^{\circ}$ C 이상의 고온에서 우수한 열 안정성을 갖는 실리사이드를 형성할 수 있는 반도체 소자의 실리사이드 제조방법을 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 실리콘 기판의 활성 영역 상에 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴의 측벽에 스페이서를 형성하는 단계와, 상기 게이트 패턴 및 상기 스페이서가 형성된 상기 실리콘 기판 상의 전면에 질소 이온이 도핑된 니켈층을 형성하는 단계와, 상기 질소 이온이 도핑된 니켈층 상에 캡핑층을 형성하는 단계 및 상기 캡핑층이 형성된 실리콘 기판을 어닐링하여 상기 게이트 패턴의 양측에 위치하는 활성 영역 상부 및 상기 게이트 패턴 상부에 자기정렬된 단일층의 실리사이드를 형성하는 단계를 포함하는 반도체 소자의 실리사이드 제조방법을 제공한다.

상기한 목적을 달성하기 위해 또 다른 본 발명은 실리콘 기판의 활성 영역 상에 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴의 측벽에 스페이서를 형성하는 단계와, 상기 게이트 패턴 및 상기 스페이서가 형성된 상기 실리콘 기판 상의 전면에 질소 이온이 도핑된 니켈층과 순수 니켈층을 순차 적층하여 형성하는 단계와, 상기 질소 이온이 도핑된 니켈층 상에 캡핑층을 형성하는 단계 및 상기 캡핑층이 형성된 실리콘 기판을 어닐링하여 상기 게이트 패턴의 양측에 위치하는 활성 영역 상부 및 상기 게이트 패턴 상부에 자기정렬된 이중층의 실리사이드를 형성하는 단계;를 포함하는 반도체 소자의 실리사이드 제조방법을 제공한다.

또한, 본 발명에 의한 반도체 소자의 실리사이드 제조방법에 있어서, 상기 캡핑층은, TiN을 사용하여 형성하는 것이 바람직하며, 이는 캡핑층 하부에 위치하는 질소 이온이 도핑된 니켈층 또는 순수 니켈층의 상면이 산화되는 것을 방지하는 산화 방지막 역할을 한다.

이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 병기하였다.

이제 본 발명의 실시예에 따른 반도체 소자의 실리콘사이드 제조방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

실시예 1

우선, 도 1a 내지 도 1d를 참고하여 본 발명의 제1 실시예에 따른 반도체 소자의 실리콘사이드 제조방법에 대하여 상세히 설명한다.

도 1a 내지 도 1d는 본 발명의 제1 실시예에 따른 반도체 소자의 실리콘사이드 제조방법을 설명하기 위해 순차적으로 나타낸 공정단면도이다.

우선, 도 1a에 도시한 바와 같이, 실리콘 기판(100) 내에 소자분리막(도시하지 않음)을 형성하여 활성 영역을 정의한다. 이때, 상기 소자분리막은 공지의 STI(shallow trench isolation) 공정 등과 같은 소자분리막 형성 공정을 통해 형성할 수 있다.

그런 다음, 상기 실리콘 기판(100)의 활성 영역 상에 게이트 패턴(110)을 형성한다. 이때, 상기 게이트 패턴(110)은, 차례로 적층된 게이트 산화막(112) 및 게이트 전극(114)을 포함한다. 또한, 상기 게이트 산화막(112)은 실리콘 산화막 일 수 있으며, 상기 게이트 전극(114)은 폴리 실리콘으로 형성할 수 있다. 이는 소자의 특성 및 공정 조건에 따라 조절 가능하다.

이어서, 도 1b에 도시한 바와 같이, 상기 게이트 패턴(110)을 이온 주입 마스크로 하여 상기 실리콘 기판(100) 내에 불순물 이온들을 주입하여 LDD(lightly doped drain) 영역을 형성한다.

그 다음, 상기 게이트 패턴(110)의 측벽에 스페이서(120)를 형성한다. 상기 스페이서(120)는 실리콘 질화막으로 형성할 수 있다.

이어서, 상기 스페이서(120) 및 상기 게이트 패턴(110)을 이온 주입 마스크로 상기 실리콘 기판(100) 내에 불순물 이온들을 주입하여 상기 게이트 패턴(110) 양측에 위치하는 활성 영역 내에 소오스/드레인 영역(136)을 형성한다.

그런 다음, 전세정(precleaning) 공정을 실시하여 상기 소오스/드레인 영역(136) 및 상기 게이트 패턴(110) 상에 형성될 수 있는 자연 산화막 등의 불순물을 제거한다.

이어서, 도 1c에 도시한 바와 같이, 상기 소오스/드레인 영역(136)이 형성된 실리콘 기판(100) 상의 전면에 질소(N) 이온이 도핑된 니켈층(143)을 형성한 다음 그 위에 캡핑층(150)을 형성한다. 이때, 상기 캡핑층(150)은, TiN을 사용하여 형성하는 것이 바람직하며, 이는 후속의 실리콘사이드 어닐링 공정 동안 상기 질소 이온이 도핑된 니켈층(143)이 산화되는 것을 방지하는 산화 방지막 역할을 한다.

그 다음, 도 1d에 도시한 바와 같이, 상기 캡핑층(150)이 형성된 상기 실리콘 기판(100)을 어닐링하여 상기 게이트 패턴(110)의 양측에 위치하는 활성 영역 상부 및 상기 게이트 패턴(110) 상부, 구체적으로는, 상기 소오스/드레인 영역(136) 및 상기 게이트 전극(114) 상부의 실리콘(Si)과 상기 질소 이온이 도핑된 니켈층(143)을 반응시킨다. 그 결과, 상기 소오스/드레인 영역(136)의 상부 및 상기 게이트 전극(114)의 상부에 자기정렬된 N-Ni 실리콘사이드(160)가 형성된다.

그러면, 이하 도 2를 참조하여 본 발명의 제1 실시예에 따라 제조된 N-Ni 실리콘사이드의 특성에 대하여 상세하게 설명한다.

도 2는 종래 기술에 따라 질소 이온이 도핑되지 않은 순수 니켈층으로 형성된 Ni 실리콘사이드(a)와 본 발명의 제1 실시예에 따라 질소 이온이 도핑된 니켈층으로 형성된 N-Ni 실리콘사이드를 비교하여 나타낸 사진이다.

도 2를 참조하면, 종래 기술에 따라 질소 이온이 도핑되지 않은 순수 니켈층으로 형성된 Ni 실리사이드(a)는, 고온 어닐링 진행시, "A"와 같이, Ni 실리사이드가 덩어리(agglomeration)짐으로써, 발생하는 보이드(void)로 인해 Ni 실리사이드의 프로파일(profile)이 열화되고, 소오스/드레인 영역의 누설 전류가 증가하여 소자의 특성 및 신뢰성이 저하되는 문제가 있었으나, 질소 이온이 도핑된 니켈층으로 형성된 N-Ni 실리사이드(b)는, 도핑된 질소 이온이 상기 질소 이온이 도핑된 니켈층에 함유된 니켈 이온이 확산되는 것을 방지하여 상변화의 속도를 감소시킬 수 있는 효과를 얻을 수 있어, 결과적으로는 고온(600℃ 이상)에서 우수한 열 안정성을 가진다.

즉, 본 발명에 따른 N-Ni 실리사이드(도 2의 (b) 참조)는 고온에서 우수한 열 안정성을 가지므로 Ni 실리사이드가 덩어리(agglomeration)지는 현상의 발생 없이 우수한 프로파일(profile)을 구현할 수 있어, 소오스/드레인 영역의 누설 전류를 감소시키는 것이 가능하며, 이에 따라 소자의 특성 및 신뢰성을 향상시킬 수 있다.

실시예 2

다음으로, 도 3a 및 도 3b와 앞서 설명한 도 1a 내지 도 1d를 참조하여, 본 발명의 제2 실시예에 대해 설명하기로 한다. 다만, 제2 실시예의 구성 중 제1 실시예와 동일한 부분에 대한 설명은 생략하고, 제2 실시예에서 달라지는 제조과정에 대해서만 상술하기로 한다.

도 3a 내지 도 3b는 본 발명의 제2 실시예에 따른 반도체 소자의 실리사이드 제조방법을 설명하기 위해 순차적으로 나타낸 공정단면도이다.

우선, 제2 실시예에 따른 반도체 소자의 실리사이드 제조방법은 도 1a 및 도 1b 단계까지는 제1 실시예에 따른 반도체 소자의 실리사이드 제조방법의 제조과정과 동일하게 진행된다.

즉, 전세정(pecleaning) 공정을 실시하여 상기 소오스/드레인 영역(136) 및 상기 게이트 패턴(110) 상에 형성될 수 있는 자연 산화막 등의 불순물을 제거하는 단계까지는 제1 실시예에 따른 반도체 소자의 실리사이드 제조방법과 동일하다.

제2 실시예에 따른 반도체 소자의 실리사이드 제조방법은, 도 3a에 도시한 바와 같이, 상기 소오스/드레인 영역(136)에 형성된 실리콘 기판(100) 상의 전면에 실리사이드를 형성하기 위한 층으로, 질소(N) 이온이 도핑된 니켈층(143) 및 순수 니켈층(145)을 순차 적층하여 형성한다. 이때, 본 실시예에서는 상기 순수 니켈층(145)을 상기 질소 이온이 도핑된 니켈층(143) 두께의 약 30% 정도의 두께를 가지도록 형성하고 있다.

그런 다음, 상기 순수 니켈층(145) 상에 캡핑층(150)을 형성한다. 이때, 상기 캡핑층(150)은, TiN을 사용하여 형성하는 것이 바람직하며, 이는 후속의 실리사이드 어닐링 공정 동안 상기 순수 니켈층(145)이 산화되는 것을 방지하는 산화 방지막 역할을 한다.

그 다음, 도 3b에 도시한 바와 같이, 상기 캡핑층(150)이 형성된 상기 실리콘 기판(100)을 어닐링하여 상기 게이트 패턴(110)의 양측에 위치하는 활성 영역 상부 및 상기 게이트 패턴(110) 상부, 구체적으로는, 상기 소오스/드레인 영역(136) 및 상기 게이트 전극(114) 상부의 실리콘(Si)과 상기 질소 이온이 도핑된 니켈층(143)을 반응시킨다. 그 결과, 상기 소오스/드레인 영역(136)의 상부 및 상기 게이트 전극(114)의 상부에 자기정렬된 N-Ni/Ni 실리사이드(160)가 형성된다.

즉, 본 발명의 제1 실시예에 따라 제조된 실리사이드는 질소 이온이 도핑된 니켈층을 사용하여 이루어진 단일층의 N-Ni 실리사이드인 반면에, 제2 실시예에 따라 제조된 실리사이드는 순차적층된 질소 이온이 도핑된 니켈층과 순수 니켈층을 사용하여 이루어진 이중층의 N-Ni/Ni 실리사이드라는 점에서만, 서로 다르다.

이러한 제2 실시예는 제1 실시예에서와 동일한 작용 및 효과를 얻을 수 있을 뿐 아니라, 제1 실시예에 비하여 질소 이온이 도핑된 니켈층 상에 순수 니켈층을 더 형성하여 이중층으로 이루어진 실리사이드를 형성하고 있기 때문에, 더욱 우수한 열 안정도를 얻을 수 있다.

도 4는 종래 발명에 따라 제조된 반도체 소자의 실리사이드 및 본 발명에 따라 제조된 반도체 소자의 실리사이드의 어닐링 온도 변화에 따른 면저항의 변화를 비교하여 나타낸 그래프이다.

도 4를 참조하면, 본 발명의 제1 및 제2 실시예에 따라 제조된 N-Ni 실리사이드 및 N-Ni/Ni 실리사이드는 종래 기술에 따라 제조된 Ni 실리사이드보다 매우 낮은 면저항과 우수한 열 안정성을 갖는 것을 알 수 있다. 즉, 본 발명의 제1 및 제2 실

시예에 따라 제조된 N-Ni 실리사이드 및 N-Ni/Ni 실리사이드는 600℃ 이상의 고온에서 어닐링 공정 진행시, 종래 기술에 따라 제조된 Ni 실리사이드보다 증가하는 면저항의 크기가 낮은 것을 알 수 있으며, 특히, 본 발명의 제2 실시예에 따라 제조된 N-Ni/Ni 실리사이드는 제1 실시예에 따라 제조된 N-Ni 실리사이드보다 더욱 우수한 열 안정성을 가짐을 알 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

상기한 바와 같이, 본 발명은 실리사이드 형성 시, 실리사이드 형성 물질로 질소 이온이 도핑된 니켈층을 사용하여 실리사이드를 형성함으로써, 상기 질소 이온을 통해 상기 실리사이드 형성을 위한 어닐링 진행시, 니켈 이온이 확산되는 것을 방지하여 상변화의 속도를 감소시킬 수 있는 이점이 있다.

따라서, 본 발명은 600℃ 이상의 고온에서 우수한 열 안정성을 갖는 실리사이드를 구현할 수 있다.

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명의 제1 실시예에 따른 반도체 소자의 실리사이드 제조방법을 설명하기 위해 순차적으로 나타낸 공정단면도.

도 2는 종래 기술에 따라 제조된 실리사이드와 본 발명의 제1 실시예에 따라 제조된 실리사이드를 비교하여 나타낸 사진.

도 3a 내지 도 3b는 본 발명의 제2 실시예에 따른 반도체 소자의 실리사이드 제조방법을 설명하기 위해 순차적으로 나타낸 공정단면도.

도 4는 종래 발명에 따라 제조된 반도체 소자의 실리사이드 및 본 발명에 따라 제조된 반도체 소자의 실리사이드의 어닐링 온도 변화에 따른 면저항의 변화를 비교하여 나타낸 그래프.

-- 도면의 주요부분에 대한 부호의 설명 --

100 : 실리콘 기판 110 : 게이트 패턴

120 : 스페이서 133 : LDD 영역

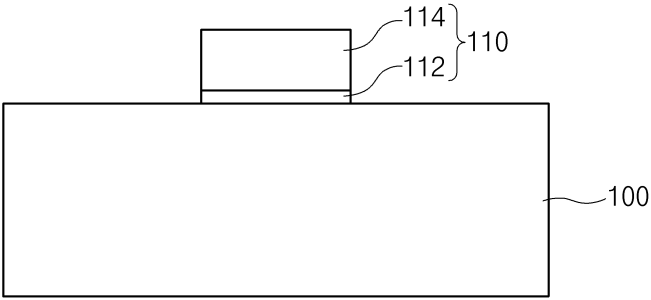
136 : 소오스/드레인 영역 143 : 질소 이온이 도핑된 니켈층

145 : 순수 니켈층 150 : 캡핑층

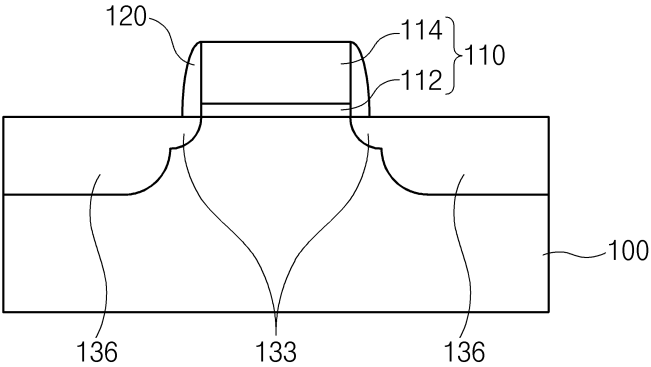
160 : 실리사이드

도면

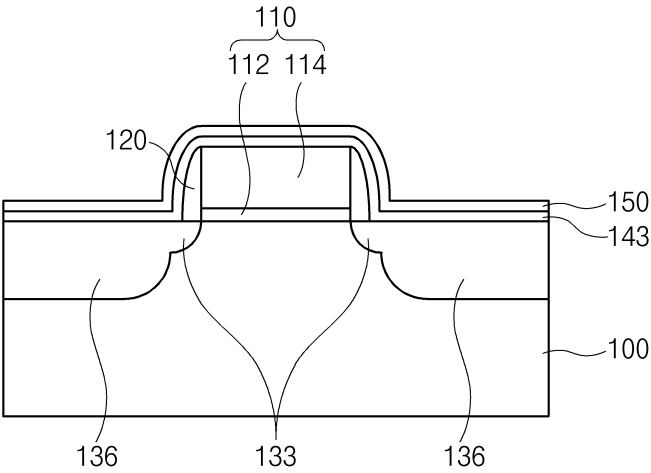
도면1a



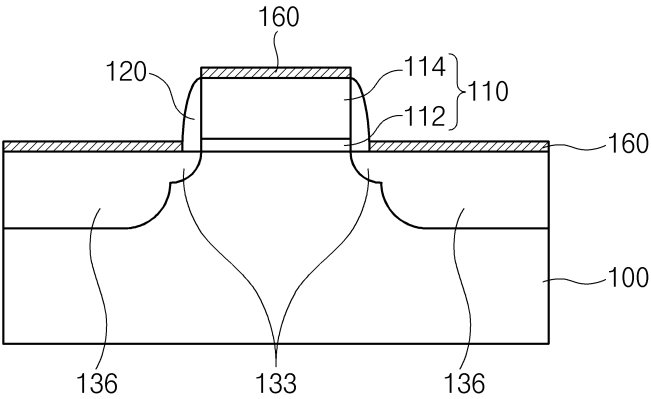
도면1b



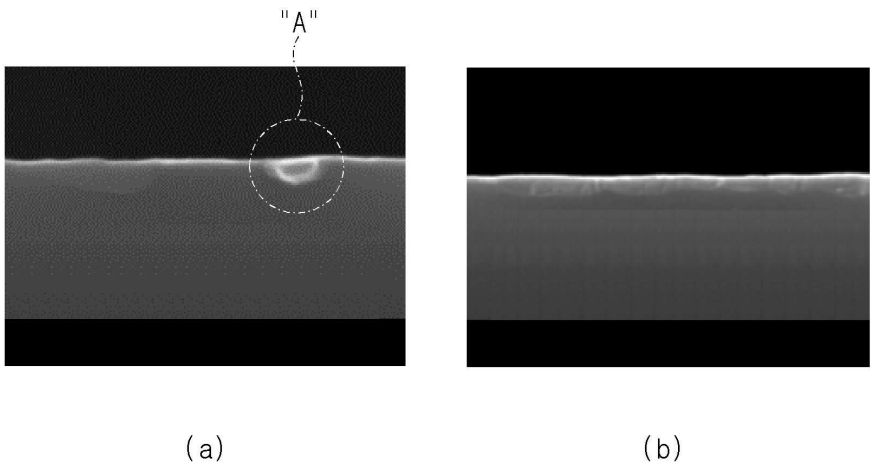
도면1c



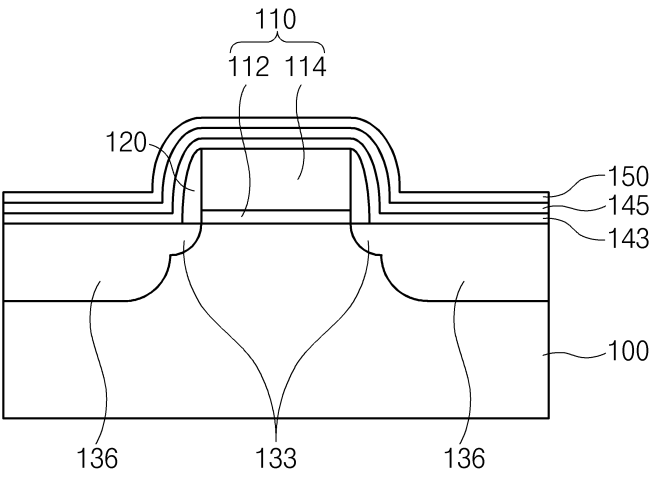
도면1d



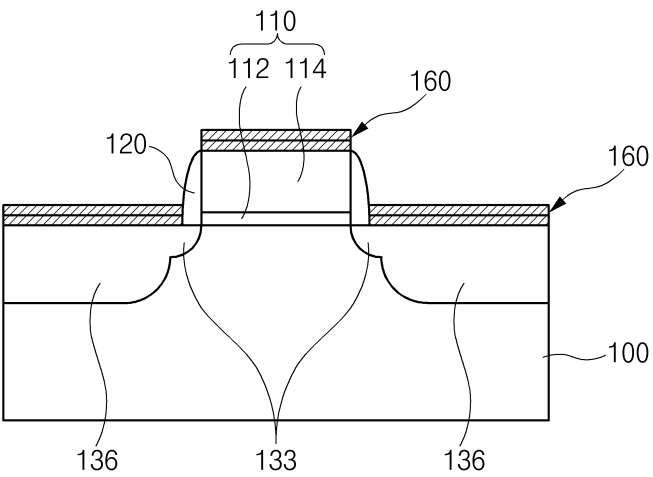
도면2



도면3a



도면3b



도면4

