



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

semiconductor layer from the center part of the semiconductor layer along a first direction when the substrate is viewed from above. In a cross-section obtained by cutting the first electrode part and the substrate along the first direction, the film thickness of the end part of the semiconductor layer is greater than the film thickness of the center part of the semiconductor layer.

(57) 要約: 【課題】寄生容量を低減しつつ、高い信頼性を確保し、且つ、製造コストの増加を抑えることができる半導体装置を提供する。【解決手段】埋込絶縁膜と、前記埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、前記半導体層上に設けられたゲート電極と、を備え、前記ゲート電極は、前記基板を上方から見た場合に、第1の方向に沿って前記半導体層の中央部から前記半導体層の端部を超えて延伸した帯状の第1の電極部を有し、前記第1の方向に沿って、前記第1の電極部及び前記基板を切断した場合の断面において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、半導体装置を提供する。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 無線通信等に用いられる通信装置においては、高周波通信信号を切り替える高周波アンテナスイッチが設けられている。このような高周波アンテナスイッチにおいては、取り扱う信号が高周波であってもデバイス特性が劣化しない、寄生容量の小さなデバイスであることが求められる。

[0003] そこで、従来、アンテナスイッチ用デバイスとしては、高周波特性が良い GaAs のような化合物半導体が用いられていた。しかしながら、このような化合物半導体デバイスは高価であり、化合物半導体デバイスを動作させるための周辺回路用デバイスが化合物半導体デバイスとは異なる別のチップ上に作成されることから、モジュール等に組み込む際の製造コストを抑えることが難しい。

[0004] そこで、近年、アンテナスイッチ用デバイスと、周辺回路用デバイスとを混載して同一のチップ上に作成可能な SOI (Silicon On Insulator) 基板を用いたアンテナスイッチ IC (Integrated Circuit) の開発が盛んになっている。SOI 基板は、高抵抗支持基板の上に設けられた埋込絶縁膜 (BOX 層) と、当該埋込絶縁膜上にシリコンからなる半導体層 (SOI 層) とを有する基板のことをいう。このような SOI 基板を用いることにより、PN 接合領域に生じる空乏層による寄生容量を低減することができることから、高周波特性の劣化が生じにくく、上述した化合物半導体と同等のデバイス特性を持つアンテナスイッチ用デバイスを作成することができる。さらには、このような SOI 基板を用いてアンテナスイッチ用デバイスを作成した場合には、同一基板上に周辺回路用デバイスを混載して形成することができる。なお、このような SOI 基板に作

成されたデバイスの例としては、下記の特許文献 1 等の開示の半導体装置を挙げることができる。

先行技術文献

特許文献

[0005] 特許文献1：特開 2 0 0 0－2 1 6 3 9 1 号公報

特許文献2：特開昭 5 7－1 0 2 6 6 号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、半導体装置の製造工程において実施される熱酸化処理により、S O I 層が部分的に薄くなることがある。このように薄くなった S O I 層の部分には、トランジスタの動作中に電界集中が生じ、当該トランジスタの信頼性を低下させる一因となる。また、このようなトランジスタの信頼性の低下を防ぐためにこれまで様々な対策が講じられてきたが、これら対策により、寄生容量が増加してトランジスタの高周波特性が低下したり、製造コストが大幅に増加したりしてしまうことがあった。

[0007] そこで、本開示では、寄生容量を低減しつつ、高い信頼性を確保し、且つ、製造コストの増加を抑えることができる半導体装置を提案する。

課題を解決するための手段

[0008] 本開示によれば、埋込絶縁膜と、前記埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、前記半導体層上に設けられたゲート電極と、を備え、前記ゲート電極は、前記基板を上方から見た場合に、第 1 の方向に沿って前記半導体層の中央部から前記半導体層の端部を超えて延伸した帯状の第 1 の電極部を有し、前記第 1 の方向に沿って、前記第 1 の電極部及び前記基板を切断した場合の断面において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、半導体装置が提供される。

[0009] また、本開示によれば、埋込絶縁膜を有する基板上に、膜厚が均一な半導

体層を形成し、前記半導体層の中央部を選択的に酸化して、前記半導体層の端部の膜厚を前記中央部の膜厚に比べて厚くすることを含む、半導体装置の製造方法が提供される。

発明の効果

[0010] 以上説明したように本開示によれば、寄生容量を低減しつつ、高い信頼性を確保し、且つ、製造コストの増加を抑えることができる半導体装置を提供することができる。

[0011] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0012] [図1A]本開示の一実施形態に係る半導体装置10の平面図である。

[図1B]図1Aに示した半導体装置10のA-A'における断面図である。

[図1C]図1Aに示した半導体装置10のB-B'における断面図である。

[図1D]図1Aに示した半導体装置10のC-C'における断面図である。

[図2]本開示の一実施形態に係る変形例に係る半導体装置10aの断面図である。

[図3]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その1）である。

[図4]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その2）である。

[図5]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その3）である。

[図6]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その4）である。

[図7]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その5）である。

[図8]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明

する断面図（その６）である。

[図9]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その７）である。

[図10]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その８）である。

[図11]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その９）である。

[図12]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その１０）である。

[図13]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その１１）である。

[図14]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その１２）である。

[図15]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その１３）である。

[図16]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その１４）である。

[図17]本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その１５）である。

[図18]本開示の一実施形態に係る変形例１に係る半導体装置１０ｂの断面図である。

[図19]本開示の一実施形態に係る変形例２に係る半導体装置１０ｃの断面図である。

[図20]本開示の一実施形態に係る変形例３に係る半導体装置１０ｄの断面図である。

[図21]本開示の一実施形態に係る変形例４に係る半導体装置１０ｅの断面図である。

[図22A]本開示の一実施形態に係る変形例５に係る半導体装置２０ａの平面図

である。

[図22B]図22Aに示した半導体装置20aのA-A'における断面図である。

[図23A]本開示の一実施形態に係る変形例6に係る半導体装置20bの平面図である。

[図23B]図23Aに示した半導体装置20bのC-C'における断面図である。

[図24A]本開示の一実施形態に係る変形例7に係る半導体装置20cの平面図である。

[図24B]図24Aに示した半導体装置20cのC-C'における断面図である。

[図25]SOI基板におけるSOI層の膜厚に対する寄生容量の関係を示した図である。

[図26A]比較例に係る半導体装置90のA-A'断面の模式図である。

[図26B]比較例に係る半導体装置90のB-B'断面の模式図である。

発明を実施するための形態

[0013] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0014] また、本明細書および図面において、実質的に同一または類似の機能構成を有する複数の構成要素を、同一の符号の後に異なる数字を付して区別する場合がある。ただし、実質的に同一または類似の機能構成を有する複数の構成要素の各々を特に区別する必要がある場合、同一符号のみを付する。また、異なる実施形態の類似する構成要素については、同一の符号の後に異なるアルファベットを付して区別する場合がある。ただし、類似する構成要素の各々を特に区別する必要がある場合、同一符号のみを付する。

[0015] また、以下の説明で参照される図面は、本開示の一実施形態の説明とその

理解を促すための図面であり、わかりやすくするために、図中に示される形状や寸法、比などは実際と異なる場合がある。さらに、図中に示される半導体装置等は、以下の説明と公知の技術を参酌して適宜、設計変更することができる。また、以下の説明においては、半導体装置等の積層構造の上下方向は、半導体素子が設けられた基板上の面を上とした場合の相対方向に対応し、実際の重力加速度に従った上下方向とは異なる場合がある。

[0016] なお、説明は以下の順序で行うものとする。

1. 本開示に係る実施形態を創作するにあたっての背景
2. 第1の実施形態
 2. 1. 半導体装置10の構成
 2. 2. 半導体装置10の製造方法
 2. 3. 変形例
3. まとめ
4. 補足

[0017] <<1. 本開示に係る実施形態を創作するにあたっての背景>>

以下に説明する本開示に係る実施形態は、アンテナスイッチ用デバイスと、周辺回路用デバイスとを混載して同一のチップ上に作成可能なSOI基板を用いて作成されたアンテナスイッチ用ICに関するものである。しかしながら、本開示に係る実施形態は、このような半導体装置に適用されることに限定されるものではなく、SOI基板を用いて作成された他の半導体装置に適用されてもよい。まずは、本開示に係る実施形態を説明する前に、本発明者らが本実施形態を創作するにあたっての背景を説明する。

[0018] SOI基板は、先に説明した容易に、高抵抗支持基板の上に設けられた埋込絶縁膜と、当該埋込絶縁膜上にシリコンからなる半導体層（以下、SOI層と呼ぶ）とを有する基板のことをいう。このようなSOI基板は、寄生容量を低減できることから、高周波信号のためのアンテナスイッチ用デバイスを作成する基板としては好適である。さらに、SOI基板におけるSOI層の膜厚に対する寄生容量の関係を示した図25からも明らかな

ように、SOI層が薄いほど、寄生容量を小さくすることができる。なお、図25においては、横軸がSOI層の膜厚を示し、図中右側に行くほど膜厚が厚くなる。また、縦軸が寄生容量を示し、図中上側に行くほど寄生容量が大きくなる。このようにSOI層を薄くして寄生容量を小さくすることは、トランジスタのオフ容量を低減することになり、ひいては、高周波アンテナスイッチ用デバイスにおいて重要な指標の1つである挿入損失を低減することになる。

[0019] しかしながら、SOI層の膜厚が100nm以下であるといった、SOI層が薄いSOI基板においては、製造工程において実施される熱酸化処理により、SOI層が部分的に薄くなる場合がある。以下に、比較例に係る半導体装置90のA-A'断面の模式図である図26A及び比較例に係る半導体装置90のB-B'断面の模式図である図26Bを参照して、部分的に薄くなったSOI層（拡散層）300について説明する。なお、以下に説明する比較例においては、半導体装置90に設けられたトランジスタ92は、本開示の実施形態に係るトランジスタ12と同様に、n型のMOS-FET（Metal-Oxide-Semiconductor Field-Effect Transistor）であるとし、その平面構造においてH字型のゲート電極構造を持つ場合とする。従って、比較例の半導体装置90の平面図が横に倒したH字型のゲート電極600を持つものとして示されるとした場合、図26Aに示される断面は、横に倒したH字型のゲート電極600の中央を上記平面図中左右方向に沿って切断した断面に対応する。さらに、また、図26Bに示される断面は、上記平面図中左右方向の延びるゲート電極600に沿って切断した場合の断面に対応する。

[0020] 比較例においては、図26A及び図26Bに示すように、SOI層300の端部が薄くなっている。詳細には、図26Aにおいては円Dで囲まれたSOI層300の端部、及び、図26Bにおいては円Eで囲まれたSOI層300の端部が、SOI層300の他の部分に比べて薄くなり、これら端部は尖がった形状を持っている。これは、半導体装置の製造の際、SOI層300

Oが設けられた支持基板100に対して、SOI層300を分離するSTI (Shallow Trench Isolation) (図示省略) が作成されるが、この際に行われる熱酸化処理により、SOI層300の端部が薄くなったものと考えられる。さらに、ゲート絶縁膜500の作成においても熱酸化処理が行われることから、この熱酸化処理によっても、SOI層300の端部が薄くなったものと考えられる。上述の熱酸化処理においては、SOI層300の上層部が酸化されるだけでなく、SOI層300の下方に酸素が回り込み、SOI層300の下層部も酸化されるため、SOI層300の端部が薄くなり尖った形状を持つこととなる。

[0021] このように、SOI層300が部分的に薄くなり尖った形状を持つ端部には、トランジスタの動作中に電界集中が生じやすい。詳細には、図26Bの円Eに囲まれた領域に示すように、ゲート電極600とSOI層300の端部とが重なる部分において、電界集中が起きやすくなる。その結果、電界集中した箇所におけるゲート絶縁膜500の絶縁破壊が生じやすくなり、ゲート絶縁膜500の信頼性、すなわち、半導体装置90の信頼性が低下することとなる。

[0022] そこで、このような信頼性の低下を防ぐために、ゲート絶縁膜500の作成時等の熱酸化処理において酸化量を小さくするように制御することが考えられる。しかしながら、このようにすることで、SOI層300の端部が薄くなることは避けることができるが、ゲート絶縁膜500の膜厚等のようなデバイス設計の自由度に制約がかかることとなる。

[0023] そこで、上記特許文献2のように、ゲートを挟んでSOI層300の端部に位置するソース領域／ドレイン領域の膜厚を十分に厚く作成することが考えられる(Raised Source Drain構造)。しかしながら、この方法によれば、SOI層300の端部が薄くなることがないことから、信頼性が低下することはないものの、ソースとゲートとの間、及び、ドレインとゲートとの間の寄生容量が大きくなり、高周波特性が低下する。加えて、この方法においては、SOI層300の厚膜部分を作成するにあたって

は、選択エピタキシャル成長を用いることから、製造コストが高くなり、さらには、製造にかかる時間も長くなる。

[0024] また、上述の特許文献１においては、ゲートを挟んでＳＯＩ層の端部に位置する厚膜部分にソース領域／ドレイン領域を形成し、さらにＳＯＩ層を分離するＳＴＩを厚膜化することにより、ＳＯＩ層の端部における絶縁破壊を防いでいる。当該特許文献１においては、ドレインコンタクト及びソースコンタクトをＳＯＩ層の厚膜部分上に設けているため、厚膜部分にコンタクトを高精度でパターニングしなくてはならない。従って、高精度のパターニングは求められるため、製造歩留まりを低下させることとなる。また、トランジスタのレイアウトサイズを大きくすることにより、高精度のパターニングの必要はなくなるが、レイアウトサイズが大きくなることから、半導体装置の製造コストを増加させることにつながる。特に、複数のゲートをもつトランジスタにおいては、レイアウトサイズが大きくなりやすいことから、製造コストが大幅に増加することとなる。

[0025] このような状況において、本発明者らは、寄生容量を低減しつつ、高い信頼性を確保し、且つ、製造コストの増加を抑えることができる半導体装置を得ようと、鋭意検討を進めてきた。そして、本発明者らは、以下に説明する本開示の一実施形態を創作するに至った。詳細には、本開示の実施形態によれば、寄生容量を低減しつつ、高い信頼性を確保し、且つ、製造コストの増加を抑えることができる半導体装置を提供することができる。以下に、本発明者らが創作した本開示の一実施形態の詳細を説明する。

[0026] <<２．第１の実施形態>>

<２．１．半導体装置１０の構成>

(平面構成)

まずは、本開示の実施形態に係る半導体装置１０の平面構成について、図１Ａを参照して説明する。図１Ａは、本開示の一実施形態に係る半導体装置１０の平面図である。なお、図１Ａにおいては、絶縁膜２０２、絶縁膜４００、絶縁膜８０２及びＳＴＩ２０４については、理解のために図示を省略し

ている。また、以下に説明する本実施形態においては、トランジスタ12はn型のMOS-FETであるとし、その平面構造においてH字型のゲート電極構造をものとして説明する。しかしながら、本実施形態におけるトランジスタ12は、このような例に限定されるものではなく、他の構成を持つトランジスタであってもよい。

[0027] 本実施形態に係る半導体装置10においては、図1Aの平面図に示すように、抵抗率が $500\Omega\text{cm}$ 以上の高抵抗シリコンであるシリコン支持基板100上に、埋込絶縁膜200（図1B～図1D参照）が設けられており、さらに、埋込絶縁膜200上に拡散層（半導体層）300が設けられている。

[0028] 拡散層300には、トランジスタ12が設けられる。詳細には、図1Aに示すように、拡散層300上には、ゲート電極600と、ソース電極800aと、ドレイン電極800bと、ボディコンタクト電極800cとが設けられている。拡散層300上に設けられたゲート電極600は、ポリシリコンからなり、支持基板100の上方から見ると横に倒したH字の形状を持つ。詳細には、H字型のゲート電極600は、図1A中の中央に位置する、図中上下方向（第2の方向）に沿って延びる矩形状の電極部（第2の電極部）602を有する。さらに、ゲート電極600は、上記中央部の矩形状の電極部602を図中上下方向から挟み込むように、図1中左右方向（第1の方向）に延伸する、2つの帯状の配線部（第1の電極部）604を有している。また、上記2つの配線部604は、電極部602の中央で、上記電極部602と接続している。

[0029] さらに、図1Aに示されるように、本実施形態においては、ゲート電極600の上記配線部604は、拡散層300上を、その中央部から図中左右方向に沿って延伸しており、さらに拡散層300の端部を超えて図中左右方向に沿って延伸している。

[0030] また、拡散層300の中央に位置するゲート電極600の電極部602を左右から挟みこむように、金属膜からなるソース電極800aと、ドレイン電極800bとが設けられている。ソース電極800a及びドレイン電極8

00bは、トランジスタ12のソース領域及びドレイン領域と接続される配線として機能する。

[0031] そして、拡散層300は、所望の不純物が注入されたシリコン層からなる。詳細には、拡散層300のソース電極800a及びドレイン電極800bの下方及びその周辺には、リン、ヒ素等のn型の不純物が拡散しており、拡散層300の他の領域には、ホウ素等のp型の不純物が拡散している。

[0032] また、図1Aの右下に示されるように、拡散層300の右下には、ボディコンタクト電極800cが設けられている。当該ボディコンタクト電極800cは、基板浮遊効果の抑制するために、拡散層300の電位を固定、制御するための配線として用いられる。

[0033] また、拡散層300の周囲を取り囲むように、シリコン酸化膜等の絶縁膜が埋め込まれたSTI204（図1B～図1D参照）が設けられ、拡散層300に設けられたトランジスタ12を、支持基板100上に設けられた他の素子から分離する。さらに、上記STI204に、引っ張り応力を持つ膜を埋め込むことにより、トランジスタ12のチャンネルに引っ張り応力が生じるようにしてもよい。

[0034] （断面構成）

次に、本実施形態における半導体装置10の断面構成について、図1Bから図1Dを参照して説明する。図1Bは、図1Aに示した半導体装置10のA-A'における断面図であり、図1Cは、図1Aに示した半導体装置10のB-B'における断面図であり、さらに、図1Dは、図1Aに示した半導体装置10のC-C'における断面図である。

[0035] 図1AのA-A'に沿って切断した際の半導体装置10の断面である図1Bに示すように、本実施形態に係る半導体装置10は、先に説明したように、高抵抗シリコンからなる支持基板100の上に設けられたシリコン酸化膜よりなる埋込絶縁膜200を有する。さらに、半導体装置10は、埋込絶縁膜200上に設けられたシリコン層からなる拡散層300を有している。すなわち、本実施形態においては、基板として上述したSOI基板を用いてお

り、拡散層300が上述のSOI層に対応する。本実施形態においては、SOI基板を用いていることにより、トランジスタ12における寄生容量を低減することができる。なお、支持基板100は、半導体装置10の製造後に裏面を研削して薄膜化してもよく、支持基板100の膜厚は特に限定されるものではない。また、埋込絶縁膜200は、100nm～2000nm程度の膜厚を持ち、好ましくは、トランジスタ12の高周波特性を考慮して、400nm程度の膜厚を持つことが好ましい。

[0036] 拡散層300は、図1Bに示すように、中央部に膜厚の薄い薄膜部300aと、端部に、薄膜部300aに比べて膜厚の厚い厚膜部300bとを有する。ゲート電極600の下に位置する当該薄膜部300aの中央部は、p型の不純物が拡散したトランジスタ12のゲート領域302にあたる。また、当該ゲート領域302を図中左右から挟み込む薄膜部300aの領域は、n型の不純物が拡散した、ソース領域及びドレイン領域304にあたる。なお、ゲート領域302に隣接するソース領域及びドレイン領域304は、ゲート領域302から離れて位置するソース領域及びドレイン領域304における不純物濃度よりも、不純物濃度が薄いことが好ましい。

[0037] また、拡散層300の端部に位置する厚膜部300bは、拡散層300の中央部に位置する薄膜部300aに対して、厚くなっており、詳細には、薄膜部300aの2倍から10倍の膜厚を持つ。より具体的には、トランジスタ12の高周波特性と信頼性との両立を考慮して、厚膜部300bの膜厚は、140nm～200nmであることが好ましく、薄膜部300aの膜厚は、20nm～70nmであることが好ましい。

[0038] なお、先に説明した図1Aの平面図においては、拡散層300の中央部に位置する薄膜部については300aとして、拡散層300の端部に位置する厚膜部については300bとして、示されている。

[0039] さらに、本実施形態に係る半導体装置10においては、拡散層300の中央部に設けられたゲート領域302上にゲート絶縁膜500が設けられている。ゲート絶縁膜500は、シリコン酸化膜から形成されており、その膜厚

については任意に選択することができる。

[0040] また、ゲート領域 302 の両側に位置する拡散層 300 の上面には、ゲート領域 302 と離隔して 2 つのシリサイド膜 702 が設けられている。さらに、シリサイド膜 702 上には、それぞれソースコンタクトビア 700 a 及びソース電極 800 a と、ドレインコンタクトビア 700 b 及びドレイン電極 800 b とが設けられている。すなわち、ソース及びドレインに対応するコンタクトビア 700 a、700 b は、拡散層 300 の薄膜部 300 a の上に、ゲート電極 600 の電極部 602 を挟み込むように設けられている。薄膜部 300 a 上にソース／ドレインコンタクトビア 700 a、700 b を設けることにより、ソースとドレインとの間の寄生容量を低減することができる。なお、シリサイド膜 702 は、シリコンと他の元素との化合物膜であり、コンタクトビア 700 a、700 b、ソース電極 800 a 及びドレイン電極 800 b は、金属膜等から形成される。なお、本実施形態においては、これらシリサイド膜 702、コンタクトビア 700 a、700 b、ソース／ドレイン電極 800 a、800 b の膜厚、大きさ、及び形状等については、特に限定されるものではない。また、本実施形態においては、半導体装置 10 の製造歩留まりを高く維持するために、製造ばらつき等を考慮してトランジスタ 12 のレイアウトすることが好ましい。

[0041] なお、上述の説明においては、ソースとドレインとの間の寄生容量を低減するために、ソース／ドレインコンタクトビア 700 a、700 b は、拡散層 300 の薄膜部 300 a の上に設けられている。しかしながら、本実施形態においては、これに限定されるものではなく、上記寄生容量を低減する必要がない場合には、ソース／ドレインコンタクトビア 700 a、700 b は、拡散層 300 の厚膜部 300 b の上に設けられていてもよい。

[0042] また、拡散層 300 の周囲には、トランジスタ 12 を他の素子から分離するために、STI（分離絶縁膜）204 が設けられている。詳細には、STI 204 は、拡散層 300 の周囲を囲むように設けられたトレンチと、トレンチに埋め込まれたシリコン酸化膜とを有する。なお、本実施形態において

は、ST1204のトレンチの幅、深さ、形状等については、特に限定されるものではない。

[0043] また、ゲート電極600、拡散層300及びST1204を覆うように、シリコン酸化膜からなる絶縁膜202が設けられている。さらに、上記絶縁膜202を覆うように更なる絶縁膜400が設けられている。加えて、絶縁膜400上であって、コンタクトビア700の間、及び、ソース電極800aとドレイン電極800bとの間には、シリコン酸化膜からなる絶縁膜802が設けられている。なお、本実施形態においては、絶縁膜202、絶縁膜400、802については、その材質、膜厚等は特に限定されるものではない。

[0044] 次に、図1A中において左右に延びるゲート電極600に沿って切断した、言い換えると図1AのB-B'に沿って切断した断面図である、図1Cを参照して、本実施形態に係る半導体装置10を説明する。先に説明したように、当該断面図においても、半導体装置10は、支持基板100と、支持基板100上に設けられた埋込絶縁膜200と、埋込絶縁膜上に設けられた拡散層300とを有している。

[0045] 図1Cの断面においても、拡散層300は、図1Bの断面と同様に、中央部に膜厚の薄い薄膜部300aと、端部に膜厚の厚い厚膜部300bとを有する。詳細には、当該断面においても、厚膜部300bは、薄膜部300aの2倍から10倍の膜厚を持ち、より具体的には、厚膜部300bの膜厚は、140nm～200nmであることが好ましく、薄膜部300aの膜厚は、20nm～70nmであることが好ましい。

[0046] また、図1Cの断面においては、拡散層300の薄膜部300a及び厚膜部300bの上には、ゲート絶縁膜500を介してゲート電極600が設けられている。図1Cに示すように、ゲート電極600は、拡散層300上を図中左右方向に延伸しており、さらに、拡散層300の端部を超えて図中左右方向に延伸している。すなわち、ゲート電極600は、拡散層300の薄膜部300a上だけでなく、厚膜部300b上も通過するように設けられて

いる。

[0047] ところで、先に説明した比較例においては、ゲート電極600と拡散層300とが重なっている拡散層300の端部において、拡散層300の膜厚が薄いことから、トランジスタ92の動作の際、膜厚の薄い拡散層300の端部に電界集中が起きやすくなる。その結果、電界集中した箇所におけるゲート絶縁膜500の絶縁破壊が生じやすくなり、ゲート絶縁膜500の信頼性、すなわち、半導体装置90の信頼性が低下していた。それに対して、図1Cに示されているように、本実施形態に係る半導体装置10においては、ゲート電極600と拡散層300とが重なっている拡散層300の端部（厚膜部300b）において、拡散層300の膜厚が厚い。その結果、製造工程において熱酸化処理が施された場合であっても、拡散層300の端部の膜厚が薄くなることはない。従って、本実施形態によれば、拡散層300の端部の厚膜部300bの膜厚が薄くなることはないことから、トランジスタ12の動作の際に拡散層300の端部に電界集中が起きにくくなり、ゲート絶縁膜500の絶縁破壊も生じ難くなる。すなわち、本実施形態によれば、半導体装置10は高い信頼性を維持することができる。

[0048] 次に、図1A中において上下方向に延びるC-C'に沿って切断した断面図である、図1Dを参照して、本実施形態に係る半導体装置10を説明する。当該断面は、ボディコンタクト電極800cを横切るように切断した場合に得られる断面である。先に説明したように、当該断面図においても、半導体装置10は、支持基板100と、支持基板100上に設けられた埋込絶縁膜200と、埋込絶縁膜上に設けられた拡散層300とを有している。

[0049] 図1Dの断面においても、拡散層300は、図1Bの断面と同様に、中央部に膜厚の薄い薄膜部300aと、端部に膜厚の厚い厚膜部300bとを有する。詳細には、当該断面においても、厚膜部300bは、薄膜部300aの2倍から10倍の膜厚を持ち、より具体的には、厚膜部300bの膜厚は、140nm～200nmであることが好ましく、薄膜部300aの膜厚は、20nm～70nmであることが好ましい。

- [0050] また、図１Ｄの断面においても、拡散層３００の薄膜部３００aの上には、ゲート絶縁膜５００を介してゲート電極６００が設けられている。
- [0051] さらに、図１Ｄの左側に示すように、厚膜部３００bの上面には、シリサイド膜７０２を介して、ボディコンタクトビア７００cと、ボディコンタクト電極８００cとが設けられている。なお、先に説明したように、シリサイド膜７０２は、シリコンと他の元素との化合物膜であり、コンタクトビア７００c及びボディコンタクト電極８００cは、金属膜等から形成される。また、本実施形態においては、これらシリサイド膜７０２、ボディコンタクトビア７００c、ボディコンタクト電極８００cの膜厚、大きさ、及び形状等については、特に限定されるものではない。
- [0052] 先に説明したように、ソース／ドレインコンタクトビア７００a、７００bは、拡散層３００の薄膜部３００aの上に設けられており、このようにして、ソースとドレインとの間の寄生容量を低減している。一方、ボディコンタクトビア７００cは、拡散層３００の厚膜部３００bの上に設けられている。ボディ（拡散層３００）とゲートとの間の寄生容量については、トランジスタ１２の高周波特性に対して与える影響は小さいことから、ボディコンタクトコンタクトビア７００cは、拡散層３００の厚膜部３００bの上に設けてもよい。
- [0053] 以上のように、本実施形態においては、拡散層３００の端部の厚膜部３００bにおいて膜厚が厚くなるように、拡散層３００を形成している。その結果、製造工程において熱酸化処理が施された場合であっても、拡散層３００の端部の膜厚が薄くなることはない。従って、本実施形態によれば、拡散層３００の端部の厚膜部３００bの膜厚が薄くなることはないことから、トランジスタ１２の動作の際に拡散層３００の端部に電界集中が起きにくくなり、ゲート絶縁膜５００の絶縁破壊も生じ難くなる。すなわち、本実施形態によれば、半導体装置１０は高い信頼性を維持することができる。
- [0054] さらに、拡散層３００に厚膜部３００bを形成することにより、拡散層３００の表面積が増加し、拡散層３００から放熱されやすくなることから、ト

ランジスタ 12 のチャネル領域の温度が低下することとなる。すなわち、拡散層 300 に厚膜部 300b を形成することにより、トランジスタ 12 の熱抵抗を下げるができる。また、拡散層 300 に厚膜部 300b を形成することにより、拡散層 300 の熱容量が増加することから、トランジスタ 12 は、瞬間的なサージに起因する静電破壊を生じにくくなる。

[0055] また、拡散層 300 の厚膜部 300b は、膜厚が厚いことから抵抗が低くなり、高周波に対してはインダクタ成分として動作するようになる。さらに、当該インダクタ成分は、拡散層 300 下に位置する埋込絶縁膜 200 に起因する浮遊容量を持つことから、当該インダクタ成分と当該浮遊容量とで共振回路が形成される。当該共振回路は、所望の周波数を持つ高周波のフィルターとして機能することもできる。

[0056] さらには、拡散層 300 に厚膜部 300b を形成することにより、拡散層 300 の反りが緩和され、トランジスタ 12 のチャネル領域に係る圧縮応力を緩和することもできる。その結果、チャネル領域の電子移動度低下を防ぐ事ができ、アンテナスイッチの挿入損失の劣化を防ぐ事ができる。

[0057] 以上のように、本実施形態に係る半導体装置 10 は、寄生容量を低減しつつ、高い信頼性を確保することができることから、例えば、高周波アンテナスイッチ IC（高周波アンテナ装置）、もしくは高周波アンテナスイッチデバイスを搭載する IC に適用することができる。

[0058] なお、本実施形態においては、少なくとも、図 1C に示される B-B' 断面における、ゲート電極 600 と重なる拡散層 300 の端部に、膜厚の厚い厚膜部 300b が設けられていればよい。特に、上記端部では、ゲート電極 600 と拡散層 300 とが広く重なっており、その膜厚が薄くなった場合には、電界集中によりゲート絶縁膜 500 の絶縁破壊が起きやすくなることから、少なくとも当該端部に厚膜部 300b が設けられていることが好ましい。

[0059] また、本実施形態に係る半導体装置 10 は、同一支持基板 100 上に、トランジスタ 12 と少なくともゲート領域 302 の膜厚の異なる他のランジ

スタ 12 a を有していてもよい。このような他のトランジスタ 12 a を有する半導体装置 10 a について、図 2 を参照して説明する。図 2 は、本実施形態に係る変形例に係る半導体装置 10 a の断面図であって、詳細には、図 1 B に対応する断面における断面図である。

[0060] 図 2 に示すように、変形例に係る半導体装置 10 a は、トランジスタ 12 とゲート領域 302 (312) の膜厚の異なる他のトランジスタ 12 a を有する。トランジスタ 12 a は、基本的には、上述のトランジスタ 12 と同様の構造を有しているが、トランジスタ 12 a の有するゲート領域 312 は、トランジスタ 12 の有するゲート領域 302 に比べて膜厚が厚い。より具体的には、基板浮遊効果を抑えるために、トランジスタ 12 a の有するゲート領域 312 の膜厚は、厚いことが好ましく、具体的には 140 nm ~ 200 nm であることが好ましい。さらに、当該トランジスタ 12 a が形成される拡散層 310 は、トランジスタ 12 の拡散層 300 と異なり、薄膜部 300 a 及び厚膜部 300 b を持たず、均一な膜厚を持つような形態であってもよい。この場合、拡散層 310 は、拡散層 300 の薄膜部 300 a に比べて厚いことから、上述した熱酸化処理等により薄くなることはない。従って、トランジスタ 12 a は、上述したような電界集中を避けることができることから、高い信頼性を有する。なお、当該トランジスタ 12 a は、例えば、高周波特性を考慮しなくてもよい周辺回路用デバイスとして用いることができる。すなわち、本実施形態においては、同一の支持基板 100 上に周辺回路用デバイスを混載して形成することができることから、製造コストの増加を抑えることができる。

[0061] <2. 2. 半導体装置 10 の製造方法>

次に、図 1 A から図 1 D に示される本開示の実施形態に係る半導体装置 10 の製造方法について、図 3 から図 17 を参照して説明する。図 3 から図 17 は、本開示の一実施形態に係る半導体装置の製造方法における各工程を説明する断面図であって、詳細には、図 1 B に示される断面図に対応するものである。

[0062] まず、本実施形態に係る製造方法においては、図3に示すように、支持基板100上に、シリコン酸化膜からなる、膜厚が100nm~2000nm、好ましくは400nmである埋込絶縁膜200を形成する。さらに、埋込絶縁膜200上に、膜厚が30nm~400nm、好ましくは175nmのシリコン層320を形成する。このようにして、支持基板100、埋込絶縁膜200及びシリコン層320からなるSOI基板を得ることができる。なお、上述の埋込絶縁膜200及びシリコン層320の形成方法は、特に限定されるものではなく、既知の各種の成膜方法を用いることができる。

[0063] 次に、図4に示すように、シリコン層320の上面に対して酸化処理を行うことにより、膜厚が10nm~100nm、好ましくは10nmであるシリコン酸化膜900を形成する。なお、上述の酸化処理の方法は、特に限定されるものではなく、既知の各種の酸化処理の方法を用いることができる。さらに、シリコン酸化膜900上に、CVD (Chemical Vapor Deposition) により、膜厚が10nm~300nm、好ましくは100nmであるシリコン窒化膜902を形成する。

[0064] そして、図5に示すように、シリコン窒化膜902の全面にレジストを塗布し、フォトリソグラフィーを用いて露光することにより、レジストパターン904を形成する。当該レジストパターン904は、シリコン層320の膜厚を薄くする箇所に開口部を持つパターンを有する。当該パターンは、シリコン層320の薄膜部（上述の薄膜部300aに対応する）と厚膜部（上述の厚膜部300bに対応する）との間に位置する膜厚が徐々に変化する領域の長さ、すなわち、薄膜部と厚膜部との間の距離が400nm程度になるように考慮したレイアウトパターンとなっていることが好ましい。

[0065] その後、上記レジストパターン904をマスクとして用いて、シリコン窒化膜902及びシリコン酸化膜900に対してドライエッチング処理を行う。このようにして、図6に示すように、シリコン層320の上面の一部が露出した開口部906を得た後に、レジストパターン904を除去する。なお、シリコン酸化膜900に対してドライエッチング処理を施した際に、上記

開口部 906 から露出するシリコン層 320 の上面の一部をエッチングしてもよい。

[0066] 次に、図 7 に示すように、上記開口部 906 から露出するシリコン層 320 の一部に対して選択的な酸化処理 (Local Oxidation of Silicon; LOCOS 酸化処理) を行う。この際、開口部 906 に位置するシリコン層 320 の膜厚が、所望の膜厚になるように、酸化処理によりシリコン層 320 が酸化される酸化量を制御する。より具体的には、最終的に、シリコン層 320 の中央部 320a の膜厚 (すなわち、拡散層 300 の薄膜部 300a の膜厚) を 60 nm とする場合には、図 7 の工程においては、開口部 906 に位置するシリコン層 320 の膜厚が 80 nm 程度になるように制御することが好ましい。このようにして、シリコン層 320 については部分的に薄くなる。

[0067] すなわち、本実施形態においては、膜厚が均一なシリコン層 320 を形成し、シリコン層 320 の中央部 320a を選択的に酸化することにより、シリコン層 320 の端部 320b の膜厚を、中央部 320a の膜厚に比べて厚くなるようにしている。ところで、先に説明したように、上記特許文献 2 では、選択エピタキシャル成長を用いて、上述のような構造を持つシリコン層を形成していたが、この場合、製造コスト及び製造時間が増加してしまっていた。しかしながら、本実施形態においては、選択的な酸化処理を行うことにより上述のような構造を持つシリコン層 320 を形成している。本実施形態によれば、当該酸化処理は選択エピタキシャル成長に比べて安価で、短時間で行うことができることから、半導体装置 10 の製造における製造コスト及び製造時間の増加を抑えることができる。

[0068] 続いて、シリコン窒化膜 902 をリン酸により除去し、さらに、シリコン酸化膜 900 をフッ酸等により除去すると、図 8 に示すようなシリコン層 320、すなわち、中央部 320a が薄くなっているシリコン層 320 を得ることができる。

[0069] さらに、図 9 に示すように、シリコン層 320 の上面を酸化処理すること

により、シリコン層 320 上に、膜厚が 10 nm ~ 100 nm、好ましくは 10 nm であるシリコン酸化膜 910 を形成する。さらに、シリコン酸化膜 910 上に、CVD を用いて、膜厚が 10 nm ~ 400 nm、好ましくは 210 nm であるシリコン窒化膜 912 を形成する。次いで、シリコン窒化膜 912 の全面にレジストを塗布し、フォトリソグラフィーを用いて露光することにより、レジストパターン 914 を形成する。当該レジストパターン 914 は、トランジスタ 12 を他の素子から分離するための STI 204 を形成する箇所に開口部を持つパターンを有する。

[0070] その後、レジストパターン 914 をマスクとして、シリコン窒化膜 912 及びシリコン酸化膜 910 に対してドライエッチング処理を行う。さらに、レジストパターン 914 に覆われていない箇所のシリコン層 320 の上面を露出させた後に、レジストパターン 914 の除去を行う。なお、本実施形態においては、レジストパターン 914 の除去の方法は、特に限定されるものではなく、アッシング等の既知の各種の除去方法を用いることができる。そして、上述とは異なる条件のドライエッチング処理により、シリコン窒化膜 912 をマスクとしてシリコン層 320 をエッチングすることによって、図 10 に示される構造を得ることができる。

[0071] 続いて、図 11 に示すように、HDP (High Density Plasma) 等を用いて、シリコン層 320 の両側に設けられたトレンチ内がシリコン酸化膜 920 によって埋め込まれるように、支持基板 100 の上方全体にシリコン酸化膜 920 を形成する。この際、シリコン酸化膜 920 は、シリコン窒化膜 912 の上面を覆うように形成されてもよく、シリコン酸化膜 920 の膜厚は、50 nm ~ 1000 nm、好ましくは 400 nm となるように形成される。

[0072] 次に、シリコン酸化膜 920 の全面にレジストを塗布し、フォトリソグラフィーを用いて露光することにより、レジストパターン 924 を形成する。当該レジストパターン 924 は、シリコン層 320 の中央部 320a 上に位置する除去されるシリコン酸化膜 910 及びシリコン窒化膜 912 に対応す

る箇所に開口部 916 を持つパターンを有する。この際、上記開口部 916 は、シリコン層 320 の中央部 320a の上方に広がり、さらに、シリコン層 320 の端部 320b のシリコン層 320 の膜厚の厚い厚膜部にまで広がっていることが好ましい。

[0073] そして、レジストパターン 924 をマスクとして、シリコン酸化膜 920 に対しドライエッチング処理を施すことにより、シリコン酸化膜 920 を除去する。このようにすることで、図 12 に示される構造を得ることができる。なお、後に実施することとなる CMP (Chemical Mechanical Polishing) の条件によっては、中央部 320a、及び、中央部 320a と端部 320b との間のシリコン層 320 の膜厚が徐々に変化する領域の上方にシリコン酸化膜 920 が残存してしまう可能性がある。そこで、このようなシリコン酸化膜 920 の残存を避けるために、上述のドライエッチング処理は、シリコン窒化膜 912 もエッチングされる程度のオーバーエッチング条件で実施することが好ましい。

[0074] 次に、図 13 に示すように、レジストパターン 924 を除去する。

[0075] さらに、支持基板 100 の上面に CMP を用いて平坦化処理を施し、図 14 に示される構造を得ることができる。なお、平坦化されたシリコン酸化膜 920 は、素子分離のための STI 204 を形成することとなる。

[0076] 続いて、シリコン窒化膜 912 をリン酸により除去し、さらに、シリコン酸化膜 910 をフッ酸等により除去すると、図 15 に示すような構造を得ることができる。図 15 においては、シリコン層 320 は、STI 204 のシリコン酸化膜 920 により周囲が囲まれており、さらに、その中央部 320a の膜厚は、その端部 320b に比べて薄くなっている。ここで、必要に応じて、例えばイオンインプランテーションによって不純物をシリコン層 320 に注入してもよい。この際、シリコン層 320 の上面をパターンニングされたレジストで覆うことにより、シリコン層 320 の所望の部分に不純物を注入してもよい。

[0077] さらに、シリコン層 320 及び STI 204 上に、シリコン酸化膜からな

るゲート絶縁膜500を形成する。また、図16に示すように、ゲート絶縁膜500上の全面にポリシリコン膜を成膜し、さらに、エッチング等を用いて当該ポリシリコン膜を任意の形状にパターニングすることにより、ゲート電極600を形成する。

[0078] 続いて、ゲート電極600をマスクとして、シリコン層320にイオンインプランテーションによって不純物を注入することにより、拡散層300を形成する。さらに、拡散層300のゲート領域302の周囲に、上述のイオンインプランテーションよりは不純物濃度が薄くなるように所望の不純物を注入し、拡散層300中にLDD (Lightly Doped Drain) 領域340を形成する。このようにして、図17に示される構造を得ることができる。なお、LDD領域340を形成した後に、上述のイオンインプランテーションを行ってもよい。

[0079] さらに、ゲート電極600をマスクとして、エッチングを行うことにより、ゲート絶縁膜500に対してパターニングを行う。その後、露出した拡散層300の300aの上面であって、ゲート電極600の両側のゲート電極600から離隔した位置にシリサイド膜702を形成してもよい。なお、本実施形態においては、上述のシリサイド膜702の形成方法は、特に限定されるものではなく、既知の各種の形成方法を用いることができる。

[0080] 続いて、拡散層300、STI204、及びゲート電極600上に、順次、絶縁膜202、絶縁膜400及び絶縁膜802を形成する。そして、絶縁膜802から、絶縁膜400及び絶縁膜202を貫きシリサイド膜702まで到達するコンタクトビア700を形成する。この際、本実施形態においては、広い薄膜部300a上に、ソースコンタクトビア700とドレインコンタクトビア700とを所定の距離だけ離隔して設けることができる。従って、ソースコンタクトビア700とドレインコンタクトビア700とを高精度でパターニングすることを避けることができることから、製造歩留まりの低下を避けることができる。また、ソース／ドレインコンタクトビア700を互いに所定の距離だけ離隔して設けることができることから、特に、複数の

ゲートを持つトランジスタにおいて、トランジスタのレイアウトサイズの増加を抑え、ひいては製造コストの増加を抑えることができる。

[0081] さらに、コンタクトビア700上に、ソース電極800a及びドレイン電極800bをそれぞれ形成する。この際、上述の絶縁膜202、絶縁膜400、絶縁膜802、コンタクトビア700及びソース／ドレイン電極800a、800bの形成方法は、特に限定されるものではなく、半導体装置の製造方法において一般的に用いられている形成方法を用いることができる。さらに、これらソース電極800a及びドレイン電極800bの上に、更なる金属膜を形成してもよい。このようにして、図1Aから図1Dに示される本開示の実施形態に係る半導体装置10を得ることができる。

[0082] 以上のように、本実施形態に係る半導体装置10は、半導体装置の製造方法において一般的に用いられている既知の各種方法を組み合わせて製造することができる。さらには、これら方法は、安価で、且つ、短時間に実施することができることから、本実施形態に係る半導体装置10の製造方法によれば、製造コストの増加を抑えることができる。

[0083] <2. 3. 変形例>

なお、上述した本開示の実施形態に係る半導体装置10は、以下のように変形することもできる。以下に、本実施形態の変形例1～7を、図18から図24Bを参照して説明する。なお、変形例1から4に係るトランジスタ12は、上述の実施形態と同様に、H字型のゲート電極600を持つ。

[0084] (変形例1)

まずは、変形例1を、図18を参照して説明する。図18は、本実施形態に係る変形例1に係る半導体装置10bの断面図であり、図1Bに示される断面に対応する断面図である。図18に示されるように、変形例1に係る半導体装置10bは、支持基板100上にポリシリコンからなるシリコン層（他の半導体層）720をさらに有する。そして、本変形例1においては、当該シリコン層720上に、上述した埋込絶縁膜200が設けられ、さらに、当該埋込絶縁膜上に拡散層300が設けられている。さらに、当該拡散層3

00は、上述の実施形態と同様に、中央部に位置する薄膜部300aと、端部に位置する厚膜部300bとを有する。すなわち、本変形例においては、支持基板100上にトラップリッチ層としてシリコン層720を有するトラップリッチ型SOI基板を用いた場合であっても、薄膜部300aと厚膜部300bとを有する拡散層300を適用することができる。

[0085] ところで、高周波用デバイスを作成するために用いられる支持基板100の比抵抗は、高周波の歪みや回り込みを低減するために、高いことが望ましいと言われている。しかしながら、SOI基板においては、先に説明したように、支持基板100上にシリコン酸化膜からなる埋込絶縁膜200が設けられている。そして、埋込絶縁膜200からの電荷等により、当該埋込絶縁膜200と支持基板100との間の界面に反転層が形成されやすく、支持基板100（詳細には、支持基板100の表面近傍領域）の比抵抗が低下することがある。そこで、このような反転層の形成を避けるために、電荷をトラップするシリコン層720が設けられている基板は、トラップリッチ型SOI基板と呼ばれている。このようなトラップリッチ型SOI基板を用いることにより、より高周波特性を向上させることができる。

[0086] （変形例2）

次に、変形例2を、図19を参照して説明する。図19は、本実施形態に係る変形例2に係る半導体装置10cの断面図であり、図1Bに示される断面に対応する断面図である。図19に示されるように、変形例2に係る半導体装置10cは、支持基板100上に、シリコン酸化膜からなる埋込絶縁膜210と、ポリシリコンからなるシリコン層720とさらに有する。そして、本変形例1においては、上述の変形例1と同様に、当該シリコン層720上に、上述した埋込絶縁膜200が設けられ、さらに、当該埋込絶縁膜200上に拡散層300が設けられている。本変形例においては、上述の変形例1のシリコン層720を支持基板100から分離するために、上記埋込絶縁膜210を設けている。そして、当該拡散層300は、上述の実施形態と同様に、中央部に位置する薄膜部300aと、端部に位置する厚膜部300b

とを有する。すなわち、本変形例においては、支持基板100上にBOX層として2つの埋込絶縁膜200、210を有する2段BOX層型のSOI基板を用いた場合であっても、薄膜部300aと厚膜部300bとを有する拡散層300を適用することができる。

[0087] なお、図19に示すような2段BOX層型のSOI基板は、支持基板100とシリコン層720との間に埋込絶縁膜210を有するため、高い温度での加熱処理を行っても、図18に示すトラップリッチ型SOI基板に比べて、シリコン層720が再結晶し難い。例えば、シリコン層720が再結晶することにより単結晶化した場合には、シリコン層720からの不純物が支持基板100に到達して、支持基板100の比抵抗が低下することがある。しかしながら、2段BOX層型のSOI基板であれば、シリコン層720が再結晶し難いことから、上述のようなメカニズムに起因して支持基板100の比抵抗が低下することを避けることができる。その結果、2段BOX層型のSOI基板上にトランジスタを設けた場合には、高温加熱処理を行っても、支持基板100の比抵抗を高く維持することができることから、当該トランジスタの高周波特性を良好に維持することができる。

[0088] このように、本変形例1及び2によれば、本実施形態は、様々なタイプのSOI基板に適用することが可能である。

[0089] (変形例3)

次に、変形例3を、図20を参照して説明する。図20は、本実施形態に係る変形例3に係る半導体装置10dの断面図であり、図1Bに示される断面に対応する断面図である。図20に示されるように、変形例3に係る半導体装置10dにおいては、シリサイド膜702は、拡散層300の薄膜部300aの上面だけでなく、厚膜部300bの上面も覆うように設けられていてもよい。このようにシリサイド膜702を広く設けることで、ソース領域／ドレイン領域304とコンタクトビア700との間の抵抗値を小さくすることができることから、トランジスタ12がより高速に動作することが可能となる。

[0090] (変形例4)

次に、変形例4を、図21を参照して説明する。図21は、本実施形態に係る変形例4に係る半導体装置10eの断面図であり、図1Dに示される断面に対応する断面図である。図21に示されるように、変形例4に係る半導体装置10eにおいては、ボディコンタクト電極800cに係るコンタクトビア700は、拡散層300の厚膜部300bの上面上ではなく、薄膜部300aの上面上に設けられてもよい。

[0091] ところで、以上の変形例1～4においては、トランジスタ12はH字型のゲート電極600を持つものとして説明した。しかしながら、本実施形態においては、ゲート電極600はこのような形状の限定されるものではなく、他の形状であってもよい。すなわち、本実施形態においては、トランジスタのゲート構造を自由に設計することができる。そこで、以下に様々な形状のゲート電極600の変形例について説明する。

[0092] (変形例5)

まずは、図22A及び図22Bを参照して、本開示の一実施形態の変形例5に係る半導体装置20aを説明する。図22Aは、本実施形態に係る変形例5に係る半導体装置20aの平面図である。なお、図22Aにおいては、絶縁膜202、絶縁膜400、絶縁膜802及びSTI204については、理解のために図示を省略している。図22Bは、図22Aに示した半導体装置20aのA-A'における断面図である。

[0093] 図22Aに示されるように、変形例5に係る半導体装置20aは、支持基板100の上方から見て、はしご形状のゲート電極600aを有している。詳細には、ゲート電極600aは、図22A中を左右方向に沿って並ぶ複数の矩形型の電極部602と、これら電極部602を図22A中の上下方向に沿って挟み込み、複数の電極部602を互いに接続する2つの配線部604とを有する。すなわち、複数の電極部602と複数の配線部604とにより、はしご状のゲート電極600aは形成される。さらに、各電極部602を図22A中の左右方向から挟み込むように、ソース電極／ドレイン電極80

0が設けられている。

[0094] また、本変形例においても、図22Bに示すように、拡散層300は、上述の実施形態と同様に、中央部に位置する薄膜部300aと、端部に位置する厚膜部300bとを有する。本変形例においても、ゲート領域302、及びソース領域／ドレイン領域304は、拡散層300の薄膜部300aに設けられている。このように、複数のゲート領域302を持つ場合であっても、薄膜部300aと厚膜部300bとを有する拡散層300を適用することができる。

[0095] (変形例6)

次に、図23A及び図23Bを参照して、本開示の一実施形態の変形例6に係る半導体装置20bを説明する。図23Aは、本実施形態に係る変形例6に係る半導体装置20bの平面図である。なお、図23Aにおいては、絶縁膜202、絶縁膜400、絶縁膜802及びSTI204については、理解のために図示を省略している。図23Bは、図23Aに示した半導体装置20bのC-C'における断面図である。

[0096] 図23Aに示されるように、変形例6に係る半導体装置20bは、支持基板100の上方から見て、T字型形状のゲート電極600bを有している。詳細には、ゲート電極600bは、図23A中の上下方向に沿って延びる矩形型の電極部602と、図23A中の左右方向に沿って延びる矩形状の配線部604とを有している。さらに、配線部604が、配線部604の中央部分で電極部602と接続することにより、T字型形状のゲート電極600bをなしている。また、電極部602を図23A中の左右方向から挟み込むように、ソース電極／ドレイン電極800a、800bが設けられている。

[0097] また、本変形例においても、図23Bに示すように、拡散層300は、上述の実施形態と同様に、中央部に位置する薄膜部300aと、端部に位置する厚膜部300bとを有する。本変形例においても、ゲート領域302、及びソース領域／ドレイン領域304は、拡散層300の薄膜部300aに設けられている。このように、T字型のゲート電極600bを持つ場合であっ

ても、薄膜部300aと厚膜部300bとを有する拡散層300を適用することができる。

[0098] (変形例7)

次に、図24A及び図24Bを参照して、本開示の一実施形態の変形例7に係る半導体装置20cを説明する。図24Aは、本実施形態に係る変形例7に係る半導体装置20cの平面図である。なお、図24Aにおいては、絶縁膜202、絶縁膜400、絶縁膜802及びSTI204については、理解のために図示を省略している。図24Bは、図24Aに示した半導体装置20cのC-C'における断面図である。

[0099] 図24Aに示されるように、変形例7に係る半導体装置20cは、支持基板100の上方から見て、I字型形状のゲート電極600cを有している。詳細には、ゲート電極600cは、図24A中の上下方向に沿って延びる矩形型の形状を持つ。さらに、ゲート電極600cを図24A中の左右方向から挟み込むように、ソース電極／ドレイン電極800a、800bが設けられている。

[0100] また、本変形例においては、拡散層300は、上述の実施形態と同様に、中央部に位置する薄膜部300aと、端部に位置する厚膜部300bとを有する。本変形例においても、ゲート領域302、及びソース領域／ドレイン領域304は、拡散層300の薄膜部300aに設けられている。このように、I字型のゲート電極600cを持つ場合であっても、薄膜部300aと厚膜部300bとを有する拡散層300を適用することができる。

[0101] <<3. まとめ>>

以上のように、本実施形態においては、寄生容量を低減しつつ、高い信頼性を確保し、且つ、製造コストの増加を抑えることができる半導体装置を提供することができる。

[0102] 詳細には、本実施形態においては、寄生容量を低減するために、拡散層300の膜厚が薄い、SOI基板を用いて半導体装置10を形成している。さらに、本実施形態においては、ゲート電極600と拡散層300とが重なっ

ている拡散層 300 の端部の厚膜部 300b において膜厚が厚くなるように、拡散層 300 を形成している。このようにすることで、製造工程において熱酸化処理が施された場合であっても、拡散層 300 の端部の膜厚が薄くなることはない。従って、本実施形態によれば、拡散層 300 の端部の膜厚が薄くなることがないことから、半導体装置 10 の動作の際、拡散層 300 の端部に電界集中が起きにくくなり、ゲート絶縁膜 500 の絶縁破壊も生じ難くなる。その結果、実施形態によれば、高い信頼性を確保した半導体装置を提供することができる。

[0103] さらに、本実施形態によれば、半導体装置の製造方法において一般的に用いられている既知の各種方法を組み合わせて用いることで容易に半導体装置 10 を得ることができることから、製造コストの増加を抑えることができる。

[0104] <<4. 補足>>

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0105] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0106] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

埋込絶縁膜と、前記埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、

前記半導体層上に設けられたゲート電極と、

を備え、

前記ゲート電極は、前記基板を上方から見た場合に、第 1 の方向に沿って前記半導体層の中央部から前記半導体層の端部を超えて延伸した帯状の第 1 の電極部を有し、

前記第 1 の方向に沿って、前記第 1 の電極部及び前記基板を切断した場合の断面において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、

半導体装置。

(2)

前記ゲート電極は、前記基板を上方から見た場合に、前記第 1 の電極部から、前記第 1 の方向とは垂直に交わる第 2 の方向に沿って延伸する第 2 の電極部をさらに有する、

上記 (1) に記載の半導体装置。

(3)

前記第 1 の方向に沿って、前記第 2 の電極部及び前記基板を切断した場合において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、

上記 (2) に記載の半導体装置。

(4)

前記半導体層の前記中央部の上方に、前記基板を上方から見た場合に、前記第 2 の電極部を挟み込むように設けられたソースコンタクトビア及びドレインコンタクトビアをさらに備える、上記 (3) に記載の半導体装置。

(5)

前記半導体層の前記中央部と前記ソースコンタクトビアとの間、及び、前記半導体層と前記ドレインコンタクトビアとの間に設けられたシリサイド膜をさらに備える、上記 (4) に記載の半導体装置。

(6)

前記シリサイド膜は、前記半導体層の前記端部も覆っている、上記 (5)

に記載の半導体装置。

(7)

前記第2の方向に沿って、前記第2の電極部及び前記基板を切断した場合において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、上記(2)に記載の半導体装置。

(8)

前記ゲート電極は複数の前記第2の電極部を有する、上記(2)に記載の半導体装置。

(9)

前記半導体層の前記中央部の上方に、前記基板を上方から見た場合に、前記第1の方向とは垂直に交わる第2の方向に沿って、前記第1の電極部を挟み込むように設けられたソースコンタクトビア及びドレインコンタクトビアをさらに備える、上記(1)に記載の半導体装置。

(10)

前記ゲート電極は、前記基板の上方から見て、H字型、T字型、I字型、又は、はしご型のいずれかの形状を持つ、上記(1)に記載の半導体装置。

(11)

前記半導体素子を分離する分離絶縁膜をさらに備え、

前記分離絶縁膜は、前記前記基板を上方から見て前記半導体層を囲むように設けられる、

上記(1)～(10)のいずれか1つに記載の半導体装置。

(12)

前記基板は、前記埋込絶縁膜の下に設けられた、前記半導体層とは異なる他の半導体層をさらに有する、上記(1)～(11)に記載の半導体装置。

(13)

前記基板は、前記他の半導体層の下に設けられた、前記埋込絶縁膜とは異なる他の埋込絶縁膜をさらに有する、上記(12)に記載の半導体装置。

(14)

前記半導体層の前記端部は、前記半導体層の前記中央部の膜厚に対して2倍から10倍の膜厚を持つ、上記(1)に記載の半導体装置。

(15)

前記半導体層の前記端部の膜厚は140nm~200nmであり、
前記半導体層の前記中央部の膜厚は20nm~70nmである、
上記(1)に記載の半導体装置。

(16)

前記半導体素子とは異なる他の半導体素子が形成される、前記半導体層とは異なる他の半導体層をさらに備え、

前記半導体層の前記中央部の膜厚と、前記他の半導体層の中央部の膜厚とは、互いに異なる、

上記(1)に記載の半導体装置。

(17)

前記半導体層の前記中央部の膜厚は20nm~70nmであり、
前記他の半導体層の前記中央部の膜厚は140nm~200nmである、
上記(16)に記載の半導体装置。

(18)

前記半導体装置は高周波アンテナスイッチ装置である、上記(1)~(17)のいずれか1つに記載の半導体装置。

(19)

埋込絶縁膜を有する基板上に、膜厚が均一な半導体層を形成し、前記半導体層の中央部を選択的に酸化して、前記半導体層の端部の膜厚を前記中央部の膜厚に比べて厚くすることを含む、半導体装置の製造方法。

符号の説明

- [0107] 10、10a、10b、10c、10d、10e、20a、20b、20c、90 半導体装置
12、12a、92 トランジスタ
100 支持基板

200、210 埋込絶縁膜
202、400、802 絶縁膜
204 STI
300、310 拡散層
300a 薄膜部
300b 厚膜部
302、312 ゲート領域
304 ソース／ドレイン領域
320、720 シリコン層
320a 中央部
320b 端部
340 LDD領域
500 ゲート絶縁膜
600、600a、600b、600c ゲート電極
602 電極部
604 配線部
700 コンタクトビア
702 シリサイド膜
800、800a、800b、800c 電極
900、910、920 シリコン酸化膜
902、912 シリコン窒化膜
904、914、924 レジストパターン
906、916 開口部

請求の範囲

- [請求項1] 埋込絶縁膜と、前記埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、
前記半導体層上に設けられたゲート電極と、
を備え、
前記ゲート電極は、前記基板を上方から見た場合に、第1の方向に沿って前記半導体層の中央部から前記半導体層の端部を超えて延伸した帯状の第1の電極部を有し、
前記第1の方向に沿って、前記第1の電極部及び前記基板を切断した場合の断面において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、
半導体装置。
- [請求項2] 前記ゲート電極は、前記基板を上方から見た場合に、前記第1の電極部から、前記第1の方向とは垂直に交わる第2の方向に沿って延伸する第2の電極部をさらに有する、
請求項1に記載の半導体装置。
- [請求項3] 前記第1の方向に沿って、前記第2の電極部及び前記基板を切断した場合において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、
請求項2に記載の半導体装置。
- [請求項4] 前記半導体層の前記中央部の上方に、前記基板を上方から見た場合に、前記第2の電極部を挟み込むように設けられたソースコンタクトビア及びドレインコンタクトビアをさらに備える、請求項3に記載の半導体装置。
- [請求項5] 前記半導体層の前記中央部と前記ソースコンタクトビアとの間、及び、前記半導体層と前記ドレインコンタクトビアとの間に設けられたシリサイド膜をさらに備える、請求項4に記載の半導体装置。
- [請求項6] 前記シリサイド膜は、前記半導体層の前記端部も覆っている、請求

項 5 に記載の半導体装置。

- [請求項7] 前記第 2 の方向に沿って、前記第 2 の電極部及び前記基板を切断した場合において、前記半導体層の端部の膜厚が、前記半導体層の中央部の膜厚に比べて厚い、請求項 2 に記載の半導体装置。
- [請求項8] 前記ゲート電極は複数の前記第 2 の電極部を有する、請求項 2 に記載の半導体装置。
- [請求項9] 前記半導体層の前記中央部の上方に、前記基板を上方から見た場合に、前記第 1 の方向とは垂直に交わる第 2 の方向に沿って、前記第 1 の電極部を挟み込むように設けられたソースコンタクトビア及びドレインコンタクトビアをさらに備える、請求項 1 に記載の半導体装置。
- [請求項10] 前記ゲート電極は、前記基板の上方から見て、H字型、T字型、I字型、又は、はしご型のいずれかの形状を持つ、請求項 1 に記載の半導体装置。
- [請求項11] 前記半導体素子を分離する分離絶縁膜をさらに備え、
前記分離絶縁膜は、前記前記基板を上方から見て前記半導体層を囲むように設けられる、
請求項 1 に記載の半導体装置。
- [請求項12] 前記基板は、前記埋込絶縁膜の下に設けられた、前記半導体層とは異なる他の半導体層をさらに有する、請求項 1 に記載の半導体装置。
- [請求項13] 前記基板は、前記他の半導体層の下に設けられた、前記埋込絶縁膜とは異なる他の埋込絶縁膜をさらに有する、請求項 1 2 に記載の半導体装置。
- [請求項14] 前記半導体層の前記端部は、前記半導体層の前記中央部の膜厚に対して 2 倍から 10 倍の膜厚を持つ、請求項 1 に記載の半導体装置。
- [請求項15] 前記半導体層の前記端部の膜厚は 140 nm～200 nmであり、
前記半導体層の前記中央部の膜厚は 20 nm～70 nmである、
請求項 1 に記載の半導体装置。
- [請求項16] 前記半導体素子とは異なる他の半導体素子が形成される、前記半導

体層とは異なる他の半導体層をさらに備え、

前記半導体層の前記中央部の膜厚と、前記他の半導体層の中央部の膜厚とは、互いに異なる、

請求項 1 に記載の半導体装置。

[請求項17]

前記半導体層の前記中央部の膜厚は 20 nm～70 nmであり、

前記他の半導体層の前記中央部の膜厚は 140 nm～200 nmである、

請求項 16 に記載の半導体装置。

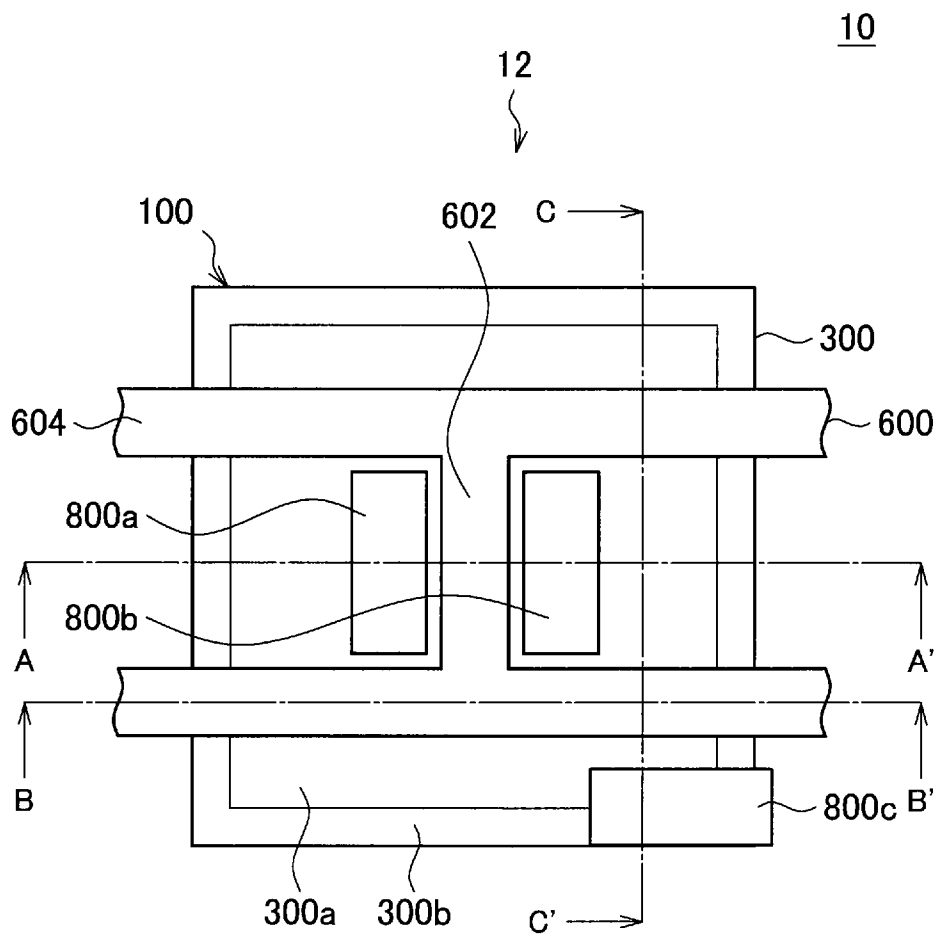
[請求項18]

前記半導体装置は高周波アンテナスイッチ装置である、請求項 1 に記載の半導体装置。

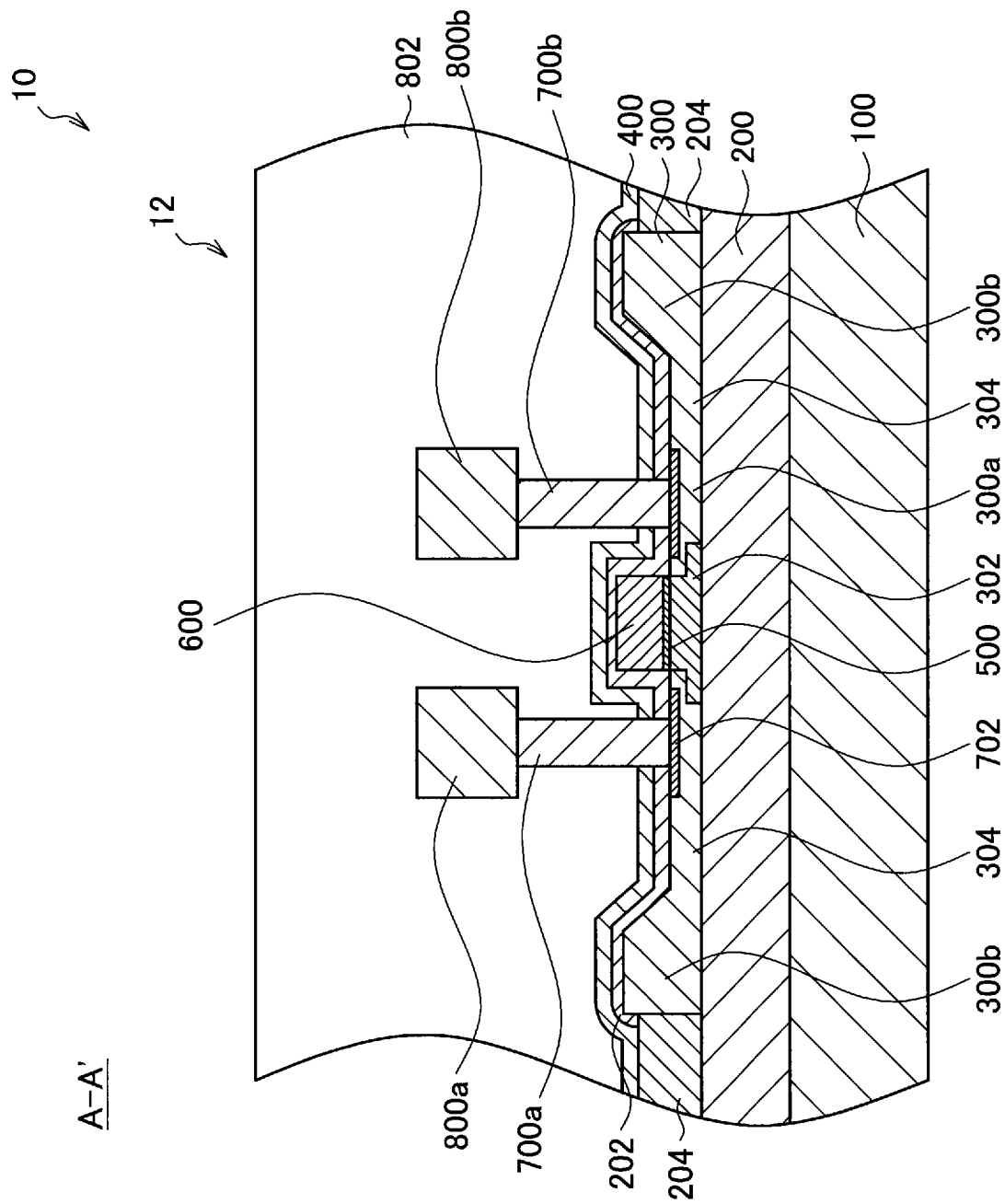
[請求項19]

埋込絶縁膜を有する基板上に、膜厚が均一な半導体層を形成し、前記半導体層の中央部を選択的に酸化して、前記半導体層の端部の膜厚を前記中央部の膜厚に比べて厚くすることを含む、半導体装置の製造方法。

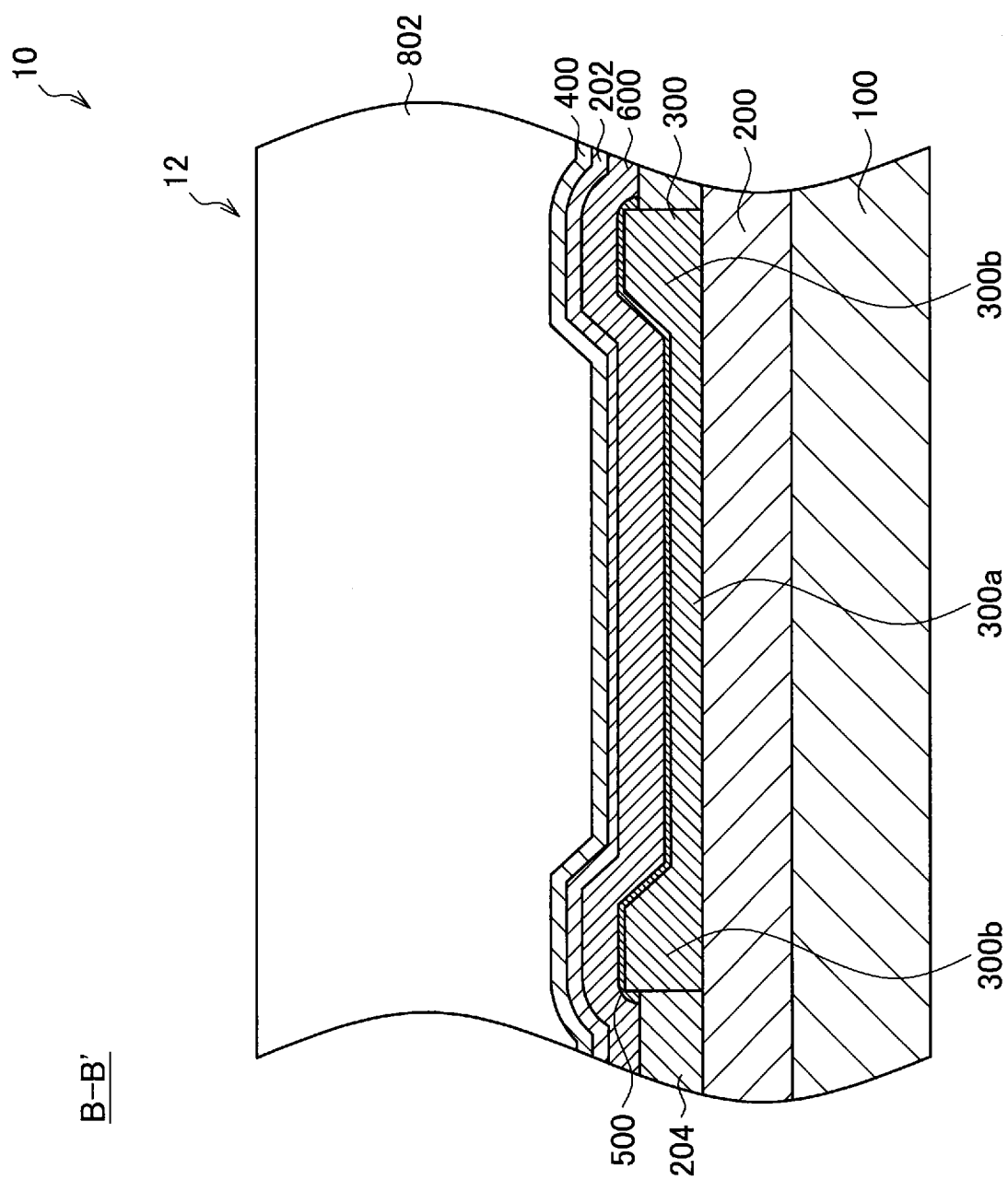
[図1A]



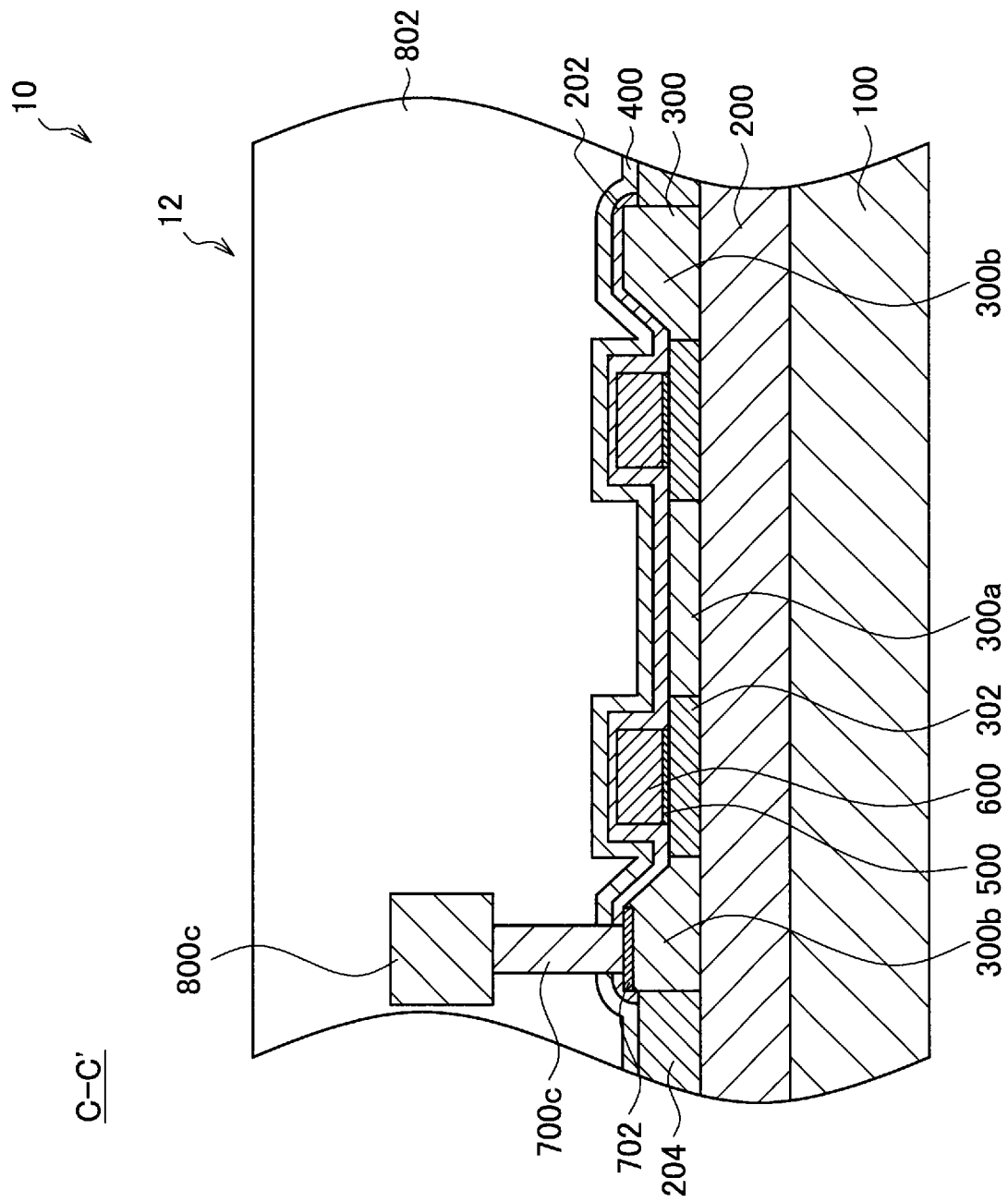
[図1B]



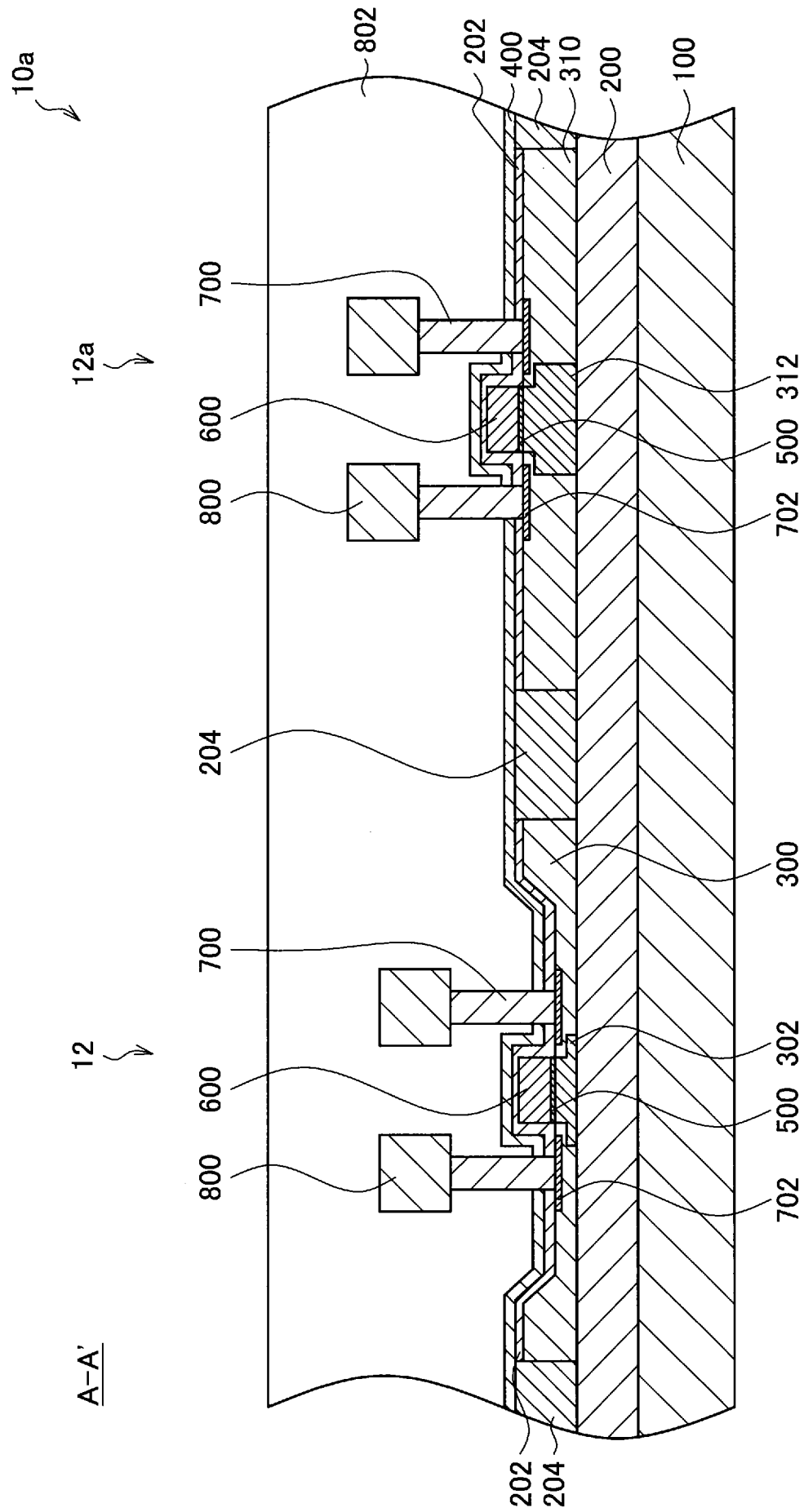
[図1C]



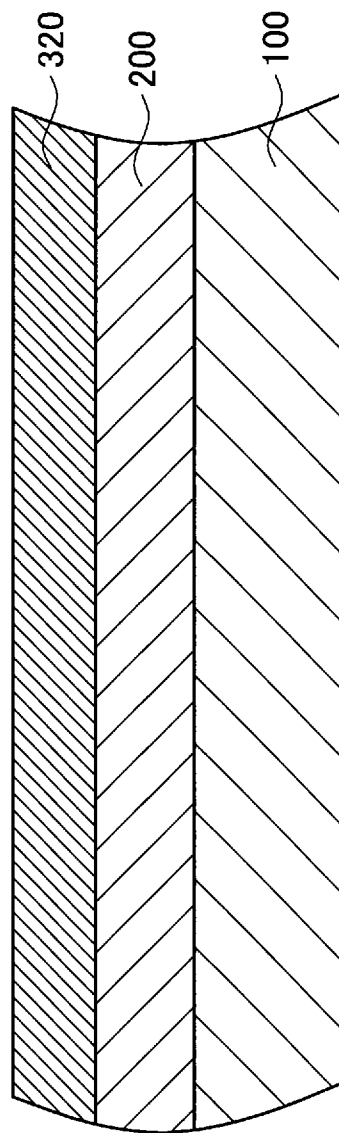
[図1D]



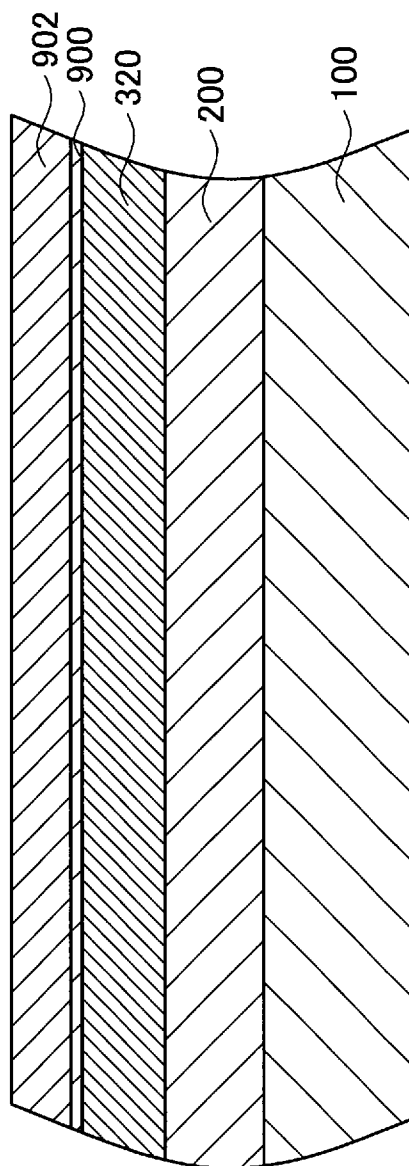
[図2]



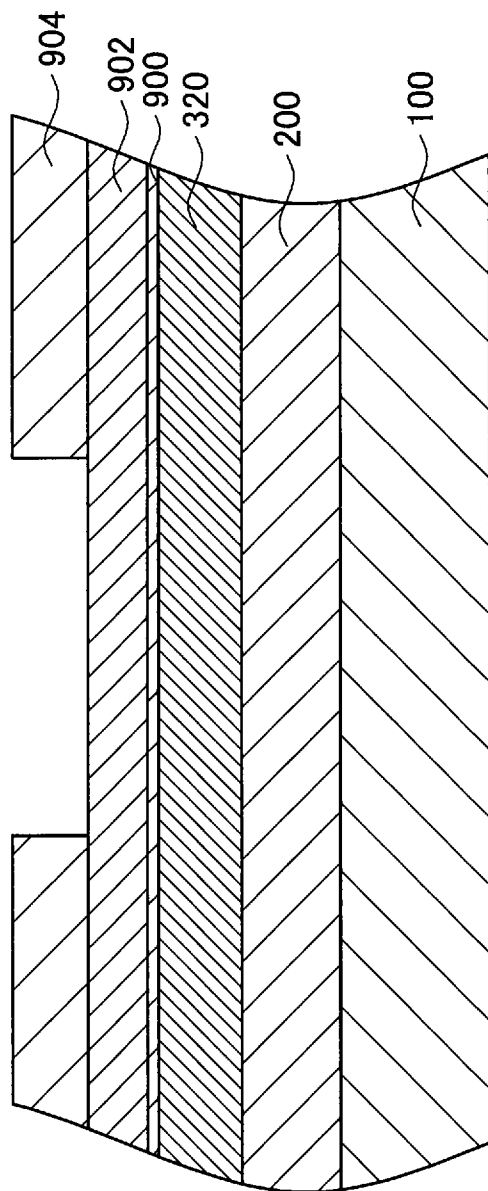
[図3]



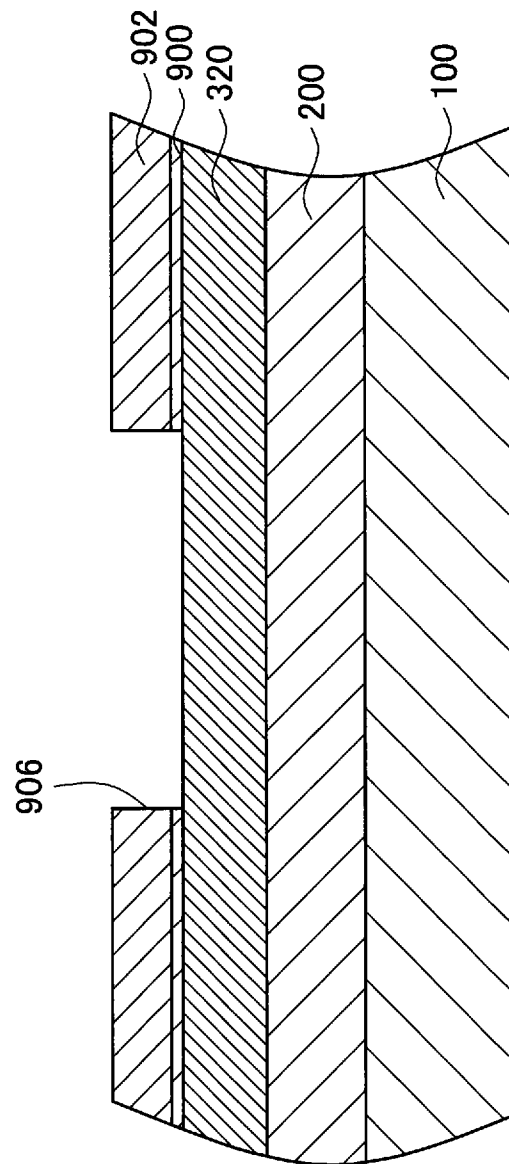
[図4]



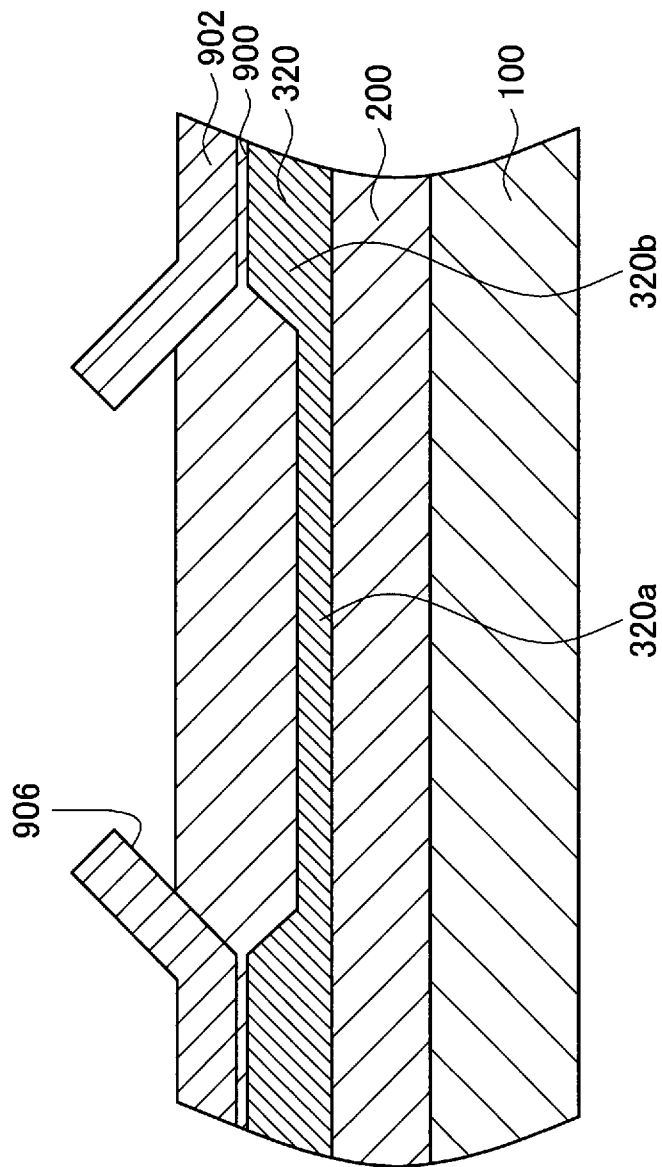
[図5]



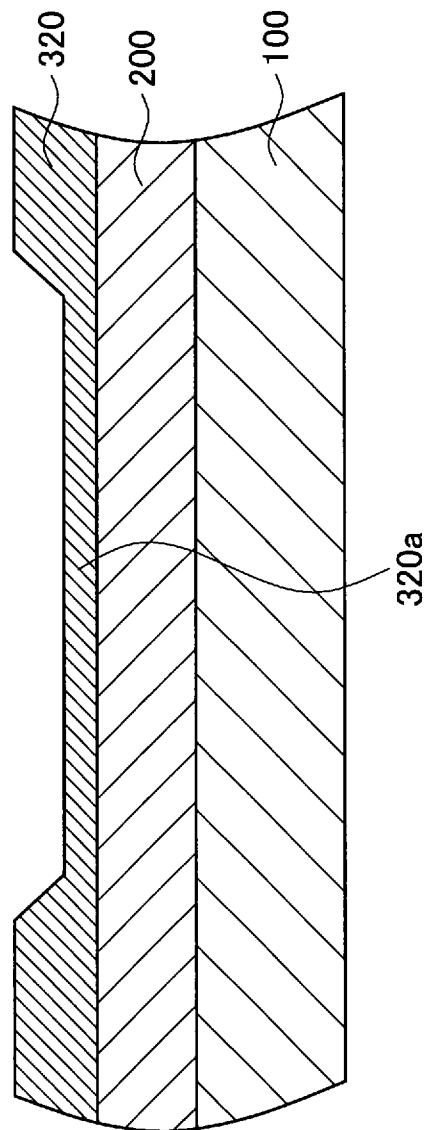
[図6]



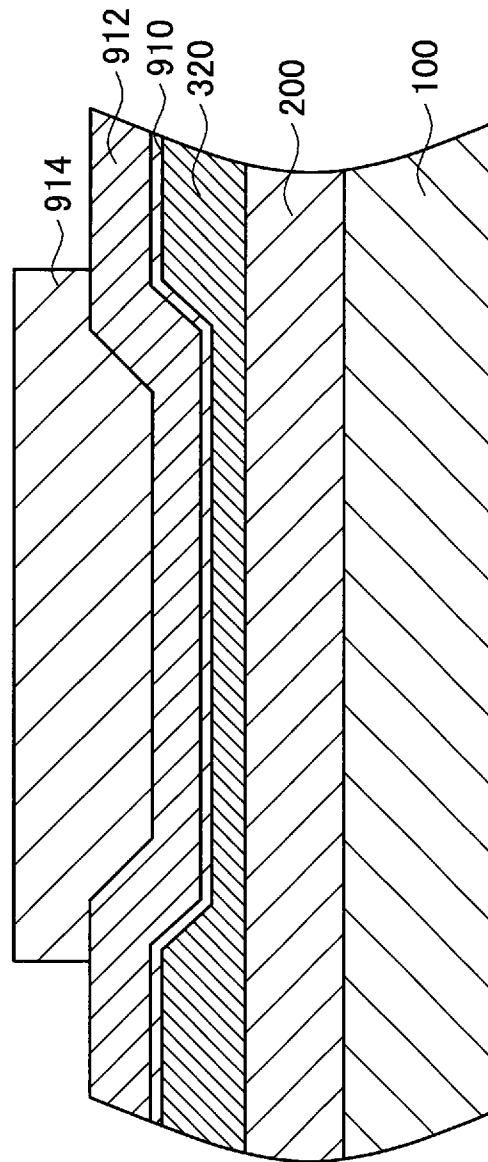
[図7]



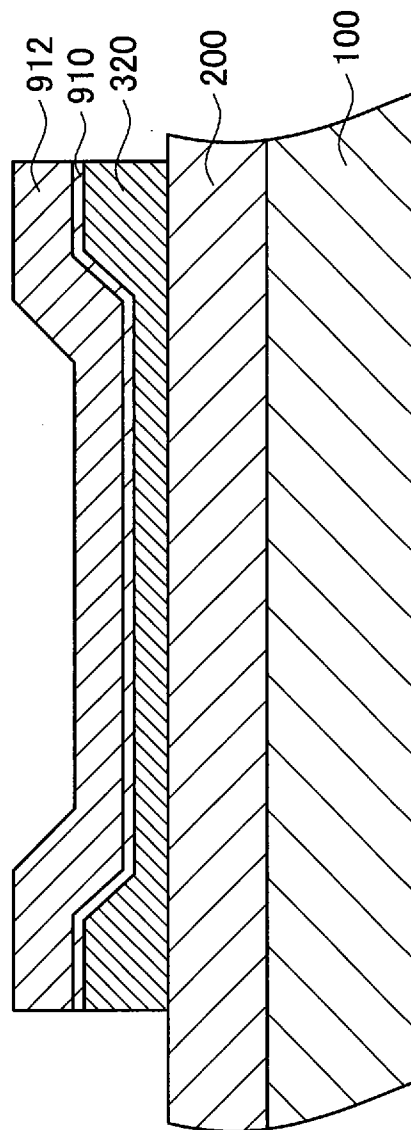
[図8]



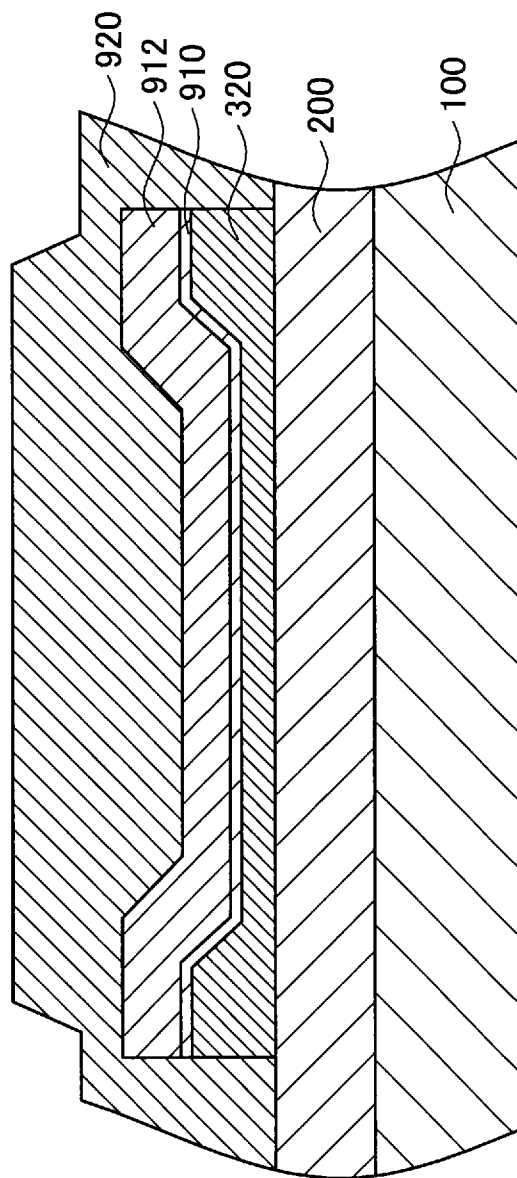
[図9]



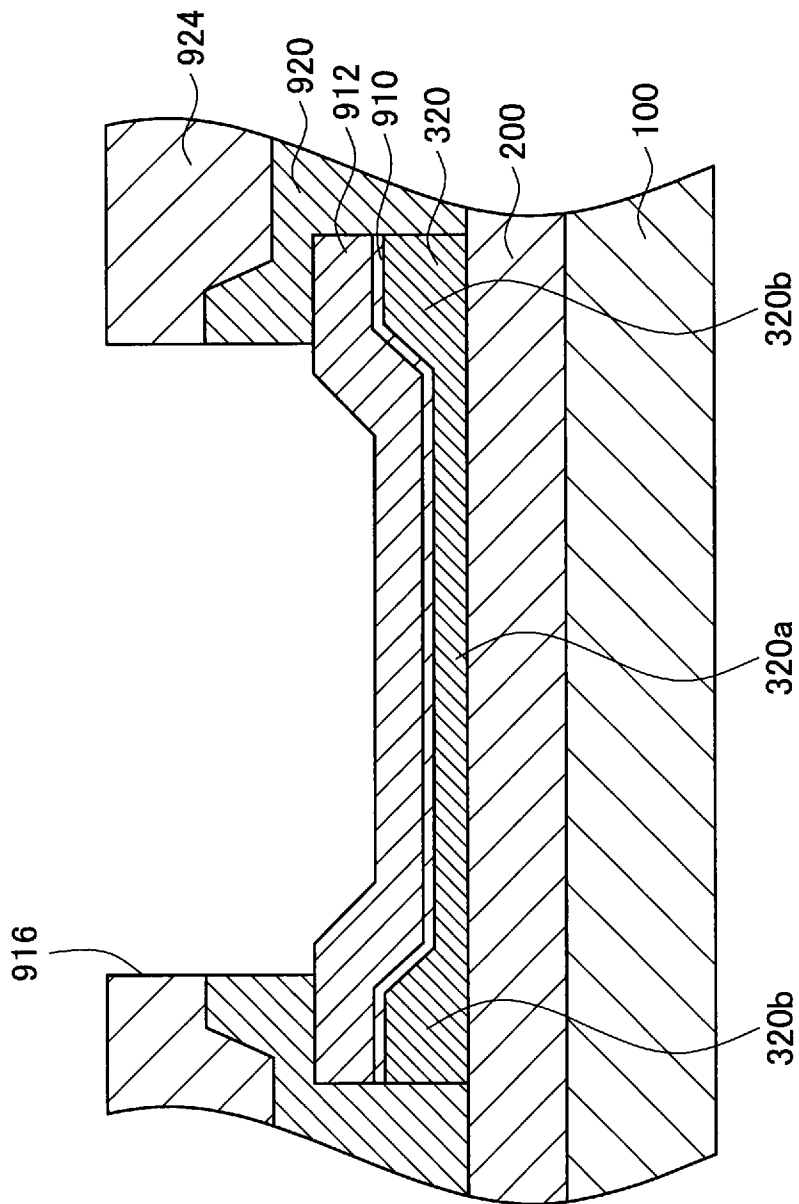
[図10]



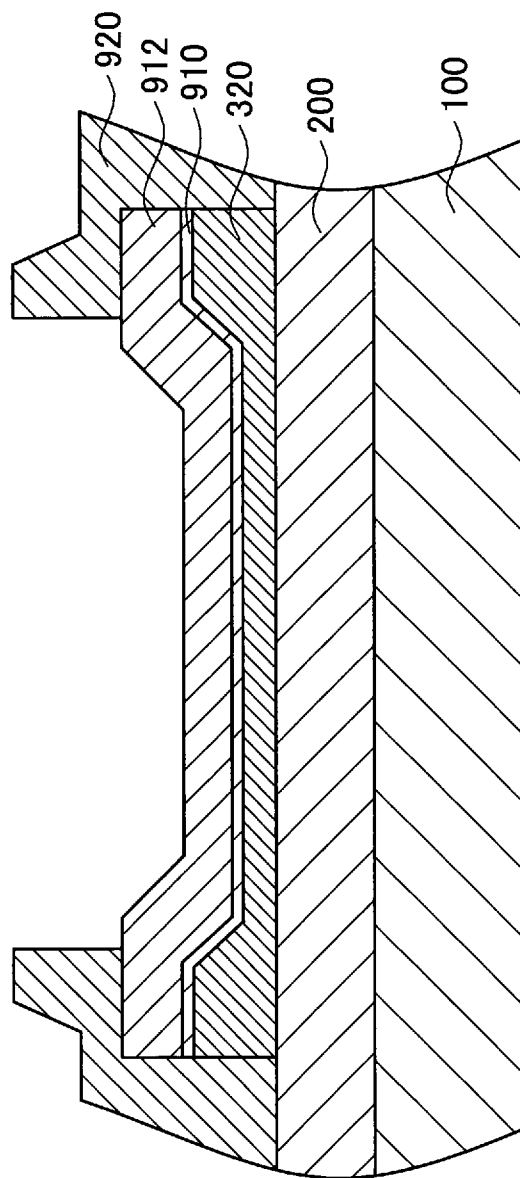
[図11]



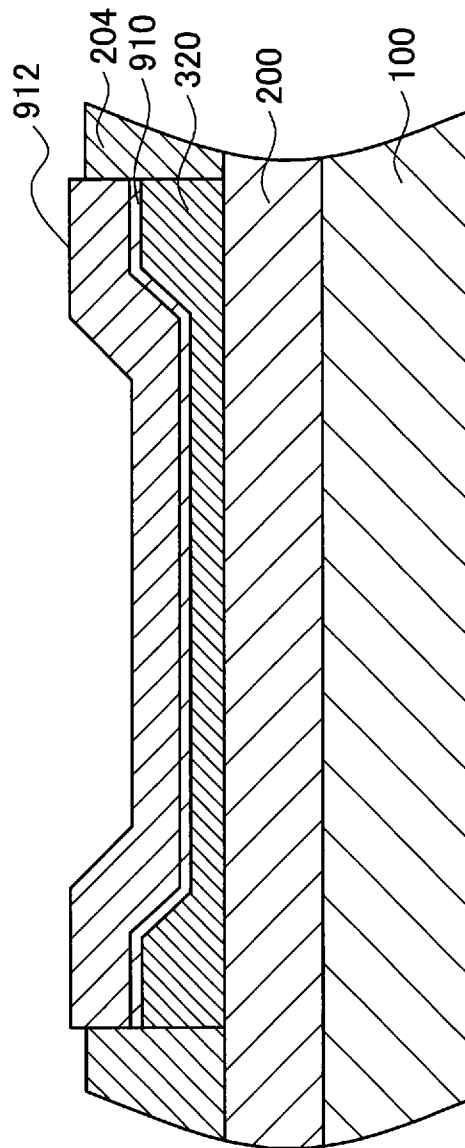
[図12]



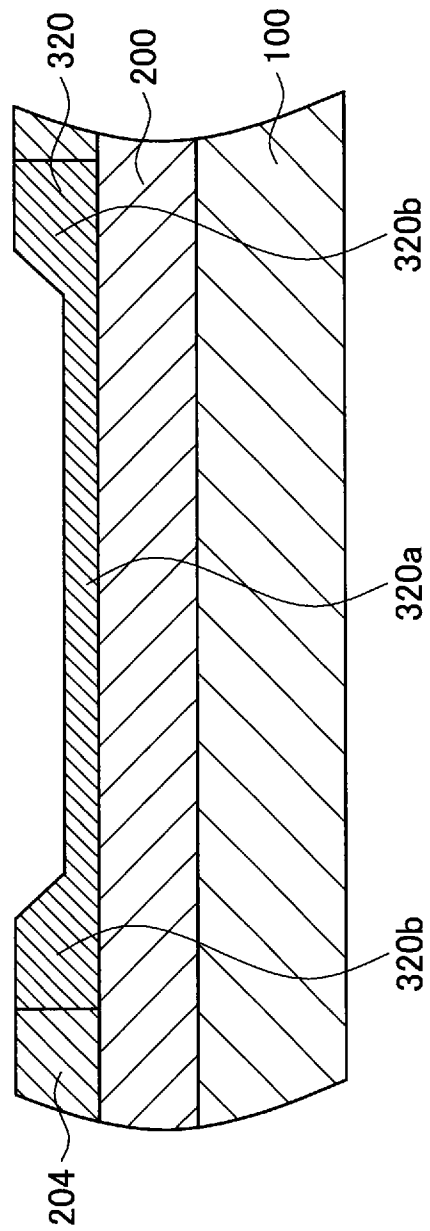
[図13]



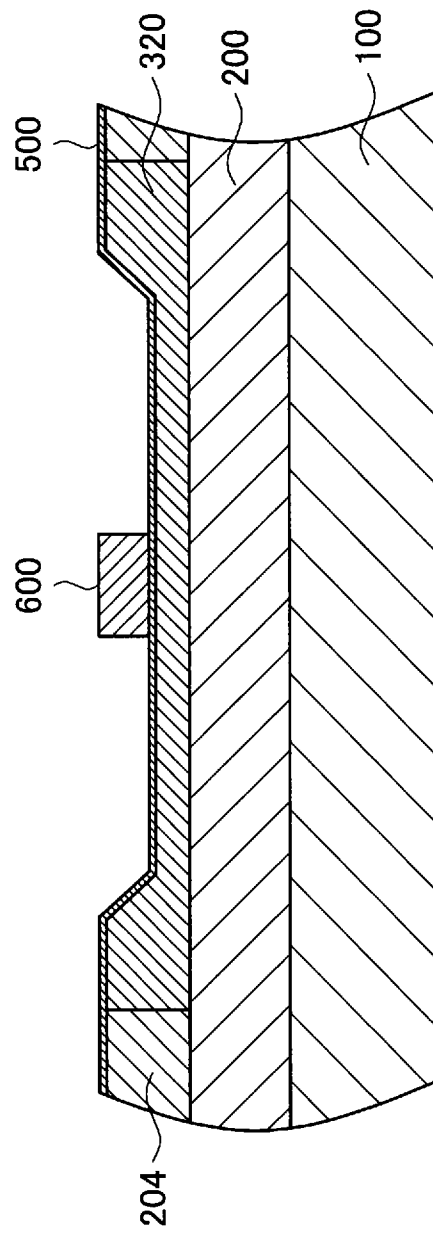
[図14]



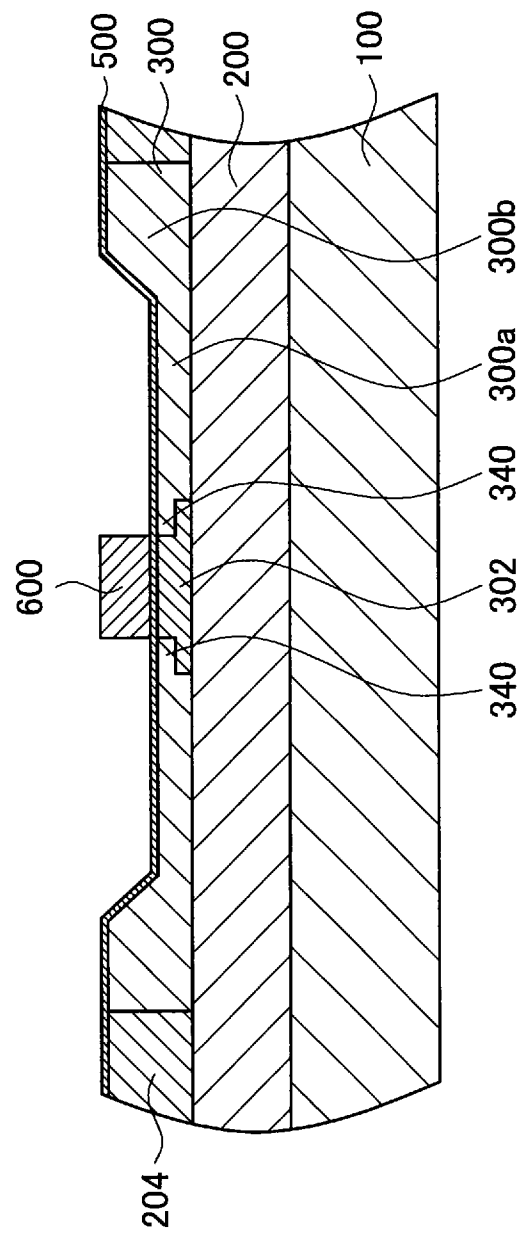
[図15]



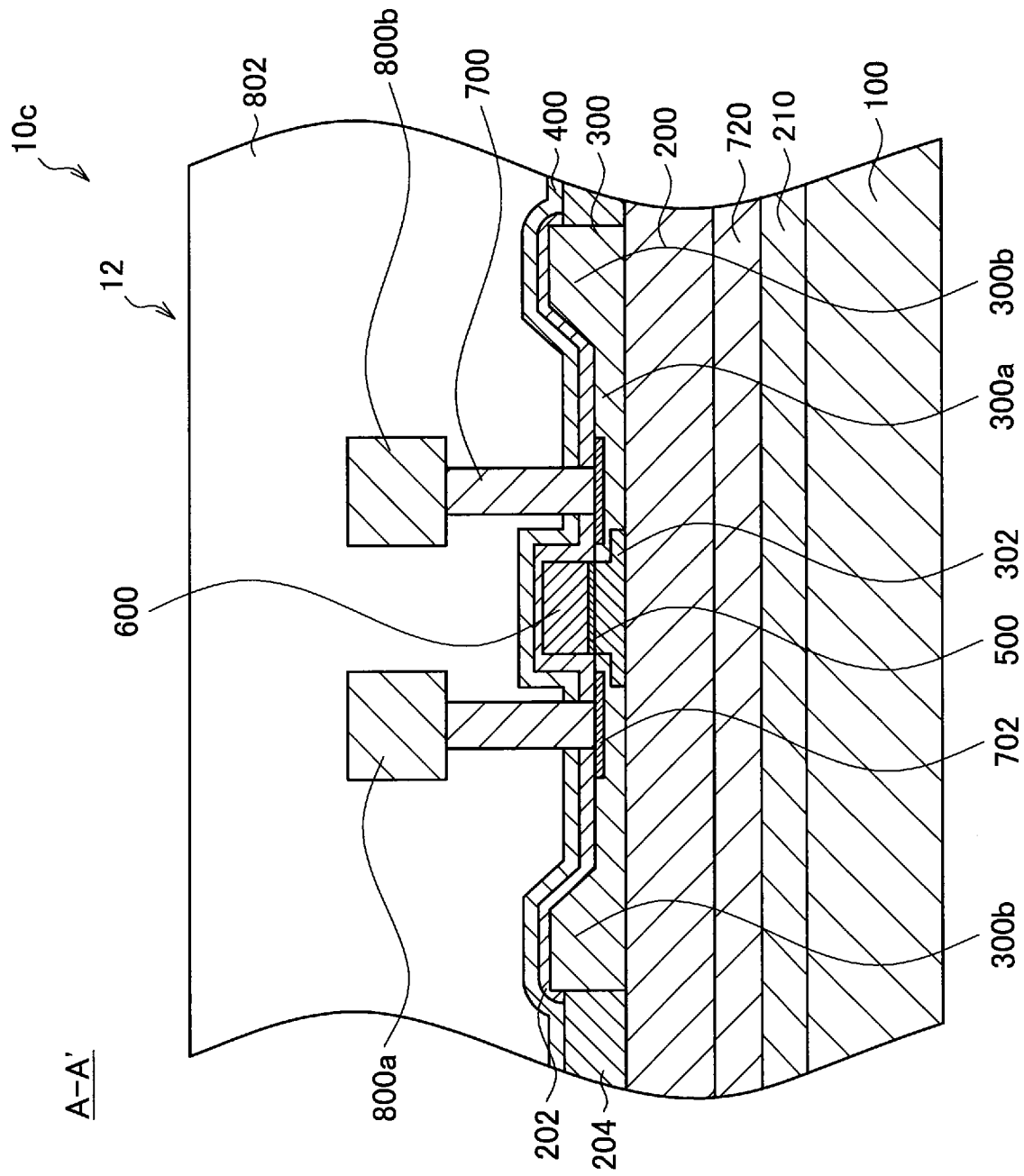
[図16]



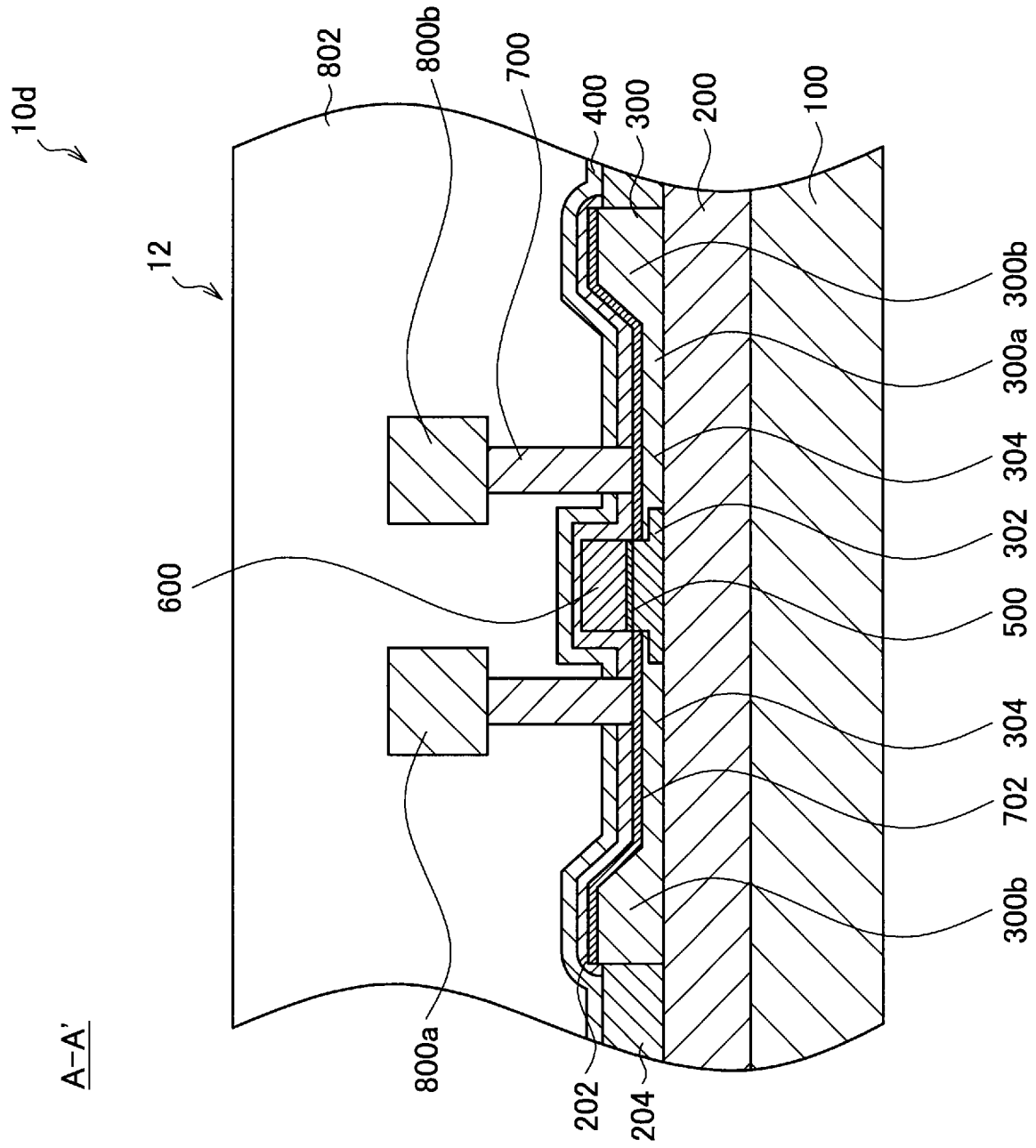
[図17]



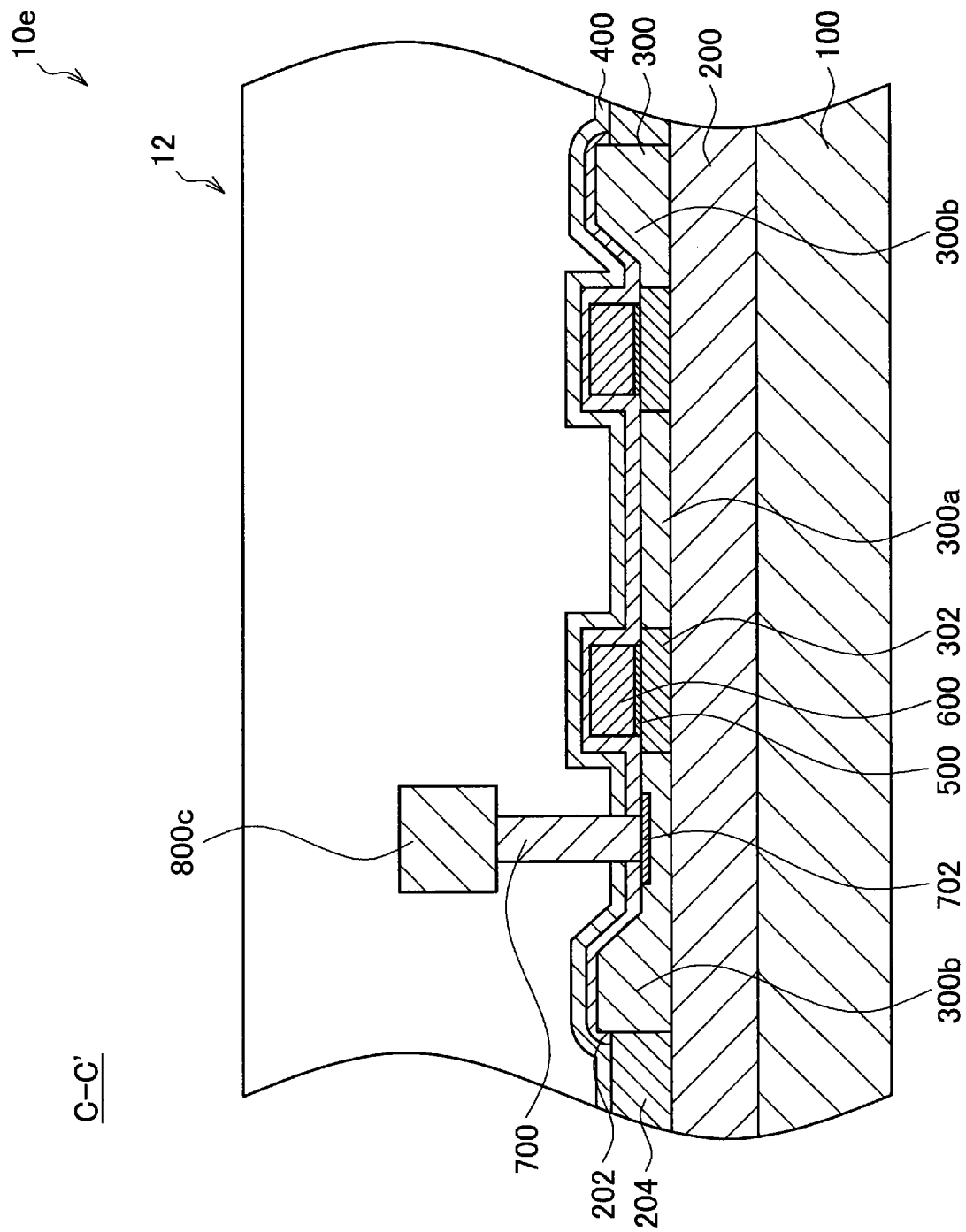
[図19]



[図20]

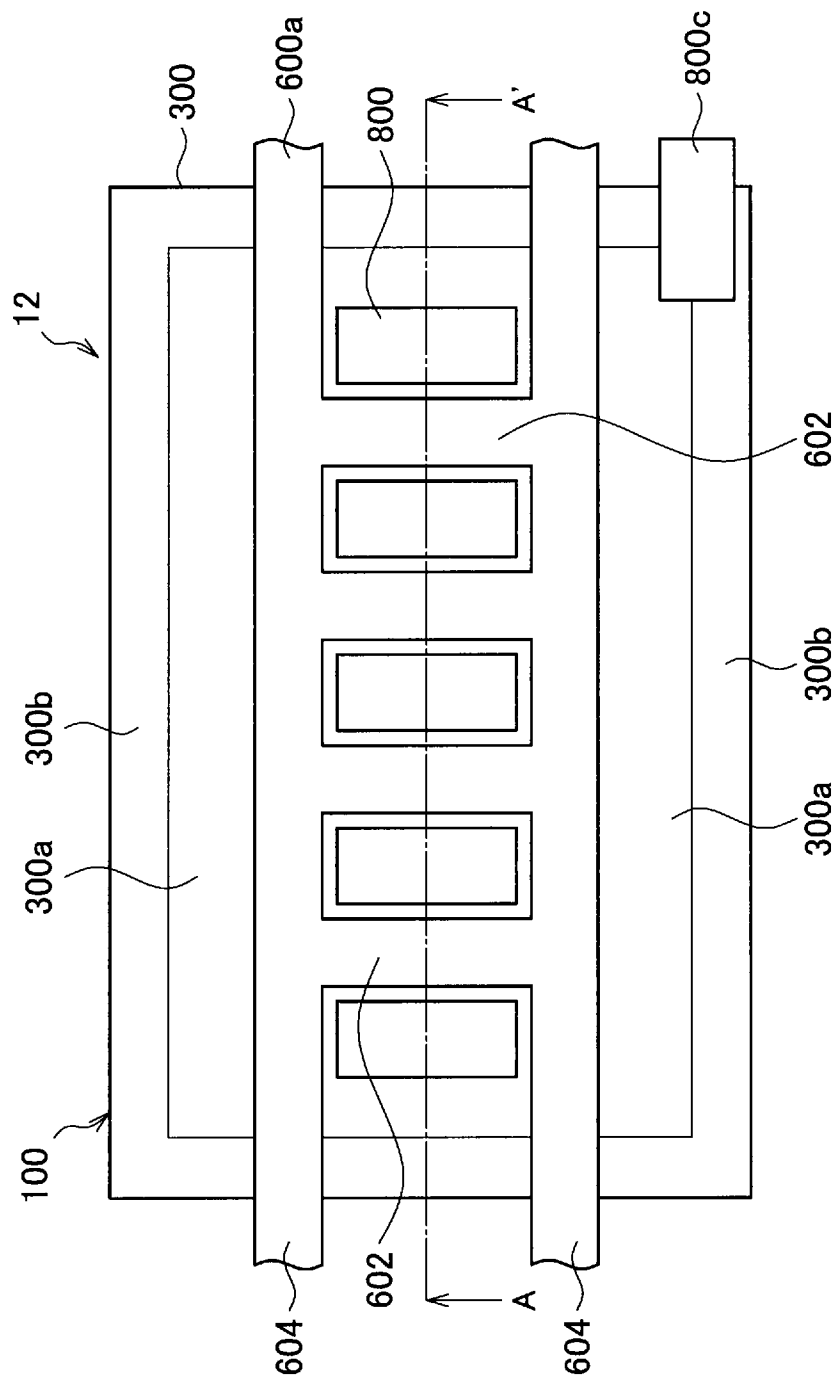


[図21]

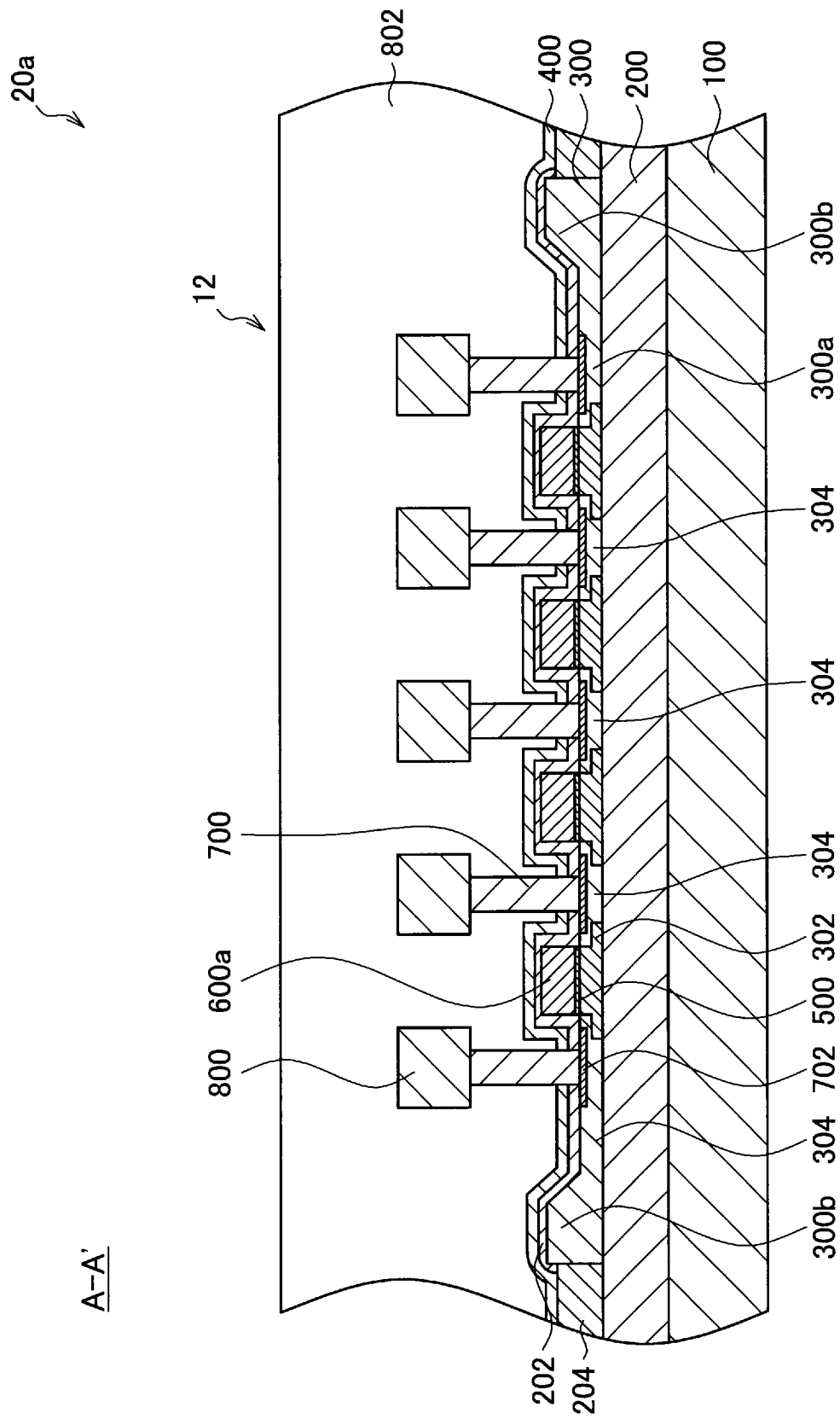


[図22A]

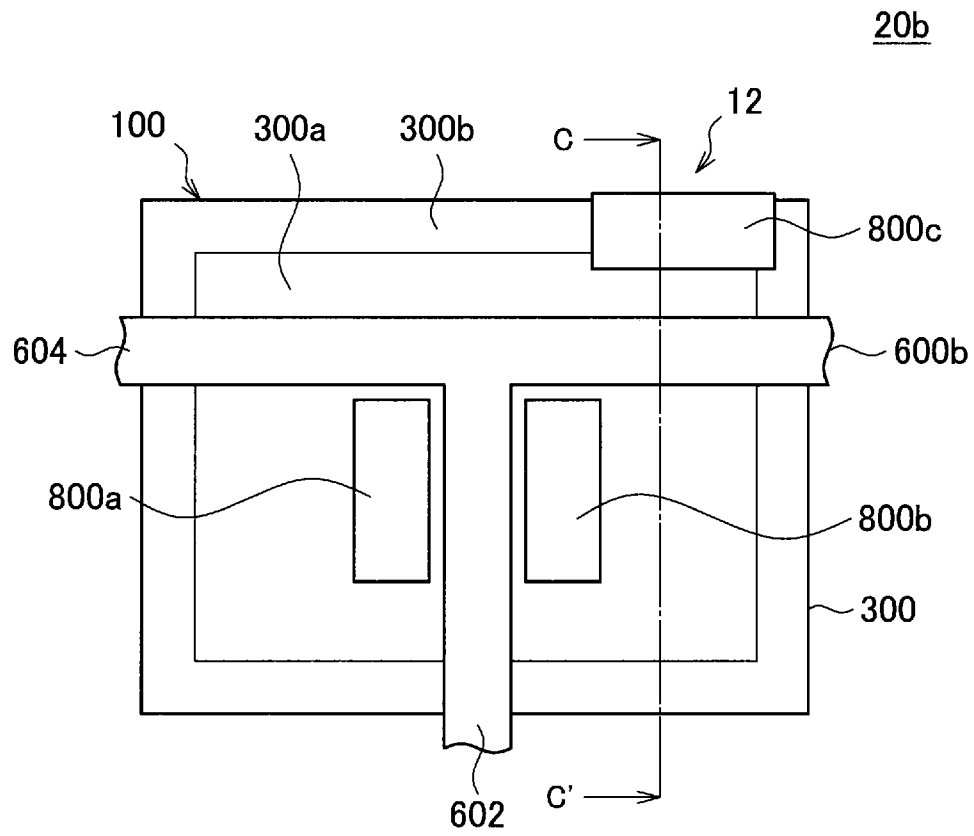
20a



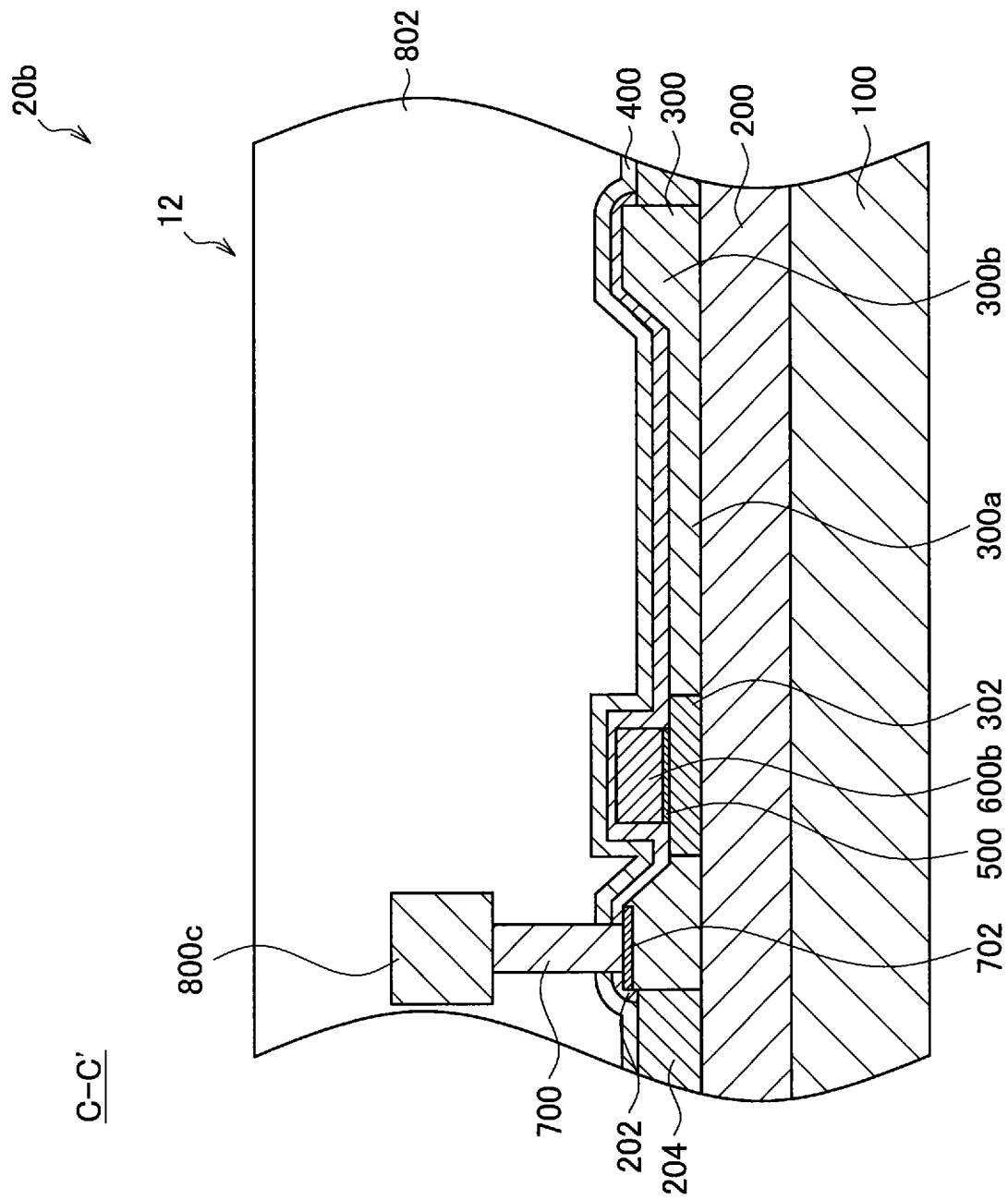
[図22B]



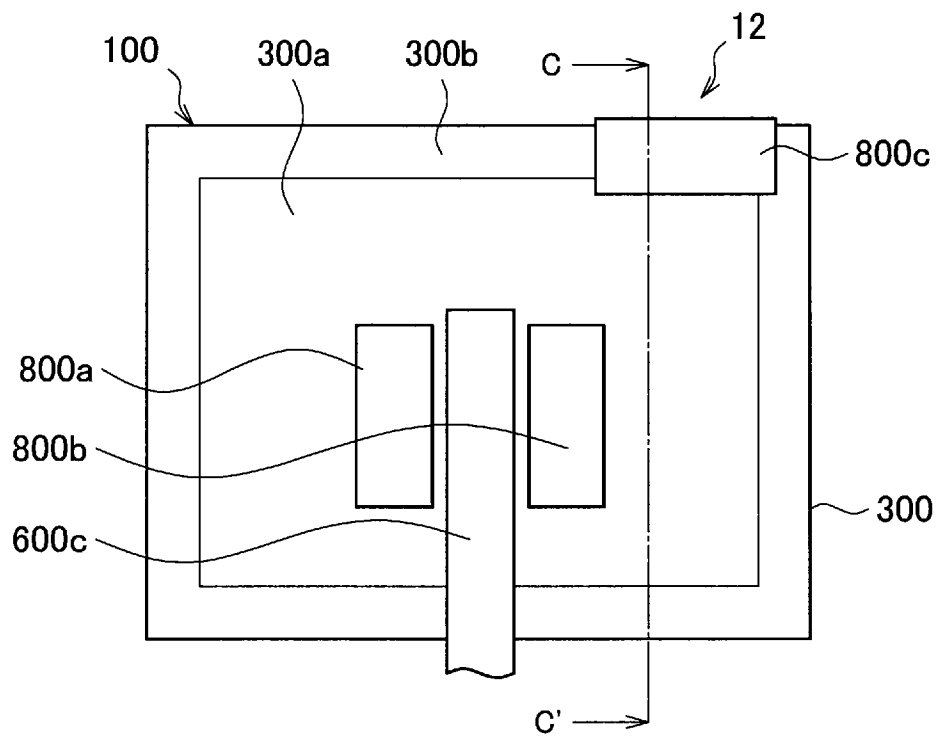
[図23A]



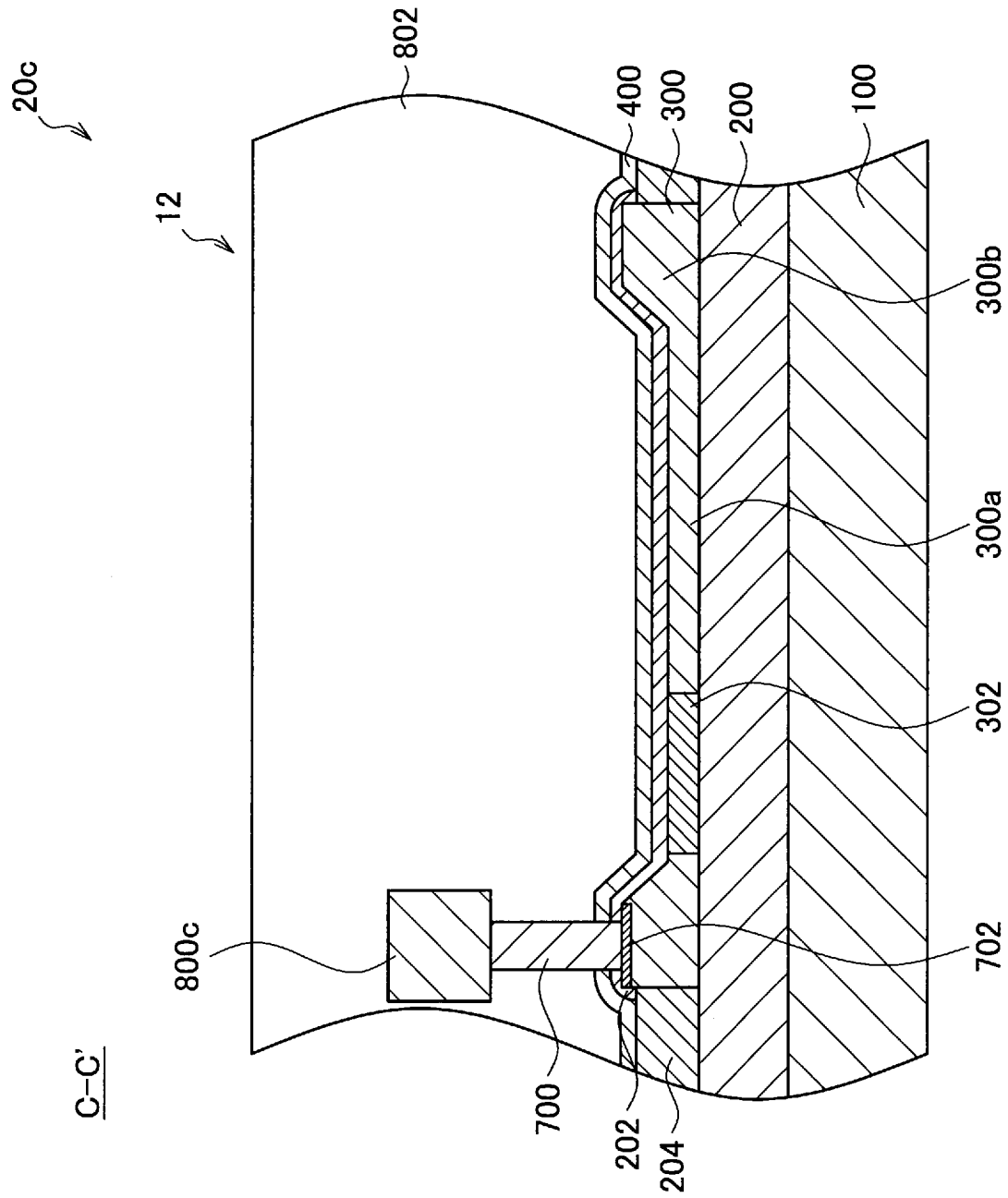
[図23B]



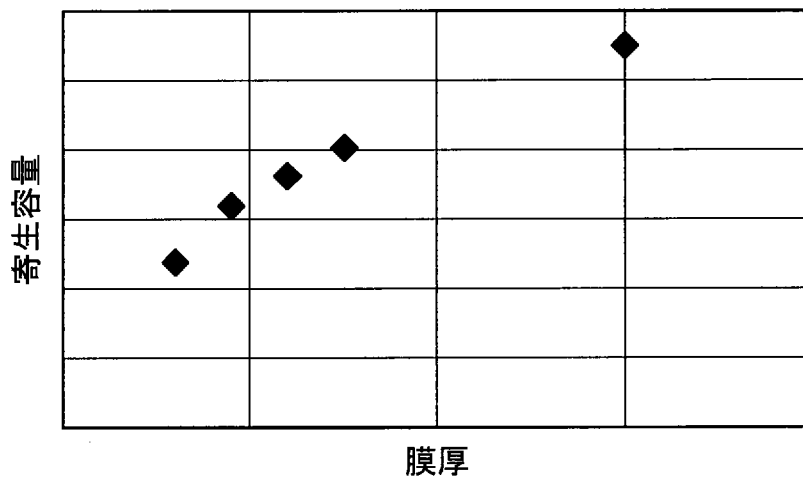
[図24A]

20c

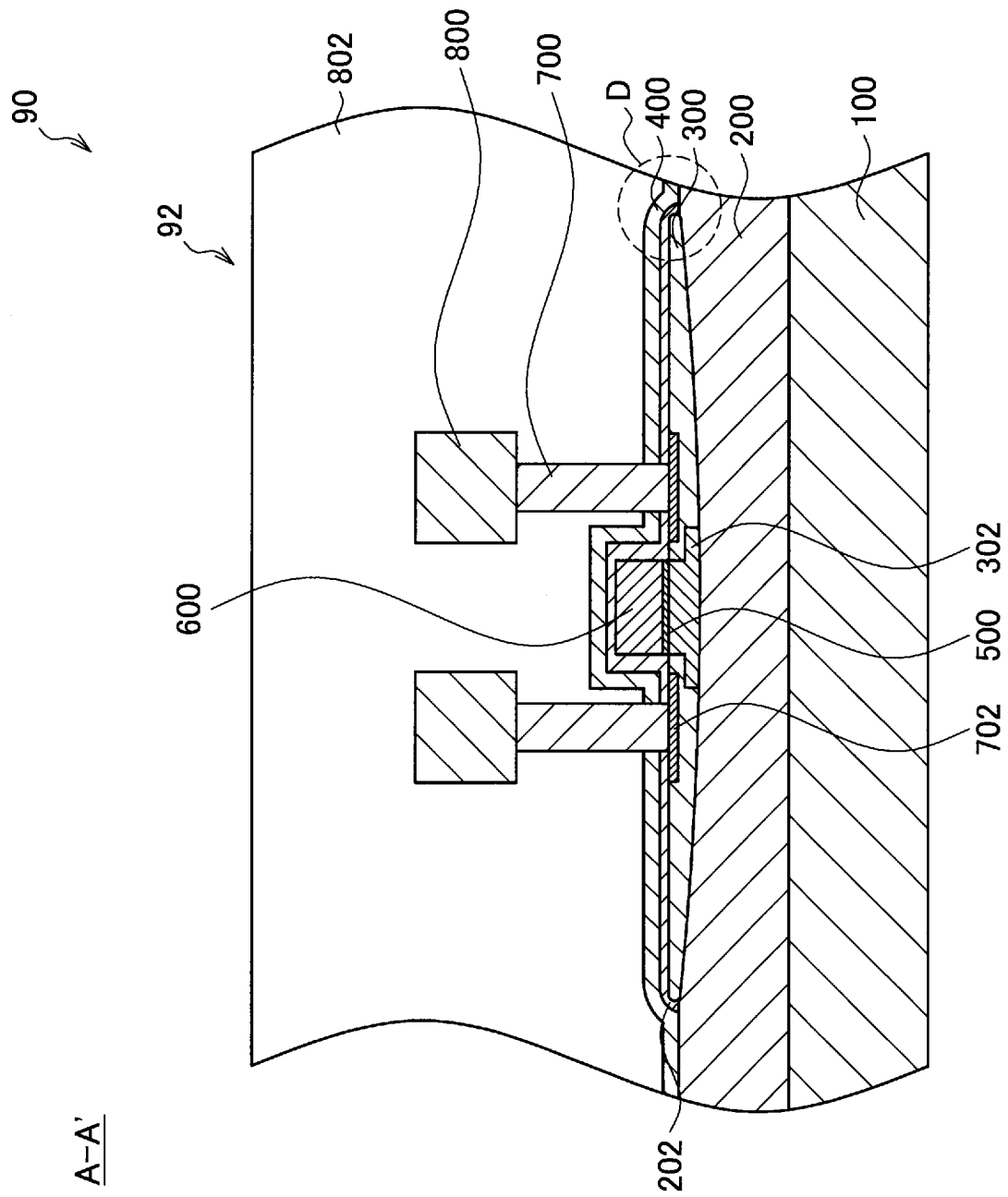
[図24B]



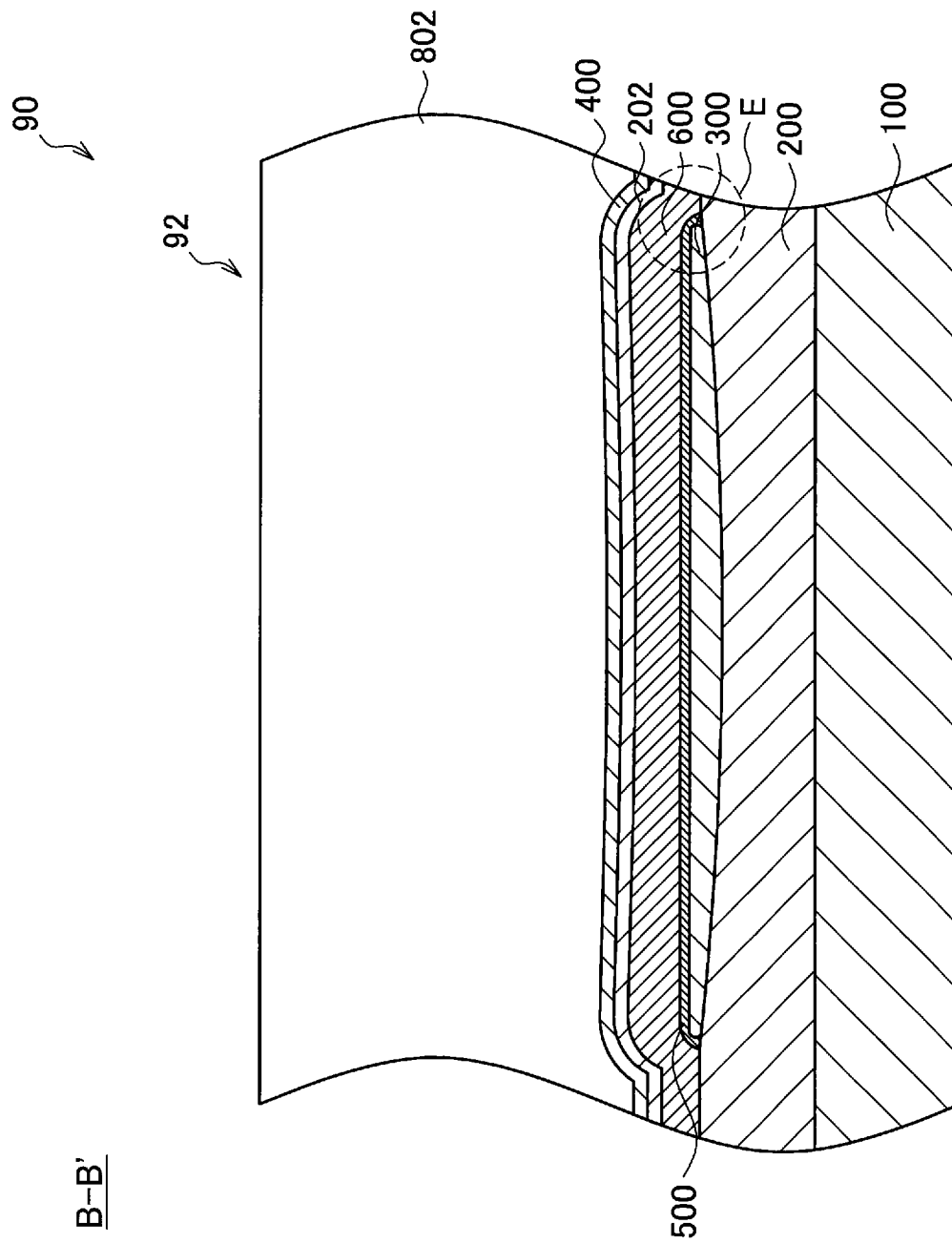
[図25]



[図26A]



[図26B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001323

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786 (2006.01) i, H01L21/336 (2006.01) i,
H01L21/8234 (2006.01) i, H01L27/088 (2006.01) i, H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, H01L21/336, H01L21/8234, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-216391 A (SONY CORP.) 04 August 2000,	19
Y	paragraphs [0028]-[0044], fig. 1-9 (Family: none)	1, 9-18
A		2-8
Y	JP 2011-71262 A (SEIKO EPSON CORP.) 07 April 2011,	1, 9-18
	paragraph [0027], fig. 2 (Family: none)	
Y	JP 9-186167 A (NEC CORP.) 15 July 1997, abstract,	12, 13
	fig. 1 (Family: none)	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 March 2018 (29.03.2018)

Date of mailing of the international search report
10 April 2018 (10.04.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001323

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-514770 A (ADVANCED MICRO DEVICES, INC.) 19 May 2005, abstract, fig. 4 & US 6764917 B1, abstract, fig. 4 & GB 2407703 A & WO 2003/054966 A1 & CN 1606807 A	16, 17
A	US 5116771 A (MASSACHUSETTS INSTITUTE OF TECHNOLOGY) 26 May 1992 (Family: none)	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/786, H01L21/336, H01L21/8234, H01L27/088, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2000-216391 A (ソニー株式会社) 2000.08.04, 段落 0028-0044、図 1-9 (ファミリーなし)	19 1, 9-18 2-8
Y	JP 2011-71262 A (セイコーエプソン株式会社) 2011.04.07, 段落 0027、図 2 (ファミリーなし)	1, 9-18
Y	JP 9-186167 A (日本電気株式会社) 1997.07.15, 要約、図 1 (ファミリーなし)	12, 13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

29.03.2018

国際調査報告の発送日

10.04.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-514770 A (アドバンスト・マイクロ・デバイスズ・インコーポレイテッド) 2005.05.19, 要約、図4 & US 6764917 B1, Abstract, Fig. 4 & GB 2407703 A & WO 2003/054966 A1 & CN 1606807 A	16, 17
A	US 5116771 A (MASSACHUSETTS INSTITUTE OF TECHNOLOGY) 1992.05.26, (ファミリーなし)	1-19