

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-293300
(P2005-293300A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl. ⁷ G06F 12/08	F I		テーマコード (参考)
	G06F 12/08	507D	5B005
	G06F 12/08	507E	
	G06F 12/08	507G	
	G06F 12/08	511E	
	G06F 12/08	565	

審査請求 有 請求項の数 9 O L (全 10 頁)

(21) 出願番号	特願2004-108286 (P2004-108286)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成16年3月31日(2004. 3. 31)	(74) 代理人	100095407 弁理士 木村 満
		(72) 発明者	山崎 真矢 東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	5B005 JJ13 MM01 NN31 NN46 TT02

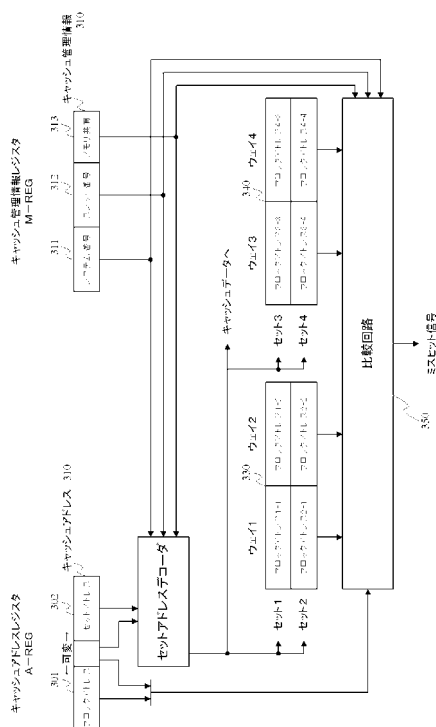
(54) 【発明の名称】 セットアソシアティブキャッシュシステム及びキャッシュメモリの制御方法

(57) 【要約】

【課題】 セット数やウェイ数を変更しても、同一キャッシュアドレスに対応するキャッシュブロックの位置・範囲が変わらないセットアソシアティブキャッシュを提供する。

【解決手段】 キャッシュシステムは、 $i(2)$ 組の $m(2)$ ウェイ $n(2)$ セットのキャッシュレイ330、340と、キャッシュアドレス300とキャッシュ管理情報310とに基づいて、 $i(2)$ 組のキャッシュレイ330、340の全部又は1つを選択し、キャッシュアドレスに従って、選択したキャッシュメモリのうちの第 j のセットを選択するセットアドレスデコーダ320と、キャッシュ管理情報310に基づいてウェイを選択し、選択されたセットの選択したウェイのキャッシュブロックのブロックアドレスとキャッシュブロックのブロックアドレスとを比較し、キャッシュヒットとミスとの別を判定すると共に置き換えブロックを選択する比較回路350と、より構成される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

i 組の m ウェイ n セットのキャッシュメモリと、
キャッシュアドレスとキャッシュ管理情報に基づいて、前記 i 組のキャッシュメモリの全部又は 1 つを選択し、キャッシュアドレスに従って、選択したキャッシュメモリのうちの第 j のセットを選択するセット選択手段と、
キャッシュ管理情報に基づいてウェイを選択するウェイ選択手段と、
前記セット選択手段により選択されたセットの前記ウェイ選択手段で選択したウェイのキャッシュブロックのブロックアドレスとキャッシュブロックのブロックアドレスとを比較し、キャッシュヒットとミスとの別を判定する判定手段と、
前記判定手段の判定結果に基づいて、置き換えブロックを選択する置き換え選択手段と、
を具備することを特徴とするセットアソシアティブキャッシュシステム。

10

【請求項 2】

前記キャッシュアドレスは、ブロックアドレスとセットアドレスとを含み、
前記キャッシュ管理情報は、処理単位に関する情報を含む、
ことを特徴とする請求項 1 に記載のセットアソシアティブキャッシュシステム。

【請求項 3】

前記処理単位に関する情報は、システムの状態を示す情報、プロセスの状態を示す情報、スレッドの状態を示す情報、メモリの共有の情報を含む、
ことを特徴とする請求項 2 に記載のセットアソシアティブキャッシュシステム。

20

【請求項 4】

前記ウェイ選択手段は、前記キャッシュ管理情報と共にキャッシュブロックの LRU 情報に基づいて、ウェイを選択し、
前記置き換え選択手段は、前記キャッシュ管理情報と共にキャッシュブロックの LRU 情報に基づいて、置き換えブロックを選択する、
ことを特徴とする請求項 1、2 又は 3 のいずれか 1 項に記載のセットアソシアティブキャッシュシステム。

【請求項 5】

前記ウェイ選択手段は、前記キャッシュ管理情報と共にキャッシュブロックの LRU 情報とさらに各ウェイへの処理の割り当ての情報に基づいて、ウェイを選択し、
前記置き換え選択手段は、前記キャッシュ管理情報と共にキャッシュブロックの LRU 情報とさらに各ウェイへの処理の割り当ての情報に基づいて、置き換えブロックを選択する、
ことを特徴とする請求項 1、2 又は 3 のいずれか 1 項に記載のセットアソシアティブキャッシュシステム。

30

【請求項 6】

i · n セット、m ウェイセットアソシアティブキャッシュと、n セット、i · m ウェイセットアソシアティブキャッシュと、として機能することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のセットアソシアティブキャッシュシステム。

40

【請求項 7】

セット数とウェイ数とを変更しても、同一のキャッシュアドレスに対応するキャッシュブロックの位置が変化しない、ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のセットアソシアティブキャッシュシステム。

【請求項 8】

セット数とウェイ数とを変更しても、利用可能なキャッシュ容量が変化しない、ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のセットアソシアティブキャッシュシステム。

【請求項 9】

i 組の m ウェイ n セットのキャッシュメモリについて、

50

キャッシュアドレスとキャッシュ管理情報に基づいて、前記 i 組のキャッシュメモリの全部又は 1 つを選択し、キャッシュアドレスに従って、選択したキャッシュメモリのうちの第 j のセットを選択し、

キャッシュ管理情報に基づいてウェイを選択し、

選択したセットの選択したウェイのキャッシュブロックのブロックアドレスと、キャッシュアドレス中の要求ブロックアドレスとを比較し、キャッシュヒットとミスとを判定し、

判定結果に基づいて、置き換えブロックを選択する、

ことを特徴とするセットアソシアティブキャッシュメモリの制御方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、キャッシュブロック数を一定数に維持したままセット数とウェイ数とを変更することができるセットアソシアティブキャッシュシステム及びキャッシュメモリの制御方法に関する。

【背景技術】

【0002】

現在、システムの複雑化、半導体技術の向上により、マルチタスクOS、マルチプロセッサ、マルチスレッドプロセッサ、オンチップマルチプロセッサ等の技術が構築可能になっている。さらに最近の傾向として、複数のシステムの小型化、資源の共有化の思想が尊重され、様々な発明が提案されている。そのような環境下でキャッシュの共有化の発明も盛んに提案されている。キャッシュの共有化で課題となることは、処理の複雑化に対応して、如何に性能が良いキャッシュシステムを構築するかにある。

20

【0003】

キャッシュの性能を高めるため、システム単位の処理、プロセッサ単位の処理、スレッド単位の処理にキャッシュ領域を分割したキャッシュが提案されている。しかし、これらの分割手法は、以下の課題がある。

【0004】

キャッシュセットで分割するタイプ

・ 領域を分割した場合、キャッシュブロックをそのまま利用できないのでキャッシュミスが発生する（課題1）。

30

キャッシュウェイで分割するタイプ

・ ウェイ数が不足して処理単位内での競合ミスが発生することがある（課題2）。
・ 処理単位数を増減して領域を変更する場合、処理単位間の競合ミスが発生する（課題3）。

キャッシュブロック単位で分割するタイプ

・ 処理単位数の増減に関わらず、処理単位間の競合ミスが発生する（課題4）。

【0005】

さらに改良型のキャッシュシステムとして、ウェイ数を指定可能とし、さらに、ウェイ数に応じたヒットチェックを行うように構成することにより、プログラム単位でのキャッシュミスを減らす技術が特許文献1に開示されている。

40

また、ウェイ数の指定を可能とし、タスク間のキャッシュミスを減らす技術が特許文献2に開示されている。

【0006】

特許文献1と2とに開示されたキャッシュシステムは、シングルプロセッサのための技術であり、マルチタスクOS、マルチプロセッサ、マルチスレッドのための技術ではない。従って、これらの技術では、マルチタスクOS、マルチプロセッサ、マルチスレッド下ではキャッシュミスを減らすことができない。

また、特許文献1と2とに開示されたウェイ選択・比較方法は、キャッシュ要求時のウェイの最大値を指定する手法であり、最大構成より少ないウェイ数の構成にした時に使用

50

されないキャッシュ容量が発生し、キャッシュの使用効率が低い。

【特許文献1】特開平5 - 20193号公報

【特許文献2】特開平9 - 62582号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

この発明は上記実情に鑑みてなされたものであり、セット数やウェイ数を変更しても、同一キャッシュアドレスに対応するキャッシュブロックの位置・範囲が変わらないセットアソシアティブキャッシュシステムなどを提供することを目的とする。

また、この発明は、セット数やウェイ数を変更しても、利用可能なキャッシュ容量が減少しないセットアソシアティブキャッシュシステムなどを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の第1の観点に係るセットアソシアティブキャッシュシステムは、

i組のmウェイnセットのキャッシュメモリと、

キャッシュアドレスとキャッシュ管理情報に基づいて、前記i組のキャッシュメモリの全部又は1つを選択し、キャッシュアドレスに従って、選択したキャッシュメモリのうちの第jのセットを選択するセット選択手段と、

キャッシュ管理情報に基づいてウェイを選択するウェイ選択手段と、

前記セット選択手段により選択されたセットの前記ウェイ選択手段で選択したウェイのキャッシュブロックのブロックアドレスとキャッシュブロックのブロックアドレスとを比較し、キャッシュヒットとミスとの別を判定する判定手段と、

前記判定手段の判定結果に基づいて、置き換えブロックを選択する置き換え選択手段と

を具備することを特徴とする。

【0009】

例えば、前記キャッシュアドレスは、ブロックアドレスとセットアドレスとを含み、前記キャッシュ管理情報は、処理単位に関する情報を含む。前記処理単位に関する情報とは、例えば、システムの状態（論理的なシステムの数、キャッシュを要求したシステムの番号）を示す情報、プロセスの状態（論理的なプロセスの数、キャッシュを要求したプロセスの番号）を示す情報、スレッドの状態（論理的なスレッド数、キャッシュを要求したスレッドの番号）を示す情報、メモリの共有の状態を示す情報を含む。

【0010】

前記ウェイ選択手段は、例えば、前記キャッシュ管理情報と共にキャッシュブロックのLRU情報に基づいて、ウェイを選択し、前記置き換え選択手段は、前記キャッシュ管理情報と共にキャッシュブロックのLRU情報に基づいて、置き換えブロックを選択する。

【0011】

また、前記ウェイ選択手段は、前記キャッシュ管理情報と共にキャッシュブロックのLRU情報とさらに各ウェイへの処理の割り当ての情報に基づいて、ウェイを選択し、前記置き換え選択手段は、前記キャッシュ管理情報と共にキャッシュブロックのLRU情報とさらに各ウェイへの処理の割り当ての情報に基づいて、置き換えブロックを選択する。

【0012】

上述の制御により、上記キャッシュシステムは、例えば、mウェイi・nセットのセットアソシアティブキャッシュと、i・mウェイnセットのセットアソシアティブキャッシュと、として機能する。

【0013】

この場合、セット数とウェイ数とを変更しても、同一のキャッシュアドレスに対応するキャッシュブロックの位置が変化しない。また、セット数とウェイ数とを変更しても、利用可能なキャッシュ容量が変化しない。

【0014】

上記目的を達成するため、本発明の第2の観点に係るキャッシュメモリの制御方法は、
i組のmウェイnセットのキャッシュメモリについて、
キャッシュアドレスとキャッシュ管理情報に基づいて、前記i組のキャッシュメモリの
全部又は1つを選択し、キャッシュアドレスに従って、選択したキャッシュメモリのうち
の第jのセットを選択し、

キャッシュ管理情報に基づいてウェイを選択し、

選択したセットの選択したウェイのキャッシュブロックのブロックアドレスと、キャ
ッシュアドレス中の要求ブロックアドレスとを比較し、キャッシュヒットとミスとを判定し

10

、
判定結果に基づいて、置き換えブロックを選択する、
ことを特徴とする。

【発明の効果】

【0015】

上記構成とすることにより、この発明によれば、セット数とウェイ数とを適宜変更して
キャッシュシステムを使用できる。

【発明を実施するための最良の形態】

【0016】

(実施形態1)

以下、この発明の実施の形態に係るキャッシュシステムを説明する。このキャッシュシ
ステムは、処理単位(システム、プロセス、スレッド)に応じてキャッシュ構成を変更で
きる可変mウェイnセットアソシアティブキャッシュである。

20

【0017】

図1に本実施の形態のキャッシュシステムの概要を示す。図1(a)に示すキャッシュ
システム101は4セット4ウェイアソシアティブキャッシュで、キャッシュブロックには
処理単位1のメモリブロックの写し書き込まれている。一方、図1(b)に示すキャ
ッシュシステム102はキャッシュシステム101の構成を変更した後の状態で2セット
8ウェイアソシアティブキャッシュである。キャッシュブロックには処理単位1と処理単
位2のメモリブロックの写し書き込まれていて、各セット内のブロックは処理単位1と
処理単位2とで2分割されている。

30

【0018】

但し、図1(a)と(b)とで、処理1のメモリブロックの写しのキャッシュブロック
上の位置は、符号1-1~1-8で示すように変化していない。

【0019】

このように、本実施の形態のキャッシュシステムは処理単位に応じて各セット内をプロ
ック単位で分割でき、ウェイ数とセット数とを変更できる。

【0020】

図2はプロセッサ構成を示している。プロセッサチップ200は、プロセッサコア21
0とプロセッサコア220とキャッシュコントローラ230と2-4セット4-2ウェイ
アソシアティブキャッシュ240で構成されている。

40

【0021】

プロセッサコア210はマルチスレッドアーキテクチャ機能を有し、実質的に同時に複
数(本実施の形態では2)スレッドを処理できる。ここでのスレッドとはハードウェアが
同時に処理できる命令列のことを意味する。

また、プロセッサチップ200は論理的にシステム数を複数(本実施の形態では2)に
分割できる。

【0022】

図3は、図2に示すプロセッサチップ200に組み込まれている2-4セット4-2ウ
ェイアソシアティブキャッシュ240の構成例を示す。

この2-4セット4-2ウェイアソシアティブキャッシュ240は、キャッシュコント

50

ローラ 230 からの指示により、2 セット 4 ウェイアソシアティブ構成と 4 セット 2 ウェイアソシアティブ構成とで切り替えることができるキャッシュである。

【0023】

図示するように、このキャッシュ 240 は、キャッシュアドレスレジスタ A - REG とキャッシュ管理情報レジスタ M - REG と、セットアドレスデコーダ 320 と、キャッシュアレイ 330 と、キャッシュアレイ 340 と、比較回路 350 と、から構成されている。

【0024】

キャッシュアドレスレジスタ A - REG は、キャッシュコントローラ 230 から供給されるキャッシュアドレス 300 を格納する。

10

【0025】

キャッシュアドレス 300 は、ブロックアドレス 301 とセットアドレス 302 とブロック内アドレスとからなる。ブロックアドレス 301 とセットアドレス 302 との幅はセット数（この例では、4 セットと 2 セットの別）に応じて変化する。

【0026】

ブロックアドレス 301 は、4 セットの場合には 1 ビット、2 セットの場合には 2 ビットであり、4 セットの場合には、「0」と「1」で、各セット内の第 1 ブロックと第 2 ブロックとを示す。一方、2 セットの場合には、「00」、「01」、「10」、「11」で、各セット内の第 1 ~ 第 4 ブロックを示す。

【0027】

セットアドレス 302 は、4 セットの場合には 2 ビット、2 セットの場合には 1 ビットであり、4 セットの場合には、「00」、「01」、「10」、「11」で、第 1 ~ 第 4 セットを示し、2 セットの場合には、「0」と「1」で、第 1 セットと第 2 セットとを示す。

20

【0028】

また、キャッシュ管理情報 310 は、ソフトウェア (SW)、ファームウェア (FW)、又はハードウェア (HW) により設定され、実施例では、システム番号 311 と、スレッド番号 312 と、メモリ共有情報 313 とから構成されている。

【0029】

システム番号 311 は、キャッシュ要求時点でのシステムの数（論理数）とキャッシュを要求したシステムの番号とを含む。スレッド番号 312 は、キャッシュ要求時点でのスレッドの数とキャッシュを要求したスレッドの番号を含む。メモリ共有情報 313 は、メモリを共有しているスレッドを特定する情報を提供する。

30

【0030】

例えば、図 2 に示すプロセッサコア 210 と 220 とにより、システムが論理的に 2 つに分割されており、2 つのうちの第 1 番のシステムがキャッシュを要求した場合には、システム番号 311 は、キャッシュ要求時点でのシステムの数（論理数）が 2 となり、キャッシュを要求したシステムの番号は「1」となる。

【0031】

さらに、図 2 に示すプロセッサコア 210 と 220 とにより、3 つのスレッドが並行して実行されており、第 2 番のスレッドがキャッシュを要求した場合には、スレッド番号 312 のスレッド数は 3、キャッシュを要求したスレッドの番号は「2」となる。

40

さらに、あるスレッドがメモリを共有している場合には、そのスレッドの番号がメモリ共有情報 313 に設定される。

【0032】

セットアドレスデコーダ 320 は、キャッシュアドレス 300 とキャッシュ管理情報 310 とを入力とし、対象セットを選択する。デコードのルールについては、後述する。

【0033】

キャッシュアレイ 330、340 は、それぞれ、4 つのキャッシュブロックから構成されている。各キャッシュブロックは、セット 1 ~ 4、ウェイ 1 ~ 4 のいずれかに割り当て

50

られている。

【0034】

セットアドレスデコーダ320によりセットが選択され、キャッシュアレイ330、340は、選択されたセットに書き込まれているブロックアドレスを比較回路350に出力する。キャッシュアレイ330、340には最大幅のブロックアドレスが常に書き込まれる。比較回路350はブロックアドレス301とキャッシュ管理情報310とを入力とし、キャッシュのミスヒット判定を行う。

【0035】

図4は比較回路350を詳細に示した図である。ウェイ選択回路410はキャッシュ管理情報310とLRUビット400とから、各処理単位が利用できるウェイ領域を選択する。LRUビット400の拡張ビットにはキャッシュ要求時点でのウェイ分割状態が保存されており、ウェイ選択回路410はLRUビット400の拡張ビットに格納されているウェイ分割状態に従って、キャッシュ要求時点でのセット数とウェイ数の状態を判別する。比較部420と比較部430はキャッシュアドレス300のブロックアドレス301とキャッシュアレイ330、340のブロックアドレスとウェイ選択回路410のウェイ領域とを比較してヒット判定回路440によってミス/ヒット判定を行う。置き換え選択回路450は、キャッシュミス時に置き換えるキャッシュブロックを選択する。実施例では、システム数が1の時は、4セット2ウェイアソシアティブキャッシュ構成で、システム数が2の時は2セット4ウェイアソシアティブキャッシュ構成とし、スレッド数に応じてウェイを分割するものとする。

10

20

【0036】

(動作の説明)

2-4セット4-2ウェイアソシアティブキャッシュの動作の説明をする。図5はキャッシュ要求でセットアドレス302とキャッシュ管理情報310とからセットとウェイとの領域を決定するセットアドレスデコーダ320とウェイ選択回路410の動作結果とを表している。アクセス1から2は、4セット2ウェイアソシアティブキャッシュ構成で、アクセス3から6は、2セット4ウェイアソシアティブキャッシュ構成となる。

【0037】

アクセス1の場合、セットアドレスデコーダ320はシステム番号311のシステム数が1の時、セットアドレス302の2ビット“11”からセット4を選択する。一方、ウェイ選択回路410はスレッド番号312のスレッド番号が1の時、LRUビット400の拡張ビットからセット4のウェイ3を選択する。LRUビット400のLRUビットは更新され、拡張ビットの更新は、スレッド数が増減した時に行われるので更新されない。

30

【0038】

アクセス2の場合、セット4、ウェイ4が選択される。LRUビット400のLRUビットは更新され、拡張ビットは更新されない。

【0039】

アクセス3の場合、セットアドレスデコーダ320はシステム番号311のシステム数が2の時、セットアドレス302の1ビット“1”からセット2とセット4を選択する(ウェイ数が2から4となる)。一方、ウェイ選択回路410はスレッド数が2から3となるので、LRUビット400のLRUビットが示している内容からウェイ2を選択し、LRUビットと拡張ビットの更新を行う。

40

【0040】

アクセス4の場合、セット2、4とウェイ3とが選択される。LRUビットの更新を行い、拡張ビットの更新は行わない。

【0041】

アクセス5の場合、セット2、4が選択される。ウェイ選択回路410はスレッド数が3から4となるので、LRUビット400の拡張ビットに格納されている内容からセット1とセット3とを選び、LRUビットからウェイ1を選択し、LRUビットと拡張ビットとの更新を行う。

50

アクセス5の場合、スレッド3とスレッド4とがメモリ共有されている。そのことを示す情報がメモリ共有情報310にセットされている。メモリ共有情報310は、ヒット判定回路440に入力され、結局、ウェイ1とウェイ2とがヒット判定対象キャッシュブロックとなる。

【0042】

アクセス6の場合、セット2、4とウェイ4とが選択される。LRUビットの更新を行い、拡張ビットの更新は行わない。

【0043】

上記の説明のようにキャッシュシステムを構成して駆動することにより、以下の効果が得られる。

10

ウェイ数を増やせるので、処理単位内及び処理単位間での競合ミスを防ぐ(効果1)。

セット数とウェイ数を変更してもキャッシュアドレスが指すキャッシュブロックの位置が変わらないのでキャッシュ区分領域変更でのキャッシュミスを低減できる(効果2)。

各ウェイの領域を変更する時にLRUビットを参照することによって区分領域を決定するので処理単位間での競合ミスを低減することができる(効果3)。

【0044】

なお、この発明は上記実施の形態に限定されず、種々の変形及び応用が可能である。

例えば、図1の構成では、4ブロック(2セット×2ウェイ)のキャッシュアレイを2セット(330と340)用意し、セットの選択とウェイの選択とを制御することにより、4セット×2ウェイ(セット1、セット2、セット3、セット4、各セット1と2とについてはウェイ1とウェイ2、セット3と4とについては、ウェイ3と4)と、2セット×4ウェイ(セット1とセット3とからなる第1のセット、セット2とセット4とからなる第2のセット;第1のセットと第2のセットはそれぞれウェイ1~ウェイ4)とを切り替えたが、構成は任意である。

20

【0045】

m (2の乗数)ウェイ・ n (2の乗数)セットのキャッシュメモリ(図1のキャッシュアレイ330、340に相当するものを i (2の乗数)個用意し、セットアドレスデコーダが、キャッシュアドレスとキャッシュ管理情報とに基づいて、 i 組のキャッシュメモリの全部又は1つを選択し、選択したキャッシュメモリのうちの第 j のセットを選択し、ウェイ選択回路が、キャッシュ管理情報とLRUビットとに基づいてウェイを選択し、比較部は、 k 個配置されて対応するウェイ上の選択されたセットのキャッシュブロックのブロックアドレスと要求ブロックアドレスとを比較してヒット判定を行い、置き換え選択回路がウェイ選択回路の出力とヒット・ミスヒットを示す情報とに基づいて置き換えブロックを選択する。

30

【0046】

このような構成により、例えば、 m ウェイ i ・ n セットのセットアソシアティブキャッシュ、と、 i ・ m ウェイ n セットのセットアソシアティブキャッシュ、との可変セットアソシアティブキャッシュシステムを得ることができる。

【0047】

この場合、セット数とウェイ数とを変更しても、同一のキャッシュアドレスに対応するキャッシュブロックの位置が変化しない。また、セット数とウェイ数とを変更しても、利用可能なキャッシュ容量が変化しない。

40

【図面の簡単な説明】

【0048】

【図1】この発明の実際の形態に係るキャッシュシステムのセットとウェイとを変更する変更態様を概念的に示す図である。

【図2】プロセッサの構成例を示す図である。

【図3】キャッシュシステム全体の構成図である。

【図4】図3に示す比較回路の構成例を示すブロック図である。

【図5】セットアドレスデコーダとウェイ選択回路の実際の動作例を示す図である。

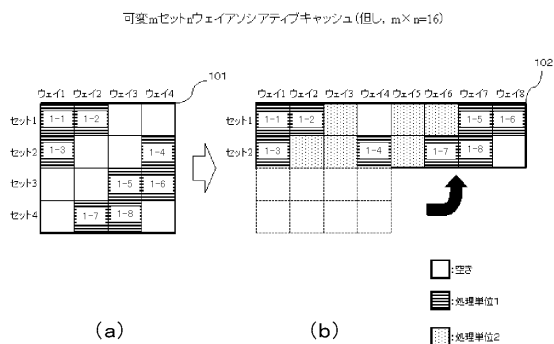
50

【符号の説明】

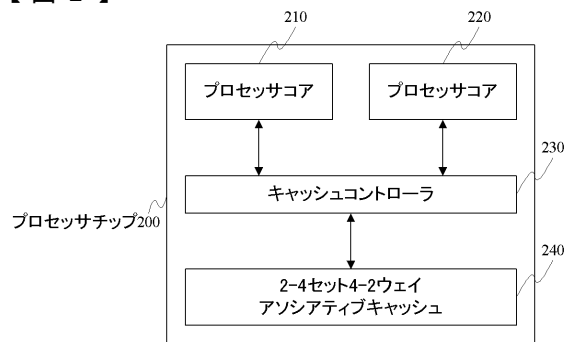
【0049】

101・・・キャッシュシステム、102・・・キャッシュシステム、200・・・プロセッサチップ、210・・・プロセッサコア、220・・・プロセッサコア、230・・・キャッシュコントローラ、240・・・キャッシュ、300・・・キャッシュアドレス、310・・・キャッシュ管理情報、320・・・セットアドレスデコーダ、330・・・キャッシュアレイ、340・・・キャッシュアレイ、350・・・比較回路、400・・・LRUビット、410・・・ウェイ選択回路、420・・・比較部、430・・・比較部、440・・・ヒット判定回路、450・・・置き換え選択回路

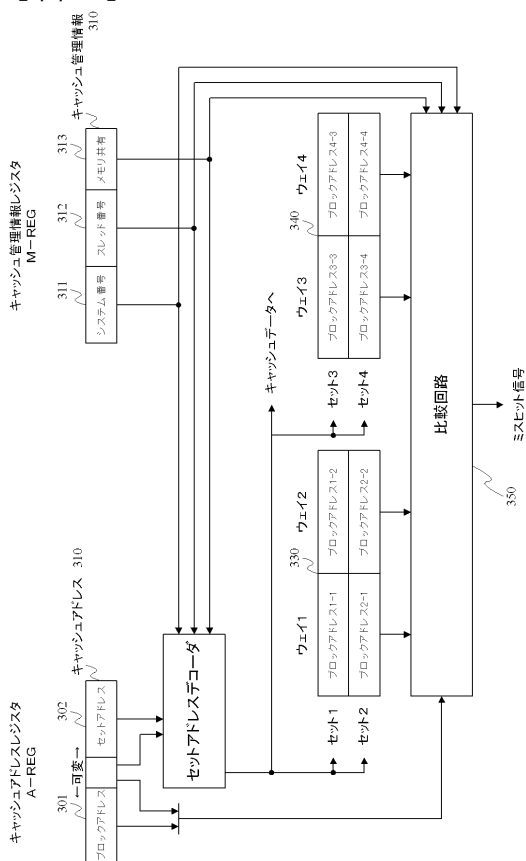
【図1】



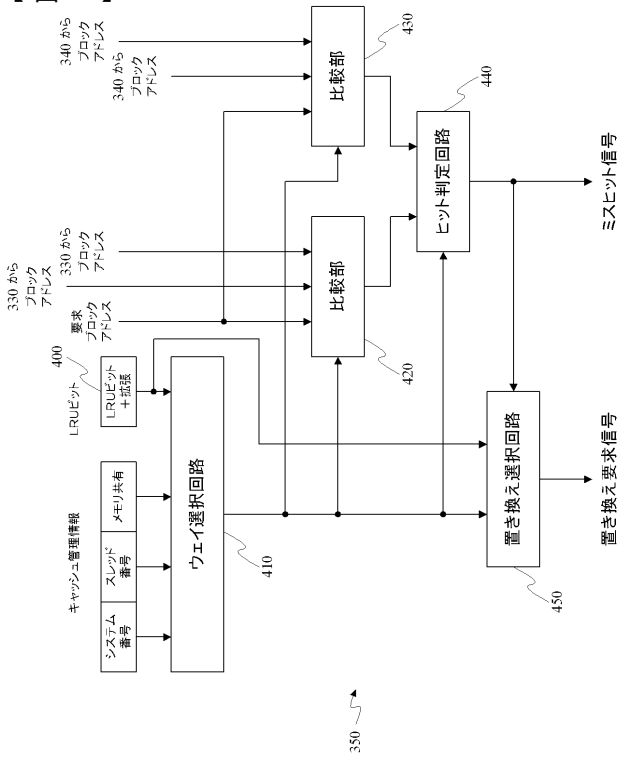
【図2】



【図3】



【 図 4 】



【 図 5 】

アクセス 履歴	入力				動作結果		セット、4:LRUビット 更新後			
	キャッシュアドレス		キャッシュ管理情報		ヒットアドレス グループ		ウェイト選択回路			
	プロセッサ アドレス	セット アドレス	シナタム番号 数	スレッド 番号	ヒット数	ウェイト失 率	対象セット	対象ウェイト	LRUビット	選択ビット
1	1	11	1	1	2	なし	セット4	ウェイト0	3→1→2→4	ウェイト:スレッド1 ウェイト:スレッド2 ウェイト:スレッド3 ウェイト:スレッド4
2	1	11	1	1	2	なし	セット4	ウェイト0	4→3→1→2	ウェイト:スレッド1 ウェイト:スレッド2 ウェイト:スレッド3 ウェイト:スレッド4
3	1	11	2	1	3	なし	セット2, 4	ウェイト0	2→4→3→1	ウェイト:スレッド1 ウェイト:スレッド2 ウェイト:スレッド3 ウェイト:スレッド4
4	11	1	2	1	3	なし	セット2, 4	ウェイト0	3→1→4→2	ウェイト:スレッド1 ウェイト:スレッド2 ウェイト:スレッド3 ウェイト:スレッド4
5	11	1	2	2	4	スレッド0	セット2, 4	ウェイト1	1→2→4→2	ウェイト:スレッド1 ウェイト:スレッド2 ウェイト:スレッド3 ウェイト:スレッド4
6	11	1	2	1	4	なし	セット2, 4	ウェイト4	4→2→3→1	ウェイト:スレッド1 ウェイト:スレッド2 ウェイト:スレッド3 ウェイト:スレッド4

セットアドレスデコードとウェイト選択回路の動作