



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0120449
(43) 공개일자 2007년12월24일

(51) Int. Cl.

H01L 21/28 (2006.01) H01L 21/283 (2006.01)

(21) 출원번호 10-2007-0059583

(22) 출원일자 2007년06월18일

심사청구일자 없음

(30) 우선권주장

JP-P-2006-00168360 2006년06월19일 일본(JP)

JP-P-2007-00032106 2007년02월13일 일본(JP)

(71) 출원인

신코오렌기 고교 가부시키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

무라마츠 시게츠구

일본국 나가노켄 나가노시 오시마다마치 80 신코
오렌기 고교가부시키가이샤 내

고바야시 츠요시

일본국 나가노켄 나가노시 오시마다마치 80 신코
오렌기 고교가부시키가이샤 내

구리하라 다카시

일본국 나가노켄 나가노시 오시마다마치 80 신코
오렌기 고교가부시키가이샤 내

(74) 대리인

문기상, 문두현

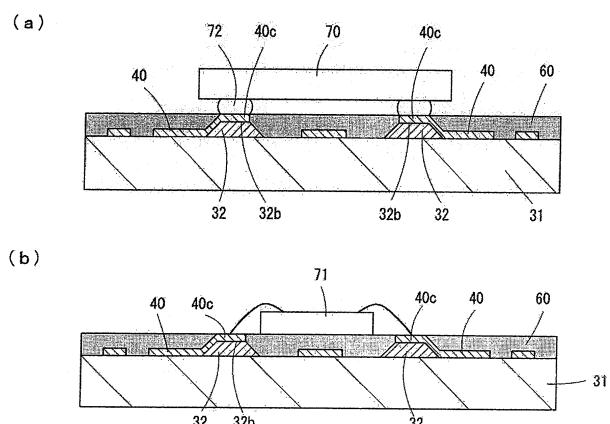
전체 청구항 수 : 총 11 항

(54) 배선 기판, 그 제조 방법 및 반도체 장치

(57) 요 약

반도체 소자를 배선 기판에 탑재시킨 반도체 장치로서, 기판의 표면에 배선 패턴과 돌기부가, 상기 돌기부의 상단 위로 상기 배선 패턴이 연장하도록 형성되고, 상기 배선 패턴이 형성된 기판의 표면을 절연층으로 덮고, 상기 절연층의 표면에 노출된 접속부의 표면이 상기 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치가 되도록, 상기 돌기부의 상단에 형성된 배선 패턴의 접속부 표면을 형성하고, 상기 접속부를 반도체 소자의 접속전극과 위치가 맞추어지도록 형성된 접속용 패드로서 형성하고, 플립 칩 본딩으로 상기 접속부에 전기적으로 접속시키는 것에 의해 반도체 소자를 탑재시킨 반도체 장치에 관한 것이다.

대표도 - 도8



특허청구의 범위

청구항 1

기판과,

상기 기판의 표면에 형성된 돌기부와,

상기 돌기부의 상단으로 배선을 연장하여 상기 기판의 표면에 형성된 배선 패턴, 및

상기 배선 패턴이 형성된 상기 기판의 표면을 덮는 절연층을 포함하고,

상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면은 상기 절연층의 표면에 노출되고, 상기 접속부의 표면은 상기 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치인 것을 특징으로 하는 배선 기판.

청구항 2

하지층으로 사용되는 제 1 절연층, 상기 하지층의 표면에 형성된 돌기부, 및 배선을 상기 돌기부의 상단으로 연장하여 상기 하지층의 표면에 형성된 배선 패턴을 갖는 하부층과,

상기 하부층의 배선 패턴과 전기적으로 접속하는 배선 패턴을 갖는 상부층, 및

상기 배선 패턴이 형성된 상기 하부층의 표면을 덮고, 상기 하부층의 배선 패턴과 상기 상부층의 배선 패턴을 서로 적층시키는 제 2 절연층을 포함하고,

상기 돌기부의 상단에 배치된 상기 하부층의 배선 패턴의 접속부 표면은 상기 제 2 절연층의 표면에 노출되고, 상기 접속부 표면은 상기 제 2 절연층의 표면과 같은 높이이거나 상기 제 2 절연층의 표면보다 낮은 위치이며,

상기 상부층의 배선 패턴은 상기 하부층의 배선 패턴의 상기 노출된 접속부에 전기적으로 접속되는 것을 특징으로 하는 배선 기판.

청구항 3

제 2 항에 있어서,

상기 하부층의 배선 패턴과 상기 상부층의 배선 패턴은 복수 배선 패턴끼리를 서로 접속하는 구성 또는 단일 배선 패턴을 상기 돌기부의 상단의 복수 배선 패턴에 접속하는 구성으로 배치되는 것을 특징으로 하는 배선 기판.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 돌기부의 상단은 평탄면으로 형성되는 것을 특징으로 하는 배선 기판.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 돌기부의 측면은 경사면으로 형성되고, 상기 배선 패턴은 상기 경사면을 통과해서 상기 접속부로 연장되는 것을 특징으로 하는 배선 기판.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 절연층의 표면과 상기 접속부의 표면 사이의 단차 높이가 $5\mu\text{m}$ 이하인 것을 특징으로 하는 배선 기판.

청구항 7

기판의 표면에 돌기부를 형성하는 공정과,

상기 돌기부가 형성된 기판의 표면에, 상기 돌기부의 상단까지 배선을 연장시켜서 배선 패턴을 형성하는 공정과,

상기 배선 패턴이 형성된 상기 기판의 표면을 절연층으로 덮는 공정, 및

상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면을 상기 절연층의 표면에, 상기 접속부의 표면이 상기 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치가 되도록, 노출하는 공정을 포함하는 것을 특징으로 하는 배선 기판의 제조방법.

청구항 8

배선 패턴을 구비한 하부층 및 상기 하부층의 배선 패턴과 전기적으로 접속하는 배선 패턴을 구비한 상부층을 포함하는 배선 기판의 제조방법으로서,

상기 하부층의 하지층으로 사용되는 제 1 절연층의 표면에 돌기부를 형성하는 공정과,

상기 돌기부의 상단까지 배선을 연장해서, 상기 돌기부가 형성된 상기 제 1 절연층의 표면에 상기 하부층의 배선 패턴을 형성하는 공정과,

상기 하부층의 배선 패턴이 형성된 상기 제 1 절연층의 표면을 제 2 절연층으로 덮는 공정과,

상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면을 상기 제 2 절연층의 표면에, 상기 접속부의 표면이 상기 제 2 절연층의 표면과 같은 높이이거나 상기 제 2 절연층의 표면보다 낮은 위치가 되도록, 노출하는 공정, 및

상기 상부층의 배선 패턴을 상기 하부층의 배선 패턴의 접속부에 전기적으로 접속시켜서 상기 제 2 절연층에 상기 상부층의 배선 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 배선 기판의 제조방법.

청구항 9

배선 기판과, 상기 배선 기판에 탑재된 반도체 소자 또는 반도체 디바이스를 포함하는 반도체 장치로서,

상기 배선 기판은 기판과, 상기 기판의 표면에 형성된 돌기부와, 상기 돌기부의 상단까지 배선을 연장하여 상기 기판의 표면에 형성된 배선 패턴, 및 상기 배선 패턴이 형성된 상기 기판의 표면을 덮는 절연층을 포함하고,

상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면은 상기 절연층의 표면에 노출되고, 상기 접속부의 표면은 상기 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치이며,

상기 반도체 소자 또는 반도체 디바이스는 상기 배선 기판의 상기 배선 패턴의 접속부에 전기적으로 접속하는 것을 특징으로 하는 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 접속부는 상기 반도체 소자 또는 반도체 디바이스의 접속전극과 위치가 맞추어지도록 형성된 접속용 패드로 형성되고,

상기 반도체 소자 또는 상기 반도체 디바이스는 접속단자에 의해 상기 접속부와 전기적으로 접속해서 탑재되는 것을 특징으로 하는 반도체 장치.

청구항 11

제 9 항에 있어서,

상기 접속부는 와이어 본딩에 의해 상기 반도체 소자에 접속되는 본딩 패드로 형성되고,

상기 반도체 소자 또는 반도체 디바이스의 접속전극은 본딩 와이어에 의해 상기 접속부에 접속해서 탑재되는 것을 특징으로 하는 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 배선 기판, 그 제조 방법 및 반도체 장치에 관한 것이다. 더욱 상세하게는, 본 발명은 배선층간의 전기적인 접속구조를 특징으로 하는 배선 기판과 그 제조 방법과 이 배선 기판을 사용한 반도체 장치에 관한 것이다.
- <21> 절연층을 통하여 배선층을 적층 및 형성하는 다층 배선기판에서는, 배선층간의 배선 패턴을 전기적으로 접속하는 방법으로서, 절연층에 비아홀을 형성하고, 비아홀을 도금해서 배선 패턴의 도통부분(비아)을 형성함으로써 접속하는 방법이 사용되고 있다.
- <22> 도 9의 (a) 내지 도 9의 (e)는 다층 배선기판의 제조 방법의 일례로서 빌드업(build-up)법에 의한 형성 공정을 나타낸다.
- <23> 도 9의 (a)는 배선 패턴(12)이 하지층(下地層)(10)의 표면에 형성된 후, 기판의 전체면을 덮도록 절연층(14)을 형성한 상태이다. 절연층(14)은, 예를 들면, 에폭시 수지 필름(epoxy resin film)을 적층해서 형성된다. 다음으로, 비아홀(14a)을 층간의 배선 패턴을 전기적으로 접속하는 부위에 맞춰서 절연층(14)에 형성하고, 무전해 동도금(electroless copper plating)을 각 기판에 수행해서 절연층(14)의 표면에 도금 시드층(16)을 형성한다(도 9의 (b)).
- <24> 다음으로, 절연층(14)의 표면에, 배선 패턴으로서 사용되는 부위가 노출되도록 레지스트 패턴(18)을 형성한다(도 9의 (c)). 다음으로, 도금 급전층으로서 도금 시드층(16)을 사용한 전해 동도금(electrolytic copper plating)을 수행하고, 도금 시드층(16)의 노출면에 동도금(20)을 배치한다(도 9의 (d)). 도 9의 (e)는 레지스트 패턴(18)을 제거한 후, 절연층(14)의 표면에 노출된 도금 시드층(16)의 부분을 제거하고, 배선 패턴(22)을 독립 패턴으로 형성한 상태를 나타낸다.
- <25> 비아홀(14a)이 충전된 동도금(20)은 하부층(lower layer)의 배선 패턴(12)과 상부층(upper layer)의 배선 패턴(22) 사이를 전기적으로 접속하는 비아(20a)가 된다. 하부층의 배선 패턴(12)은 비아(20a)를 통해 상부층의 배선 패턴(22)과 전기적으로 접속하는 상태가 된다.
- <26> [특허문헌 1] 일본국 공개특허공보 특개평 1-233075호

발명이 이루고자 하는 기술적 과제

- <27> 도 9의 (a) 내지 도 9의 (e)에 나타낸 배선 기판의 제조 방법은, 절연 수지를 적층하고 비아홀을 형성한 후, 세미 어디티브법(semi-additive method)에 의해 배선 패턴을 형성하는 방법을 나타낸다. 이러한 방법 외에, 배선 패턴의 제조 방법은 어디티브법(additive method)이나 서브트랙티브법(subtractive method)과 같은 방법을 포함한다.
- <28> 이들 제조 공정에서, 비아홀(14a)을 절연층(14)에 형성할 때에는 레이저 가공에 의해 비아홀(14a)을 형성하지만, 이러한 레이저 가공에 의한 비아홀(14a)의 공정 방법은 일부 문제점이 있다. 이러한 문제점은 레이저 장치의 가공이 고가이고, 최근의 배선 기판은 배선 패턴의 배치 밀도가 높기 때문에 절연층에 형성되는 비아홀의 수가 극도로 많은 이유에서 연유한다.
- <29> 또한, 절연층에 비아홀을 형성하고 비아에 의해 층간의 배선 패턴을 전기적으로 접속하는 방법의 경우에는, 배선 패턴이 고밀도로 배치되는 것을 저해하는 문제점이 있다. 비아를 통해 배선 패턴을 접속하는 경우에는, 비아와 배선 패턴 사이의 접속 부분에, 비아홀의 개구 직경보다 큰 직경을 갖는 접속 패드(connection pad)를 형성하는 것이 필요하며, 결과적으로 배선 밀도를 높이는 것을 제약한다.
- <30> 도 10의 (a)는 절연층(14)에 비아홀(14a)을 형성해서, 하층의 배선 패턴(12)을 상부층의 배선 패턴(22)에 비아(21)로 접속한 영역의 단면구성을 나타낸다. 도 10의 (b)는 상부층의 배선 패턴(22)에 형성된 비아홀(14a)과 패드(22a)의 평면배치를 나타내고, 도 10의 (c)는 하층의 배선 패턴(12)의 비아홀에서의 패드(12a)의 평면배치를 나타낸다. 패드(22a)를 비아홀(14a)의 직경보다 더 큰 직경으로 형성하는 이유는 비아홀 부위의 접속 신뢰성이 공정상의 격차를 고려하여 확보되기 때문이다.
- <31> 접속용 패드를 배선 패턴의 접속 부분에 형성하면, 라우트 와이어(routed wire)(22b)간의 배치 거리는, 배선 패턴의 라우트 와이어(22b)가 도 11의 (a),(b)에 나타낸 바와 같이 좁은 폭으로 형성되는 경우라도, 패드(22a)의 배치에 의해 제한된다. 도 11의 (a)는 패드(22a)를 일렬로 정렬시킨 경우이고, 도 11의 (b)는 패드(22a)를 스태

거(stagger) 상태로 배열한 예이다. 또한, 패드(22a)가 접약적으로 배치되지 않는 영역에서는, 라우트 와이어(22b)를 패드(22a)와 간접하지 않도록 우회시켜서 형성하기 때문에, 배선 패턴의 길이가 길어진다. 또한, 배선의 중도에 접속용 패드와 같은 폭이 넓은 부분이 있을 경우에는 배선의 전기적 특성이 열화하는 문제점이 있다.

<32> 또한, 최근의 반도체 장치에서는, 플립 칩 본딩(flip chip bonding)에 의해 반도체 소자를 탑재한 제품이 많이 사용되고 있다. 이들 제품에서는, 반도체 소자와 배선 기판 사이에 플립 칩 본딩을 행한 후에, 반도체 소자와 배선 기판 사이의 간극에 언더필 수지(underfill resin)를 충전하는 작업이 수행된다. 그러나, 반도체 소자의 접속 패드가 많아질수록 반도체 소자와 배선 기판 사이의 간극 거리가 좁아지고, 따라서 반도체 소자와 배선 기판 사이의 간극에 언더필 수지를 충전하는 작업을 수행하는 것이 곤란해진다.

<33> 종래 배선 기판의 반도체소자 탑재면은 기판의 표면에 배선 패턴을 형성한 후에, 솔더 레지스트(solder resist)와 같은 보호막으로 기판의 표면을 덮고, 배선 기판에 탑재된 반도체 소자의 단자(범프)의 평면배치에 맞춰서 배선 패턴의 패드부를 노출시켜서 형성한다. 이에 의해, 배선 기판의 반도체소자 탑재면에 형성된 패드부는 솔더 레지스트와 같은 보호막의 표면보다 더 낮게 형성되어, 배선 기판의 반도체소자 탑재면에는 요철이 형성된다. 이러한 결과, 반도체 소자와 배선 기판 사이에 플립 칩 본딩을 행한 후에 언더필을 행할 경우에는, 언더필 수지의 유동성이 방해되어서 정확한 언더필이 되지 않는 원인이 된다.

발명의 구성 및 작용

<34> 본 발명의 실시예들은 플립 칩 본딩으로 탑재된 반도체 소자의 언더필을 정확하게 수행할 수 있고, 또한 비아홀을 형성하는 방법을 사용하지 않고도 충간의 배선 기판을 전기적으로 접속함으로써 고밀도로 배선 패턴을 형성할 수 있는 배선 기판, 그 배선 기판의 제조 방법 및 이러한 배선 기판을 사용한 반도체 장치를 제공한다.

<35> 본 발명의 제 1 실시예에 따른 배선 기판은,

<36> 기판과,

<37> 상기 기판의 표면에 형성된 돌기부와,

<38> 상기 돌기부의 상단으로 배선을 연장하여 상기 기판의 표면에 형성된 배선 패턴, 및

<39> 상기 배선 패턴이 형성된 상기 기판의 표면을 덮는 절연층을 포함하고,

<40> 상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면은 상기 절연층의 표면에 노출되고, 상기 접속부의 표면은 상기 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치인 것을 특징으로 한다.

<41> 본 발명의 제 2 실시예에 따른 배선 기판은,

<42> 하지층으로 사용되는 제 1 절연층, 상기 하지층의 표면에 형성된 돌기부, 및 배선을 상기 돌기부의 상단으로 연장하여 상기 하지층의 표면에 형성된 배선 패턴을 갖는 하부층과,

<43> 상기 하부층의 배선 패턴과 전기적으로 접속하는 배선 패턴을 갖는 상부층, 및

<44> 상기 배선 패턴이 형성된 상기 하부층의 표면을 덮고, 상기 하부층의 배선 패턴과 상기 상부층의 배선 패턴을 서로 적층시키는 제 2 절연층을 포함하고,

<45> 상기 돌기부의 상단에 배치된 상기 하부층의 배선 패턴의 접속부 표면은 상기 제 2 절연층의 표면에 노출되고, 상기 접속부의 표면은 상기 제 2 절연층의 표면과 같은 높이이거나 상기 제 2 절연층의 표면보다 낮은 위치이며,

<46> 상기 상부층의 배선 패턴은 상기 하부층의 배선 패턴의 상기 노출된 접속부에 전기적으로 접속되는 것을 특징으로 한다.

<47> 본 발명의 제 3 실시예에 따른 배선 기판은, 상술한 제 2 실시예에 따른 배선 기판에서, 상기 하부층의 배선 패턴과 상기 상부층의 배선 패턴은 복수 배선 패턴끼리를 서로 접속하는 구성 또는 단일 배선 패턴을 상기 돌기부 상단의 복수 배선 패턴에 접속하는 구성으로 배치한 것이다.

<48> 따라서, 충간 배선 패턴의 접속 형태 자유도를 향상시킬 수 있고, 배선 패턴의 설계를 쉽게 할 수 있다.

<49> 본 발명의 제 4 실시예에 따른 배선 기판은, 상술한 제 1 실시예 내지 제 3 실시예에 따른 배선 기판에서, 상기 돌기부의 상단을 평탄면으로 형성한 것이다.

- <50> 따라서, 하부층의 배선 패턴은 상부층의 배선 패턴에 용이하게 접속될 수 있다.
- <51> 본 발명의 제 5 실시예에 따른 배선 기판은, 상술한 제 1 실시예 내지 제 4 실시예에 따른 배선 기판에서, 돌기부의 측면을 경사면으로 형성하고, 배선 패턴은 경사면을 통과해서 접속부로 연장하는 것이다.
- <52> 따라서, 배선 패턴과 접속부 사이의 전기적 접속성은 확실하게 확보될 수 있다.
- <53> 본 발명의 제 6 실시예에 따른 배선 기판은, 상술한 제 1 실시예 내지 제 5 실시예에 따른 배선 기판에서, 상기 절연층의 표면과 상기 접속부의 표면 사이의 단차 높이를 $5\mu\text{m}$ 이하로 한 것이다.
- <54> 본 발명의 제 7 실시예에 따른 배선 기판의 제조 방법은,
- <55> 기판의 표면에 돌기부를 형성하는 공정과,
- <56> 상기 돌기부가 형성된 기판의 표면에, 상기 돌기부의 상단까지 배선을 연장시켜서 배선 패턴을 형성하는 공정과,
- <57> 상기 배선 패턴이 형성된 상기 기판의 표면을 절연층으로 덮는 공정, 및
- <58> 상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면을 상기 절연층의 표면에, 상기 접속부의 표면이 상기 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치가 되도록, 노출하는 공정을 포함하는 것을 특징으로 한다.
- <59> 본 발명의 제 8 실시예에 따른, 배선 패턴을 구비한 하부층 및 상기 하부층의 배선 패턴과 전기적으로 접속하는 배선 패턴을 구비한 상부층을 포함하는 배선 기판의 제조 방법은,
- <60> 상기 하부층의 하지층으로 사용되는 제 1 절연층의 표면에 돌기부를 형성하는 공정과,
- <61> 상기 돌기부의 상단까지 배선을 연장해서, 상기 돌기부가 형성된 상기 제 1 절연층의 표면에 상기 하부층의 배선 패턴을 형성하는 공정과,
- <62> 상기 하부층의 배선 패턴이 형성된 상기 제 1 절연층의 표면을 제 2 절연층으로 덮는 공정과,
- <63> 상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면을 상기 제 2 절연층의 표면에, 상기 접속부의 표면이 상기 제 2 절연층의 표면과 같은 높이이거나 상기 제 2 절연층의 표면보다 낮은 위치가 되도록, 노출하는 공정, 및
- <64> 상기 상부층의 배선 패턴을 상기 하부층의 배선 패턴의 접속부에 전기적으로 접속시켜서 상기 제 2 절연층에 상기 상부층의 배선 패턴을 형성하는 공정을 포함하는 것을 특징으로 한다.
- <65> 본 발명의 제 9 실시예에 따른 반도체 장치는,
- <66> 배선 기판과, 상기 배선 기판에 탑재된 반도체 소자 또는 반도체 디바이스를 포함하되,
- <67> 상기 배선 기판은 기판과, 상기 기판의 표면에 형성된 돌기부와, 상기 돌기부의 상단까지 배선을 연장하여 상기 기판의 표면에 형성된 배선 패턴, 및 상기 배선 패턴이 형성된 상기 기판의 표면을 덮는 절연층을 포함하고,
- <68> 상기 돌기부의 상단에 배치된 상기 배선 패턴의 접속부의 표면은 상기 절연층의 표면에 노출되고, 상기 접속부의 표면은 상기 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치이며,
- <69> 상기 반도체 소자 또는 반도체 디바이스는 상기 배선 기판의 상기 배선 패턴의 접속부에 전기적으로 접속하는 것을 특징으로 한다.
- <70> 여기서, 상기 접속부는 반도체 디바이스 또는 반도체 소자의 접속전극과 위치가 맞추어지도록 형성된 패드로 형성될 수 있고, 반도체 소자 또는 반도체 디바이스는 접속단자에 의해 접속부로 전기적 접속함으로써 탑재될 수 있다.
- <71> 또한, 상기 접속부는 와이어 본딩(wire bonding)에 의해 반도체 소자에 접속하는 본딩 패드로 형성될 수 있고, 반도체 디바이스 또는 반도체 소자의 접속전극은 본딩 와이어(bonding wire)에 의해 접속부에 접속함으로써 탑재될 수 있다.
- <72> 이하, 본 발명의 바람직한 실시예들을 첨부된 도면을 참조하여 상세하게 설명하도록 한다.
- <73> (배선 기판의 제조 방법)

- <74> 도 1의 (a) 내지 도 3의 (f)는 본 발명에 따른 배선 기판의 제조 방법의 제조 공정 예로서 코어 기판(30)에 배선 패턴을 형성하는 공정과, 각 공정에서의 기판의 단면도를 나타낸다.
- <75> 도 1의 (a)는 배선 패턴을 형성하는 코어 기판(30)을 나타낸다. 코어 기판(30)으로서는, 예를 들면, 글래스 에폭시(glass epoxy)로 만들어진 수지 기판이 사용될 수 있다. 코어 기판(30)은 보통, 복수의 배선 기판을 포함하고, 스루홀(through hole)은 이 배선 기판들이 전기적으로 도통하도록 하기 위해 형성된다. 다만, 도면에서는 이러한 구성이 생략되어 있다.
- <76> 도 1의 (b)는 코어 기판(30)의 표면에 돌기부(32)를 형성한 상태를 나타낸다. 이 돌기부(32)는 배선 패턴이 층간에서 전기적으로 접속되는 평면배치 위치에 맞추어져, 코어 기판(30)의 표면에 형성된 배선 패턴의 두께보다 더 높게 형성된다.
- <77> 도 2의 (a)는 코어 기판(30)의 표면에 돌기부(32)를 형성한 상태의 평면도를 나타낸다(도 1의 (b)는 도 2의 A-A 선을 따라 취한 단면도이다). 본 실시예에서, 돌기부(32)는 평면 형상이 장방형(rectangle)이고, 측면(32a)이 경사면이며, 상단(32b)이 평탄면이 되도록 형성된다. 배선 패턴은 측면(32a)과 상단(32b) 위까지 배선을 연장시키도록 형성하기 때문에, 돌기부(32)의 폭은 배선 패턴의 폭 보다 약간 넓게 형성된다.
- <78> 본 실시예의 배선 기판의 제조 공정에서는, 코어 기판(30)의 표면에 돌기부를 형성하는 공정에 특징이 있다. 실제의 제조 공정에서는, 돌기부(32)(본 실시예에서는 사다리꼴 단면)가 큰 사이즈로 형성된 코어 기판(wor k)의 표면에 형성된다.
- <79> 돌기부(32)를 형성하는 방법으로서는, 페이스트형 수지(pasty resin)를 사용한 스크린 인쇄(screen printing) 등의 인쇄 방법에 의해 형성하는 방법, 박리 시트 위에 소정 배치로 형성한 수지를 코어 기판(30)에 전사해서 형성하는 방법, 잉크젯에 의해 코어 기판(30) 위에 수지를 스프레이(spraying)하여 형성하는 방법, 수지를 디스펜싱(dispensing)하여 형성하는 방법 등을 이용할 수 있다. 인쇄 방법이나 전사 방법에 의한 경우에는, 큰 사이즈의 워크에 돌기부(32)를 효율적으로 형성할 수 있어서 효과적이다.
- <80> 또한, 돌기부(32)는 임프린트법(imprint method)으로 코어 기판(30)의 표면에서 부풀어 오르도록해서 형성할 수 있다. 여기서 사용되는 임프린트 몰드(imprint mold)는 돌기부(32)를 형성하는 영역을 오목부에 형성하는 수단으로, 코어 기판(30)의 표면을 몰드 릴리스용 수지 박막으로 덮고, 임프린트 몰드를 코어 기판(30)의 표면에 가압하는 것에 의해, 코어 기판(30)의 표면을 소성변형시켜서 돌기부(32)를 형성할 수 있다.
- <81> 또한, 코어 기판(30)의 표면을 소정의 패턴이 형성된 드라이 필름 등의 수지 보호 필름으로 덮은 후에, 샌드 블라스트법(sand blast method)에 의해 돌기부(32)를 남기도록 하는 공정을 수행하는 방법이 이용될 수도 있다.
- <82> 또한, 코어 기판(30)의 표면을 감광성 수지 필름으로 덮은 후에, 소정 패턴으로 노광 및 현상해서 돌기부(32)를 남기도록 구성할 수 있다.
- <83> 한편, 코어 기판(30)의 표면에 돌기부(32)를 형성하는 이러한 방법들은, 단층 구조의 배선 기판에 한정되는 것은 아니며, 다층으로 배선 패턴을 형성하는 다층배선기판을 형성할 때의, 하지층으로 사용되는 절연층 위에 돌기부를 형성할 경우에도 동일하게 적용될 수 있다.
- <84> 배선 패턴의 두께는 약 $15\mu\text{m}$ 이고, 코어 기판(30)의 표면에 형성되는 돌기부(32)는 약 $20 \sim 30\mu\text{m}$ 의 높이로 형성될 수 있으므로, 인쇄법, 전사법, 임프린트법, 샌드 블라스트법, 포토 프로세스 등에 의해 간단하게 형성할 수 있다.
- <85> 도 1의 (c)는 코어 기판(30)의 표면에 돌기부(32)를 형성한 후, 워크의 표면에 도금 시드층(34)을 형성한 상태를 나타낸다. 도금 시드층은 스퍼터링법 또는 워크의 표면에 무전해 동도금(electroless copper plating)을 수행하는 방법으로 형성한다. 도금 시드층은 전해 도금(electrolytic plating)의 경우에 금전층으로 사용되는 층이며, 도금 금전을 위해 필요한 두께로 형성할 수 있다.
- <86> 다음으로, 도 1의 (d)는 코어 기판(30)의 표면에 형성된 배선 패턴의 패턴 형상에 따라서, 워크의 표면에 레지스트 패턴(36)을 형성한 상태를 나타낸다. 레지스트 패턴(36)은 워크의 표면에 레지스트 필름을 덮고, 노광 및 현상에 의해 도금 시드층(34) 위에 배선 패턴으로 사용되는 영역이 노출되도록 패턴형성된다.
- <87> 도 2의 (b)는 코어 기판(30)의 표면에 레지스트 패턴(36)을 형성한 상태의 평면도를 나타낸다. 워크의 표면 중에서 배선 패턴이 형성되는 영역은, 도금 시드층(34)이 바닥면에 노출하는 노출 개구(exposed opening)(36a)에 형성된다. 노출 개구(36a)는 코어 기판(30)의 표면으로부터 돌기부(32)의 측면(32a) 및 상단(32b)을 향해 연통

하도록 형성된다.

<88> 도 1의 (e)는 도금 시드층(34)을 도금 금전층으로 사용하는 전해 동도금이 워크에 수행되고, 동도금(38)이 노출 개구(36a) 내의 도금 시드층(34) 표면에 형성된 상태를 나타낸다.

<89> 전해 동도금이 수행된 후에는, 레지스트 패턴(36)을 제거하고(도 1의 (f)), 도금 시드층(34)의 워크 표면에 노출하고 있는 영역을 제거한다(도 1의 (g)). 도금 시드층(34)은 동도금(38)보다 훨씬 얇기 때문에, 레지스트 등에 의해 동도금(38)이 파착되어 있는 영역을 덮지 않고, 동(銅)의 예칭액을 사용해서 도금 시드층(34)의 노출된 부분을 선택적으로 제거할 수 있다. 도금 시드층(34)의 노출 영역을 제거함으로써, 배선 패턴(40)은 독립한 패턴으로서 코어 기판(30) 위에 남는다.

<90> 도 2의 (c)는 코어 기판(30) 위에 배선 패턴(40)을 형성한 상태의 평면도를 나타낸다. 배선 패턴(40)은, 코어 기판(30)의 표면에 파착된 영역(40a)과, 돌기부(32)의 측면에 파착된 도통부(40b)와, 돌기부(32)의 상단(32b)에 파착된 접속부(40c)로 구성된다. 즉, 배선 패턴(40)은 코어 기판(30)의 표면에 파착된 라우터드 부분(routed portion)으로부터 돌기부(32)의 상단(32b) 위까지 배선을 연장해서 형성되고, 배선 패턴(40)의 접속부(40c)는 코어 기판(30)의 표면으로부터 더 높은 위치에서 지지된다.

<91> 도 3의 (a) 내지 도 3의 (f)는 배선 패턴(40)이 형성된 코어 기판(30)의 표면을 절연층(60)으로 덮고, 절연층(60)의 표면에 제 2 층의 배선 패턴을 형성하는 공정을 나타낸다.

<92> 도 3의 (a)는 돌기부(32)의 상단에 파착된 접속부(40c)를 포함하는, 코어 기판(30)의 표면에 형성된 배선 패턴(40)이, 절연층(60)에 매몰되도록 형성한 상태를 나타낸다. 절연층(60)은 워크의 표면에 절연 필름을 적층하는 방법 또는 워크의 표면을 절연재(insulating material)로 코팅하는 방법으로 형성할 수 있다.

<93> 도 3의 (b)는 돌기부(32)의 상단(32b)에 파착된 배선 패턴(40)의 접속부(40c) 표면을 절연층(60)으로부터 노출시킨 상태를 나타낸다. 돌기부(32)의 상단(32b)에 파착된 접속부(40c)를 절연층(60)으로부터 노출시키는 방법으로서는, 워크에 드라이 에칭을 수행하는 방법, 워크의 표면을 폴리싱(polishing)하는 방법, 연마용 입자(abrasive grains)를 스프레이(spraying)하여 소정 영역을 제거하는 샌드 블라스트법(sand blast method) 등이 이용될 수 있다. 또한, 레이저 가공으로 돌기부(32)의 상단(32b)을 덮고 있는 절연 수지를 제거하는 것에 의해, 배선 패턴(40)의 접속부(40c)를 노출시킬 수 있다. 또한, 절연층(60)을 형성하는 절연 수지가 감광성의 수지재로 구성되는 경우에는, 노광 및 현상 작업에 의해, 돌기부(32)의 상단(32b)을 덮고 있는 절연 수지를 제거해서 접속부(40c)의 표면을 노출시킬 수 있다.

<94> 다음으로, 절연층(60)의 표면에, 제 2 층의 배선 패턴이 제 3 층의 배선 패턴에 전기적으로 접속하는 평면배치 위치에 맞춰서 돌기부(42)를 형성하고, 워크의 전체 표면에 도금 시드층(44)을 형성한다(도 3의 (c)). 돌기부(42)는 상술한 코어 기판(30) 위에 돌기부(32)를 형성하는 방법과 동일한 방법으로 형성할 수 있다.

<95> 다음으로, 절연층(60)의 표면에 형성된 배선 패턴의 배치에 따라, 레지스트 패턴(46)을 형성한다(도 3의 (d)). 도 3의 (e)는 도금 금전층으로서 도금 시드층(44)을 사용한 전해 동도금이 수행되고, 동도금(48)을 도금 시드층(44)의 노출면 위에 파착한 상태이다.

<96> 도 3의 (f)는 레지스트 패턴(46)을 제거하고, 도금 시드층(44)의 노출 부분을 예칭하고, 제 2 층의 배선 패턴(50)을 형성한 상태를 나타낸다.

<97> 돌기부(32) 위에 형성된 배선 패턴(40)의 접속부(40c)가 배선 패턴(50)과 접하므로, 제 1 층의 배선 패턴(40)은 제 2 층의 배선 패턴(50)에 전기적으로 접속되고, 제 1 층의 배선 패턴(40)과 제 2 배선 패턴(50)은 절연층(60)을 통해 적층되어서 형성된다.

<98> 도 4는 제 2 층의 배선 패턴(50)을 형성한 후, 절연층(62)을 워크의 표면에 파착 및 형성시킨 후에, 절연층(62)의 표면에 제 3 층의 배선 패턴(52)을 형성한 상태를 나타낸다. 돌기부(42)의 상단에 파착된 배선 패턴(50)의 접속부(50c) 표면은 절연층(62)의 표면에 노출되고, 제 3 층의 배선 패턴(52)은 접속부(50c)를 통해 제 2 층의 배선 패턴(50)에 전기적으로 접속된다.

<99> 도 4에 나타낸 배선 기판에서는, 코어 기판(30)의 표면과 절연층(60)의 표면에 돌기부(32, 42)를 형성하고, 돌기부(32, 42)의 상단까지 배선을 연장시키는 형태로 배선 패턴(40, 50)을 형성한 것에 의해, 접속부(40c)와 접속부(50c)에 의해 인접층의 배선 패턴(40, 50, 52)이 전기적으로 접속되어 있다.

<100> 돌기부(32, 42)를 코어 기판(30)의 표면으로부터 더 높게 형성하고, 절연층(60)과 하부층의 배선 패턴(40, 50)을,

돌기부(32,42)가 형성된 위치에서 상부층 배선 패턴(50,52)에 접속시킨 구성을, 도통부(40b,50b) 및 돌기부(32,42)에 형성된 접속부(40c,50c)가 층간에서 배선 패턴을 전기적으로 접속하는 비아로 기능하는 것을 나타낸다.

<101> 도 5의 (b)는, 도 5의 (a)의 배선 기판의 구성에서, 돌기부(32)의 제 2 층의 배선 패턴(51)과 제 1 층의 배선 패턴(40)의 평면배치를 나타낸다. 제 1 층의 배선 패턴(40)은, 배선 패턴이 돌기부(32)의 상단(32b) 상에서 오버랩(overlap)되는 배치로 제 2 층의 배선 패턴(51)에 전기적으로 접속한다. 배선 패턴(51)은 돌기부(32)의 상단(32b)에 노출되는 접속부(40c)와 위치가 맞춰지도록 패턴형성할 수 있다.

<102> 본 실시예의 제조 방법에서는, 하부층의 배선 패턴과 상부층의 배선 패턴의 패턴 폭을 이용하여, 배선 패턴들이 서로 중복 및 교차하도록 배치함으로써 전기적으로 접속할 수 있다.

<103> 도 6은 돌기부(32)를 통해 하부층의 배선 패턴(40)과 상부층의 배선 패턴(51) 사이를 접속시키는 접속 형태의 몇 가지 예를 나타낸다. 도 6의 (a)는 돌기부(32)의 상단으로부터 경사 방향으로 배선 패턴(51)을 늘이도록 형성한 예이다. 도 6의 (b)는 돌기부(32)의 상단을 가로지르도록 하부층의 배선 패턴(40)을 형성하고, 돌기부(32)의 상단으로부터 수직 방향으로 상부층의 배선 패턴(51)을 배치한 예이다. 도 6의 (c)는 하부층의 세개의 배선 패턴(40)을 하나의 돌기부(32)에 접속시키고, 이를 배선 패턴(40)을 하나의 배선 패턴(51)에 접속시킨 예이다. 도 6의 (d)는 하부층의 2개의 배선 패턴(40)을, 돌기부(32)에 의해, 상부층의 세개의 배선 패턴(51)에 접속시킨 예이다. 도 6의 (e)는 돌기부(32)를 원형 평면 형상으로 형성시킨 예이고, 도 6의 (f)는 돌기부(32)를 타원 평면 형상으로 형성시킨 예이다.

<104> 도 6의 (a) 내지 도 6의 (f)에 나타낸 바와 같이, 돌기부(32)는 사각 형태에 한하지 않고, 원형, 타원형 등과 같은 적당한 평면 형태의 적당한 사이즈로 형성될 수 있다.

<105> 또한, 돌기부(32)에서는, 도통부(40b)를 형성하는 영역을 경사면으로 형성하였지만, 돌기부(32)의 측면이 반드시 경사면이어야만 하는 것은 아니다. 접속부(40c)와 배선 패턴(40)의 타단 사이가 전기적으로 접속되는 형태인 한, 돌기부(32)의 측면 형상은 이에 제한되지 않는다.

<106> 돌기부(32)의 상단(32b)을 평탄면으로 하고 있는 것은, 돌기부(32)의 상단으로 배선 패턴과 접속하는 면적을 확보하기 위해서이다. 돌기부(32)의 상단(32b)에 복수의 배선 패턴을 접속시키는 경우에는, 돌기부(32)의 상단(32b)의 사이즈 및 형태를 적절하게 설계한다.

<107> 도 6의 (a) 내지 도 6의 (f)에 나타낸 바와 같이, 돌기부(32)에서 배선 패턴을 접속하는 영역에서는, 종래의 비아홀을 사용하여 접속하는 형태의 경우와 같이 비아 접속용 패드를 형성할 필요가 없고, 따라서 배선 패턴을 고밀도로 형성할 수 있다. 또한, 배선의 중도에 비아 접속용 패드와 같은 폭이 넓은 부분을 형성할 필요가 없으므로, 배선의 전기적 특성을 향상시킬 수 있다. 또한, 비아 패드와 간섭하지 않도록 배선 패턴을 우회시켜 배치할 필요가 없고, 배선 길이를 단축할 수 있고, 기판을 소형화시킬 수 있으며, 뛰어난 전기적 특성을 갖는 배선 기판을 제공할 수 있게된다.

<108> 또한, 상술한 제조 공정에서는, 세미 어디티브법(semi-additive method)에 의해 배선 패턴(40,50)을 형성하는 예를 나타냈지만, 본 발명의 배선 패턴은 세미 어디티브법 외의 방법으로도 제조될 수 있다. 도 7은 서브트랙티브법(subtractive method)으로 배선 기판을 제조하는 공정 예를 나타낸다.

<109> 먼저, 코어 기판(30)의 표면에 돌기부(32)를 형성한다(도 7의 (a),(b)). 그 다음, 도금 시드층(34)을 워크의 표면에 형성하고, 도금 시드층(34)을 도금 금전층으로 사용한 전해 동도금을 수행해서, 동도금(35)을 도금 시드층(34)의 표면에 피착 형성한다(도 7의 (c)). 다음으로, 배선 패턴(40)으로서 사용되는 영역을 덮도록 레지스트 패턴(37)을 형성하고(도 7의 (d)), 레지스트 패턴을 마스크로하여 도금 시드층(34) 및 동도금(35)을 에칭해서 배선 패턴(40)을 코어 기판(30)에 형성한다. 배선 패턴(40)의 단부는 돌기부(32)의 상단으로 연장해서 형성되어, 상부층의 배선 패턴에 전기적으로 접속되는 접속부(40c)가 된다(도 7의 (e)).

<110> 단층의 배선 패턴을 포함하는 배선 기판의 경우에는, 도 7의 (e)에 나타낸 상태로부터, 수지 필름으로 워크의 표면을 덮거나 또는 수지 코팅에 의해 절연층(60)으로 워크의 표면을 덮은 후에, 드라이 에칭법, 폴리싱법, 샌드 블라스트법 등으로 절연층(60)의 표면에 돌기부(32)의 상단에 피착된 접속부(40c)의 표면을 노출시킨 상태가 도 7의 (f)에 나타나 있다. 도면에 나타낸 바와 같이, 본 실시예의 배선 기판은, 기판의 표면을 덮는 절연층(60)의 표면과 접속부(40c)의 표면을 같은 높이로 형성하는 것에 특징이 있다. 또한, 배선 기판에 복수층으로 배선 패턴을 형성할 경우에도, 배선 기판의 표면층의 접속부(40c)를 절연층(60)의 표면과 동일한 높이로 형성할

수 있다.

<111> 본 발명에 따른 배선 기판은 코어 기판(30) 또는 절연층(60)의 표면에 돌기부(32,42)를 형성하고, 층간에서 배선 패턴을 전기적으로 접속시킴으로써 형성된다. 이를 돌기부(32,42)는 인쇄법, 전사법 등으로 일괄하여 형성할 수 있기 때문에, 종래 방법인 레이저 가공에 의해 개개의 비아홀을 형성하는 방법보다 양산성이 더 좋고 제조 공정을 더욱 단순하게 할 수 있는 이점이 있다.

<112> 또한, 본 발명의 방법에 따르면, 비아홀을 도금하는 공정이 생략되고, 배선 패턴을 돌기부(32) 위에 형성할 경우, 종래의 배선 패턴을 형성하는 공정이 그대로 이용될 수 있다는 이점이 있다.

<113> (반도체 장치)

<114> 배선 기판에서는, 배선 패턴(40)을 도 7의 (f)에 나타낸 바와 같이 단층으로 형성할 수도 있고, 또는 도 4에 나타낸 바와 같이 절연층(60,62)에 의해 적층되도록 배선 패턴(40,50,52)을 구성할 수 있다. 반도체 장치는 이를 배선 기판에 반도체 소자 또는 소정 회로 부품을 탑재함으로써 제공된다.

<115> 도 8의 (a) 및 도 8의 (b)는 본 발명에 따른 배선 기판을 사용한 반도체 장치의 실시예들로서, 단층의 배선 패턴(40)을 형성한 배선 기판에 반도체 소자를 탑재한 반도체 장치의 예를 나타낸다. 도 8의 (a)는 플립 칩 본딩(flip chip bonding)으로 배선 기판에 반도체 소자(70)를 탑재한 예를 나타내고, 도 8의 (b)는 와이어 본딩(wire bonding)으로 반도체 소자(71)를 탑재한 예를 나타낸다.

<116> 본 실시예의 반도체 장치에 사용되는 배선 기판은, 배선 패턴(40)을 기판(31)의 표면에 형성하고, 또한 배선 패턴(40)을 기판(31)의 표면에 형성된 돌기부(32)의 상단(32b)까지 연장해서 접속부(40c)를 형성하고, 기판의 배선 패턴(40)이 형성된 표면을 절연층(60)으로 덮고, 접속부(40c)의 표면이 절연층(60)의 표면과 같은 높이에서 노출되도록 형성된다.

<117> 도 8의 (a)에서, 배선 기판의 절연층(60) 표면에 노출된 접속부(40c)는 반도체 소자(70)의 접속전극(접속 범프)과 평면배치 위치를 일치시켜서 형성되고, 도 8의 (b)에서, 배선 기판의 절연층(60) 표면에 노출된 접속부(40c)는 와이어 본딩으로 반도체 소자(71)에 접속하는 본딩 패드로서 형성되어 있다. 도 8의 (b)에 나타낸 배선 기판에서는, 반도체 소자(71)를 탑재하는 영역을 확보하고, 접속부(40c)를 그 영역의 주위에 배치한다.

<118> 본 실시예의 반도체 장치에서는, 반도체 소자(70,71)가 탑재된 배선 기판의 반도체 소자(70,71)의 탑재면이 평탄면으로 형성되기 때문에, 반도체 소자(70,71)를 확실하게 탑재할 수 있는 이점이 있다.

<119> 플립 칩 본딩으로 반도체 소자를 실장하는 경우에, 접속부(40c)를 편평한 패드로 형성하고 반도체 소자의 실장 표면을 평탄면으로 형성하는 것은, 반도체 소자의 실장 신뢰성을 높일 수 있고, 핀(pin) 수가 특히 많은 반도체 소자를 탑재할 경우에 반도체 소자의 접속전극을 패드에 정확하게 접합할 수 있다는 이점이 있다.

<120> 또한, 반도체 소자를 플립 칩 본딩한 후 언더필을 행할 경우에, 배선 기판의 실장 표면을 평탄면으로 형성한다면, 언더필 수지의 흐름성이 향상되어, 공극(void)을 발생시키지 않도록 언더필 수지를 충전할 수 있어서, 언더필 수지의 충전성을 향상시킬 수 있다. 또한, 다핀의 반도체 소자의 범프 직경이 작아지기 때문에, 플립 칩 본딩을 했을 경우의 배선 기판과 반도체 소자 사이의 분리 거리는 더 좁아진다. 배선 기판의 패드가 형성된 실장면을 평탄면으로 형성해서 언더필 수지의 충전성(흐름성)을 향상시키는 방법은, 다핀의 반도체 소자를 설치하는 경우에 특히 효과가 있다.

<121> 또한, 배선 기판의 반도체 소자의 실장면에서 언더필 소자의 유동성을 고려하면, 배선 기판의 실장면에서 패드로 사용되는 접속부(40c)의 표면이, 절연층(60)의 표면을 넘어서 돌출하는 것은 바람직하지 못하고, 접속부(40c)의 표면은 절연층(60)의 표면보다 더 낮은 위치에 있는 것이 바람직하다. 이 경우에도, 언더필 수지의 유동성(충전성)을 고려하면, 절연층(60) 표면과 접속부(40c) 표면 사이의 단차(step difference)는 약 $5\mu\text{m}$ 이거나, 이보다 작은 것이 바람직하다.

<122> 또한, 배선 기판에 형성된 돌기부(32)를 유연성이 있는 소재로 형성하면, 기판(31)과 반도체 소자(70,71) 사이의 열팽창계수 차에 의해 생기는 열응력을 돌기부(32)로 완화시킬 수 있어서, 열응력으로 인해 반도체 소자가 손상되지 않도록 구성할 수 있다.

<123> 또한, 상술한 실시예에서는, 배선 기판에 반도체 소자를 탑재한 예를 나타냈지만, 반도체 소자 대신에 미리 패키지된 반도체 디바이스, 예를 들면, CSP(Chip Size Package), BGA(Ball Grid Array) 또는 MCM(Multi Chip Module)을 배선 기판에 탑재할 수도 있다. 이 경우에는, 배선 패턴의 접속부(40c)와 반도체 소자가 탑재된 반도

체 디바이스를 솔더 볼(solder ball) 등과 같은 접속단자를 통해 접합 및 실장시킬 수 있다.

<124> 상술한 바와 같이, 본 발명의 바람직한 실시예에 관해 설명하였지만, 본 발명은 상술한 특정 실시예들에 한정되는 것이 아니며, 본 기술 분야에서 통상의 지식을 가진 자에게는 본 발명의 범위 내에서 다양한 변형을 가할 수 있는 것은 명백하다. 따라서, 본 발명의 범위가 첨부된 청구 범위에만 한정되는 것은 아니다.

발명의 효과

<125> 본 발명에 따른 배선 기판 및 그 제조 방법에 의하면, 돌기부가 기판 또는 절연층에 형성되고, 배선 패턴이 층간에 전기적으로 접속되는 구성을 채택하는 것에 의해, 배선 기판의 제조 공정을 단순화시킬 수 있고, 배선 기판의 제조를 용이하게 할 수 있다.

<126> 또한, 돌기부에 형성된 접속부에서 층간의 배선 패턴을 전기적으로 접속하는 것에 의해, 비아홀을 사용하는 배선 패턴 접속방법과 비교하여 배선 패턴을 더욱 고밀도로 형성할 수 있다. 또한, 절연층의 표면과 같은 높이이거나 상기 절연층의 표면보다 낮은 위치가 되는, 돌기부의 상단에 배치된 접속부의 표면 배치에 의해, 반도체 소자와 배선 기판 사이에 플립 침 본딩(flip chip bonding)을 행하고 언더필을 수행하는 경우, 언더필 수지의 충전 특성을 향상시킬 수 있다.

<127> 또한, 본 발명에 따른 반도체 장치에서는, 와이어 본딩 또는 솔더 범프(solder bump) 등과 같은 접속단자에 의해 반도체 소자 또는 반도체 디바이스를 확실하게 실장시킬 수 있고, 반도체 장치의 제조를 용이하게 하고, 높은 신뢰성을 가진 반도체 장치를 제공할 수 있다.

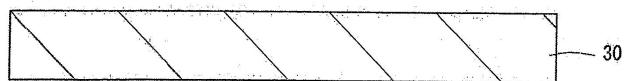
도면의 간단한 설명

- <1> 도 1은 본 발명에 따른 배선 기판의 제조 공정에서의 기판의 단면도.
- <2> 도 2는 코어 기판에 형성되는 돌기부와 배선 패턴의 평면도.
- <3> 도 3은 본 발명에 따른 배선 기판의 제조 공정에서의 기판의 단면도.
- <4> 도 4는 배선 패턴을 복수의 층에 적층해서 형성한 배선 기판의 단면도.
- <5> 도 5의 (a)는 돌기부에서의 배선 패턴의 단면도.
- <6> 도 5의 (b)는 돌기부에서의 배선 패턴의 평면도.
- <7> 도 6은 돌기부에서의 배선 패턴의 평면접속 형태를 나타낸 설명도.
- <8> 도 7은 배선 기판의 다른 제조 공정에서의 기판의 단면도.
- <9> 도 8은 본 발명에 따른 반도체 장치의 구성예를 나타낸 단면도.
- <10> 도 9는 종래 배선 기판의 제조 방법을 나타낸 설명도.
- <11> 도 10은 종래 배선 기판에서의 비아의 접속 부분의 구성을 나타낸 설명도.
- <12> 도 11은 배선과 배선 패턴의 패드의 배치예를 나타낸 설명도.
- <13> < 도면의 주요 부분에 대한 부호의 설명 >
- <14> 30: 코어 기판 31: 기판
- <15> 32, 42: 돌기부 32b, 42b: 상단
- <16> 34, 44: 도금 시드층 35, 38, 48: 동도금
- <17> 36, 37, 46: 레지스트 패턴 40, 50, 51, 52: 배선 패턴
- <18> 40b, 50b: 도통부 40c, 50c: 접속부
- <19> 60, 62: 절연층 70, 71: 반도체 소자

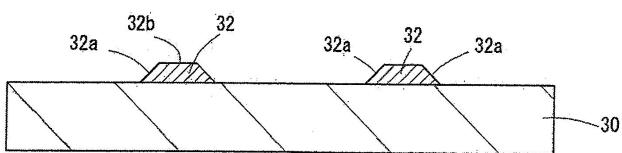
도면

도면1

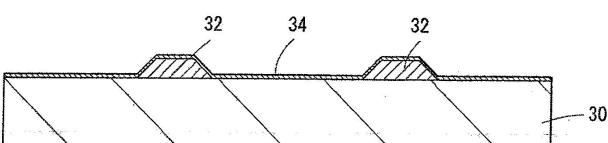
(a)



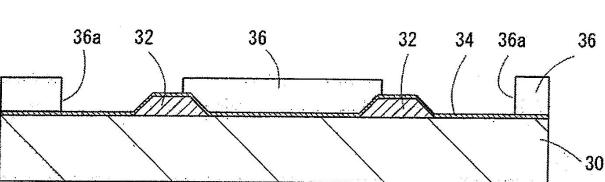
(b)



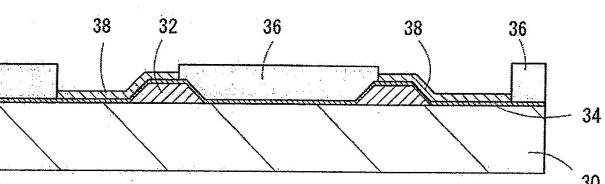
(c)



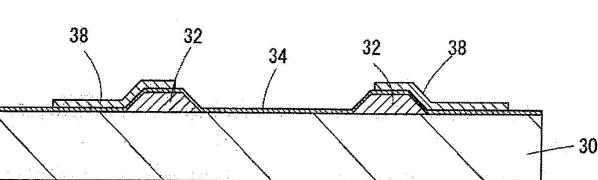
(d)



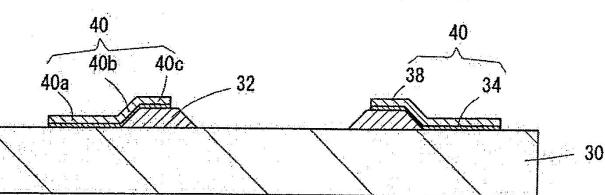
(e)



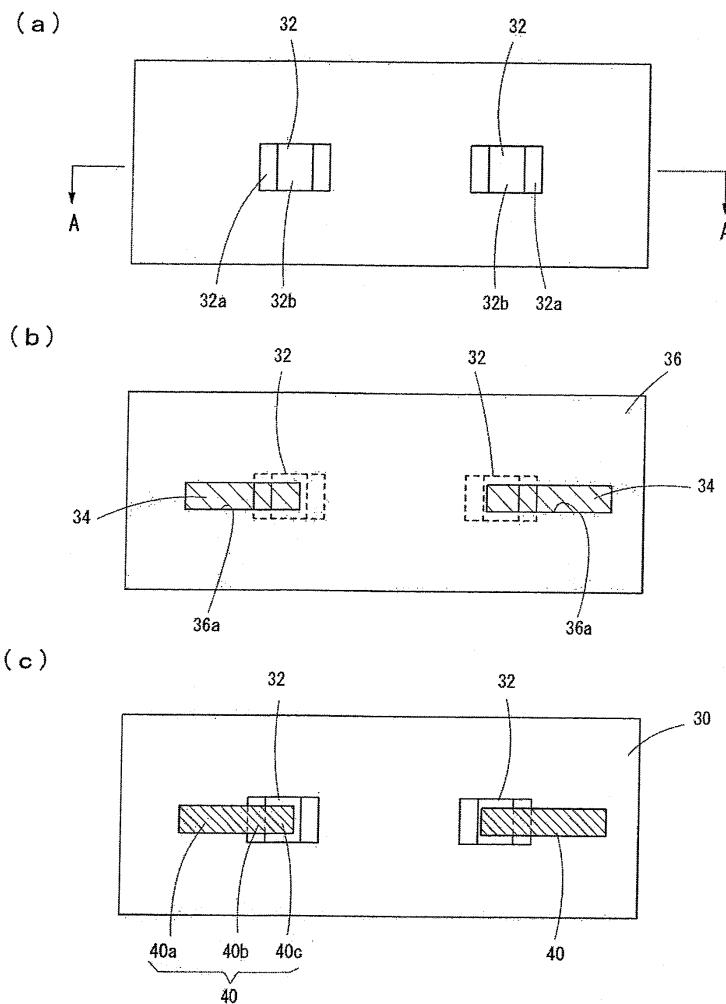
(f)



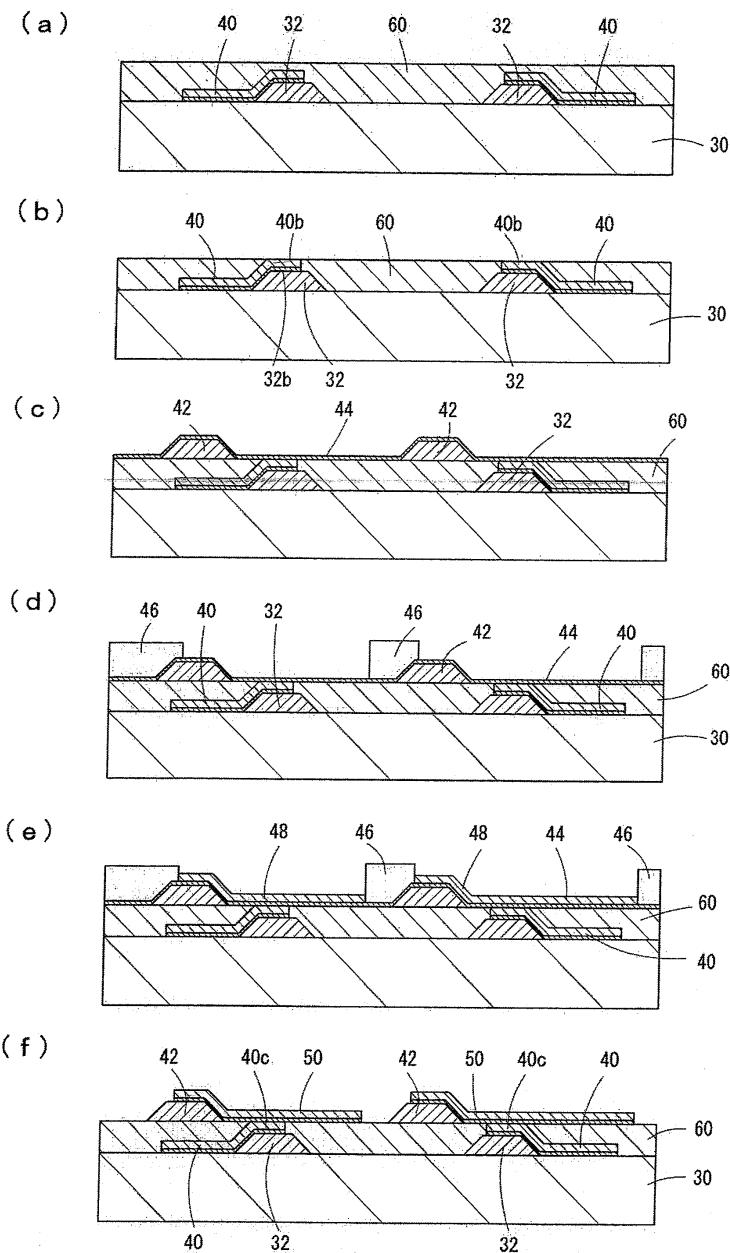
(g)



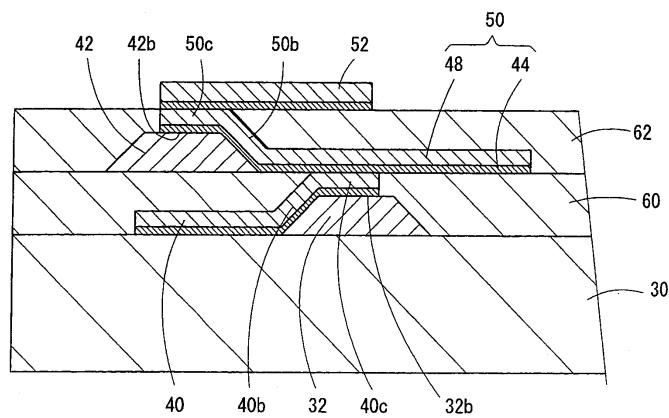
도면2



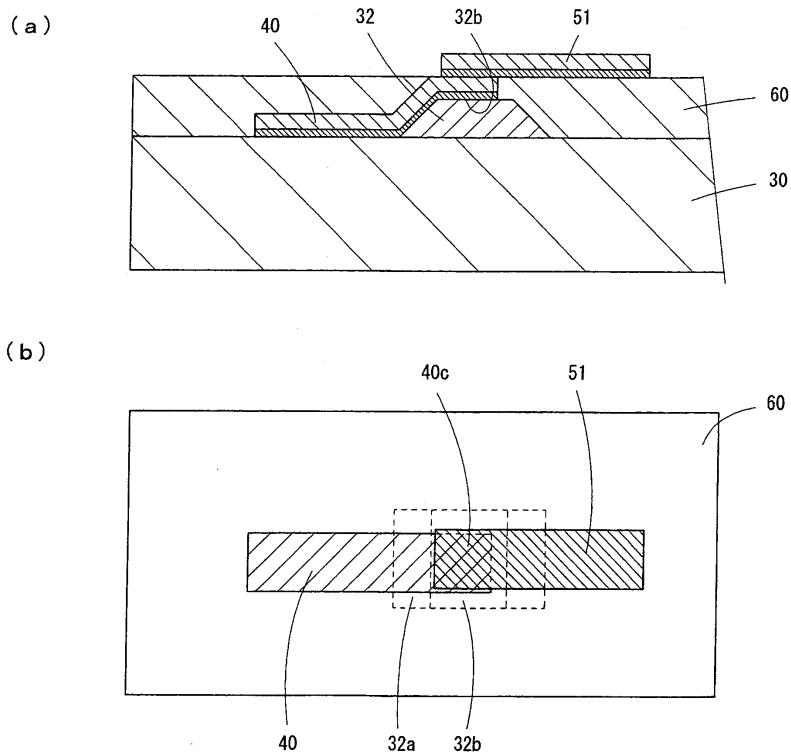
도면3



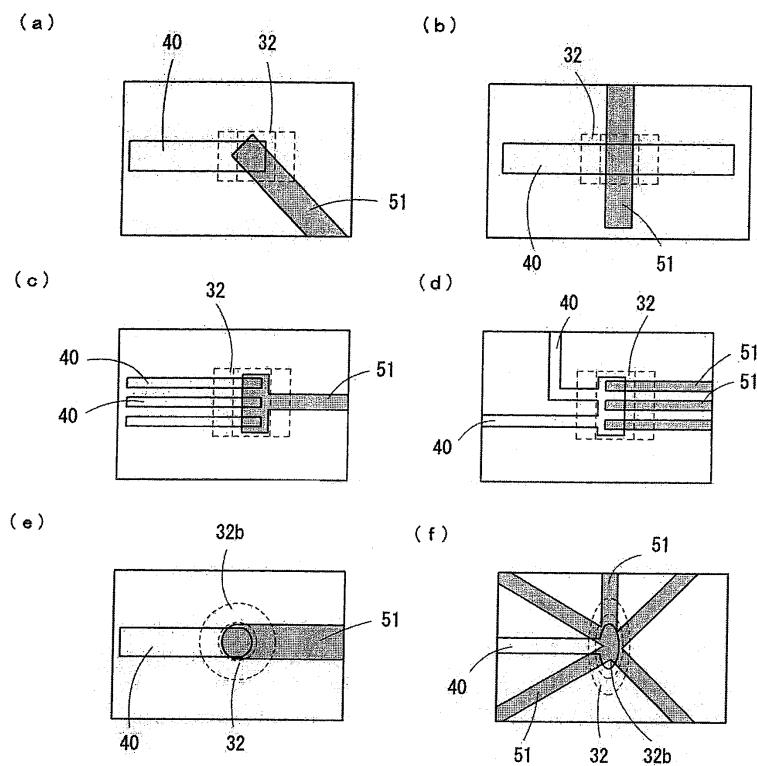
도면4



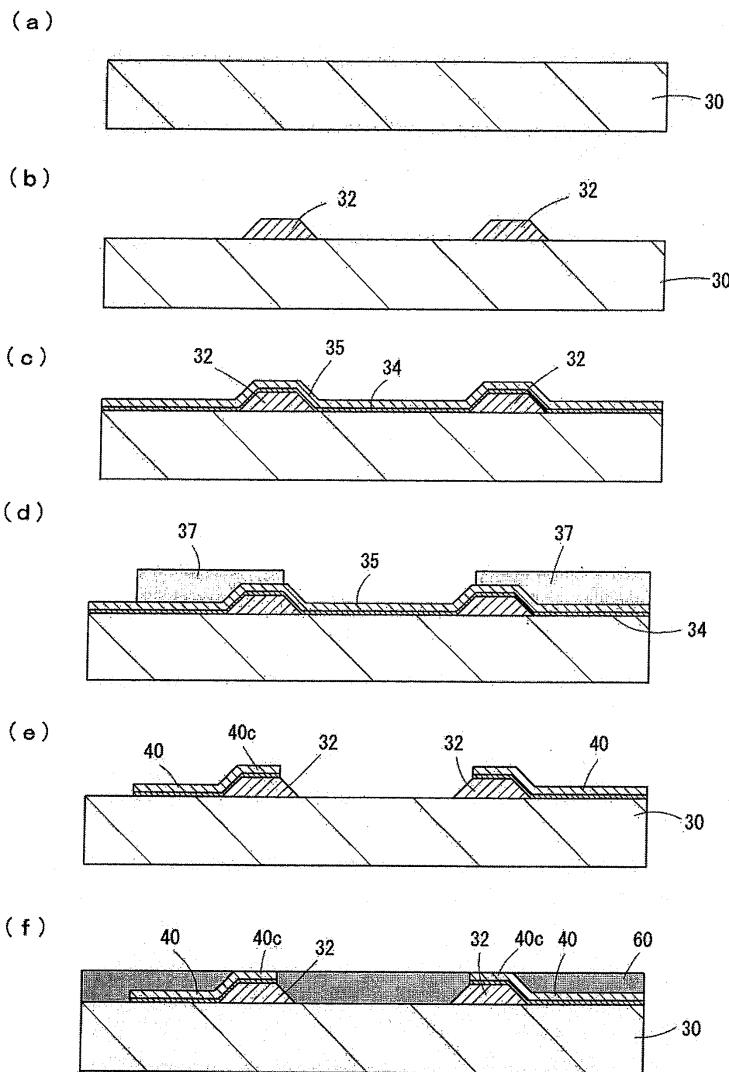
도면5



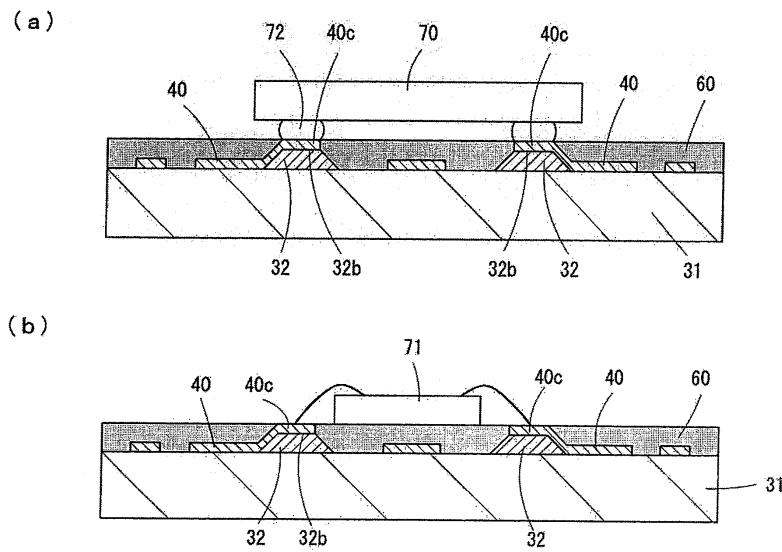
도면6



도면7

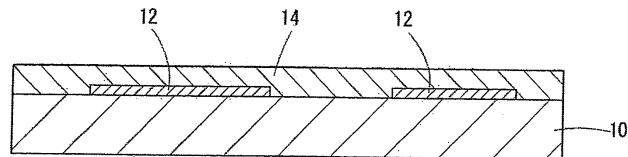


도면8

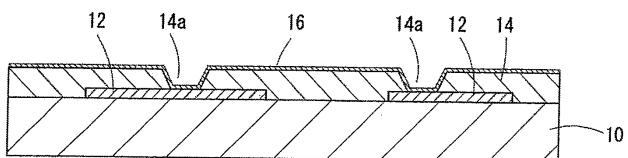


도면9

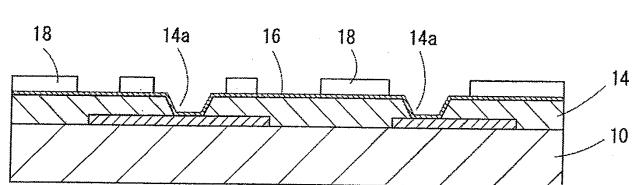
(a)



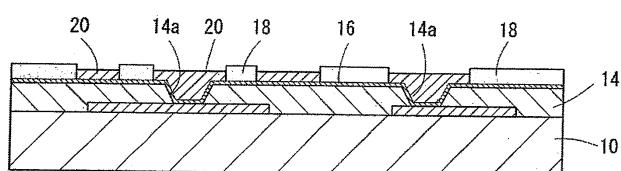
(b)



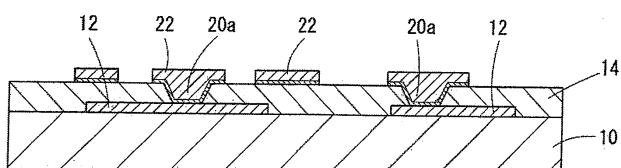
(c)



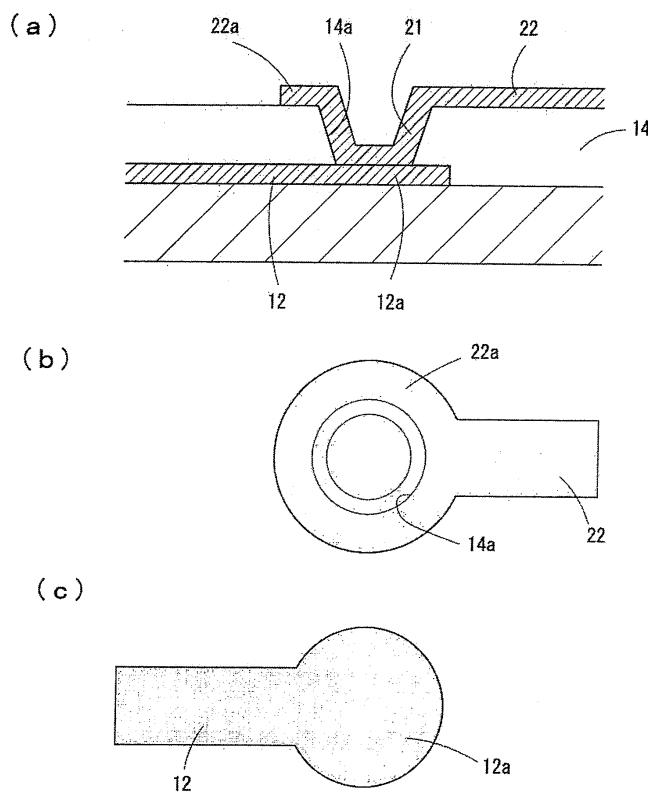
(d)



(e)



도면10



도면11

